(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0005310
(43) 공개일자 2020년01월15일

(51) 국제특허분류(Int. Cl.)
H01L 21/324 (2017.01) *H01L 21/22* (2006.01)
H01L 21/268 (2006.01)
(52) CPC특허분류
H01L 21/324 (2013.01)
H01L 21/22 (2013.01)
(21) 출원번호 10-2018-0078879
(22) 출원일자 2018년07월06일
심사청구일자 2018년07월06일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
유현용
서울특별시 서초구 신반포로 270, 130동 2403호
김승근
서울특별시 광진구 구의로 29, 302호
(74) 대리인
김홍석

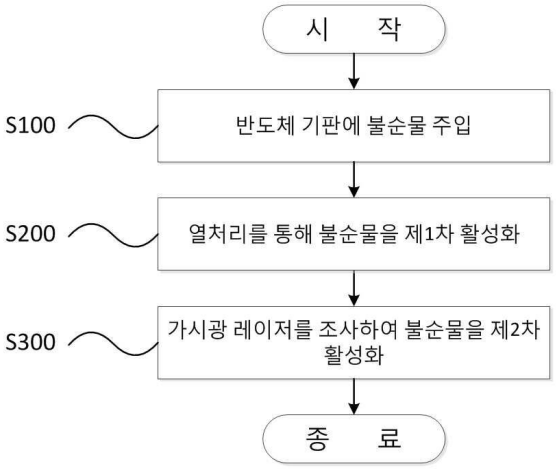
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 **하이브리드 불순물 활성화 방법**

(57) 요 약

반도체 소자에서의 불순물 활성화 방법이 개시된다. 상기 불순물 활성화 방법은 (a) 반도체 기판에 불순물을 주입하는 단계, (b) 상기 반도체 기판을 500℃ 내지 550℃에서 열처리하여 상기 불순물을 제1차 활성화하는 단계, 및 (c) 상기 불순물이 주입된 반도체 기판의 표면에 가시광 레이저를 조사하여 상기 불순물을 제2차 활성화하는 단계를 포함한다.

대 표 도 - 도1



(52) CPC특허분류
H01L 21/268 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 1711057656
부처명 과학기술정보통신부
연구관리전문기관 한국연구재단
연구사업명 선행공정-플랫폼기술연구개발사업
연구과제명 초절전 3D IoT 소자 플랫폼 구현을 위한 저온 기반 단위 공정개발
기 여 율 1/1
주관기관 한양대학교
연구기간 2015.10.01 ~ 2020.06.30

명 세 서

청구범위

청구항 1

(a) 반도체 기판에 불순물을 주입하는 단계;

(b) 상기 반도체 기판을 500℃ 내지 550℃에서 열처리하여 상기 불순물을 제1차 활성화하는 단계; 및

(c) 상기 불순물이 주입된 반도체 기판의 표면에 가시광 레이저를 조사하여 상기 불순물을 제2차 활성화하는 단계를 포함하는 반도체 소자에서의 불순물 활성화 방법.

청구항 2

제1항에 있어서,

상기 (b) 단계는 RTA(Rapid Thermal Annealing) 공정을 통해 상기 불순물을 제1차 활성화하는 반도체 소자에서의 불순물 활성화 방법.

청구항 3

제1항에 있어서,

상기 불순물은 3족 또는 5족 원소인 반도체 소자에서의 불순물 활성화 방법.

청구항 4

제1항에 있어서,

상기 (c) 단계는 에너지 밀도가 0.88 J/cm^2인 가시광 레이저를 조사하는 반도체 소자에서의 불순물 활성화 방법.

청구항 5

제1항에 있어서,

상기 기판은 Si, Ge 및 SiGe 중 어느 하나로 이루어진 반도체 소자에서의 불순물 활성화 방법.

청구항 6

제1항 내지 제5항의 불순물 활성화 방법에 의해 제조된 반도체 소자.

발명의 설명

기 술 분 야

[0001] 본 발명은 불순물 활성화 방법으로서, 보다 구체적으로 저온 공정과 레이저 조사 공정의 두 단계에 걸쳐 불순물을 활성화하는 방법에 관한 것이다.

배 경 기 술

[0002] 불순물의 도핑은 MOSFET(Metal-Oxide-Semiconductor FET)과 같은 반도체 소자가 작동할 때 전력 소모를 감소시키기 위하여 수행되며, 도핑 공정은 불순물 이온을 주입하는 공정과 불순물 이온을 활성화 시키는 공정을 포함한다. 불순물 이온을 주입하는 공정에서는 이온 주입 에너지로 인하여 반도체 구조가 다결정질에서 비정질로 변함에 따라 결함을 야기할 수 있다.

[0003] 이러한 불순물 이온의 주입을 통한 결함을 제거하고, 불순물 이온을 활성화시키기 위한 방식 중의 하나로서 열활성화 방식은 고온(700℃ 내지 1000℃)에서 장시간 동안 열처리를 진행하여 불순물을 활성화시킴과 동시에 큐어링(curing) 효과를 통해 소자의 결함을 줄여줄 수 있다. 그러나, 높은 공정 온도로 인해 불순물 원자들의 확산이 의도하지 않은 영역까지 이루어지며, 특히 미세화의 한계를 극복할 3차원 집적 구조인 M3D(Monolithic 3D)에 사용될 경우 하부 층에 있는 소자들의 전기적 열화가 발생하는 문제점이 있다.

[0004] 한편, 고온이 아닌 저온에서 활성화 공정을 수행하는 경우 불순물들을 대부분 활성화시키지 못할 뿐만 아니라, 낮은 도핑농도로 인해 전류 값이 낮아지고 소자의 성능이 저하되며 전압의 증대를 야기해 전력 소모를 늘리는 문제점이 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 대한민국 등록특허 제0898581호

(특허문헌 0002) 미국 공개특허 US 2003/0013280 A1

발명의 내용

해결하려는 과제

[0006] 불순물 이온을 활성화시키기 위한 열 활성화 방식이 갖는 문제점을 해결하기 위하여, 할로겐 가스를 이용하는 엑시머 레이저(Excimer Laser)를 이용한 활성화 방식이 있다. ArF나 KrF와 같은 엑시머 레이저를 이용하는 경우 불순물을 주입하는 과정에서 발생하는 표면부의 결함을 제거하면서 표면의 불순물을 활성화시킬 수 있다는 장점이 있으나, 가격적인 측면에서 비싸고 사용하는 가스가 유독성을 가지며, 친환경적이지 못하다는 단점이 있다.

[0007] 이에 따라, 본 발명의 목적은 큐어링을 통해 불순물 주입으로 인해 발생한 결함을 줄여주고 그와 동시에 불순물을 활성화할 수 있는 하이브리드 불순물 활성화 방법을 제공하는데 있다.

과제의 해결 수단

[0008] 본 발명의 일 실시 예에 따른 반도체 소자에서의 불순물 활성화 방법은 (a) 반도체 기판에 불순물을 주입하는 단계, (b) 상기 반도체 기판을 500℃ 내지 550℃에서 열처리하여 상기 불순물을 제1차 활성화하는 단계, 및 (c) 상기 불순물이 주입된 반도체 기판의 표면에 가시광 레이저를 조사하여 상기 불순물을 제2차 활성화하는 단계를 포함할 수 있다.

발명의 효과

[0009] 본 발명의 일 실시 예에 따른 하이브리드 불순물 활성화 방법은 저온에서 큐어링 및 불순물의 활성화를 동시에 수행할 수 있다.

[0010] 또한, 3차원 집적 구조의 상부층 소자 형성에 있어서 하부층 소자의 열화없이 높은 도핑 농도를 얻고, 전류량을 증가시키고 전력 소모를 감소시킬 수 있다.

도면의 간단한 설명

[0011] 도 1은 본 발명의 일 실시 예에 따른 불순물 활성화 방법의 순서도이다.

도 2는 제1차 활성화에 따른 불순물의 확산 깊이를 도시한 것이다.

도 3은 가시광 레이저 출력에 따른 전기적 특성을 도시한 것이다.

도 4a는 한 단계의 활성화 공정에 따른 반도체 소자의 전기적 특성을 도시한 것이다.

도 4b는 본 발명의 일 실시 예에 따른 활성화 공정에 따른 반도체 소자의 전기적 특성을 도시한 것이다.

도 5는 SIMS 및 SRP 분석의 결과를 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

[0012] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 발명의 개념에 따른 실시예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시예들에 한정되지 않는다.

[0013] 본 발명의 개념에 따른 실시예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나 이는 본 발명의 개념에 따른 실시예들을 특정한 개시형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 변경, 균등물, 또는 대체물을 포함한다.

[0014] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만, 예를 들어 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.

[0015] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 표현들, 예를 들어 "~사이에"와 "바로~사이에" 또는 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0016] 본 명세서에서 사용한 용어는 단지 특정한 실시예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 설시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0017] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다. 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다.

[0019] 도 1은 본 발명의 일 실시 예에 따른 불순물 활성화 방법의 순서도이다.

[0020] 도 1을 참조하면, 본 발명의 일 실시 예에 따른 불순물 활성화 방법은 기존의 도핑 공정의 문제점을 해결하기 위해 불순물 주입 후 두 단계에 걸쳐서 불순물을 활성화한다. 그에 따라, 예를 들면 MOSFET과 같이 반도체 스위칭 소자들의 소스 및 드레인 영역의 도핑 농도를 증가시킬 수 있다.

[0021] S100 단계는 반도체 기판에 불순물을 주입한다. 불순물은 불순물 이온으로서, 제조하고자 하는 반도체 타입에 따라 n형 반도체인 경우 예를 들면 P 또는 As와 같은 5족 원소이고, p형 반도체인 경우 예를 들면 B 또는 Ga와 같은 3족 원소일 수 있다.

[0022] 여기서, 반도체 기판은 실리콘(Si), 게르마늄(Ge) 및 실리콘-게르마늄(Si-Ge)와 같은 반도체 물질 또는 GaP, GaAs 및 GaSb와 같은 Ⅲ-Ⅴ족 반도체 화합물로 이루어질 수 있다.

[0023] 한편, 다양한 실시 예에 따라 반도체 기판에는 특정 영역에만 불순물을 주입할 수 있도록 하드 마스크 또는 감광막(photoresist)을 포함할 수 있으며, 이를 위하여 S100 단계 이전에 반도체 기판에 하드 마스크 또는 감광막

를 형성하는 단계를 더 포함할 수 있다. 여기서, 하드 마스크는 예를 들면 실리콘 질화물로서 불순물 주입을 위하여 하드 마스크층을 패터닝하여 형성된 것일 수 있다.

[0024] S200 단계는 S100 단계를 통해 불순물이 주입된 반도체 기판을 열처리(annealing)하여 주입된 불순물을 제1차 활성화한다. S200 단계를 통한 불순물의 제1차 활성화는 불순물을 활성화할 뿐만 아니라, S100 단계에서 발생한 반도체 기판의 표면적·내부적 결함을 감소시키는 큐어링도 수행한다.

[0025] 여기서, 열처리는 단시간 내에 열처리하는 스파이크 어닐링(spike annealing) 또는 급속 열처리 공정(rapid thermal annealing, 이하 RTA 공정) 등을 통해 수행될 수 있으며, 바람직하게는 RTA 공정을 통해 수행될 수 있다.

[0026] 한편, 제1차 활성화를 위한 열처리의 온도 및 시간은 불순물의 확산 거리를 최소화할 수 있는 온도 및 시간으로 설정되는 것이 바람직하다. 제1차 활성화 단계에서 확산 거리를 최소화함으로써 반도체 소자를 보다 미세화할 수 있다.

[0027] 제1차 활성화에 따른 불순물의 확산 깊이를 도시한 도 2를 참조하면, 900℃에서 1분간 열처리 공정을 수행한 경우 180[nm]까지 확산이 일어나는 반면에, 500℃에서 1분간 열처리 공정을 수행한 경우 20[nm] 이상의 깊이에서는 확산이 거의 일어나지 않는다.

[0028] 이에 따라, 일 실시 예에 따른 제1차 활성화를 위한 열처리 공정의 온도는 500℃ 내지 550℃에서 1분간 수행되는 것이 바람직하다. 500℃ 이하의 온도에서 열처리 공정이 수행되면 상술한 큐어링이 제대로 이루어지지 못하며, 550℃ 이상의 온도에서 열처리 공정이 수행되면 확산의 깊이를 최소화할 수 없다.

[0029] S300 단계는 불순물이 주입된 반도체 기판의 표면에 가시광 레이저를 조사하여 불순물을 제2차 활성화한다.

[0030] 본 발명의 일 실시 예에 따른 하이브리드 불순물 활성화 방법은 엑시머 레이저를 사용하는 기존의 레이저 활성화 공정과 달리 380[nm] 내지 800[nm]의 파장을 갖는 가시광 레이저를 이용하여 불순물의 제2차 활성화를 수행한다. 엑시머 레이저 대신 가시광 레이저를 사용할 경우 유해한 가스를 사용하지 않아 친환경적이며, 인체에 무해하고 더욱 경제적으로 반도체 소자를 제조할 수 있다.

[0031] 한편, 가시광 레이저 출력에 따른 전기적 특성을 도시한 도 3을 참조하면, 가시광 레이저의 출력이 0.88[J/cm^2] 보다 낮을수록 낮은 전류 값을 나타내며, 가시광 레이저의 출력이 0.88[J/cm^2] 보다 큰 경우 반도체 소자가 손상되는 현상이 발생한다. 이에 따라, 제2차 활성화에 사용되는 가시광 레이저의 출력은 0.88[J/cm^2]가 바람직하다.

[0032] 상술한 본 발명의 일 실시 예에 따른 불순물 활성화 방법을 통하여, 불순물의 고도핑이 필요한 반도체 소자를 제조할 수 있다. 여기서, 반도체 소자는 소스/드레인 영역을 필요로 하는 반도체 소자로서 예를 들면 MOSFET, FinFET, HEMT 및 JFET 등의 다양한 반도체 소자를 포함할 수 있다.

[0033] 이하에서는 본 발명의 일 실시 예에 따른 불순물 활성화 방법을 통하여 제조된 반도체 소자의 전기적 특성을 살펴보기로 한다.

[0035] 도 4a는 한 단계의 활성화 공정에 따른 반도체 소자의 전기적 특성을 도시한 것이고, 도 4b는 본 발명의 일 실시 예에 따른 활성화 공정에 따른 반도체 소자의 전기적 특성을 도시한 것이다.

[0036] 도 4a를 참조하면, 불순물 활성화에 있어서 오로지 한 단계의 활성화 공정을 수행하는 경우에 있어서, 일 실시 예에 따라 열처리 공정만을 수행하면 열처리 온도에 따라 대략 270[A/cm^2] 내지 400[A/cm^2]의 전류 값을 나타낸다. 또한, 가시광 레이저만을 조사하면 열처리 공정만을 수행했을 때보다 더 낮은 전류 값(200[A/cm^2])을 나타낸다.

[0037] 반면에, 도 4b를 참조하면, 한 단계의 활성화 공정(800℃ 또는 900℃에서의 열처리 공정 및 가시광 레이저 조사)을 수행한 경우보다 약 3배 이상의 높은 전류 값을 나타낸다.

[0038] 또한, 불순물 이온의 주입 농도가 4E15cm^{-2}일 때보다 1E16cm^{-2}일 때 더욱 높은 전류 값을 나타내었으며, 이는 본 발명의 일 실시 예에 따른 하이브리드 불순물 활성화 공정을 진행하기 위한 불순물 이온의 주입 농도가 높을수

록 더욱 높은 활성화 농도를 가지는 것을 의미한다.

[0040] 도 5는 SIMS 및 SRP 분석의 결과를 도시한 것이다.

[0041] 도 5를 참조하면, 본 발명의 일 실시 예에 따른 불순물 활성화 공정의 경우 SIMS 및 SRP 분석에서 모두 $10^{20}cm^{-3}$ 이상의 표면 도핑 농도와 $10^{21}cm^{-3}$ 이상의 피크 값을 가지는 것을 확인할 수 있으며, 불순물이 깊이 확산되지 않고 대략 50[nm] 내지 100[nm]에서 계단 접합(abrupt junction)을 형성하는 것을 알 수 있다.

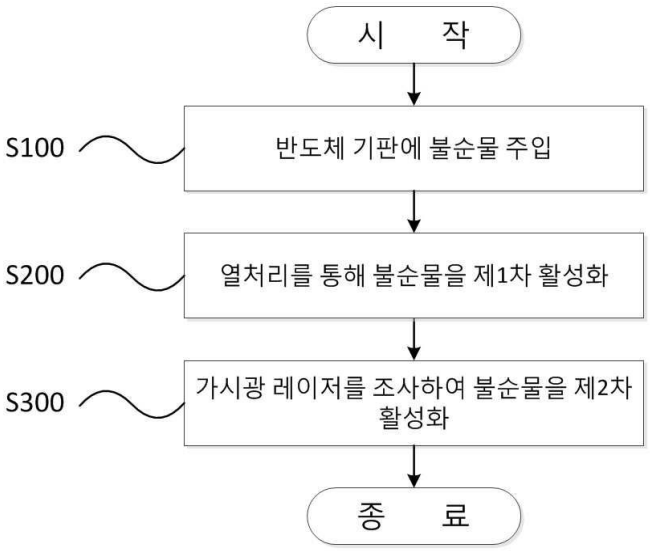
[0042] 상술한 바와 같은 본 발명의 불순물 활성화 공정은 저온에서도 매우 높은 도핑 농도와 계단 접합을 나타내므로, 고도핑을 필요로 하는 모든 반도체 소자와 3차원 집적 구조에도 적용이 가능하다.

[0043] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

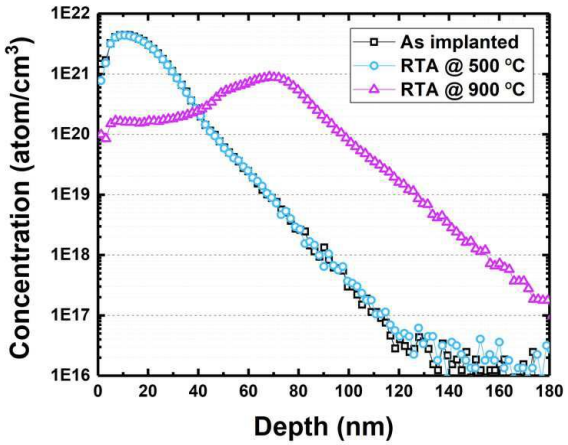
[0044] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

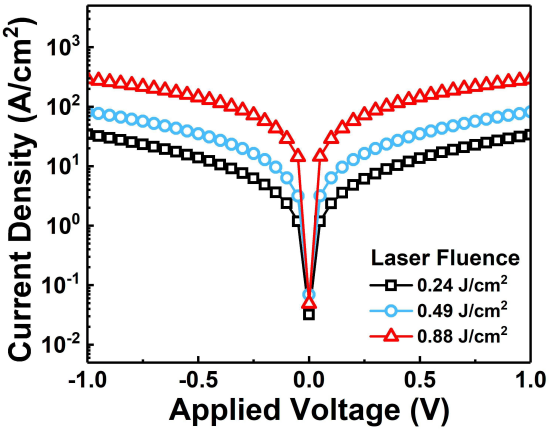
도면1



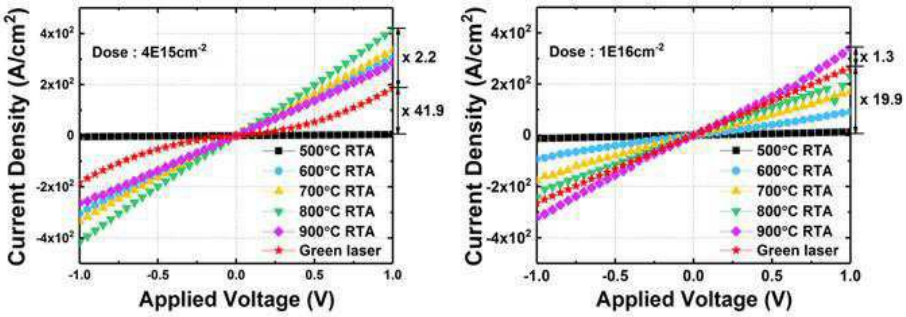
도면2


Concentration (atom/cm^3)
Depth (nm)
As implanted
RTA @ 500 °C
RTA @ 900 °C

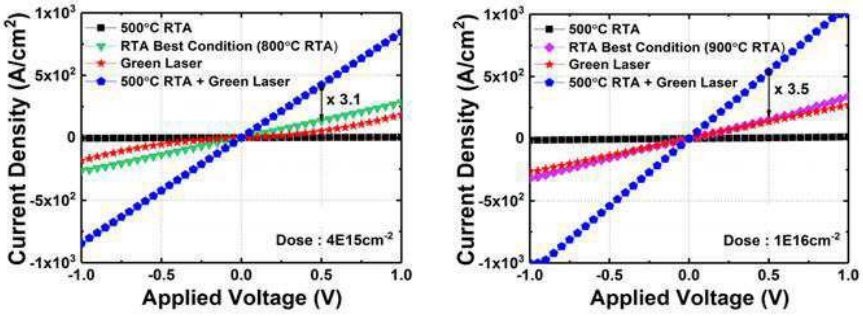
도면3


Current Density (A/cm^2)
Applied Voltage (V)
Laser Fluence
0.24 J/cm^2
0.49 J/cm^2
0.88 J/cm^2

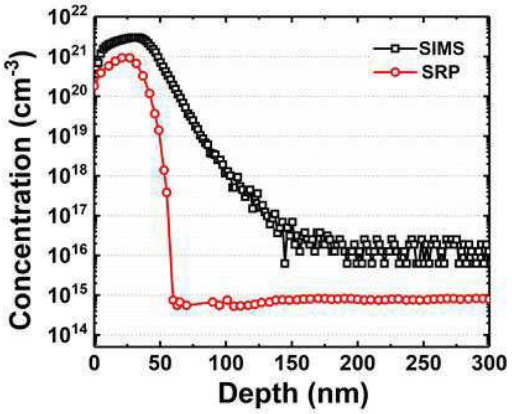
도면4a


Dose : 4E15cm^{-2}
Dose : 1E16cm^{-2}
Current Density (A/cm^2)
Applied Voltage (V)
x 2.2
x 41.9
x 1.3
x 19.9
500°C RTA
600°C RTA
700°C RTA
800°C RTA
900°C RTA
Green laser

도면4b


500°C RTA
RTA Best Condition (800°C RTA)
Green Laser
500°C RTA + Green Laser
x 3.1
Dose : 4E15cm-2
Current Density (A/cm2)
Applied Voltage (V)
500°C RTA
RTA Best Condition (900°C RTA)
Green Laser
500°C RTA + Green Laser
x 3.5
Dose : 1E16cm-2
Current Density (A/cm2)
Applied Voltage (V)

도면5


SIMS
SRP
Concentration (cm-3)
Depth (nm)