

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 6 月 25 日(25.06.2015)



(10) 国際公開番号
WO 2015/093100 A1

- (51) 国際特許分類:
G09G 3/30 (2006.01) *H01L 51/50* (2006.01)
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2014/072536
- (22) 国際出願日: 2014 年 8 月 28 日(28.08.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-262378 2013 年 12 月 19 日(19.12.2013) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 番 2 号 Osaka (JP).
- (72) 発明者: 小原 将紀(OHARA, Masanori). 野口 登(NOGUCHI, Noboru). 岸 宣孝(KISHI, Noritaka).
- (74) 代理人: 島田 明宏(SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町 1 丁目 1 0 番 3 号 萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: DISPLAY DEVICE AND METHOD FOR DRIVING SAME

(54) 発明の名称: 表示装置およびその駆動方法

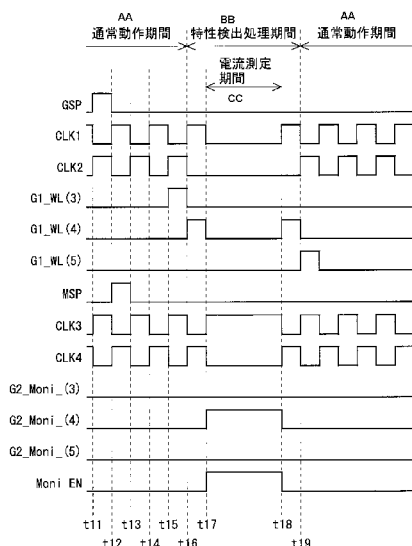


FIG. 1:
AA Normal operation period
BB Characteristic detection processing period
CC Current measurement period

(57) Abstract: The purpose of the present invention is to compensate for drive transistor characteristic variation in a display device that uses a gate driver circuit formed from a single-channel TFT. When a clock signal (CLK1, CLK2) pulse number and a compensation-target-line address indicating a compensation-target line match, the following control is carried out with the point (t17) one horizontal scanning period after the point (t16) of the matching as the starting point of a current measurement period. At the current measurement period starting point (t17) and a current measurement period ending point (t18), only the potential of the signal from among the clock signals (CLK1, CLK2) that is applied to a unit circuit corresponding to the compensation-target line is changed. Throughout the current measurement period, the clock operation of the clock signals (CLK1 to CLK4) is stopped. A monitor enable signal (Moni_EN) that is applied to a control terminal of an output control transistor for controlling active signal output to a monitor control line is only set to a high level during the current measurement period.

(57) 要約: 本発明は、片チャネルのTFTで形成されたゲートドライバ回路を採用している表示装置において、駆動トランジスタの特性のばらつきを補償を実現することを目的とする。クロック信号(CLK1, CLK2)のパルス数と補償対象行を示す補償対象ラインアドレスとが一致したとき、両者が一致した時点(t16)の1水平走査期間後の時点(t17)を電流測定期間の開始時点として以下の制御を行う。電流測定期間の開始時点(t17)および終了時点(t18)にはクロック信号(CLK1, CLK2)のうち補償対象行に対応する単位回路に与えられている信号の電位のみを変化させる。電流測定期間を通じて、クロック信号(CLK1~CLK4)のクロック動作を停止させる。モニタ制御

線へのアクティブな信号の出力を制御する出力制御トランジスタの制御端子に与えるモニタ制御信号(Moni_EN)を電流測定期間にのみハイレベルとする。

明 細 書

発明の名称：表示装置およびその駆動方法

技術分野

[0001] 本発明は、表示装置に関し、より詳しくは、有機ＥＬ表示装置などの電流で駆動される自発光型表示素子を備えた表示装置およびその駆動方法に関する。

背景技術

[0002] 従来より、表示装置が備える表示素子としては、印加される電圧によって輝度が制御される電気光学素子と流れる電流によって輝度が制御される電気光学素子とがある。印加される電圧によって輝度が制御される電気光学素子の代表例としては液晶表示素子が挙げられる。一方、流れる電流によって輝度が制御される電気光学素子の代表例としては有機ＥＬ（Electro Luminescence）素子が挙げられる。有機ＥＬ素子は、ＯＬＥＤ（Organic Light-Emitting Diode）とも呼ばれている。自発光型の電気光学素子である有機ＥＬ素子を使用した有機ＥＬ表示装置は、バックライトおよびカラーフィルタなどを要する液晶表示装置に比べて、容易に薄型化・低消費電力化・高輝度化などを図ることができる。従って、近年、積極的に有機ＥＬ表示装置の開発が進められている。

[0003] 有機ＥＬ表示装置の駆動方式として、パッシブマトリクス方式（単純マトリクス方式とも呼ばれる。）とアクティブマトリクス方式とが知られている。パッシブマトリクス方式を採用した有機ＥＬ表示装置は、構造は単純であるものの、大型化および高精細化が困難である。これに対して、アクティブマトリクス方式を採用した有機ＥＬ表示装置（以下「アクティブマトリクス型の有機ＥＬ表示装置」という。）は、パッシブマトリクス方式を採用した有機ＥＬ表示装置に比べて大型化および高精細化を容易に実現できる。

[0004] アクティブマトリクス型の有機ＥＬ表示装置には、複数の画素回路がマトリクス状に形成されている。アクティブマトリクス型の有機ＥＬ表示装置の

画素回路は、典型的には、画素を選択する入力トランジスタと、有機ＥＬ素子への電流の供給を制御する駆動トランジスタとを含んでいる。なお、以下においては、駆動トランジスタから有機ＥＬ素子に流れる電流のことを「駆動電流」という場合がある。

[0005] 図３７は、従来一般的な画素回路８１の構成を示す回路図である。この画素回路８１は、表示部に配設されている複数のデータ線ＤＬと複数の走査線ＳＬとの各交差点に対応して設けられている。図３７に示すように、この画素回路８１は、２個のトランジスタＴ１、Ｔ２と、１個のコンデンサＣ_{s t}と、１個の有機ＥＬ素子ＯＬＥＤとを備えている。トランジスタＴ１は入力トランジスタであり、トランジスタＴ２は駆動トランジスタである。

[0006] トランジスタＴ１は、データ線ＤＬとトランジスタＴ２のゲート端子との間に設けられている。そのトランジスタＴ１に関し、走査線ＳＬにゲート端子が接続され、データ線ＤＬにソース端子が接続されている。トランジスタＴ２は、有機ＥＬ素子ＯＬＥＤと直列に設けられている。そのトランジスタＴ２に関し、ハイレベル電源電圧ＥＬＶＤＤを供給する電源線にドレイン端子が接続され、有機ＥＬ素子ＯＬＥＤのアノード端子にソース端子が接続されている。なお、ハイレベル電源電圧ＥＬＶＤＤを供給する電源線のことを以下「ハイレベル電源線」といい、ハイレベル電源線にはハイレベル電源電圧と同じ符号ＥＬＶＤＤを付す。コンデンサＣ_{s t}については、トランジスタＴ２のゲート端子に一端が接続され、トランジスタＴ２のソース端子に他端が接続されている。なお、トランジスタＴ２のドレイン端子にコンデンサＣ_{s t}の他端が接続されている場合もある。有機ＥＬ素子ＯＬＥＤのカソード端子は、ローレベル電源電圧ＥＬＶＳＳを供給する電源線に接続されている。なお、ローレベル電源電圧ＥＬＶＳＳを供給する電源線のことを以下「ローレベル電源線」といい、ローレベル電源線にはローレベル電源電圧と同じ符号ＥＬＶＳＳを付す。また、ここでは、トランジスタＴ２のゲート端子と、コンデンサＣ_{s t}の一端と、トランジスタＴ１のドレイン端子との接続点のことを便宜上「ゲートノードＶＧ」という。なお、一般的には、ドレイ

ンとソースのうち電位の高い方がドレインと呼ばれているが、本明細書の説明では、一方をドレイン、他方をソースと定義するので、ドレイン電位よりもソース電位の方が高くなることもある。

[0007] 図38は、図37に示す画素回路81の動作を説明するためのタイミングチャートである。時点 t_{81} 以前には、走査線SLは非選択状態となっている。従って、時点 t_{81} 以前には、トランジスタT1がオフ状態になっており、ゲートノードVGの電位は初期レベル（例えば、1つ前のフレームでの書き込みに応じたレベル）を維持している。時点 t_{81} になると、走査線SLが選択状態となり、トランジスタT1がオン状態となる。これにより、データ線DLおよびトランジスタT1を介して、この画素回路81が形成する画素（サブ画素）の輝度に対応するデータ電圧VdataがゲートノードVGに供給される。その後、時点 t_{82} までの期間に、ゲートノードVGの電位がデータ電圧Vdataに応じて変化する。このとき、コンデンサCstは、ゲートノードVGの電位とトランジスタT2のソース電位との差であるゲートーソース間電圧Vgsに充電される。時点 t_{82} になると、走査線SLが非選択状態となる。これにより、トランジスタT1がオフ状態となり、コンデンサCstが保持するゲートーソース間電圧Vgsが確定する。トランジスタT2は、コンデンサCstが保持するゲートーソース間電圧Vgsに応じて有機EL素子OLEDに駆動電流を供給する。その結果、駆動電流に応じた輝度で有機EL素子OLEDが発光する。

[0008] ところで、有機EL表示装置においては、駆動トランジスタとして、典型的には薄膜トランジスタ（TFT）が採用される。しかしながら、薄膜トランジスタについては、特性（閾値電圧および移動度）にばらつきが生じやすい。表示部内に設けられている駆動トランジスタの特性にばらつきが生じると、駆動電流の大きさにばらつきが発生する。その結果、表示画面に輝度むらが発生する。このため、有機EL表示装置において表示画面内の輝度むらの発生を抑制するためには、駆動トランジスタの特性のばらつきを補償する必要がある。

[0009] そこで、有機EL表示装置に関し、駆動トランジスタの特性のばらつきを補償する技術が従来より提案されている。例えば、日本の特開2007-233326号公報には、駆動トランジスタの特性（閾値電圧および移動度）に関わらず均一な輝度の画像表示を可能にする外部補償技術が開示されている。日本の特開2007-233326号公報に開示された技術では、駆動電流が読み出され、駆動電流とデータ電流との比較結果に応じた制御が行われている。

先行技術文献

特許文献

[0010] 特許文献1：日本の特開2007-233326

発明の概要

発明が解決しようとする課題

[0011] ところで、駆動トランジスタの特性に応じた補償を行うために駆動電流の測定が可能となるよう、画素回路を図39に示すような構成にすることが考えられる。図39に示す画素回路91には、従来から設けられている構成要素に加えて、駆動電流の測定を行うか否かを制御するためのトランジスタT3が設けられている。このトランジスタT3がオン状態になっているときに、データ線DLを介して駆動電流が読み出される。また、表示部には、このトランジスタT3のオン／オフを制御するための信号線が走査線と平行に設けられている。以下、説明の便宜上、従来から設けられている走査線に対応する信号線のことを「書き込み制御線」といい、トランジスタT3のオン／オフを制御するための信号線のことを「モニタ制御線」という。書き込み制御線には符号G1__WLを付し、モニタ制御線には符号G2__Moniを付す。

[0012] 以上のような構成において、表示画像への影響をできるだけ小さくするため、例えば1フレームに1行ずつ駆動電流の測定を行うことが考えられる。以下、各フレームにおいて駆動電流の測定の対象となっている1つの行のこ

とを「補償対象行」という。また、本明細書においては、説明の便宜上、先頭の行のことを「0行目」という。n行目が補償対象行となっているフレームでは、書き込み制御線G1__WLおよびモニタ制御線G2__Moniは図40に示すように駆動される。図40において、時点t91以前の期間および時点t94以降の期間は、補償対象行以外の行への処理を行うための期間である。時点t91以前の期間および時点t94以降の期間には、通常データ書き込みが行われる。従って、以下、時点t91以前の期間および時点t94以降の期間のことを「通常動作期間」という。図40において、時点t91～時点t94の期間は、補償対象行への処理を行うための期間である。時点t91～時点t94の期間には、駆動電流を測定して各駆動トランジスタの特性を検出する処理が行われる。従って、以下、時点t91～時点t94の期間のことを「特性検出処理期間」という。なお、特性検出処理期間の長さは、典型的には5～6水平走査期間に相当する長さである。

[0013] 図40から把握されるように、通常動作期間には、1水平走査期間ずつ書き込み制御線G1__WLが順次に選択状態となる。これに対して、特性検出処理期間には、補償対象行の書き込み制御線G1__WL(n)が2回選択状態にならないといけない。詳しくは、特性検出処理期間の最初と最後に、補償対象行の書き込み制御線G1__WL(n)が選択状態にならないといけない。なお、特性検出処理期間には、補償対象行で次のような処理が行われる。時点t91～時点t92の期間には、駆動電流の測定のためのデータ（以下、「補償前データ」という。）の書き込みが行われる。時点t92～時点t93の期間には、駆動電流の測定が行われる。時点t93～時点t94の期間には、画像表示のためのデータ（以下、「補償後データ」という。）の書き込みが行われる。図39に示した構成では、トランジスタT3を介して駆動電流の読み出しを行うため、時点t92～時点t93の期間にモニタ制御線G2__Moni(n)が選択状態にされる。

[0014] 上述の補償対象行は、フレームによって異なる。従って、例えば5行目が補償対象行に定められているフレームでは5行目の書き込み制御線G1__W

L (5) が 2 回選択状態にならなければならない、また、例えば 10 行目が補償対象行に定められているフレームでは 10 行目の書き込み制御線 G1__WL (10) が 2 回選択状態にならなければならない。このように、1 フレームに 1 行分ずつ駆動電流の測定を行うためには複雑な動作が必要となっている。

[0015] なお、書き込み制御線 G1__WL およびモニタ制御線 G2__Moni はいずれも画素回路 91 内のトランジスタのゲート端子に接続されている。そこで、本明細書においては、書き込み制御線用の駆動回路およびモニタ制御線用の駆動回路のことを総称して「ゲートドライバ回路」という。

[0016] ところで、近年、「リーク電流が極めて小さい」、「移動度が比較的高い」、「高精細化が可能である」などの理由により、InGaZnO (インジウム (In), ガリウム (Ga), 亜鉛 (Zn), および酸素 (O) からなる化合物) (酸化インジウムガリウム亜鉛) を含む TFT の採用が増加しつつある。ところが、InGaZnO を用いた製造プロセスにおいては、基板上に P チャネル型 TFT を形成することができない。従って、ゲートドライバ回路をモノリシック化するためには、当該回路を N チャネル型だけの TFT を用いて実現しなければならない。しかしながら、N チャネル型だけの TFT を用いて構成されたゲートドライバ回路で上述したような複雑な動作を実現することは極めて困難である。

[0017] そこで、本発明は、電流で駆動される自発光型表示素子を備え片チャネルの TFT で形成されたゲートドライバ回路を採用している表示装置において、駆動トランジスタの特性のばらつきの補償を実現することを目的とする。

課題を解決するための手段

[0018] 本発明の第 1 の局面は、電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含むマトリクス状に形成された複数の画素回路を有する表示装置であって、

各行に対応するように設けられ、対応する行の画素回路にデータ電圧を書

き込むか否かを制御するための複数の書き込み制御線と、

各行に対応するように設けられ、対応する行の画素回路に含まれている駆動トランジスタに供給される駆動電流を測定するか否かを制御するための複数のモニタ制御線と、

各列に対応するように設けられ、対応する列の画素回路に前記データ電圧を供給するための複数のデータ線と、

前記複数の書き込み制御線と1対1で対応する複数の第1の単位回路からなり第1のクロック信号群に基づいて動作するシフトレジスタであって前記第1のクロック信号群に基づいて前記複数の第1の単位回路が順次にアクティブな状態となるように構成された第1のシフトレジスタを含み、アクティブな状態の第1の単位回路に対応する書き込み制御線を選択状態にする書き込み制御線駆動回路と、

駆動電流を測定する対象となっている行である測定対象行に対応するモニタ制御線を選択状態にするためのモニタ制御線駆動回路と、

前記複数のデータ線に前記データ電圧を印加するデータ線駆動回路と、

前記複数の画素回路から供給される駆動電流を測定する電流測定回路と、

前記書き込み制御線駆動回路、前記モニタ制御線駆動回路、前記データ線駆動回路、および前記電流測定回路の動作を制御する駆動制御部と、

前記電流測定回路によって測定された駆動電流に基づいて、各画素回路の表示階調に対応する階調データを補正するための補正データを算出し、該補正データを保持する補正データ算出／記憶部と、

前記補正データ算出／記憶部に保持されている補正データに基づいて前記階調データを補正することによって、各画素回路に書き込まれるべきデータ電圧を求める階調補正部と

を備え、

前記複数の第1の単位回路は、Nチャネル型またはPチャネル型のいずれか一方のみのトランジスタを用いて構成され、

前記複数の第2の単位回路は、Nチャネル型またはPチャネル型のうち前

記複数の第 1 の単位回路を構成するトランジスタと同じ型のみトランジスタを用いて構成され、

前記モニタ制御線駆動回路は、前記複数のモニタ制御線と 1 対 1 で対応する複数の第 2 の単位回路からなり第 2 のクロック信号群とモニタ許可信号とに基づいて動作するシフトレジスタであって前記第 2 のクロック信号群に基づいて前記複数の第 2 の単位回路が順次にアクティブな状態となるように構成された第 2 のシフトレジスタを含み、前記モニタ許可信号がアクティブになっているときにアクティブな状態の第 2 の単位回路に対応するモニタ制御線を選択状態にし、

1 フレーム期間につき 1 つの行が前記測定対象行に定められ、

前記駆動制御部は、

前記第 1 のクロック信号群のクロックパルス数をカウントするクロックカウンタと、

前記測定対象行を示す測定対象アドレス値を保持する測定対象アドレス値記憶部と、

前記クロックカウンタの値と前記測定対象アドレス値とが一致しているか否かを判定する一致判定回路とを含み、

前記一致判定回路によって前記クロックカウンタの値と前記測定対象アドレス値とが一致したと判定された時点の 1 クロック期間後の時点から所定の期間が、前記電流測定回路による駆動電流の測定が行われる電流測定期間に定められ、

前記駆動制御部は、

前記電流測定期間の開始時点および終了時点には前記第 1 のクロック信号群に含まれるクロック信号のうち前記測定対象行に対応する第 1 の単位回路に与えられるクロック信号の電位のみが変化するよう、かつ、前記電流測定期間を通じて前記第 1 のクロック信号群によるクロック動作が停止するよう、前記第 1 のクロック信号群を制御し、

前記電流測定期間の開始時点に前記第2のクロック信号群に含まれるクロック信号の電位が変化した後、前記電流測定期間を通じて前記第2のクロック信号群によるクロック動作が停止するよう、前記第2のクロック信号群を制御し、

前記電流測定期間にのみ前記モニタ許可信号をアクティブにすることを特徴とする。

[0019] 本発明の第2の局面は、本発明の第1の局面において、
各第2の単位回路は、

前段および後段に接続され、内部状態を示す状態信号を出力する第1出力端子と、

対応するモニタ制御線に接続された第2出力端子と、

制御端子に前記モニタ許可信号が与えられ、第1導通端子が前記第1出力端子に接続され、第2導通端子が前記第2出力端子に接続された出力制御トランジスタと
を含むことを特徴とする。

[0020] 本発明の第3の局面は、本発明の第2の局面において、

前記出力制御トランジスタの制御端子に与えられる前記モニタ許可信号の電圧レベルを変換するレベルシフト回路を更に備えることを特徴とする。

[0021] 本発明の第4の局面は、本発明の第1の局面において、

前記電流測定回路では、第1階調に基づく駆動電流の測定と第2階調に基づく駆動電流の測定とが行われ、

前記駆動制御部は、各フレーム期間において前記第1階調に基づく駆動電流の測定が行われているのか前記第2階調に基づく駆動電流の測定が行われているのかを識別するための階調識別カウンタを更に含み、

前記補正データ算出／記憶部は、前記階調識別カウンタの値を参照しつつ、前記電流測定回路によって測定された2種類の駆動電流に基づいて前記補正データを算出することを特徴とする。

[0022] 本発明の第5の局面は、本発明の第4の局面において、

連続する２フレーム期間において、同じ行の画素回路について、前記第１階調に基づく駆動電流の測定と前記第２階調に基づく駆動電流の測定とが行われることを特徴とする。

- [0023] 本発明の第６の局面は、本発明の第１の局面において、
前記クロックカウンタの値と前記測定対象アドレス値とは同じビット数で表され、
前記一致判定回路は、
前記クロックカウンタの値と前記測定対象アドレス値との対応するビットどうしの排他的論理和を出力する複数の排他的論理和回路と、
前記複数の排他的論理和回路と１対１で対応するように設けられ、対応する排他的論理和回路の出力の論理否定を出力する複数の論理否定回路と、
前記複数の論理否定回路の出力の論理積を出力する論理積回路と
からなることを特徴とする。

- [0024] 本発明の第７の局面は、本発明の第１の局面において、
前記クロックカウンタの値と前記測定対象アドレス値とは同じビット数で表され、
前記一致判定回路は、
前記クロックカウンタの値と前記測定対象アドレス値との対応するビットどうしの排他的論理和を出力する複数の排他的論理和回路と、
前記複数の排他的論理和回路の出力の否定論理和を出力する否定論理和回路と
からなることを特徴とする。

- [0025] 本発明の第８の局面は、本発明の第１の局面において、
各第１の単位回路および各第２の単位回路は、
第１ノードと、
内部状態を示す状態信号を出力する第１出力端子と、
前段から出力される状態信号が制御端子および第１導通端子に与えられ、前記第１ノードに第２導通端子が接続された第１のトランジスタと、

前記第 1 ノードに制御端子が接続され、制御クロック信号が第 1 導通端子に与えられ、前記第 1 出力端子に第 2 導通端子が接続された第 2 のトランジスタと、

後段から出力される状態信号が制御端子に与えられ、前記第 1 出力端子に第 1 導通端子が接続され、オフレベルの直流電源電圧が第 2 導通端子に与えられた第 3 のトランジスタと、

後段から出力される状態信号が制御端子に与えられ、前記第 1 ノードに第 1 導通端子が接続され、オフレベルの直流電源電圧が第 2 導通端子に与えられた第 4 のトランジスタと

を含み、

各第 1 の単位回路に含まれる第 2 のトランジスタの第 1 導通端子には、前記制御クロック信号として、前記第 1 のクロック信号群のうちの 1 つの信号が与えられ、

各第 2 の単位回路に含まれる第 2 のトランジスタの第 1 導通端子には、前記制御クロック信号として、前記第 2 のクロック信号群のうちの 1 つの信号が与えられ、

各第 1 の単位回路に含まれる第 1 出力端子は、対応する書き込み制御線に接続され、

各第 2 の単位回路は、

対応するモニタ制御線に接続された第 2 出力端子と、

制御端子に前記モニタ許可信号が与えられ、第 1 導通端子が前記第 1 出力端子に接続され、第 2 導通端子が前記第 2 出力端子に接続された出力制御トランジスタと

を更に含むことを特徴とする。

[0026] 本発明の第 9 の局面は、本発明の第 1 の局面において、

前記複数の第 1 の単位回路および前記複数の第 2 の単位回路を構成するトランジスタは、酸化インジウムガリウム亜鉛を含む薄膜トランジスタであることを特徴とする。

[0027] 本発明の第10の局面は、電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含むマトリクス状に形成された複数の画素回路を有する表示装置の駆動方法であって、

前記表示装置の駆動動作を制御する駆動制御ステップと、

各画素回路に含まれている駆動トランジスタに供給される駆動電流を測定する電流測定ステップと、

前記電流測定ステップで測定された駆動電流に基づいて、各画素回路の表示階調に対応する階調データを補正するための補正データを算出する補正データ算出ステップと、

前記補正データ算出ステップで算出された補正データに基づいて前記階調データを補正することによって、各画素回路に書き込まれるべきデータ電圧を求める階調補正ステップと

を含み、

前記表示装置は、

各行に対応するように設けられ、対応する行の画素回路に前記データ電圧を書き込むか否かを制御するための複数の書き込み制御線と、

各行に対応するように設けられ、対応する行の画素回路に含まれている駆動トランジスタに供給される駆動電流を測定するか否かを制御するための複数のモニタ制御線と、

各列に対応するように設けられ、対応する列の画素回路に前記データ電圧を供給するための複数のデータ線と、

前記複数の書き込み制御線と1対1で対応する複数の第1の単位回路からなり第1のクロック信号群に基づいて動作するシフトレジスタであって前記第1のクロック信号群に基づいて前記複数の第1の単位回路が順次にアクティブな状態となるように構成された第1のシフトレジスタを含み、アクティブな状態の第1の単位回路に対応する書き込み制御線を選択状態にする書き込み制御線駆動回路と、

駆動電流を測定する対象となっている行である測定対象行に対応するモニタ制御線を選択状態にするためのモニタ制御線駆動回路とを備え、

前記複数の第1の単位回路は、Nチャネル型またはPチャネル型のいずれか一方のみのトランジスタを用いて構成され、

前記複数の第2の単位回路は、Nチャネル型またはPチャネル型のうち前記複数の第1の単位回路を構成するトランジスタと同じ型のみのトランジスタを用いて構成され、

前記モニタ制御線駆動回路は、前記複数のモニタ制御線と1対1で対応する複数の第2の単位回路からなり第2のクロック信号群とモニタ許可信号とに基づいて動作するシフトレジスタであって前記第2のクロック信号群に基づいて前記複数の第2の単位回路が順次にアクティブな状態となるように構成された第2のシフトレジスタを含み、前記モニタ許可信号がアクティブになっているときにアクティブな状態の第2の単位回路に対応するモニタ制御線を選択状態にし、

1フレーム期間につき1つの行が前記測定対象行に定められ、

前記駆動制御ステップは、

前記第1のクロック信号群のクロックパルス数をカウントするクロックパルスカウントステップと、

前記クロックパルスカウントステップでカウントされた値と前記測定対象行を示す測定対象アドレス値とが一致しているか否かを判定する一致判定ステップと

を含み、

前記クロックパルスカウントステップでカウントされた値と前記測定対象アドレス値とが一致したと前記一致判定ステップにおいて判定された時点の1クロック期間後の時点から所定の期間が、前記電流測定ステップでの駆動電流の測定が行われる電流測定期間に定められ、

前記駆動制御ステップでは、

前記電流測定期間の開始時点および終了時点には前記第１のクロック信号群に含まれるクロック信号のうち前記測定対象行に対応する第１の単位回路に与えられるクロック信号の電位のみが変化するように、かつ、前記電流測定期間を通じて前記第１のクロック信号群によるクロック動作が停止するように、前記第１のクロック信号群が制御され、

前記電流測定期間の開始時点に前記第２のクロック信号群に含まれるクロック信号の電位が変化した後、前記電流測定期間を通じて前記第２のクロック信号群によるクロック動作が停止するように、前記第２のクロック信号群が制御され、

前記電流測定期間にのみ前記モニタ許可信号がアクティブにされることを特徴とする。

発明の効果

[0028] 本発明の第１の局面によれば、書き込み制御線駆動回路の動作を制御する第１のクロック信号群のクロックパルス数と測定対象行を表す測定対象アドレス値とが一致するか否かを判定する一致判定回路が駆動制御部内に設けられている。そして、第１のクロック信号群のクロックパルス数と測定対象行を表す測定対象アドレス値とが一致すれば、駆動制御部は、両者が一致した時点の１クロック期間後の時点から所定の期間（電流測定期間）、第１のクロック信号群によるクロック動作を停止させる。また、駆動制御部は、電流測定期間の開始時点および終了時点に、第１のクロック信号群に含まれるクロック信号のうち測定対象行に対応する第１の単位回路に与えられるクロック信号の電位のみを変化させる。これにより、測定対象行の書き込み制御線が、電流測定期間の直前および直後の期間に選択状態となる。また、モニタ制御線駆動回路は、モニタ許可信号がアクティブになっているときにアクティブな状態の第２の単位回路に対応するモニタ制御線を選択状態にするように構成されている。ここで、駆動制御部は、第１のクロック信号群のクロックパルス数と測定対象行を表す測定対象アドレス値とが一致した時点の１クロック期間後の時点から所定の期間（電流測定期間）、第２のクロック信号

群によるクロック動作を停止させる。これにより、各フレーム期間において、電流測定期間に測定対象行のモニタ制御線が選択状態となり、それ以外の期間には全てのモニタ制御線が非選択状態で維持される。以上のように書き込み制御線およびモニタ制御線が駆動されることにより、各フレーム期間において、駆動トランジスタの特性を検出するための駆動電流の測定が行われる。そして、駆動電流の測定値に基づいて補正データが求められ、当該補正データに基づいて階調データの補正が行われる。その結果、駆動トランジスタの特性のばらつきが補償される。ここで、上述の動作を実現するゲートドライバ回路（書き込み制御線駆動回路およびモニタ制御線駆動回路）内のシフトレジスタは、Nチャネル型またはPチャネル型のいずれか一方のみのトランジスタを用いて構成されている。以上より、電流で駆動される自発光型表示素子を備え片チャネルのトランジスタで形成されたゲートドライバ回路を採用している表示装置において、駆動トランジスタの特性のばらつきを補償することが可能となる。ところで、上述のような駆動電流の測定を可能にするための複雑な動作を行うゲートドライバ回路は、一般的にはCMOSロジック回路で実現されている。このため、従来技術によれば、ゲートドライバ回路を構成するトランジスタにポリシリコンTFT以外のトランジスタが採用される場合には、複雑な動作を行うゲートドライバ回路をガラス基板上に形成することはできない。従って、ゲートドライバ回路をガラス基板上にICチップの形態で実装する必要がある。この点、本発明の第1の局面によれば、片チャネルのトランジスタを用いて構成されたゲートドライバ回路によって、複雑な動作が実現されている。このため、ゲートドライバ回路をIC化することなくガラス基板上に形成することができる。その結果、表示装置のコスト低減が実現される。

[0029] 本発明の第2の局面によれば、電流測定期間にのみモニタ制御線を選択状態にすることのできるモニタ制御線駆動回路が比較的簡易な構成で実現される。

[0030] 本発明の第3の局面によれば、出力制御トランジスタの制御端子に与えら

れる電圧のレベルを、モニタ制御線を選択状態にするのに十分なレベルにまで、確実に高めることが可能となる。

[0031] 本発明の第4の局面によれば、補正データ算出／記憶部は、電流測定回路から与えられる駆動電流の測定値が第1階調に基づく値であるのか第2階調に基づく値であるのかを識別することが可能となる。このため、確実に、2種類の駆動電流に基づいて補正データの算出が行われる。

[0032] 本発明の第5の局面によれば、行毎に階調識別カウンタを備える必要はなく、全体で1つの階調識別カウンタを備えるだけで良い。

[0033] 本発明の第6の局面によれば、複数の排他的論理和回路、複数の論理否定回路、および論理積回路からなる一致判定回路を備えた構成の表示装置において、本発明の第1の局面と同様の効果が得られる。

[0034] 本発明の第7の局面によれば、複数の排他的論理和回路および否定論理和回路からなる一致判定回路を備えた構成の表示装置において、本発明の第1の局面と同様の効果が得られる。

[0035] 本発明の第8の局面によれば、第1の単位回路および第2の単位回路の構成を複雑化させることなく、本発明の第1の局面と同様の効果が得られる。

[0036] 本発明の第9の局面によれば、高精細化や低消費電力化を図りつつ、本発明の第1の局面と同様の効果が得られる。

[0037] 本発明の第10の局面によれば、本発明の第1の局面と同様の効果を表示装置の駆動方法の発明において奏することができる。

図面の簡単な説明

[0038] [図1]本発明の一実施形態に係るアクティブマトリクス型の有機EL表示装置において4行目が補償対象行であると仮定した場合の動作を説明するためのタイミングチャートである。

[図2]上記実施形態において、有機EL表示装置の全体構成を示すブロック図である。

[図3]上記実施形態において、データ線駆動／電流測定回路の概略について説明するための図である。

[図4]上記実施形態において、表示部の構成について説明するための図である。

[図5]上記実施形態において、書き込み制御線およびモニタ制御線の駆動について説明するためのタイミングチャートである。

[図6]上記実施形態において、画素回路とデータ線駆動／電流測定回路の一部を示す回路図である。

[図7]上記実施形態において、表示制御回路内の駆動制御部の詳細な構成を示すブロック図である。

[図8]上記実施形態において、書き込みラインカウンタの構成を示すブロック図である。

[図9]上記実施形態において、カウンタ（第1カウンタ、第2カウンタ）の構成について説明するためのブロック図である。

[図10]上記実施形態において、D型フリップフロップについて説明するための図である。

[図11]上記実施形態において、D型フリップフロップについて説明するための図である。

[図12]上記実施形態における通常動作期間中のクロック信号CLK1およびクロック信号CLK2の信号波形図である。

[図13]上記実施形態において、第1カウンタからの出力の変化について説明するための図である。

[図14]上記実施形態において、第2カウンタからの出力の変化について説明するための図である。

[図15]上記実施形態において、マッチング回路の構成を示す論理回路図である。

[図16]上記実施形態において、AND回路に入力されるデータの数が多くなる場合の一構成例を示す論理回路図である。

[図17]上記実施形態において、図15に示したマッチング回路の1ビット分の構成に着目したときの真理値表を示す図である。

[図18]上記実施形態において、表示制御回路内の補正データ算出／記憶部の詳細な構成を示すブロック図である。

[図19]上記実施形態において、書き込み制御線駆動回路の構成を示すブロック図である。

[図20]上記実施形態において、書き込み制御線駆動回路を構成するシフトレジスタ内の単位回路の構成（シフトレジスタの１段分の構成）を示す回路図である。

[図21]上記実施形態において、単位回路の基本的な動作について説明するためのタイミングチャートである。

[図22]上記実施形態において、モニタ制御線駆動回路の構成を示すブロック図である。

[図23]上記実施形態における通常動作期間中のクロック信号CLK3およびクロック信号CLK4の信号波形図である。

[図24]上記実施形態において、モニタ制御線駆動回路を構成するシフトレジスタ内の単位回路の構成（シフトレジスタの１段分の構成）を示す回路図である。

[図25]上記実施形態において、単位回路内のトランジスタT49へのモニタインエーブル信号の与えられ方について説明するための図である。

[図26]上記実施形態において、書き込み制御線駆動回路の動作を説明するためのタイミングチャートである。

[図27]上記実施形態において、モニタ制御線駆動回路の動作を説明するためのタイミングチャートである。

[図28]上記実施形態において、画素回路の動作を説明するためのタイミングチャートである。

[図29]上記実施形態において、画素回路における電流の流れについて説明するための図である。

[図30]上記実施形態において、画素回路における電流の流れについて説明するための図である。

[図31]上記実施形態において、特性検出処理（駆動トランジスタの特性を検出するための一連の処理）のための制御手順を示すフローチャートである。

[図32]上記実施形態において、1つの画素（ i 行 j 列の画素）に着目したときの補償処理（駆動トランジスタの特性のばらつきを補償するための一連の処理）の手順を説明するためのフローチャートである。

[図33]上記実施形態において、階調－電流特性を示す図である。

[図34]上記実施形態の第1の変形例におけるマッチング回路の構成を示す論理回路図である。

[図35]上記実施形態の第1の変形例において、NOR回路に入力されるデータの数が増える場合の一構成例を示す論理回路図である。

[図36]上記実施形態の第2の変形例において、単位回路内のトランジスタT49へのモニタインーブル信号の与えられ方について説明するための図である。

[図37]従来一般的な画素回路の構成を示す回路図である。

[図38]図37に示す画素回路の動作を説明するためのタイミングチャートである。

[図39]駆動トランジスタの特性に応じた補償を行うために駆動電流の測定を可能にするための画素回路の構成例を示す回路図である。

[図40]書き込み制御線およびモニタ制御線の駆動について説明するためのタイミングチャートである。

発明を実施するための形態

[0039] 以下、添付図面を参照しつつ、本発明の実施形態について説明する。なお、各トランジスタに関し、ゲート端子は制御端子に相当し、ドレイン端子は第1導通端子に相当し、ソース端子は第2導通端子に相当する。

[0040] <1. 全体構成および動作概要>

図2は、本発明の一実施形態に係るアクティブマトリクス型の有機EL表示装置1の全体構成を示すブロック図である。この有機EL表示装置1は、表示制御回路100、データ線駆動／電流測定回路200、書き込み制御線

駆動回路 300, モニタ制御線駆動回路 400, および表示部 500 を備えている。データ線駆動／電流測定回路 200 には、図 3 に示すように、データ線駆動回路 210 として機能する部分と電流測定回路 220 として機能する部分とが含まれている。なお、本実施形態においては、表示部 500 を含む有機 EL パネル 6 内に書き込み制御線駆動回路 300 およびモニタ制御線駆動回路 400 が形成されている。すなわち、書き込み制御線駆動回路 300 およびモニタ制御線駆動回路 400 はモノリシック化されている。また、この有機 EL 表示装置 1 には、有機 EL パネル 6 に各種電源電圧を供給するための構成要素として、ロジック電源 610, ロジック電源 620, 有機 EL 用ハイレベル電源 630, および有機 EL 用ローレベル電源 640 が設けられている。

[0041] ロジック電源 610 から有機 EL パネル 6 には、書き込み制御線駆動回路 300 の動作に必要とされるハイレベル電源電圧 VDD およびローレベル電源電圧 VSS が供給される。ロジック電源 620 から有機 EL パネル 6 には、モニタ制御線駆動回路 400 の動作に必要とされるハイレベル電源電圧 VDD およびローレベル電源電圧 VSS が供給される。有機 EL 用ハイレベル電源 630 から有機 EL パネル 6 には、定電圧であるハイレベル電源電圧 ELVDD が供給される。有機 EL 用ローレベル電源 640 から有機 EL パネル 6 には、定電圧であるローレベル電源電圧 ELVSS が供給される。

[0042] 図 4 は、本実施形態における表示部 500 の構成について説明するための図である。なお、本明細書では、有機 EL パネル 6 がフルハイビジョン用のパネルであると仮定して説明する。但し、本発明はこれに限定されない。図 4 に示すように、表示部 500 には、1080 本の書き込み制御線 G1__WL(0)～G1__WL(1079) と 5760 本のデータ線 DL(0)～DL(5759) とが互いに交差するように配設されている。データ線 DL(0)～DL(5759) に関しては、赤色の画素用のデータ線、緑色の画素用のデータ線、および青色の画素用のデータ線が順次に配設されている。書き込み制御線 G1__WL(0)～G1__WL(1079) とデータ線 DL(

0) ~ DL (5759) との各交差点に対応して画素回路50が設けられている。すなわち、表示部500には、複数の行(1080行)および複数の列(5760列)を構成するように画素回路50がマトリクス状に形成されている。なお、上述したように、本明細書においては先頭の行のことを「0行目」という。すなわち、1080の行のことをそれぞれ0行目~1079行目という。同様に、5760の列のことをそれぞれ0列目~5759列目という。表示部500には、また、上記1080本の書き込み制御線G1__WL(0)~G1__WL(1079)と1対1に対応するように、1080本のモニタ制御線G2__Moni(0)~G2__Moni(1079)が配設されている。さらに、表示部500には、ハイレベル電源線ELVDDおよびローレベル電源線ELVSSが配設されている。画素回路50の詳しい構成については後述する。

[0043] なお、以下においては、1080本の書き込み制御線G1__WL(0)~G1__WL(1079)を互いに区別する必要がある場合には書き込み制御線を単に符号G1__WLで表す。同様に、モニタ制御線およびデータ線をそれぞれ単に符号G2__Moniおよび符号DLで表す。

[0044] 図2に示すように、表示制御回路100は、機能的には、駆動制御部110と補正データ算出/記憶部120と階調補正部130とを有している。駆動制御部110は、書き込み制御線駆動回路300の動作を制御するための書き込み制御信号WC TLと、モニタ制御線駆動回路400の動作を制御するためのモニタ制御信号MC TL、モニタイネーブル信号Moni__ENと、データ線駆動/電流測定回路200の動作を制御するためのソース制御信号SC TLとを出力する。書き込み制御信号WC TLには、後述するスタートパルス信号GSP、クロック信号CLK1、およびクロック信号CLK2が含まれている。モニタ制御信号MC TLには、後述するスタートパルス信号MSP、クロック信号CLK3、およびクロック信号CLK4が含まれている。ソース制御信号SC TLには、後述するスタートパルス信号SSP、クロック信号SCK、ラッチストロープ信号LS、および入出力制御信号D

WTが含まれている。なお、モニタイネーブル信号Moni__ENは、駆動電流の測定を可能にするか否かを制御するための信号である。駆動制御部110は、また、表示制御回路100の内部で、データ信号DAと後述する階調ポジション指示信号PSとを出力する。補正データ算出／記憶部120には、データ信号DAの補正に使用される補正データが保持されている。その補正データは、オフセット値とゲイン値によって構成されている。補正データ算出／記憶部120は、階調ポジション指示信号PSとデータ線駆動／電流測定回路200での電流測定の結果であるモニタ電圧Vmoとを受け取り、補正データの更新を行う。階調補正部130は、駆動制御部110から出力されたデータ信号DAに対して補正データ算出／記憶部120に保持されている補正データDHを用いて補正を施し、補正によって得られたデータをデジタル映像信号DVとして出力する。表示制御回路100内の構成要素についての更に詳しい説明は後述する。

[0045] なお、本実施形態においては、クロック信号CLK1およびクロック信号CLK2によって第1のクロック信号群が実現され、クロック信号CLK3およびクロック信号CLK4によって第2のクロック信号群が実現され、モニタイネーブル信号Moni__ENによってモニタ許可信号が実現されている。

[0046] データ線駆動／電流測定回路200は、データ線DL(0)～DL(5759)を駆動する動作（データ線駆動回路210としての動作）と、画素回路50からデータ線DL(0)～DL(5759)に出力された駆動電流を測定する動作（電流測定回路220としての動作）とを選択的に行う。なお、上述したように、補正データ算出／記憶部120には補正データとしてオフセット値およびゲイン値が保持される。これを実現するため、データ線駆動／電流測定回路200では、2種類の階調（第1階調P1および第2階調P2：P2>P1）に基づいて駆動電流の測定が行われる。

[0047] 書き込み制御線駆動回路300は、表示制御回路100から送られる書き込み制御信号WCTLに基づいて、1080本の書き込み制御線G1__WL

(0) ~ G1__WL (1079) を駆動する。モニタ制御線駆動回路400は、表示制御回路100から送られるモニタ制御信号MCTL, モニタインーブル信号Moni__ENに基づいて、1080本のモニタ制御線G2__Moni (0) ~ G2__Moni (1079) を駆動する。n行目が補償対象行(測定対象行)に定められているフレームには、書き込み制御線G1__WLおよびモニタ制御線G2__Moniは、図5に示すように駆動される。図5において、時点t2以前の期間および時点t5以降の期間は通常動作期間であって、時点t2~時点t5の期間は特性検出処理期間である。これについては、図26~図28においても同様である。通常動作期間には、書き込み制御線G1__WLが1水平走査期間ずつ順次に選択状態となる。また、通常動作期間には、全てのモニタ制御線G2__Moniが非選択状態で維持される。特性検出処理期間は、補償前データ(駆動電流の測定のためのデータ)の書き込みが行われる補償前データ書き込み期間と、駆動電流の測定が行われる電流測定期間と、補償後データ(画像表示のためのデータ)の書き込みが行われる補償後データ書き込み期間とによって構成されている。補償前データ書き込み期間および補償後データ書き込み期間に、補償対象行の書き込み制御線G1__WL(n)が選択状態となる。また、電流測定期間に、補償対象行のモニタ制御線G2__Moni(n)が選択状態となる。以上のような駆動を本実施形態においてどのように実現しているかについては、後述する。

[0048] 以上のように各構成要素が動作してデータ線DL(0)~DL(5759), 書き込み制御線G1__WL(0)~G1__WL(1079), およびモニタ制御線G2__Moni(0)~G2__Moni(1079)が駆動されることにより、表示部500に画像が表示される。その際、駆動電流の測定結果に基づいてデータ信号DAに補正が施されるので、駆動トランジスタの特性のばらつきが補償される。

[0049] <2. 画素回路およびデータ線駆動/電流測定回路>

データ線駆動/電流測定回路200は、データ線駆動回路210として機

能するときには次のような動作を行う。データ線駆動／電流測定回路200は、表示制御回路100から送られるソース制御信号SCTLを受け取り、データ線DL(0)～DL(5759)に駆動用映像信号を印加する。このとき、データ線駆動／電流測定回路200では、スタートパルス信号SSPのパルスをトリガーとして、クロック信号SCKのパルスが発生するタイミングで、各データ線DLに印加すべき電圧を示すデジタル映像信号DVが順次に保持される。そして、ラッチストロブ信号LSのパルスが発生するタイミングで、上記保持されたデジタル映像信号DVがアナログ電圧に変換される。その変換されたアナログ電圧は、駆動用映像信号として全てのデータ線DL(0)～DL(5759)に一斉に印加される。データ線駆動／電流測定回路200は、電流測定回路220として機能するときには、画素回路50からデータ線DL(0)～DL(5759)に出力された駆動電流に応じたモニタ電圧Vmoを出力する。

[0050] 図6は、画素回路50とデータ線駆動／電流測定回路200の一部を示す回路図である。図6には、i行j列目の画素回路50と、データ線駆動／電流測定回路200のうちのj列目のデータ線DL(j)に対応する部分とが示されている。この画素回路50は、1個の有機EL素子（電気光学素子）OLED、3個のトランジスタT1～T3、および1個のコンデンサCstを備えている。トランジスタT1は画素を選択する入力トランジスタとして機能し、トランジスタT2は有機EL素子OLEDへの電流の供給を制御する駆動トランジスタとして機能し、トランジスタT3は駆動トランジスタの特性を検出するための電流測定を行うか否かを制御するモニタ制御トランジスタとして機能する。

[0051] トランジスタT1は、データ線DL(j)とトランジスタT2のゲート端子との間に設けられている。そのトランジスタT1に関し、書き込み制御線GL_WL(i)にゲート端子が接続され、データ線DL(j)にソース端子が接続されている。トランジスタT2は、有機EL素子OLEDと直列に設けられている。そのトランジスタT2に関し、トランジスタT1のドレイ

ン端子にゲート端子が接続され、ハイレベル電源線 $ELVDD$ にドレイン端子が接続され、有機 EL 素子 $OLED$ のアノード端子にソース端子が接続されている。トランジスタ $T3$ については、モニタ制御線 $G2_Moni(i)$ にゲート端子が接続され、有機 EL 素子 $OLED$ のアノード端子にドレイン端子が接続され、データ線 $DL(j)$ にソース端子が接続されている。コンデンサ Cst については、トランジスタ $T2$ のゲート端子に一端が接続され、トランジスタ $T2$ のドレイン端子に他端が接続されている。有機 EL 素子 $OLED$ のカソード端子は、ローレベル電源線 $ELVSS$ に接続されている。

[0052] 本実施形態においては、画素回路 50 内のトランジスタ $T1 \sim T3$ はすべて N チャネル型である。また、本実施形態においては、トランジスタ $T1 \sim T3$ には、 $InGaZnO$ を含む $TFET$ が採用されている。書き込み制御線駆動回路 300 およびモニタ制御線駆動回路 400 内のトランジスタについても同様である。なお、片チャネルのトランジスタだけを用いた構成であれば、 $InGaZnO$ を含む $TFET$ 以外のトランジスタを用いた構成にも本発明を適用することができる。

[0053] 図 6 に示すように、データ線駆動／電流測定回路 200 は、 DA 変換器 21 、オペアンプ 22 、コンデンサ 23 、およびスイッチ 24 を含んでいる。 DA 変換器 21 の入力端子には、デジタル映像信号 DV が与えられている。 DA 変換器 21 は、デジタル映像信号 DV をアナログのデータ電圧に変換する。 DA 変換器 21 の出力端子は、オペアンプ 22 の非反転入力端子に接続されている。従って、オペアンプ 22 の非反転入力端子には、データ電圧が与えられる。オペアンプ 22 の反転入力端子は、データ線 $DL(j)$ に接続されている。スイッチ 24 は、オペアンプ 22 の反転入力端子と出力端子との間に設けられている。コンデンサ 23 は、スイッチ 24 と並列に、オペアンプ 22 の反転入力端子と出力端子との間に設けられている。スイッチ 24 の制御端子には、ソース制御信号 $SCTL$ に含まれる入出力制御信号 DWT が与えられている。オペアンプ 22 の出力端子は、表示制御回路 100 内の

階調補正部 130 に含まれている AD 変換器 131 の入力端子に接続されている。

[0054] 以上のような構成において、入出力制御信号 DWT がハイレベルのときには、スイッチ 24 はオン状態となり、オペアンプ 22 の反転入力端子－出力端子間は短絡状態となる。このとき、オペアンプ 22 はバッファアンプとして機能する。これにより、データ線 DL (j) には、オペアンプ 22 の非反転入力端子に与えられているデータ電圧が印加される。入出力制御信号 DWT がローレベルのときには、スイッチ 24 はオフ状態になり、オペアンプ 22 の反転入力端子と出力端子とはコンデンサ 23 を介して接続される。このとき、オペアンプ 22 とコンデンサ 23 とは積分回路として機能する。これにより、オペアンプ 22 の出力電圧（モニタ電圧 V_{mo} ）は、画素回路 50 からデータ線 DL (j) に出力された駆動電流に応じた電圧となる。AD 変換器 131 は、オペアンプ 22 の出力電圧（モニタ電圧 V_{mo} ）をデジタル値に変換する。本実施形態においては、電流測定期間には入出力制御信号 DWT はローレベルとなり、電流測定期間以外の期間には入出力制御信号 DWT はハイレベルとなる。

[0055] <3. 表示制御回路>

次に、本実施形態における表示制御回路 100 の詳しい構成および動作について説明する。

[0056] <3. 1 駆動制御部>

図 7 は、表示制御回路 100 内の駆動制御部 110 の詳細な構成を示すブロック図である。図 7 に示すように、駆動制御部 110 には、書き込みラインカウンタ 111 と補償対象ラインアドレス格納メモリ 112 とマッチング回路 113 とマッチングカウンタ 114 とステータスマシーン 115 と画像データ／ソース制御信号生成回路 116 とゲート制御信号生成回路 117 とが含まれている。なお、本実施形態においては、書き込みラインカウンタ 111 によってクロックカウンタが実現され、補償対象ラインアドレス格納メモリ 112 によって測定対象アドレス値記憶部が実現され、マッチング回路

1 1 3 によって一致判定回路が実現され、マッチングカウンタ 1 1 4 によって階調識別カウンタが実現されている。

[0057] 図 8 は、書き込みラインカウンタ 1 1 1 の構成を示すブロック図である。書き込みラインカウンタ 1 1 1 は、図 8 に示すように、ゲート制御信号生成回路 1 1 7 から出力されるクロック信号 C L K 1 のクロックパルス数をカウントする第 1 カウンタ 1 1 1 1 と、ゲート制御信号生成回路 1 1 7 から出力されるクロック信号 C L K 2 のクロックパルス数をカウントする第 2 カウンタ 1 1 1 2 と、第 1 カウンタ 1 1 1 1 の出力値と第 2 カウンタ 1 1 1 2 の出力値との和を示す値をカウント値 C n t W L として出力する加算器 1 1 1 3 とによって構成されている。

[0058] 図 9 は、本実施形態で使用されるカウンタ（第 1 カウンタ 1 1 1 1，第 2 カウンタ 1 1 1 2）の構成について説明するためのブロック図である。ここでは、便宜上、4 ビットのカウンタを例に挙げて説明する。このカウンタは、互いに直列に接続された 4 個の D 型フリップフロップ F F (0) ~ F F (3) によって構成されている。D 型フリップフロップ F F (0) からは 4 ビットのうちの最下位ビットを表す O U T _ 0 が出力され、D 型フリップフロップ F F (3) からは 4 ビットのうちの最上位ビットを表す O U T _ 3 が出力される。なお、実際には例えば 1 0 ビットのカウンタが使用される。すなわち、書き込み制御線 G 1 _ W L の本数が多くなるにつれてフリップフロップの接続数を多くすれば良い。

[0059] 図 1 0 は、1 個の D 型フリップフロップ F F を表す図である。D 型フリップフロップ F F は、クロック信号 C L K の立ち上がり時点における入力信号 D の論理値を示す値を Q として出力し、Q を反転させた値を Q B として出力する。D 型フリップフロップ F F はこのように動作するので、図 1 1 に示すように Q B を入力信号 D として与える構成にすると、クロック信号 C L K の最初の立ち上がり時点を除いて、クロック信号 C L K が立ち上がる毎に（クロック信号 C L K の論理値が 0 から 1 に変化する毎に）Q の値が反転する。

[0060] 第 1 カウンタ 1 1 1 1 については、フリップフロップ F F (0) にクロッ

ク信号CLK1が与えられる。ここで、上述のことを考慮すると、図9に示す構成において、フリップフロップFF(0)は、クロック信号CLK1の論理値が0から1に変化する毎に、OUT__0の値を反転させる。また、フリップフロップFF(1)は、OUT__0の論理値が1から0に変化する毎に、OUT__1の値を反転させる。さらに、フリップフロップFF(2)は、OUT__1の論理値が1から0に変化する毎に、OUT__2の値を反転させる。さらにまた、フリップフロップFF(3)は、OUT__2の論理値が1から0に変化する毎に、OUT__3の値を反転させる。なお、通常動作期間中、クロック信号CLK1およびクロック信号CLK2は図12に示すように変化する。以上より、第1カウンタ1111においては、OUT__1～OUT__4は、スタートパルス信号GSPのパルスの発生後、クロック信号CLK1に基づいて図13に示すように変化する。また、図12から把握されるように、クロック信号CLK1とクロック信号CLK2とは位相が180度ずれている。従って、第2カウンタ1112においては、OUT__1～OUT__4の値は、スタートパルス信号GSPのパルスの発生後、クロック信号CLK2に基づいて図14に示すように変化する。

[0061] 図13および図14から把握されるように、スタートパルス信号GSPのパルスの発生後、最初にクロック信号CLK1が立ち上がった時点には、書き込みラインカウンタ111から出力されるカウント値CntWLは0になる。その後、クロック信号CLK1またはクロック信号CLK2のいずれかが立ち上がる毎に、カウント値CntWLは1ずつ増加する。なお、D型フリップフロップFF(0)～FF(3)はクリア信号CLRに基づいて初期化される。換言すれば、書き込みラインカウンタ111から出力されるカウント値CntWLは、クリア信号CLRに基づいて0にされる。

[0062] 図7に関し、補償対象ラインアドレス格納メモリ112には、次に駆動電流の測定が行われるべき行（補償対象行）を示すアドレス（以下、「補償対象ラインアドレス」という。）Addrが格納されている。補償対象ラインアドレス格納メモリ112に格納されている補償対象ラインアドレスAdd

rは、ステータスマシーン115から出力される書き換え信号WEによって書き換えられる。なお、本明細書においては、補償対象行が何行目であるかを表す数値が補償対象ラインアドレスAddrに定められるものとして説明する。例えば、5行目が補償対象行であれば補償対象ラインアドレスは5となる。

[0063] マッチング回路113は、書き込みラインカウンタ111から出力されるカウント値CntWLと補償対象ラインアドレス格納メモリ112に格納されている補償対象ラインアドレスAddrとが一致しているか否かを判定し、その判定結果を示すマッチング信号MSを出力する。なお、カウント値CntWLと補償対象ラインアドレスAddrとは同じビット数で表される。本実施形態においては、カウント値CntWLと補償対象ラインアドレスAddrとが一致していればマッチング信号MSはハイレベルとされ、両者が一致していなければマッチング信号MSはローレベルとされる。マッチング回路113から出力されたマッチング信号MSは、ステータスマシーン115とマッチングカウンタ114とに与えられる。

[0064] 図15は、本実施形態におけるマッチング回路113の構成を示す論理回路図である。このマッチング回路113は、4個のEXOR回路（排他的論理和回路）71（1）～71（4）と4個のインバータ（論理否定回路）72（1）～72（4）と1個のAND回路（論理積回路）73とによって構成されている。EXOR回路71（1）～71（4）とインバータ72（1）～72（4）とは1対1で対応している。各EXOR回路71の一方の入力端子には、補償対象ラインアドレス格納メモリ112に格納されている補償対象ラインアドレスAddrを示す4ビットのデータのうちの1ビットのデータが第1入力データIN（a）として与えられる。各EXOR回路71の他方の入力端子には、書き込みラインカウンタ111から出力される4ビットのデータ（カウント値CntWL）のうちの1ビットのデータが第2入力データIN（b）として与えられる。各EXOR回路71は、第1入力データIN（a）の論理値と第2入力データIN（b）の論理値との排他的論

理和を示す値を第1出力データOUT (c)として出力する。各インバータ72の入力端子には、対応するEXOR回路71から出力された第1出力データOUT (c)が与えられる。各インバータ72は、第1出力データOUT (c)の論理値を反転させた値（すなわち、第1出力データOUT (c)の論理値の論理否定を示す値）を第2出力データOUT (d)として出力する。AND回路73は、インバータ72 (1)～72 (4)から出力される4つの第2出力データOUT (d)の論理積を示す値をマッチング信号MSとして出力する。なお、ここでは4ビットのデータを比較する例を挙げているが、実際には例えば10ビットのデータを比較するためにEXOR回路71およびインバータ72は10個ずつ設けられる。すなわち、書き込み制御線G1__WLの本数が多くなるにつれて、EXOR回路71およびインバータ72の数を多くすれば良い。

[0065] なお、AND回路73に入力されるデータの数が多くなる場合には、例えば図16に示すように、1個のAND回路73に代えて、複数のインバータ72から出力される第2出力データOUT (d)の論理積を示す値を出力する複数のAND回路731と、それら複数のAND回路731から出力される値の論理積を示す値を出力する1個のAND回路732とを設ける構成にしても良い。

[0066] 図17は、図15に示したマッチング回路113の1ビット分の構成に着目したときの真理値表を示す図である。「第1入力データIN (a)の値が0、かつ、第2入力データIN (b)の値が0」であれば、第1出力データOUT (c)の値は0となり、第2出力データOUT (d)の値は1となる。「第1入力データIN (a)の値が1、かつ、第2入力データIN (b)の値が0」であれば、第1出力データOUT (c)の値は1となり、第2出力データOUT (d)の値は0となる。「第1入力データIN (a)の値が0、かつ、第2入力データIN (b)の値が1」であれば、第1出力データOUT (c)の値は1となり、第2出力データOUT (d)の値は0となる。「第1入力データIN (a)の値が1、かつ、第2入力データIN (b)

の値が1」であれば、第1出力データOUT (c)の値は0となり、第2出力データOUT (d)の値は1となる。

[0067] 例えば、補償対象ラインアドレス格納メモリ112に格納されている4ビットのデータ(補償対象ラインアドレスAddr)が「a1=0, a2=1, a3=0, a4=0」となっていて、かつ、書き込みラインカウンタ111から出力される4ビットのデータ(カウント値CntWL)が「b1=0, b2=1, b3=0, b4=0」となっていれば、EXOR回路71(1)~71(4)から出力される第1出力データOUT (c)の値は全て0となり、インバータ72(1)~72(4)から出力される第2出力データOUT (d)の値は全て1となる。その結果、マッチング信号MSはハイレベルとなる。また、例えば、補償対象ラインアドレス格納メモリ112に格納されている4ビットのデータ(補償対象ラインアドレスAddr)が「a1=0, a2=1, a3=0, a4=1」となっていて、かつ、書き込みラインカウンタ111から出力される4ビットのデータ(カウント値CntWL)が「b1=0, b2=1, b3=0, b4=0」となっていれば、EXOR回路71(1)~71(3)から出力される第1出力データOUT (c)の値は0となるが、EXOR回路71(4)から出力される第1出力データOUT (c)の値は1となる。これにより、インバータ72(1)~72(3)から出力される第2出力データOUT (d)の値は1となり、インバータ72(4)から出力される第2出力データOUT (d)の値は0となる。その結果、マッチング信号MSはローレベルとなる。以上のようにして、補償対象ラインアドレスAddrとカウント値CntWLとが一致していれば、マッチング回路113から出力されるマッチング信号MSはハイレベルとなり、補償対象ラインアドレスAddrとカウント値CntWLとが一致していなければ、マッチング回路113から出力されるマッチング信号MSはローレベルとなる。

[0068] ところで、本実施形態においては、スタートパルス信号GSPのパルスの発生後、クロック信号CLK1, CLK2に基づいて、書き込み制御線G1

__WL が順次に選択状態となる。また、書き込みラインカウンタ 111 から出力されるカウント値 CntWL は、クロック信号 CLK1, CLK2 に基づいて 1 ずつ増加する。従って、カウント値 CntWL は、選択状態とされるべき書き込み制御線 G1__WL の行の値を表すことになる。例えば、或る時点 tx にクロック信号 CLK1 が立ち上がってカウント値 CntWL が 50 になったとすると、当該時点 tx から 1 水平走査期間、50 行目の書き込み制御線 G1__WL (50) が選択状態となる。また、補償対象行を示す補償対象ラインアドレス Addr が補償対象ラインアドレス格納メモリ 112 に格納されているので、カウント値 CntWL と補償対象ラインアドレス Addr とが一致した時点が、特性検出処理期間の開始時点となる。

[0069] 図 7 に関し、マッチングカウンタ 114 は、カウント値 CntM を出力する。このカウント値 CntM は、初期化された後 (0 にされた後)、マッチング信号 MS がローレベルからハイレベルに変化する毎に 1 ずつ加算される。また、マッチングカウンタ 114 からは、第 1 階調 P1 に基づいて駆動電流の測定が行われたのか第 2 階調 P2 に基づいて駆動電流の測定が行われたのかを識別するための階調ポジション指示信号 PS が出力される。なお、マッチングカウンタ 114 は、ステータスマシーンから出力されるクリア信号 CLR2 に基づいて初期化される。

[0070] ステータスマシーン 115 は、マッチング信号 MS に基づいて、制御信号 S1, 制御信号 S2, およびモニタインーブル信号 Moni__EN を出力する。また、ステータスマシーン 115 は、書き込みラインカウンタ 111 を初期化するためのクリア信号 CLR やマッチングカウンタ 114 を初期化するためのクリア信号 CLR2 を出力する。さらに、ステータスマシーン 115 は、補償対象ラインアドレス格納メモリ 112 に格納されている補償対象ラインアドレス Addr を更新するための書き換え信号 WE を出力する。

[0071] 画像データ／ソース制御信号生成回路 116 は、ステータスマシーン 115 から与えられる制御信号 S1 に基づいて、ソース制御信号 SCTL とデータ信号 DA とを出力する。なお、制御信号 S1 には、例えば、補償処理 (駆

動トランジスタの特性のばらつきを補償するための一連の処理)の開始を指示する信号が含まれている。ゲート制御信号生成回路117は、ステータスマシーン115から与えられる制御信号S2に基づいて、書き込み制御信号GCTLとモニタ制御信号MCTLとを出力する。なお、制御信号S2には、例えば、クロック信号CLK1~CLK4のクロック動作を制御する信号やスタートパルス信号GSP, MSPのパルスの出力を指示する信号が含まれている。

[0072] <3. 2 階調補正部>

階調補正部130は、補正データ算出/記憶部120に保持されている補正データDH(オフセット値およびゲイン値)を読み出して、駆動制御部110から出力されたデータ信号DAの補正を行う。そして、階調補正部130は、補正によって得られたデータ(画素回路50に書き込まれるべきデータ電圧に相当するデータ)をデジタル映像信号DVとして出力する。階調補正部130から出力されたデジタル映像信号DVは、データ線駆動/電流測定回路200に送られる。

[0073] <3. 3 補正データ算出/記憶部>

図18は、表示制御回路100内の補正データ算出/記憶部120の詳細な構成を示すブロック図である。図18に示すように、補正データ算出/記憶部120には、AD変換器121と補正演算回路122と不揮発性メモリ123とバッファメモリ124とが含まれている。AD変換器121は、データ線駆動/電流測定回路200から出力されたモニタ電圧Vmo(アナログ電圧)をデジタル信号Dmoに変換する。補正演算回路122は、デジタル信号Dmoに基づいて、階調補正部130での補正に用いるための補正データ(オフセット値およびゲイン値)を求める。その際、AD変換器121から出力されているデジタル信号Dmoが第1階調P1に基づくデータであるのか第2階調P2に基づくデータであるのかを判断するために、マッチングカウンタ114から出力される階調ポジション信号PSが参照される。補正演算回路132で求められた補正データDHは、不揮発性メモリ123に

保持される。詳しくは、不揮発性メモリ 123 には、画素回路 50 毎に、オフセット値とゲイン値とが保持される。階調補正部 130 でデータ信号 DA の補正が行われる際、不揮発性メモリ 123 から一時的にバッファメモリ 124 に読み出されている補正データ DH が使用される。

[0074] <4. 書き込み制御線駆動回路の構成>

図 19 は、本実施形態における書き込み制御線駆動回路 300 の構成を示すブロック図である。この書き込み制御線駆動回路 300 は、シフトレジスタ 3 を用いて実現されている。表示部 500 内の各書き込み制御線 G1__WL と 1 対 1 で対応するように、シフトレジスタ 3 の各段が設けられている。すなわち、本実施形態においては、書き込み制御線駆動回路 300 には、1080 段からなるシフトレジスタ 3 が含まれている。なお、図 19 には、1080 段のうちの (i-1) 段目から (i+1) 段目までを構成する単位回路 30 (i-1) ~ 30 (i+1) のみを示している。説明の便宜上、i は偶数であると仮定する。シフトレジスタ 3 の各段 (各単位回路) には、クロック信号 VCLK を受け取るための入力端子と、セット信号 S を受け取るための入力端子と、リセット信号 R を受け取るための入力端子と、各段の内部状態を示す状態信号 Q を出力するための出力端子とが設けられている。図 9 ~ 図 11 における符号 Q と図 19 における符号 Q とは何ら関係がない。なお、本実施形態においては、シフトレジスタ 3 によって第 1 のシフトレジスタが実現され、単位回路 30 によって第 1 の単位回路が実現されている。

[0075] 図 19 に関し、シフトレジスタ 3 の各段 (各単位回路) の入力端子に与えられる信号は次のようになっている。奇数段目については、クロック信号 CLK1 がクロック信号 VCLK として与えられ、偶数段目については、クロック信号 CLK2 がクロック信号 VCLK として与えられる。また、任意の段について、前段から出力される状態信号 Q がセット信号 S として与えられ、次段から出力される状態信号 Q がリセット信号 R として与えられる。但し、1 段目 (図 19 では不図示) については、スタートパルス信号 GSP がセット信号 S として与えられる。なお、ローレベル電源電圧 VSS (図 19 で

は不図示)については、全ての単位回路30に共通的に与えられる。シフトレジスタ3の各段からは状態信号Qが出力される。各段から出力される状態信号Qは、対応する書き込み制御線G1__WLへと出力されるとともに、リセット信号Rとして前段に与えられ、セット信号Sとして次段に与えられる。

[0076] 図20は、書き込み制御線駆動回路300を構成するシフトレジスタ3内の単位回路30の構成(シフトレジスタ3の1段分の構成)を示す回路図である。図20に示すように、単位回路30は、4個のトランジスタT31~T34を備えている。また、単位回路30は、ローレベル電源電圧VSS用の入力端子のほか、3個の入力端子31~33および1個の出力端子38を有している。ここで、セット信号Sを受け取る入力端子には符号31を付し、リセット信号Rを受け取る入力端子には符号32を付し、クロック信号VCLKを受け取る入力端子には符号33を付している。また、状態信号Qを出力する出力端子には符号38を付している。トランジスタT32のゲート端子ードレイン端子間には寄生容量Cgdが形成され、トランジスタT32のゲート端子ーソース端子間には寄生容量Cgsが形成されている。トランジスタT31のソース端子、トランジスタT32のゲート端子、およびトランジスタT34のドレイン端子は互いに接続されている。なお、これらが互いに接続されている領域(配線)のことを以下「第1ノード」という。第1ノードには、符号N1を付す。

[0077] トランジスタT31については、ゲート端子およびドレイン端子は入力端子31に接続され(すなわち、ダイオード接続となっている)、ソース端子は第1ノードN1に接続されている。トランジスタT32については、ゲート端子は第1ノードN1に接続され、ドレイン端子は入力端子33に接続され、ソース端子は出力端子38に接続されている。トランジスタT33については、ゲート端子は入力端子32に接続され、ドレイン端子は出力端子38に接続され、ソース端子はローレベル電源電圧VSS用の入力端子に接続され。トランジスタT34については、ゲート端子は入力端子32に接続さ

れ、ドレイン端子は第1ノードN1に接続され、ソース端子はローレベル電源電圧VSS用の入力端子に接続されている。

[0078] 次に、各構成要素のこの単位回路30における機能について説明する。トランジスタT31は、セット信号Sがハイレベルになると、第1ノードN1の電位をハイレベルに向けて変化させる。トランジスタT32は、第1ノードN1の電位がハイレベルになると、クロック信号VCLKの電位を出力端子38に与える。トランジスタT33は、リセット信号Rがハイレベルになると、出力端子38の電位をローレベル電源電圧VSSの電位に向けて変化させる。トランジスタT34は、リセット信号Rがハイレベルになると、第1ノードN1の電位をローレベル電源電圧VSSの電位に向けて変化させる。

[0079] なお、単位回路30に関し、本実施形態においては、出力端子38によって第1出力端子が実現され、トランジスタT31によって第1のトランジスタが実現され、トランジスタT32によって第2のトランジスタが実現され、トランジスタT33によって第3のトランジスタが実現され、トランジスタT34によって第4のトランジスタが実現され、クロック信号VCLKによって制御クロック信号が実現されている。

[0080] 図20および図21を参照しつつ、単位回路30の基本的な動作について説明する。単位回路30にクロック信号VCLKとして与えられるクロック信号CLK1、CLK2の波形は図12に示したとおりである（但し、特性検出処理期間を除く）。図21に示すように、時点t20以前の期間には、第1ノードN1の電位および状態信号Qの電位（出力端子38の電位）はローレベルとなっている。また、入力端子33には、所定期間おきにハイレベルとなるクロック信号VCLKが与えられている。なお、図21に関し、実際の波形にはいくつかの遅延が生じるが、ここでは理想的な波形を示している。

[0081] 時点t20になると、入力端子31にセット信号Sのパルスが与えられる。トランジスタT31は図20に示すようにダイオード接続となっているの

で、このセット信号SのパルスによってトランジスタT31はオン状態となる。これにより、第1ノードN1の電位が上昇する。

[0082] 時点t21になると、クロック信号VCLKがローレベルからハイレベルに変化する。このとき、リセット信号Rはローレベルとなっているので、トランジスタT34はオフ状態となっている。従って、第1ノードN1はフローティング状態となる。上述したように、トランジスタT32のゲート端子ードレイン端子間には寄生容量Cgdが形成され、トランジスタT32のゲート端子ーソース端子間には寄生容量Cgsが形成されている。このため、ブートストラップ効果によって、第1ノードN1の電位は大きく上昇する。その結果、トランジスタT32には大きな電圧が印加される。これにより、状態信号Qの電位（出力端子38の電位）はクロック信号VCLKのハイレベルの電位にまで上昇する。なお、時点t21～時点t22の期間中、リセット信号Rはローレベルとなっている。このため、トランジスタT33はオフ状態で維持されるので、この期間中に状態信号Qの電位が低下することはない。

[0083] 時点t22になると、クロック信号VCLKがハイレベルからローレベルに変化する。これにより、入力端子33の電位の低下とともに状態信号Qの電位は低下し、更に寄生容量Cgd、Cgsを介して第1ノードN1の電位も低下する。また、時点t22には、入力端子32にリセット信号Rのパルスが与えられる。これにより、トランジスタT33およびトランジスタT34はオン状態となる。トランジスタT33がオン状態になることによって状態信号Qの電位がローレベルにまで低下し、トランジスタT34がオン状態になることによって第1ノードN1の電位がローレベルにまで低下する。

[0084] 上述のような単位回路30の動作および図19に示したシフトレジスタ3の構成を考慮すると、通常動作期間には次のような動作が行われることが把握される。シフトレジスタ3の1段目にセット信号Sとしてのスタートパルス信号GSPのパルスが与えられると、クロック信号CKL1、CKL2に基づいて、各段から出力される状態信号Qに含まれるシフトパルスが0段目

から後続の段へと順次に転送される。また、各段から出力される状態信号Qは対応する書き込み制御線G1__WLへと出力される。従って、シフトパルスの転送に応じて、書き込み制御線G1__WLが1本ずつ順次に選択状態となる。このようにして、通常動作期間には、書き込み制御線G1__WLが1本ずつ順次に選択状態となる。

[0085] なお、単位回路30の構成は、図20に示した構成（4個のトランジスタT31～T34を含む構成）には限定されない。一般的には、駆動性能の向上や信頼性の向上を図るため、単位回路30には4個よりも多い数のトランジスタが含まれている。そのような場合にも、本発明を適用することができる。

[0086] <5. モニタ制御線駆動回路の構成>

図22は、本実施形態におけるモニタ制御線駆動回路400の構成を示すブロック図である。このモニタ制御線駆動回路400は、シフトレジスタ4を用いて実現されている。表示部500内の各モニタ制御線G2__Moniと1対1で対応するように、シフトレジスタ4の各段が設けられている。すなわち、本実施形態においては、モニタ制御線駆動回路400には、1080段からなるシフトレジスタ4が含まれている。なお、図22には、1080段のうちの(i-1)段目から(i+1)段目までを構成する単位回路40(i-1)～40(i+1)のみを示している。シフトレジスタ4の各段（各単位回路）には、クロック信号VCLKを受け取るための入力端子と、セット信号Sを受け取るための入力端子と、リセット信号Rを受け取るための入力端子と、状態信号Qを出力するための出力端子と、出力信号Q2を出力するための出力端子とが設けられている。なお、本実施形態においては、シフトレジスタ4によって第2のシフトレジスタが実現され、単位回路40によって第2の単位回路が実現されている。

[0087] 図22に関し、シフトレジスタ4の各段（各単位回路）の入力端子に与えられる信号は次のようになっている。奇数段目については、クロック信号CLK3がクロック信号VCLKとして与えられ、偶数段目については、クロ

ック信号CLK4がクロック信号CLKとして与えられる。また、任意の段について、前段から出力される状態信号Qがセット信号Sとして与えられ、次段から出力される状態信号Qがリセット信号Rとして与えられる。但し、1段目（図22では不図示）については、スタートパルス信号MSPがセット信号Sとして与えられる。なお、ローレベル電源電圧VSS（図22では不図示）については、全ての単位回路40に共通的に与えられる。また、全ての単位回路40に共通的にモニタネーブル信号Moni__EN（図22では不図示）が与えられる。シフトレジスタ4の各段からは状態信号Qおよび出力信号Q2が出力される。各段から出力される状態信号Qは、リセット信号Rとして前段に与えられるとともに、セット信号Sとして次段に与えられる。各段から出力される出力信号Q2は、対応するモニタ制御線G2__Moniへと出力される。なお、通常動作期間中、クロック信号CLK3およびクロック信号CLK4は図23に示すように変化する。

[0088] 図24は、モニタ制御線駆動回路400を構成するシフトレジスタ4内の単位回路40の構成（シフトレジスタ4の1段分の構成）を示す回路図である。図24に示すように、単位回路40は、5個のトランジスタT41～T44、T49を備えている。また、単位回路40は、ローレベル電源電圧VSS用の入力端子のほか、4個の入力端子41～44および2個の出力端子48、49を有している。図24におけるトランジスタT41～T44、入力端子41～43、および出力端子48は、それぞれ、図20におけるトランジスタT31～T34、入力端子31～33、および出力端子38に相当する。すなわち、単位回路40は、次の点を除いて単位回路30と同様の構成となっている。単位回路40には、出力端子48とは別の出力端子49が設けられている。また、単位回路40には、ドレイン端子が出力端子48に接続され、ソース端子が出力端子49に接続され、ゲート端子にモニタネーブル信号Moni__ENが与えられるように構成されたトランジスタT49が設けられている。なお、書き込み制御線駆動回路300を構成するシフトレジスタ3内の単位回路30と同様、この単位回路40についても図24

に示す構成には限定されない。

[0089] なお、単位回路40に関し、本実施形態においては、出力端子48によって第1出力端子が実現され、出力端子49によって第2出力端子が実現され、トランジスタT41によって第1のトランジスタが実現され、トランジスタT42によって第2のトランジスタが実現され、トランジスタT43によって第3のトランジスタが実現され、トランジスタT44によって第4のトランジスタが実現され、トランジスタT49によって出力制御トランジスタが実現され、クロック信号VCLKによって制御クロック信号が実現されている。

[0090] 上述のように、出力端子49およびトランジスタT49が設けられている点を除いては、単位回路40は、単位回路30と同様の構成となっている。また、シフトレジスタ4には、図23に示す波形のクロック信号CLK3、CLK4が与えられる。以上より、クロック信号CLK3、CLK4に基づいて、シフトレジスタ4の各段から出力される状態信号Qが順次にハイレベルとなる。ここで、任意の単位回路40に着目したとき、モニタイネーブル信号Moni__ENがローレベルになっていれば、トランジスタT49はオフ状態となる。このとき、状態信号Qがハイレベルになっていても、出力信号Q2はローレベルで維持される。このため、この単位回路40に対応するモニタ制御線G2__Moniは選択状態とはならない。これに対して、モニタイネーブル信号Moni__ENがハイレベルになっていれば、トランジスタT49はオン状態となる。このとき、状態信号Qがハイレベルになっていれば、出力信号Q2もハイレベルとなる。これにより、この単位回路40に対応するモニタ制御線G2__Moniが選択状態となる。

[0091] ここで、単位回路40内のトランジスタT49へのモニタイネーブル信号Moni__ENの与えられ方について、図25を参照しつつ説明する。図25に示すように、トランジスタT49に与えられるモニタイネーブル信号Moni__ENは、遅延回路1151から出力される。この遅延回路1151は、表示制御回路100の駆動制御部110内のステータスマシーン115

に設けられている。書き込みラインカウンタ 1 1 1 から出力されるカウント値 $CntWL$ と補償対象ラインアドレス格納メモリ 1 1 2 に格納されている補償対象ラインアドレス $Addr$ とが一致すると、マッチング信号 MS がローレベルからハイレベルに変化する。遅延回路 1 1 5 1 は、マッチング信号 MS の波形を 1 水平走査期間だけ遅延させる。これにより得られた信号がモニタネーブル信号 $Moni_EN$ として遅延回路 1 1 5 1 から出力される。以上のようにして、マッチング信号 MS がローレベルからハイレベルに変化した時点から 1 水平走査期間後に、トランジスタ $T49$ に与えられるモニタネーブル信号 $Moni_EN$ がハイレベルとなる。

[0092] <6. 表示制御回路で行われる制御処理>

次に、書き込み制御線駆動回路 3 0 0 およびモニタ制御線駆動回路 4 0 0 に所望の動作をさせるために表示制御回路 1 0 0 で行われる制御処理について説明する。各フレームにおいて、モニタネーブル信号 $Moni_EN$ がローレベルにされ、かつ、補償対象ラインアドレス格納メモリ 1 1 2 に補償対象行を示す補償対象ラインアドレス $Addr$ が設定され、かつ、書き込みラインカウンタ 1 1 1 が初期化された状態で、書き込み制御線駆動回路 3 0 0 の動作開始を指示するスタートパルス信号 GSP のパルスが出力される。また、スタートパルス信号 GSP のパルスが出力されてから 1 水平走査期間後に、モニタ制御線駆動回路 4 0 0 の動作開始を指示するスタートパルス信号 MSP のパルスが出力される。スタートパルス信号 GSP のパルスの出力後、クロック信号 $CLK1$, $CLK2$ に基づいて、カウント値 $CntWL$ が増加する。

[0093] 上述したように、マッチング回路 1 1 3 は、書き込みラインカウンタ 1 1 1 から出力されるカウント値 $CntWL$ と補償対象ラインアドレス格納メモリ 1 1 2 に格納されている補償対象ラインアドレス $Addr$ とが一致しているか否かを判定する。そして、カウント値 $CntWL$ と補償対象ラインアドレス $Addr$ とが一致したとき、ステータスマシーン 1 1 5 に与えられるマッチング信号 MS がローレベルからハイレベルに変化する。このとき、ステ

ータスマシーン 115 によって以下のような制御が行われる。なお、カウント値 Cnt_{WL} と補償対象ラインアドレス $Addr$ とが一致した時点は、特性検出処理期間の開始時点となる。

(a) クロック信号 CLK_1 , CLK_2 に対する制御

カウント値 Cnt_{WL} と補償対象ラインアドレス $Addr$ とが一致した時点の 1 水平走査期間後に、クロック信号 CLK_1 およびクロック信号 CLK_2 の双方がローレベルにされる。その後、電流測定期間を通じて、クロック信号 CLK_1 , CLK_2 によるクロック動作が停止状態にされる。電流測定期間の終了後、クロック信号 CLK_1 , CLK_2 の状態が、電流測定期間開始直前の状態に戻される。

(b) クロック信号 CLK_3 , CLK_4 に対する制御

カウント値 Cnt_{WL} と補償対象ラインアドレス $Addr$ とが一致した時点の 1 水平走査期間後に、クロック信号 CLK_3 およびクロック信号 CLK_4 の双方が通常と同様に変化させられる。その後、電流測定期間を通じて、クロック信号 CLK_3 , CLK_4 によるクロック動作が停止状態にされる。電流測定期間の終了後、クロック信号 CLK_3 , CLK_4 によるクロック動作が再開される。

(c) モニタインーブル信号 $Moni_EN$ に対する制御

カウント値 Cnt_{WL} と補償対象ラインアドレス $Addr$ とが一致した時点の 1 水平走査期間後に、モニタインーブル信号 $Moni_EN$ がハイレベルにされる。その後、電流測定期間を通じて、モニタインーブル信号 $Moni_EN$ がハイレベルで維持される。電流測定期間の終了後、モニタインーブル信号 $Moni_EN$ がローレベルにされる。

[0094] 換言すれば、表示制御回路 100 内の駆動制御部 110 によって、次のような制御処理が行われる。駆動制御部 110 は、電流測定期間の開始時点および終了時点には 2 つのクロック信号 CLK_1 , CLK_2 のうち補償対象行に対応する単位回路 30 に与えられるクロック信号の電位のみが変化するよう、かつ、電流測定期間を通じてクロック信号 CLK_1 , CLK_2 によるク

ロック動作が停止するよう、クロック信号CLK1, CLK2を制御する。
また、駆動制御部110は、電流測定期間の開始時点にクロック信号CLK3, CLK4の電位が変化した後、電流測定期間を通じてクロック信号CLK3, CLK4によるクロック動作が停止するよう、クロック信号CLK3, CLK4を制御する。さらに、駆動制御部110は、電流測定期間にのみモニタネーブル信号Moni_ENをアクティブにする。

[0095] <7. 書き込み制御線駆動回路の動作>

表示制御回路100での上述した制御処理の内容を踏まえつつ、特性検出処理期間近傍における書き込み制御線駆動回路300の動作について説明する。図26は、書き込み制御線駆動回路300の動作を説明するためのタイミングチャートである。なお、 n 行目が補償対象行に定められているものと仮定する。

[0096] 時点 t_1 になると、 $(n-1)$ 行目の書き込み制御線G1_WL $(n-1)$ が選択状態となる。これにより、 $(n-1)$ 行目において、通常のデータ書き込みが行われる。また、 $(n-1)$ 行目の書き込み制御線G1_WL $(n-1)$ が選択状態となることによって、シフトレジスタ3内の n 段目の単位回路30 (n) において、第1ノードN1 (n) の電位が上昇する。なお、時点 t_2 の直前の時点までは、補償対象ラインアドレスAddrとカウント値Cnt_WLとは一致していない。

[0097] 時点 t_2 になると、クロック信号CLK1が立ち上がる。これにより、 n 段目の単位回路30 (n) において、第1ノードN1 (n) の電位が更に上昇する。その結果、 n 行目の書き込み制御線G1_WL (n) が選択状態となる。このとき、 n 行目の各画素回路50には、補償前データが書き込まれる。また、時点 t_2 には、 n 行目の書き込み制御線G1_WL (n) が選択状態となることによって、シフトレジスタ3内の $(n+1)$ 段目の単位回路30 $(n+1)$ において、第1ノードN1 $(n+1)$ の電位が上昇する。

[0098] ところで、時点 t_2 には、クロック信号CLK1が立ち上がることによって、補償対象ラインアドレスAddrとカウント値Cnt_WLとが一致する

。これにより、表示制御回路100は、時点 t_2 から1水平走査期間後の時点 t_3 にクロック信号CLK1を立ち下げ、その後、電流測定期間の終了時点（時点 t_4 ）まで、クロック信号CLK1、CLK2によるクロック動作を停止させる。すなわち、時点 t_3 ～時点 t_4 の期間中、クロック信号CLK1およびクロック信号CLK2はローレベルで維持される。

[0099] なお、時点 t_3 には、クロック信号CLK1が立ち下がることに起因して、 n 段目の単位回路30(n)において、第1ノードN1(n)の電位が低下する。また、時点 t_3 には、クロック信号CLK2が立ち上がらないので、($n+1$)行目の書き込み制御線G1__WL($n+1$)は選択状態とはならない。このため、 n 段目の単位回路30(n)にはハイレベルのリセット信号Rは入力されない。従って、時点 t_3 の直後の時点における n 段目の単位回路30(n)内の第1ノードN1(n)の電位は、時点 t_2 の直前の時点における電位にほぼ等しくなる。

[0100] 時点 t_3 ～時点 t_4 の期間（電流測定期間）には、駆動トランジスタの特性を検出するための駆動電流の測定が行われる。この電流測定期間には、クロック信号CLK1、CLK2によるクロック動作は停止している。従って、電流測定期間中、 n 段目の単位回路30(n)内の第1ノードN1(n)の電位は維持される。

[0101] 電流測定期間の終了時点である時点 t_4 になると、表示制御回路100は、クロック信号CLK1、CLK2によるクロック動作を再開させる。その際、クロック信号CLK1およびクロック信号CLK2のうち電流測定期間の開始時点（時点 t_3 ）に立ち下げた方の信号（図26に示す例ではクロック信号CLK1）を立ち上げる。このようにして時点 t_4 にはクロック信号CLK1が立ち上がるので、 n 段目の単位回路30(n)において、第1ノードN1(n)の電位が上昇する。その結果、 n 行目の書き込み制御線G1__WL(n)が選択状態となる。このとき、 n 行目の各画素回路50には、補償後データが書き込まれる。

[0102] 時点 t_5 になると、クロック信号CLK1が立ち下がり、クロック信号C

L K 2 が立ち上がる。この時点 t_5 以降の期間には、書き込み制御線 $G1_WL$ が 1 行ずつ選択状態となる。これにより、1 行ずつ、通常のデータ書き込みが行われる。

[0103] < 8. モニタ制御線駆動回路の動作 >

表示制御回路 100 での上述した制御処理の内容を踏まえつつ、特性検出処理期間近傍におけるモニタ制御線駆動回路 400 の動作について説明する。図 27 は、モニタ制御線駆動回路 400 の動作を説明するためのタイミングチャートである。なお、ここでも n 行目が補償対象行に定められているものと仮定する。

[0104] モニタ制御線駆動回路 400 では、クロック信号 $CLK3$ およびクロック信号 $CLK4$ に基づいて、シフトレジスタ 4 内の各単位回路 40 から出力される状態信号 Q が 1 水平走査期間ずつ順次にハイレベルとなる。例えば、時点 $t_1 \sim$ 時点 t_2 の期間には、 $(n-2)$ 段目の単位回路 40 $(n-2)$ から出力される状態信号 $Q(n-2)$ がハイレベルとなり、時点 $t_2 \sim$ 時点 t_3 の期間には、 $(n-1)$ 段目の単位回路 40 $(n-1)$ から出力される状態信号 $Q(n-1)$ がハイレベルとなる。しかしながら、時点 t_3 の直前の時点以前の期間にはモニタイネーブル信号 $Moni_EN$ がローレベルとなっているので、 $(n-2)$ 行目のモニタ制御線 $G2_Moni(n-2)$ や $(n-1)$ 行目のモニタ制御線 $G2_Moni(n-1)$ は選択状態とはならない。

[0105] 時点 t_2 になると、補償対象ラインアドレス $Addr$ とカウント値 Cnt WL とが一致する。これにより、表示制御回路 100 は、時点 t_2 から 1 水平走査期間後の時点 t_3 に、モニタイネーブル信号 $Moni_EN$ をローレベルからハイレベルに変化させる。その結果、時点 t_3 には、全ての単位回路 40 内のトランジスタ $T49$ がオン状態となる。また、時点 t_3 には、 n 段目の単位回路 40 (n) から出力される状態信号 $Q(n)$ がハイレベルとなる。以上より、 n 段目の単位回路 40 (n) から出力される出力信号 $Q2(n)$ がハイレベルとなり、 n 行目のモニタ制御線 $G2_Moni(n)$ が

選択状態となる。

[0106] また、表示制御回路100は、時点 t_3 にクロック信号CLK3およびクロック信号CLK4の値を変化させた後、電流測定期間（時点 t_3 ～時点 t_4 の期間）を通じて、クロック信号CLK3、CLK4によるクロック動作を停止させる。図27に示す例では、時点 t_3 には、クロック信号CLK3はローレベルからハイレベルへと変化し、クロック信号CLK4はハイレベルからローレベルへと変化しているため、電流測定期間中、クロック信号CLK3はハイレベルで維持され、クロック信号CLK4はローレベルで維持される。このようにしてクロック信号CLK3、CLK4によるクロック動作が停止するので、電流測定期間を通じて、 n 行目のモニタ制御線G2_Moni(n)は選択状態で維持される。

[0107] 電流測定期間の終了時点である時点 t_4 になると、表示制御回路100は、モニタイネーブル信号Moni_ENをハイレベルからローレベルに変化させるとともに、クロック信号CLK3、CLK4によるクロック動作を再開させる。時点 t_4 ～時点 t_5 の期間には、($n+1$)段目の単位回路40($n+1$)から出力される状態信号Q($n+1$)がハイレベルとなるが、モニタイネーブル信号Moni_ENがローレベルとなっているため、($n+1$)行目のモニタ制御線G2_Moni($n+1$)は選択状態とはならない。同様に、時点 t_5 以降の期間には、いずれのモニタ制御線G2_Moniも選択状態とはならない。

[0108] <9. 画素回路の動作>

書き込み制御線駆動回路300およびモニタ制御線駆動回路400についての上述した動作を踏まえつつ、補償対象行に含まれる画素回路50の特性検出処理期間中における動作について説明する。図28は、画素回路50の動作を説明するためのタイミングチャートである。なお、ここでも n 行目が補償対象行に定められているものと仮定する。

[0109] 時点 t_2 になると、書き込み制御線G1_WL(n)が選択状態となる。これにより、トランジスタT1がオン状態となる。このとき、データ線駆動

回路 210 からデータ線 DL には、補償前データが供給されている。従って、図 29 で符号 75 で示す矢印のように、データ線 DL から画素回路 50 内に電流が供給される。これにより、補償前データに基づいてコンデンサ C_{st} が充電され、トランジスタ T2 がオン状態となる。また、時点 t_3 以前の期間には、モニタ制御線 $G2_Moni(n)$ は非選択状態となっているので、トランジスタ T3 はオフ状態で維持されている。以上より、時点 $t_2 \sim$ 時点 t_3 の期間（補償前データ書き込み期間）には、図 29 で符号 76 で示す矢印のように、トランジスタ T2 を介して有機 EL 素子 OLED に駆動電流が供給される。これにより、駆動電流に応じた輝度で、有機 EL 素子 OLED が発光する。なお、例えば、奇数フレームには第 1 階調 P1 に基づくデータが補償前データとされ、偶数フレームには第 2 階調 P2 に基づくデータが補償前データとされる。

[0110] 時点 t_3 になると、書き込み制御線 $G1_WL(n)$ が非選択状態となる。これにより、トランジスタ T1 はオフ状態となる。また、時点 t_3 には、モニタイネーブル信号 $Moni_EN$ がハイレベルとなるので、シフトレジスタ 4 の n 段目の単位回路 40 (n) から出力される出力信号 $Q2(n)$ に基づいてモニタ制御線 $G2_Moni(n)$ が選択状態となる。これにより、トランジスタ T3 がオン状態となる。その結果、図 30 で符号 77 で示す矢印のように、トランジスタ T3 を介して駆動電流がデータ線 DL に出力される。そして、電流測定回路 220 で、その駆動電流の測定が行われる。

[0111] 時点 t_4 になると、再度、書き込み制御線 $G1_WL(n)$ が選択状態となる。これにより、トランジスタ T1 がオン状態となる。また、時点 t_4 には、モニタ制御線 $G2_Moni(n)$ が非選択状態となる。これにより、トランジスタ T3 がオフ状態となる。このとき、データ線駆動回路 210 からデータ線 DL には、補償後データが供給されている。従って、図 29 で符号 75 で示す矢印のように、データ線 DL から画素回路 50 内に電流が供給される。これにより、補償後データに基づいてコンデンサ C_{st} が充電され、トランジスタ T2 がオン状態となる。以上より、時点 $t_4 \sim$ 時点 t_5 の期

間（補償後データ書き込み期間）には、図29で符号76で示す矢印のように、トランジスタT2を介して有機EL素子OLEDに駆動電流が供給される。これにより、駆動電流に応じた輝度で、有機EL素子OLEDが発光する。

[0112] <10. 具体的な動作例>

次に、図1を参照しつつ、4行目が補償対象行に定められていると仮定した場合の動作を説明する。なお、図1においては、時点t16～時点t19の期間が特性検出処理期間であり、時点t17～時点t18の期間が電流測定期間である。4行目が補償対象行であるので、補償対象ラインアドレス格納メモリ112に格納されている補償対象ラインアドレスAddrは4となっている。

[0113] 時点t11にスタートパルス信号GSPのパルスが発生し、時点t12にスタートパルス信号MSPのパルスが発生する。時点t12にクロック信号CLK1が立ち上がった際にはカウント値CntWLは0となり、時点t13にクロック信号CLK2が立ち上がった際にはカウント値CntWLは1となる。このように、時点t16になるまでは、補償対象ラインアドレスAddrとカウント値CntWLとは一致しない。従って、時点t16以前の期間には、1行ずつ通常のデータ書き込みが行われる。

[0114] 時点t16になってクロック信号CLK1が立ち上がると、カウント値CntWLは4となる。すなわち、時点t16には、補償対象ラインアドレスAddrとカウント値CntWLとが一致する。このとき、4行目の書き込み制御線G1__WL（4）が選択状態となり、4行目の画素回路50に補償前データが書き込まれる。

[0115] 時点t17には、クロック信号CLK1がハイレベルからローレベルに変化する。これにより、4行目の書き込み制御線G1__WL（4）は非選択状態となる。また、クロック信号CLK3はローレベルからハイレベルに変化し、クロック信号CLK4はハイレベルからローレベルに変化する。さらに、モニタネーブル信号Moni__ENがローレベルからハイレベルに変化

し、4行目のモニタ制御線G2_Moni(4)が選択状態となる。これにより、時点t17～時点t18の期間、駆動電流の測定が行われる。

[0116] 電流測定期間の終了時点である時点t18になると、クロック信号CLK3はハイレベルからローレベルに変化し、クロック信号CLK4はローレベルからハイレベルに変化する。また、モニタイネーブル信号Moni_ENがハイレベルからローレベルに変化し、4行目のモニタ制御線G2_Moni(4)が非選択状態となる。さらに、時点t18には、クロック信号CLK1がローレベルからハイレベルに変化する。これにより、4行目の書き込み制御線G1_WL(4)が再び選択状態となる。このとき、4行目の画素回路50には補償後データが書き込まれる。時点t19以降の期間には、1行ずつ通常のデータ書き込みが行われる。

[0117] <11. 特性検出処理>

図31は、特性検出処理（駆動トランジスタの特性を検出するための一連の処理）のための制御手順を示すフローチャートである。なお、書き込みラインカウンタ111およびマッチングカウンタ114は予め初期化され、補償対象ラインアドレス格納メモリ112に格納されている補償対象ラインアドレスAddrの値は補償対象行を示す値になっているものと仮定する。

[0118] 特性検出処理の開始後、クロック信号CLK1またはクロック信号CLK2のクロックパルスが発生する毎に、1本の書き込み制御線G1_WLが走査対象として選択される（ステップS100）。そして、補償対象ラインアドレス格納メモリ112に格納されている補償対象ラインアドレスAddrと書き込みラインカウンタ111から出力されるカウント値CntWLとが一致しているか否かの判定が行われる（ステップS110）。その結果、両者が一致していれば、処理はステップS120に進み、両者が一致していなければ、処理はステップS112に進む。ステップS112では、走査対象が最終行の書き込み制御線であるか否かの判定が行われる。その結果、走査対象が最終行の書き込み制御線であれば、処理はステップS150に進み、走査対象が最終行の書き込み制御線でなければ、処理はステップS100に

戻る。なお、処理がステップS 1 1 2に進んだ際には、通常のデータ書き込みが行われる。

[0119] ステップS 1 2 0では、カウント値C n t Mに1が加算される。その後、カウント値C n t Mが1であるか2であるかの判定が行われる（ステップS 1 3 0）。その結果、カウント値C n t Mが1であれば、処理はステップS 1 3 2に進み、カウント値C n t Mが2であれば、処理はステップS 1 3 4に進む。ステップS 1 3 2では、第1階調P 1に基づく駆動電流の測定が行われる。ステップS 1 3 4では、第2階調P 2に基づく駆動電流の測定が行われる。

[0120] ステップS 1 3 2またはステップS 1 3 4の終了後、走査対象が最終行の書き込み制御線であるか否かの判定が行われる（ステップS 1 4 0）。その結果、走査対象が最終行の書き込み制御線であれば、処理はステップS 1 5 0に進み、走査対象が最終行の書き込み制御線でなければ、処理はステップS 1 0 0に戻る。

[0121] ステップS 1 5 0では、カウント値C n t W Lが初期化される。その後、「カウント値C n t Mが1であって、かつ、補償対象ラインアドレスA d d rの値が最終行を示す値W L _ M a x以下である」という条件を満たしているか否かの判定が行われる（ステップS 1 6 0）。その結果、当該条件を満たしていれば、処理はステップS 1 6 2に進み、当該条件を満たしていなければ、処理はステップS 1 6 4に進む。

[0122] ステップS 1 6 2では、補償対象ラインアドレス格納メモリ1 1 2内の補償対象ラインアドレスA d d rに同じ値が代入される。なお、このステップS 1 6 2は必ずしも設けられる必要はない。ステップS 1 6 4では、「カウント値C n t Mが2であって、かつ、補償対象ラインアドレスA d d rの値が最終行を示す値W L _ M a x以下である」という条件を満たしているか否かの判定が行われる。その結果、当該条件を満たしていれば、処理はステップS 1 6 6に進み、当該条件を満たしていなければ、処理はステップS 1 7 0に進む。ステップS 1 6 6では、補償対象ラインアドレスA d d rに1が

加算される。ステップS 1 6 8では、カウント値C n t Mが初期化される。

[0123] ステップS 1 7 0では、「補償対象ラインアドレスA d d rの値が、最終行を示す値W L _ M a xに1を加算することによって得られる値に等しい」という条件を満たしているか否かの判定が行われる。その結果、当該条件を満たしていれば、処理はステップS 1 8 0に進み、当該条件を満たしていなければ、処理はステップS 1 0 0に戻る。ステップS 1 8 0では、補償対象ラインアドレスA d d rが初期化される。以上のようにして、表示部5 0 0内の全ての駆動トランジスタに対する1回の特性検出処理が終了する。

[0124] < 1 2. 補償処理 >

図3 2は、1つの画素（i行j列の画素）に着目したときの補償処理（駆動トランジスタの特性のばらつきを補償するための一連の処理）の手順を説明するためのフローチャートである。まず、上述したように、特性検出処理期間に駆動電流の測定が行われる（ステップS 2 0 0）。駆動電流の測定は、2種類の階調（第1階調P 1および第2階調P 2：P 2>P 1）に基づいて行われる。本実施形態では、連続する2フレームにおいて、1フレーム目に第1階調P 1に基づく駆動電流の測定が行われ、2フレーム目に第2階調P 2に基づく駆動電流の測定が行われる。より詳しくは、1フレーム目には、次式（1）で算出される第1測定用階調電圧V m_{p1}を画素回路5 0に書き込んだことによって得られる駆動電流の測定が行われ、2フレーム目には、次式（2）で算出される第2測定用階調電圧V m_{p2}を画素回路5 0に書き込んだことによって得られる駆動電流の測定が行われる。

[数1]

$$V_{m_{p1}} = V_{cw} \times V_n(P1) \times B(i, j) + V_{th}(i, j) \quad \cdots (1)$$

[数2]

$$V_{m_{p2}} = V_{cw} \times V_n(P2) \times B(i, j) + V_{th}(i, j) \quad \cdots (2)$$

ここで、V c wは、最小階調に対応する階調電圧と最大階調に対応する階調電圧との差（すなわち、階調電圧の範囲）である。V n（P 1）は、第1階

調P 1 を0～1の範囲の値に正規化した値であり、 $V_n(P 2)$ は、第2階調P 2を0～1の範囲の値に正規化した値である。 $B(i, j)$ は、次式(3)で算出されるi行j列の画素についての正規化係数である。 $V_{th}(i, j)$ は、i行j列の画素についてのオフセット値(このオフセット値は、駆動トランジスタの閾値電圧に相当する)である。

[数3]

$$B = \sqrt{\frac{\beta_0}{\beta}} \quad \dots (3)$$

ここで、 β_0 は全画素のゲイン値の平均値であり、 β はi行j列の画素についてのゲイン値である。

[0125] 2種類の階調に基づく駆動電流の測定が行われた後、測定値に基づいて、オフセット値 V_{th} およびゲイン値 β の算出が行われる(ステップS 2 1 0)。このステップS 2 1 0の処理は、補正演算回路1 2 2(図1 8参照)で行われる。オフセット値 V_{th} およびゲイン値 β の算出の際、トランジスタのドレインソース間電流(駆動電流) I_{ds} とゲートソース間電圧 V_{gs} との関係を示す次式(4)が用いられる。

[数4]

$$I_{ds} = \beta \times (V_{gs} - V_{th})^2 \quad \dots (4)$$

具体的には、第1階調P 1に基づく測定結果を上式(4)に代入した式と第2階調P 2に基づく測定結果を上式(4)に代入した式との連立方程式から、次式(5)に示すオフセット値と、次式(6)に示すゲイン値とが得られる。

[数5]

$$V_{th} = \frac{V_{gsP2} \sqrt{I_{OP1}} - V_{gsP1} \sqrt{I_{OP2}}}{\sqrt{I_{OP1}} - \sqrt{I_{OP2}}} \quad \dots (5)$$

[数6]

$$\beta = \frac{\left(\sqrt{I_{O_{P1}}} - \sqrt{I_{O_{P2}}} \right)^2}{\left(V_{GS_{P1}} - V_{GS_{P2}} \right)^2} \quad \dots (6)$$

ここで、 $I_{O_{P1}}$ は、第1階調P1に基づく測定結果としての駆動電流であり、 $I_{O_{P2}}$ は、第2階調P2に基づく測定結果としての駆動電流である。

[0126] 以上のようにして算出されたオフセット値 V_{th} およびゲイン値 β を用いて、補正データ算出／記憶部120内の不揮発性メモリ123（図18参照）に保持されている補正データが更新される。なお、ステップS210の処理が高速で行われるよう、ステップS200で得られた測定値のデータはSRAM（スタティックランダムアクセスメモリ）やDRAM（ダイナミックランダムアクセスメモリ）などの高速アクセスが可能なメモリに一時的に格納される。

[0127] 次に、 i 行 j 列の画素回路50に電圧を書き込む際に、オフセット値 V_{th} およびゲイン値 β を用いて次式（7）によって階調電圧が算出される（ステップS220）。このステップS220の処理は、階調補正部130（図2参照）で行われる。

[数7]

$$V_p = \left(V_{cw} \times V_{n(P)} \times \sqrt{\frac{\beta_0}{\beta}} + V_{th} \right) \quad \dots (7)$$

ここで、 $V_{n(P)}$ は、 i 行 j 列の画素における表示階調を0～1の範囲の値に正規化した値である。

[0128] その後、ステップS220で算出された階調電圧が、 i 行 j 列の画素回路50に書き込まれる（ステップS230）。以上のような補償処理が全ての画素に対して行われることにより、駆動トランジスタの特性のばらつきが補償される。

[0129] 図33は、階調－電流特性を示す図である。図33には、目標特性として

、 $\gamma = 2$ 。2の特性が示されている。駆動トランジスタに劣化が生じているとき、第1階調P1に基づく書き込みが行われた際に得られる駆動電流 $I_{O_{P1}}$ は、第1階調P1に対応する目標電流とは一致せず、第2階調P2に基づく書き込みが行われた際に得られる駆動電流 $I_{O_{P2}}$ は、第2階調P2に対応する目標電流とは一致しない。しかしながら、本実施形態においては、駆動電流 $I_{O_{P1}}$ 、 $I_{O_{P2}}$ に基づいて上述した方法でオフセット値 V_{th} およびゲイン値 β が算出される。そして、それらオフセット値 V_{th} およびゲイン値 β を用いて、各階調に対応する階調電圧が補正される。これにより、任意の階調に関し、画素回路50に階調電圧が書き込まれた際に得られる駆動電流が目標電流にほぼ一致する。従って、表示画面内の輝度むらの発生が抑制され、高画質表示が行われる。

[0130] <13. 効果>

本実施形態によれば、書き込み制御線駆動回路300の動作を制御するクロック信号CLK1、CLK2に基づいて得られるカウント値CntWL（走査対象行を表すカウント値CntWL）と補償対象行を表す補償対象ラインアドレスAddrとが一致するか否かを判定するマッチング回路113が表示制御回路100内に設けられている。そして、カウント値CntWLと補償対象ラインアドレスAddrとが一致すれば、表示制御回路100は、両者が一致した時点の1水平走査期間後から所定の期間（電流測定期間）、クロック信号CLK1、CLK2のクロック動作を停止させる。また、表示制御回路100は、電流測定期間の前後に同じクロック信号のパルスが発生するように、クロック信号CLK1、CLK2のクロック動作を制御する。これにより、特性検出処理期間に、補償対象行の書き込み制御線G1__WL（n）が2回選択状態となる。また、モニタ制御線駆動回路400を構成するシフトレジスタ4内の単位回路40には、他の段の動作を制御するための状態信号Qを出力する出力端子48とモニタ制御線G2__Moniに接続された出力端子49とが設けられ、出力端子48と出力端子49との間には、表示制御回路100から与えられるモニタイネーブル信号Moni__ENに

よってオン／オフが制御されるトランジスタT49が設けられている。そして、カウント値CntWLと補償対象ラインアドレスAddrとが一致すれば、表示制御回路100は、両者が一致した時点の1水平走査期間後から所定の期間（電流測定期間）だけモニタイネーブル信号Moni__ENをハイレベルにするとともに、電流測定期間にはクロック信号CLK3, CLK4のクロック動作を停止させる。これにより、各フレームにおいて、特性検出処理期間中の電流測定期間に補償対象行のモニタ制御線G2__Moni(n)が選択状態となり、それ以外の期間には全てのモニタ制御線G2__Moniが非選択状態で維持される。以上のように書き込み制御線G1__WLおよびモニタ制御線G2__Moniが駆動されることにより、各フレームにおいて、駆動トランジスタの特性を検出するための駆動電流の測定が行われる。そして、駆動電流の測定値に基づいて補正データが求められ、当該補正データに基づいて階調電圧の補正が行われる。その結果、駆動トランジスタの特性のばらつきが補償される。ここで、上述の動作を実現するゲートドライバ回路（書き込み制御線駆動回路300およびモニタ制御線駆動回路400）内のシフトレジスタは、Nチャネル型のみのTFETを用いて構成されている。以上より、本実施形態によれば、片チャネルのTFETで形成されたゲートドライバ回路を採用している有機EL表示装置1において、駆動トランジスタの特性のばらつきを補償することが可能となる。

[0131] 本明細書で説明しているような複雑な動作を行うゲートドライバ回路は、一般的にはCMOSロジック回路で実現されている。このため、従来技術によれば、ゲートドライバ回路を構成するTFETにポリシリコンTFET以外のTFETが採用される場合には、上述のような複雑な動作を行うゲートドライバ回路をガラス基板上に形成することはできない。従って、ゲートドライバ回路をガラス基板上にICチップの形態で実装する必要がある。この点、本実施形態によれば、Nチャネル型だけのTFETを用いて構成されたゲートドライバ回路によって上述のような複雑な動作が実現されている。このため、ゲートドライバ回路をIC化することなくガラス基板上に形成することがで

きる。その結果、表示装置のコスト低減が実現される。

[0132] < 1 4. 変形例 >

以下、上記実施形態の変形例について説明する。

[0133] < 1 4. 1 第 1 の変形例 >

図 3 4 は、上記実施形態の第 1 の変形例におけるマッチング回路 1 1 3 の構成を示す論理回路図である。本変形例においては、上記実施形態におけるインバータ 7 2 (1) ~ 7 2 (4) および AND 回路 7 3 (図 1 5 参照) に代えて、NOR 回路 (否定論理和回路) 7 4 が設けられている。NOR 回路 7 4 は、EXOR 回路 7 1 (1) ~ 7 1 (4) から出力される 4 つの第 1 出力データ OUT (c) の否定論理和を示す値をマッチング信号 MS として出力する。

[0134] 第 1 入力データ IN (a) の値と第 2 入力データ IN (b) の値とが一致していれば、第 1 出力データ OUT (c) の値は 0 となる。第 1 入力データ IN (a) の値と第 2 入力データ IN (b) の値とが一致していなければ、第 1 出力データ OUT (c) の値は 1 となる。従って、全ての EXOR 回路 7 1 (1) ~ 7 1 (4) において第 1 入力データ IN (a) の値と第 2 入力データ IN (b) の値とが一致していれば、NOR 回路 7 4 に入力される値が全て 0 となって、NOR 回路 7 4 から出力される値が 1 となる。すなわち、書き込みラインカウンタ 1 1 1 から出力されるカウント値 C n t W L と補償対象ラインアドレス格納メモリ 1 1 2 に格納されている補償対象ラインアドレス A d d r とが一致していれば、マッチング信号 MS はハイレベルとなる。

[0135] 以上のように、マッチング回路 1 1 3 を図 3 4 に示すような構成にすることもできる。なお、NOR 回路 7 4 に入力されるデータの数が増える場合には、例えば図 3 5 に示すように、1 個の NOR 回路 7 4 に代えて、複数の NOR 回路 7 4 1 と 1 個の AND 回路 7 4 2 とを設ける構成にしても良い。

[0136] < 1 4. 2 第 2 の変形例 >

上記実施形態においては、図 2 5 に示すように、遅延回路 1 1 5 1 から出

力されたモニタネーブル信号M o n i _ E NがトランジスタT 4 9に与えられていた。この場合、トランジスタT 4 9には、モニタネーブル信号M o n i _ E Nとして、ロジック電源の電圧しか与えることができない。このため、トランジスタT 4 9に与えられる電圧のレベルが、モニタ制御線G 2 _ M o n i を選択状態にするために十分なレベルにまで達しないことがある。そこで、本変形例においては、図36に示すように、遅延回路1151の後段にレベルシフト回路118が設けられている。

[0137] レベルシフト回路118では、ロジック電圧が所望のレベルにまで昇圧される。これにより、トランジスタT 4 9に与えられる電圧のレベルを、モニタ制御線G 2 _ M o n i を選択状態にするのに十分なレベルにまで、確実に高めることが可能となる。なお、レベルシフト回路118については、CMOS回路で実現されていても良い。

[0138] <15. その他>

本発明は、上述の実施形態および変形例に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。例えば、上記実施形態においては有機EL表示装置を例に挙げて説明したが、電流で駆動される自発光型表示素子を備えた表示装置であれば、有機EL表示装置以外の表示装置にも本発明を適用することができる。また、上記実施形態においてはNチャネル型だけのTF Tを用いてゲートドライバ回路が構成されている例を挙げて説明したが、Pチャネル型だけのTF Tを用いてゲートドライバ回路が構成されている場合にも本発明を適用することができる。

符号の説明

[0139] 1…有機EL表示装置
3, 4…シフトレジスタ
6…有機ELパネル
30, 40…(シフトレジスタ内の)単位回路
50…画素回路
100…表示制御回路

1 1 0 …駆動制御部
1 1 1 …書き込みラインカウンタ
1 1 2 …補償対象ラインアドレス格納メモリ
1 1 3 …マッチング回路
1 1 4 …マッチングカウンタ
1 1 5 …ステータスマシーン
1 1 6 …画像データ／ソース制御信号生成回路
1 1 7 …ゲート制御信号生成回路
1 2 0 …補正データ算出／記憶部
1 3 0 …階調補正部
2 0 0 …データ線駆動／電流測定回路
3 0 0 …書き込み制御線駆動回路
4 0 0 …モニタ制御線駆動回路
5 0 0 …表示部
T 1 …入力トランジスタ
T 2 …駆動トランジスタ
T 3 …モニタ制御トランジスタ
C s t …コンデンサ
D L, D L (0) ~ D L (5 9 7 8) …データ線
G 1 _ W L, G 1 _ W L (0) ~ G 1 _ W L (1 0 7 9) …書き込み制御
線
G 2 _ M o n i, G 2 _ M o n i (0) ~ G 2 _ M o n i (1 0 7 9) …
モニタ制御線
C L K 1 ~ C L K 4 …クロック信号
M o n i _ E N …モニタイネーブル信号
M S …マッチング信号
A d d r …補償対象ラインアドレス
C n t W L …書き込みラインカウンタから出力されるカウント値

請求の範囲

[請求項1]

電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含むマトリクス状に形成された複数の画素回路を有する表示装置であって、

各行に対応するように設けられ、対応する行の画素回路にデータ電圧を書き込むか否かを制御するための複数の書き込み制御線と、

各行に対応するように設けられ、対応する行の画素回路に含まれている駆動トランジスタに供給される駆動電流を測定するか否かを制御するための複数のモニタ制御線と、

各列に対応するように設けられ、対応する列の画素回路に前記データ電圧を供給するための複数のデータ線と、

前記複数の書き込み制御線と1対1で対応する複数の第1の単位回路からなり第1のクロック信号群に基づいて動作するシフトレジスタであって前記第1のクロック信号群に基づいて前記複数の第1の単位回路が順次にアクティブな状態となるように構成された第1のシフトレジスタを含み、アクティブな状態の第1の単位回路に対応する書き込み制御線を選択状態にする書き込み制御線駆動回路と、

駆動電流を測定する対象となっている行である測定対象行に対応するモニタ制御線を選択状態にするためのモニタ制御線駆動回路と、

前記複数のデータ線に前記データ電圧を印加するデータ線駆動回路と、

前記複数の画素回路から供給される駆動電流を測定する電流測定回路と、

前記書き込み制御線駆動回路、前記モニタ制御線駆動回路、前記データ線駆動回路、および前記電流測定回路の動作を制御する駆動制御部と、

前記電流測定回路によって測定された駆動電流に基づいて、各画素

回路の表示階調に対応する階調データを補正するための補正データを算出し、該補正データを保持する補正データ算出／記憶部と、

前記補正データ算出／記憶部に保持されている補正データに基づいて前記階調データを補正することによって、各画素回路に書き込まれるべきデータ電圧を求める階調補正部とを備え、

前記複数の第1の単位回路は、Nチャネル型またはPチャネル型のいずれか一方のみのトランジスタを用いて構成され、

前記複数の第2の単位回路は、Nチャネル型またはPチャネル型のうち前記複数の第1の単位回路を構成するトランジスタと同じ型のみのトランジスタを用いて構成され、

前記モニタ制御線駆動回路は、前記複数のモニタ制御線と1対1で対応する複数の第2の単位回路からなり第2のクロック信号群とモニタ許可信号とに基づいて動作するシフトレジスタであって前記第2のクロック信号群に基づいて前記複数の第2の単位回路が順次にアクティブな状態となるように構成された第2のシフトレジスタを含み、前記モニタ許可信号がアクティブになっているときにアクティブな状態の第2の単位回路に対応するモニタ制御線を選択状態にし、

1フレーム期間につき1つの行が前記測定対象行に定められ、

前記駆動制御部は、

前記第1のクロック信号群のクロックパルス数をカウントするクロックカウンタと、

前記測定対象行を示す測定対象アドレス値を保持する測定対象アドレス値記憶部と、

前記クロックカウンタの値と前記測定対象アドレス値とが一致しているか否かを判定する一致判定回路とを含み、

前記一致判定回路によって前記クロックカウンタの値と前記測定対

象アドレス値とが一致したと判定された時点の1クロック期間後の時点から所定の期間が、前記電流測定回路による駆動電流の測定が行われる電流測定期間に定められ、

前記駆動制御部は、

前記電流測定期間の開始時点および終了時点には前記第1のクロック信号群に含まれるクロック信号のうち前記測定対象行に対応する第1の単位回路に与えられるクロック信号の電位のみが変化するように、かつ、前記電流測定期間を通じて前記第1のクロック信号群によるクロック動作が停止するように、前記第1のクロック信号群を制御し、

前記電流測定期間の開始時点に前記第2のクロック信号群に含まれるクロック信号の電位が変化した後、前記電流測定期間を通じて前記第2のクロック信号群によるクロック動作が停止するように、前記第2のクロック信号群を制御し、

前記電流測定期間にのみ前記モニタ許可信号をアクティブにすることを特徴とする、表示装置。

[請求項2]

各第2の単位回路は、

前段および後段に接続され、内部状態を示す状態信号を出力する第1出力端子と、

対応するモニタ制御線に接続された第2出力端子と、

制御端子に前記モニタ許可信号が与えられ、第1導通端子が前記第1出力端子に接続され、第2導通端子が前記第2出力端子に接続された出力制御トランジスタと

を含むことを特徴とする、請求項1に記載の表示装置。

[請求項3]

前記出力制御トランジスタの制御端子に与えられる前記モニタ許可信号の電圧レベルを変換するレベルシフト回路を更に備えることを特徴とする、請求項2に記載の表示装置。

[請求項4]

前記電流測定回路では、第1階調に基づく駆動電流の測定と第2階調に基づく駆動電流の測定とが行われ、

前記駆動制御部は、各フレーム期間において前記第1階調に基づく駆動電流の測定が行われているのか前記第2階調に基づく駆動電流の測定が行われているのかを識別するための階調識別カウンタを更に含み、

前記補正データ算出／記憶部は、前記階調識別カウンタの値を参照しつつ、前記電流測定回路によって測定された2種類の駆動電流に基づいて前記補正データを算出することを特徴とする、請求項1に記載の表示装置。

[請求項5] 連続する2フレーム期間において、同じ行の画素回路について、前記第1階調に基づく駆動電流の測定と前記第2階調に基づく駆動電流の測定とが行われることを特徴とする、請求項4に記載の表示装置。

[請求項6] 前記クロックカウンタの値と前記測定対象アドレス値とは同じビット数で表され、

前記一致判定回路は、

前記クロックカウンタの値と前記測定対象アドレス値との対応するビットどうしの排他的論理和を出力する複数の排他的論理和回路と、

前記複数の排他的論理和回路と1対1で対応するように設けられ、対応する排他的論理和回路の出力の論理否定を出力する複数の論理否定回路と、

前記複数の論理否定回路の出力の論理積を出力する論理積回路とからなることを特徴とする、請求項1に記載の表示装置。

[請求項7] 前記クロックカウンタの値と前記測定対象アドレス値とは同じビット数で表され、

前記一致判定回路は、

前記クロックカウンタの値と前記測定対象アドレス値との対応するビットどうしの排他的論理和を出力する複数の排他的論理和回路と、

前記複数の排他的論理和回路の出力の否定論理和を出力する否定論理和回路と

からなることを特徴とする、請求項 1 に記載の表示装置。

[請求項 8]

各第 1 の単位回路および各第 2 の単位回路は、

第 1 ノードと、

内部状態を示す状態信号を出力する第 1 出力端子と、

前段から出力される状態信号が制御端子および第 1 導通端子に与えられ、前記第 1 ノードに第 2 導通端子が接続された第 1 のトランジスタと、

前記第 1 ノードに制御端子が接続され、制御クロック信号が第 1 導通端子に与えられ、前記第 1 出力端子に第 2 導通端子が接続された第 2 のトランジスタと、

後段から出力される状態信号が制御端子に与えられ、前記第 1 出力端子に第 1 導通端子が接続され、オフレベルの直流電源電圧が第 2 導通端子に与えられた第 3 のトランジスタと、

後段から出力される状態信号が制御端子に与えられ、前記第 1 ノードに第 1 導通端子が接続され、オフレベルの直流電源電圧が第 2 導通端子に与えられた第 4 のトランジスタと
を含み、

各第 1 の単位回路に含まれる第 2 のトランジスタの第 1 導通端子には、前記制御クロック信号として、前記第 1 のクロック信号群のうちの 1 つの信号が与えられ、

各第 2 の単位回路に含まれる第 2 のトランジスタの第 1 導通端子には、前記制御クロック信号として、前記第 2 のクロック信号群のうちの 1 つの信号が与えられ、

各第 1 の単位回路に含まれる第 1 出力端子は、対応する書き込み制御線に接続され、

各第 2 の単位回路は、

対応するモニタ制御線に接続された第2出力端子と、

制御端子に前記モニタ許可信号が与えられ、第1導通端子が前記第1出力端子に接続され、第2導通端子が前記第2出力端子に接続された出力制御トランジスタと
を更に含むことを特徴とする、請求項1に記載の表示装置。

[請求項9] 前記複数の第1の単位回路および前記複数の第2の単位回路を構成するトランジスタは、酸化インジウムガリウム亜鉛を含む薄膜トランジスタであることを特徴とする、請求項1に記載の表示装置。

[請求項10] 電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含むマトリクス状に形成された複数の画素回路を有する表示装置の駆動方法であって、

前記表示装置の駆動動作を制御する駆動制御ステップと、

各画素回路に含まれている駆動トランジスタに供給される駆動電流を測定する電流測定ステップと、

前記電流測定ステップで測定された駆動電流に基づいて、各画素回路の表示階調に対応する階調データを補正するための補正データを算出する補正データ算出ステップと、

前記補正データ算出ステップで算出された補正データに基づいて前記階調データを補正することによって、各画素回路に書き込まれるべきデータ電圧を求める階調補正ステップと
を含み、

前記表示装置は、

各行に対応するように設けられ、対応する行の画素回路に前記データ電圧を書き込むか否かを制御するための複数の書き込み制御線と、
、

各行に対応するように設けられ、対応する行の画素回路に含まれている駆動トランジスタに供給される駆動電流を測定するか否かを制

御するための複数のモニタ制御線と、

各列に対応するように設けられ、対応する列の画素回路に前記データ電圧を供給するための複数のデータ線と、

前記複数の書き込み制御線と1対1で対応する複数の第1の単位回路からなり第1のクロック信号群に基づいて動作するシフトレジスタであって前記第1のクロック信号群に基づいて前記複数の第1の単位回路が順次にアクティブな状態となるように構成された第1のシフトレジスタを含み、アクティブな状態の第1の単位回路に対応する書き込み制御線を選択状態にする書き込み制御線駆動回路と、

駆動電流を測定する対象となっている行である測定対象行に対応するモニタ制御線を選択状態にするためのモニタ制御線駆動回路とを備え、

前記複数の第1の単位回路は、Nチャネル型またはPチャネル型のいずれか一方のみのトランジスタを用いて構成され、

前記複数の第2の単位回路は、Nチャネル型またはPチャネル型のうち前記複数の第1の単位回路を構成するトランジスタと同じ型のみのトランジスタを用いて構成され、

前記モニタ制御線駆動回路は、前記複数のモニタ制御線と1対1で対応する複数の第2の単位回路からなり第2のクロック信号群とモニタ許可信号とに基づいて動作するシフトレジスタであって前記第2のクロック信号群に基づいて前記複数の第2の単位回路が順次にアクティブな状態となるように構成された第2のシフトレジスタを含み、前記モニタ許可信号がアクティブになっているときにアクティブな状態の第2の単位回路に対応するモニタ制御線を選択状態にし、

1フレーム期間につき1つの行が前記測定対象行に定められ、

前記駆動制御ステップは、

前記第1のクロック信号群のクロックパルス数をカウントするクロックパルスカウントステップと、

前記クロックパルスカウントステップでカウントされた値と前記測定対象行を示す測定対象アドレス値とが一致しているか否かを判定する一致判定ステップと

を含み、

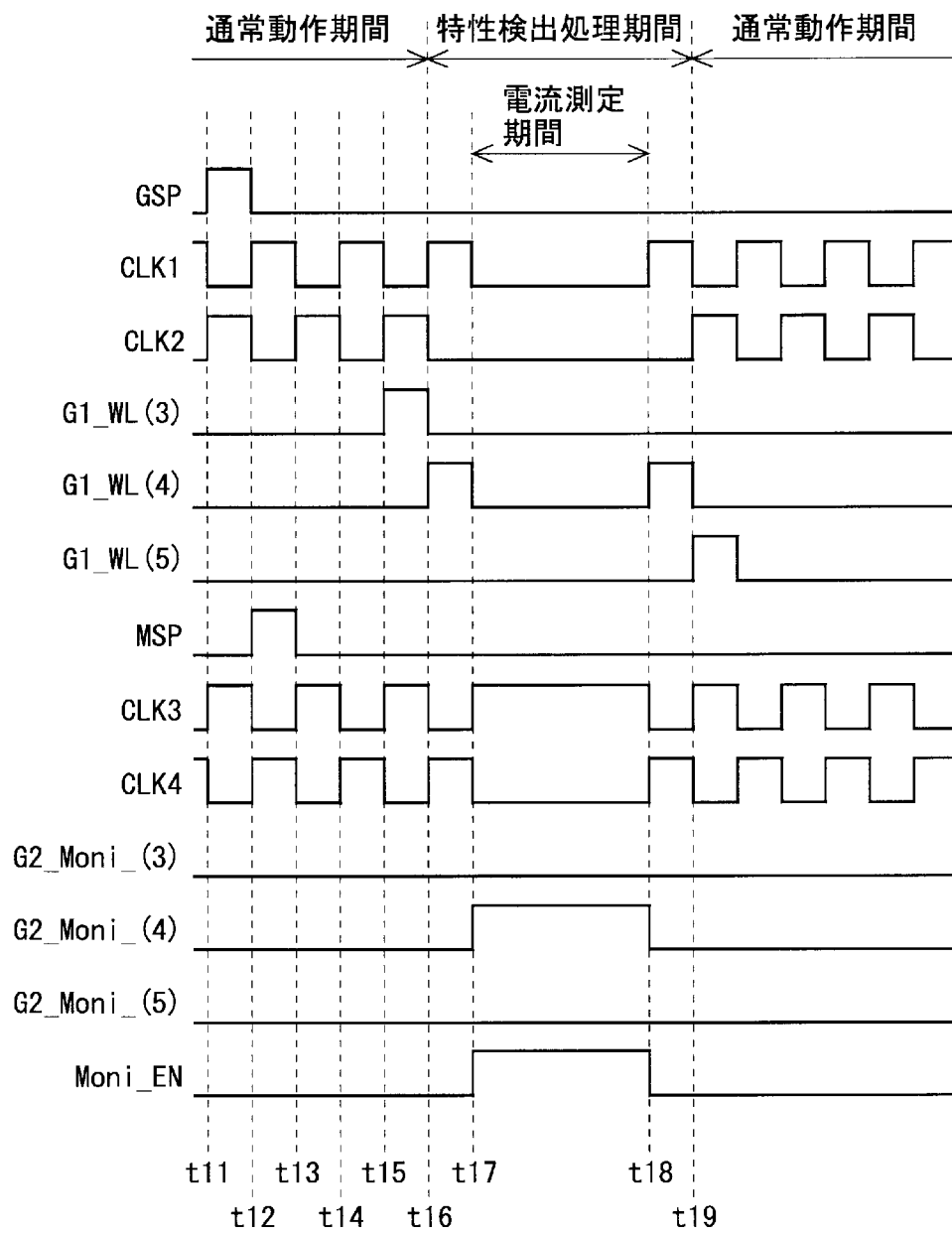
前記クロックパルスカウントステップでカウントされた値と前記測定対象アドレス値とが一致したと前記一致判定ステップにおいて判定された時点の1クロック期間後の時点から所定の期間が、前記電流測定ステップでの駆動電流の測定が行われる電流測定期間に定められ、
前記駆動制御ステップでは、

前記電流測定期間の開始時点および終了時点には前記第1のクロック信号群に含まれるクロック信号のうち前記測定対象行に対応する第1の単位回路に与えられるクロック信号の電位のみが変化するように、かつ、前記電流測定期間を通じて前記第1のクロック信号群によるクロック動作が停止するように、前記第1のクロック信号群が制御され、

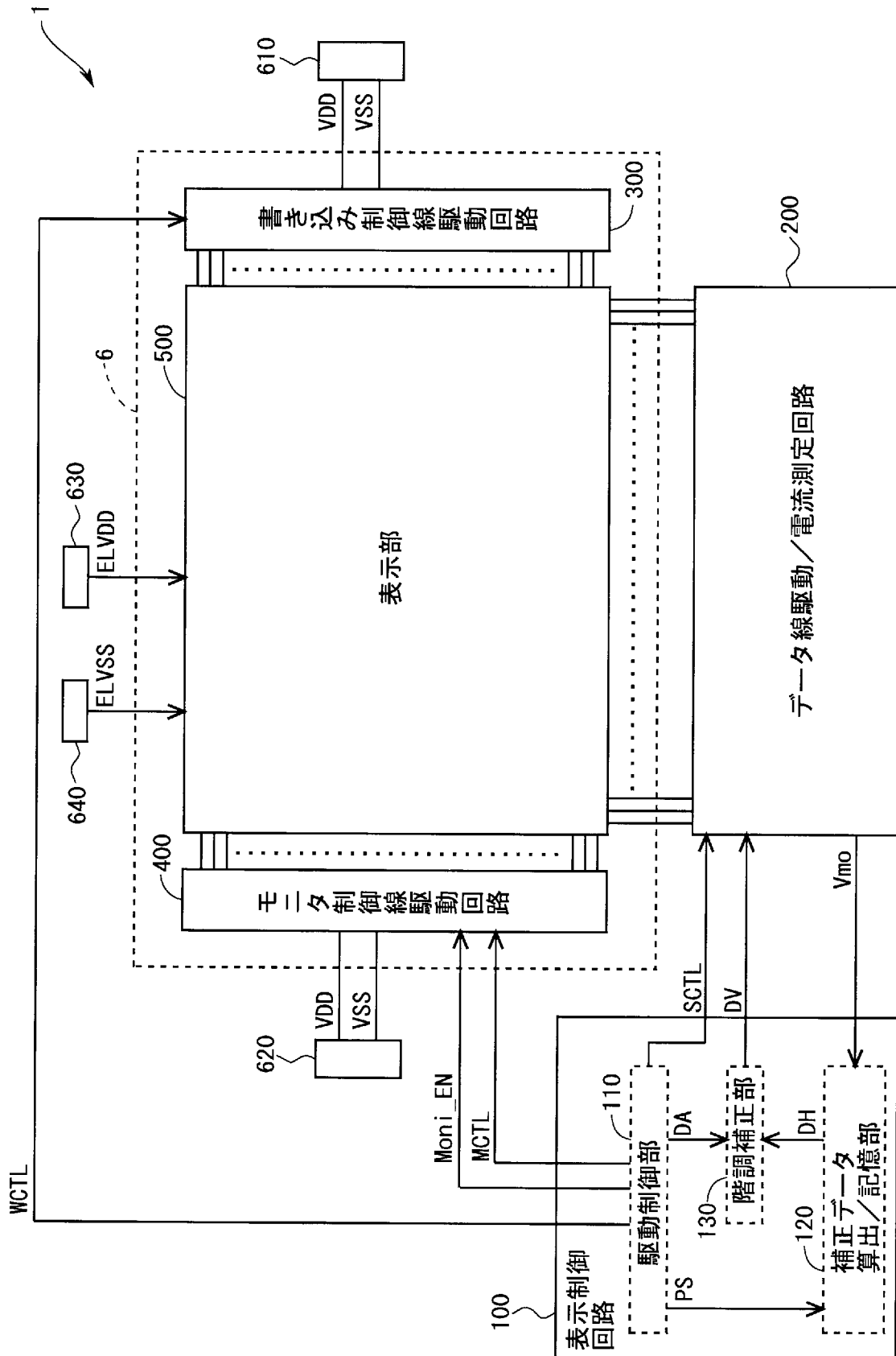
前記電流測定期間の開始時点に前記第2のクロック信号群に含まれるクロック信号の電位が変化した後、前記電流測定期間を通じて前記第2のクロック信号群によるクロック動作が停止するように、前記第2のクロック信号群が制御され、

前記電流測定期間にのみ前記モニタ許可信号がアクティブにされることを特徴とする、駆動方法。

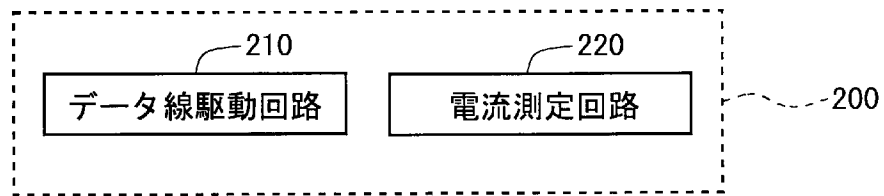
[図1]



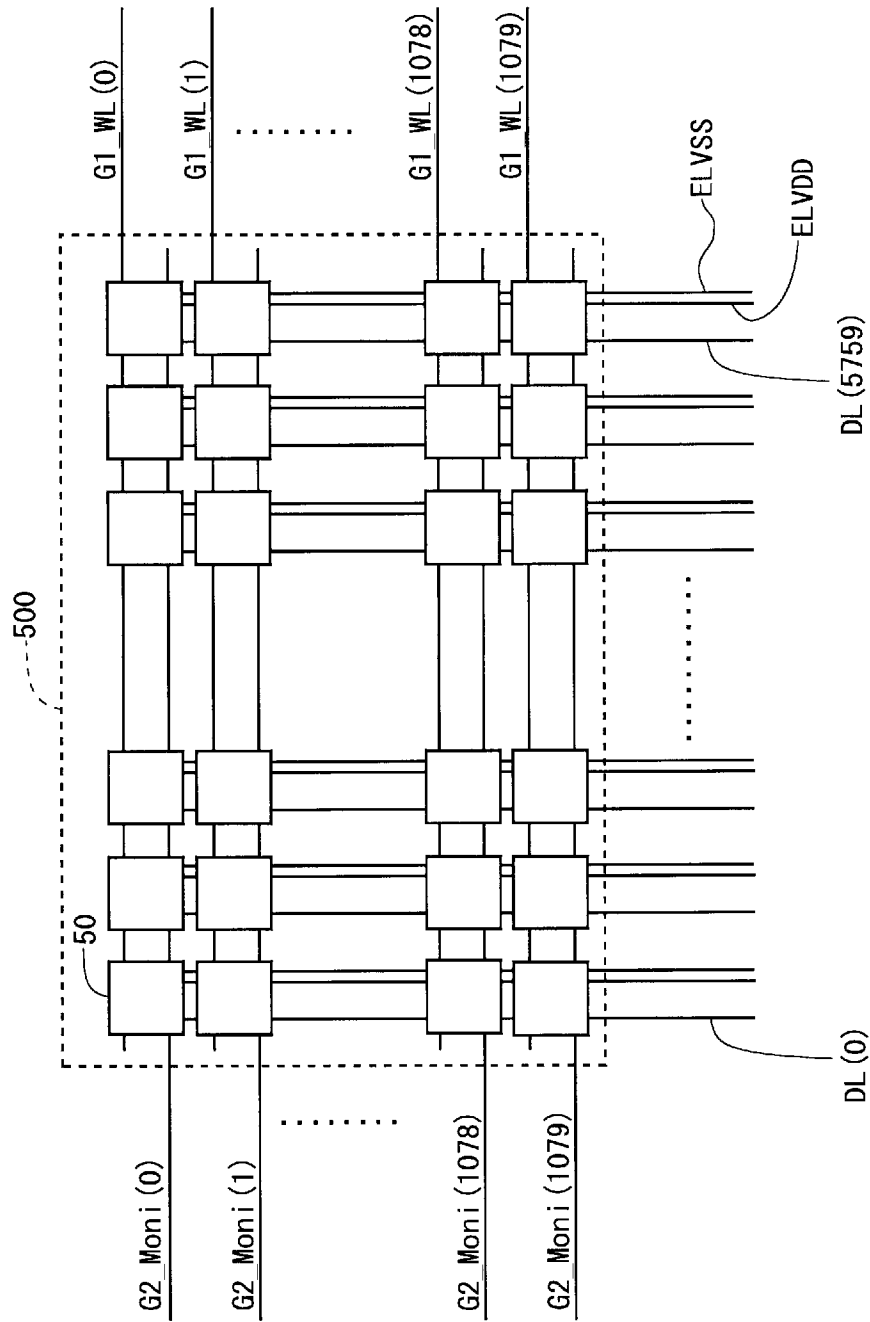
[図2]



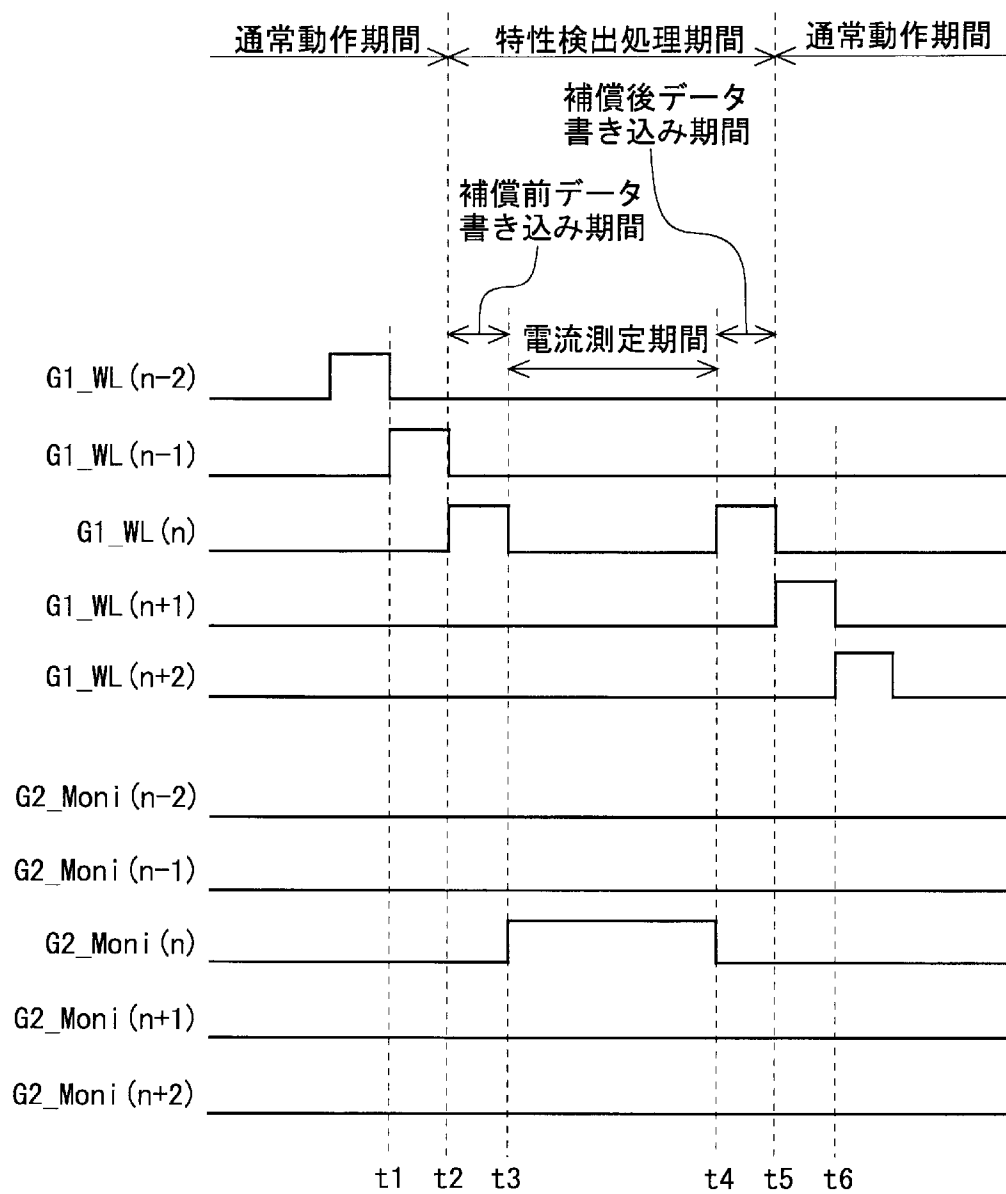
[図3]



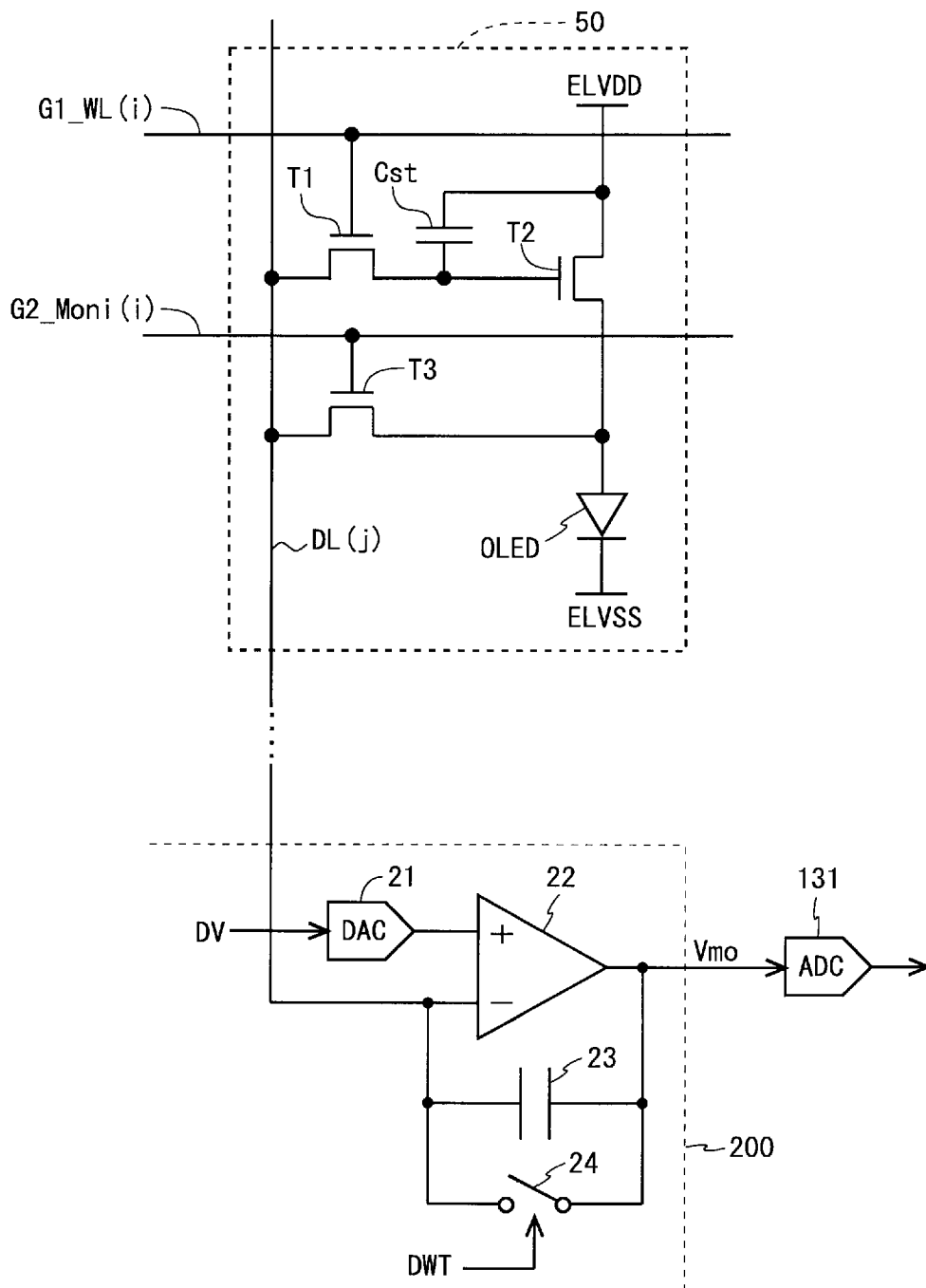
[図4]



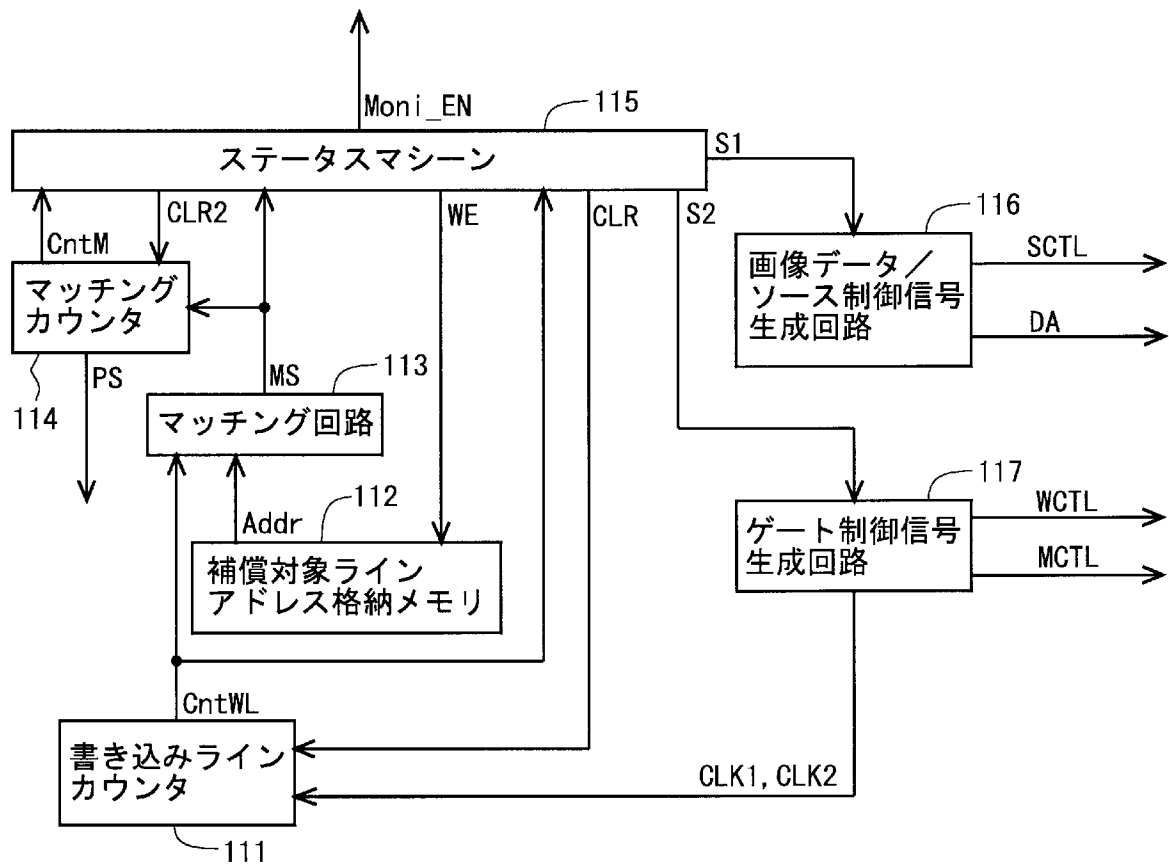
[図5]



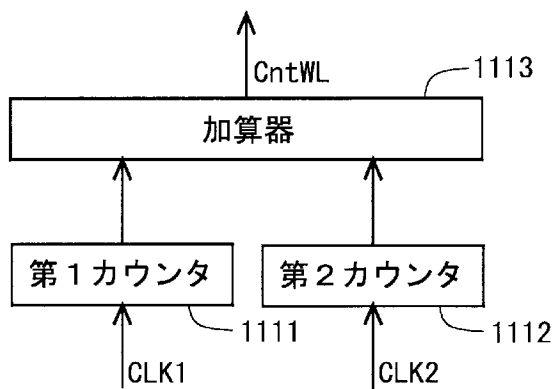
[図6]



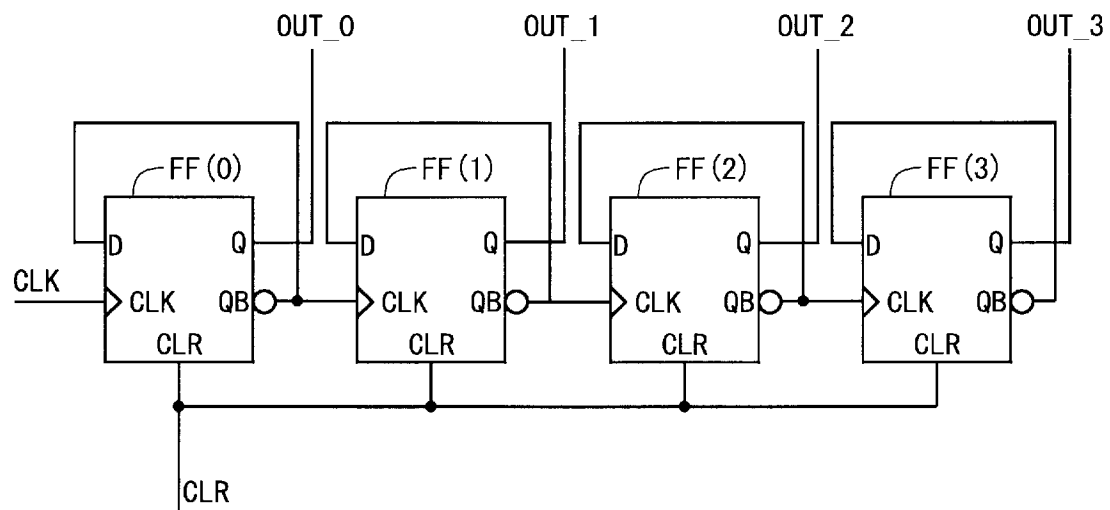
[図7]



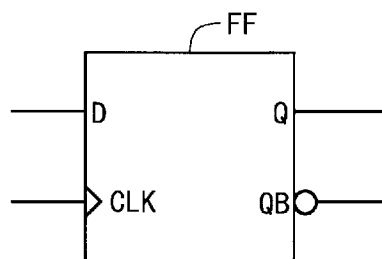
[図8]



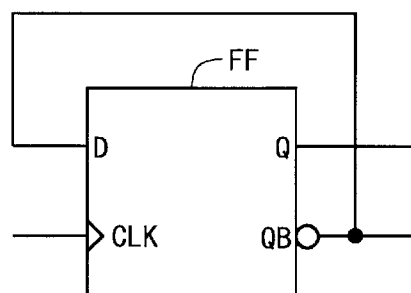
[図9]



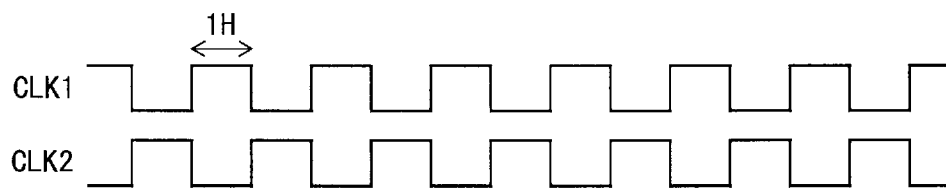
[図10]



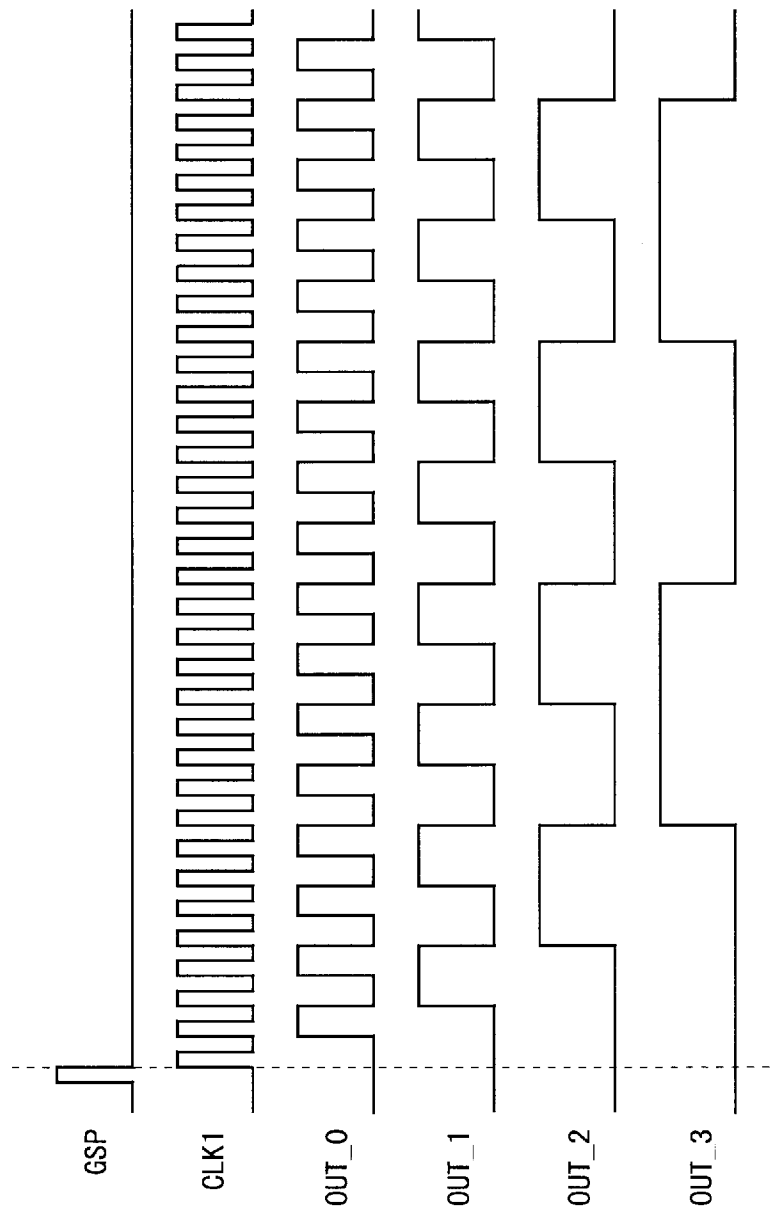
[図11]



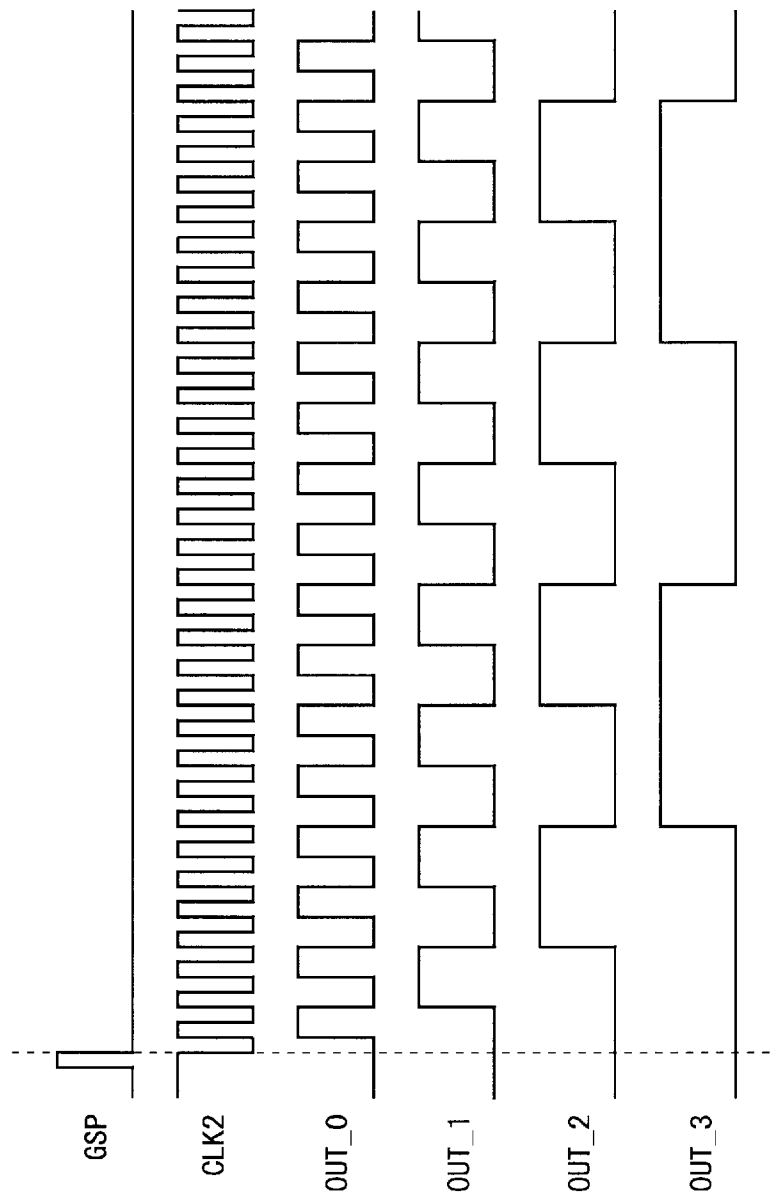
[図12]



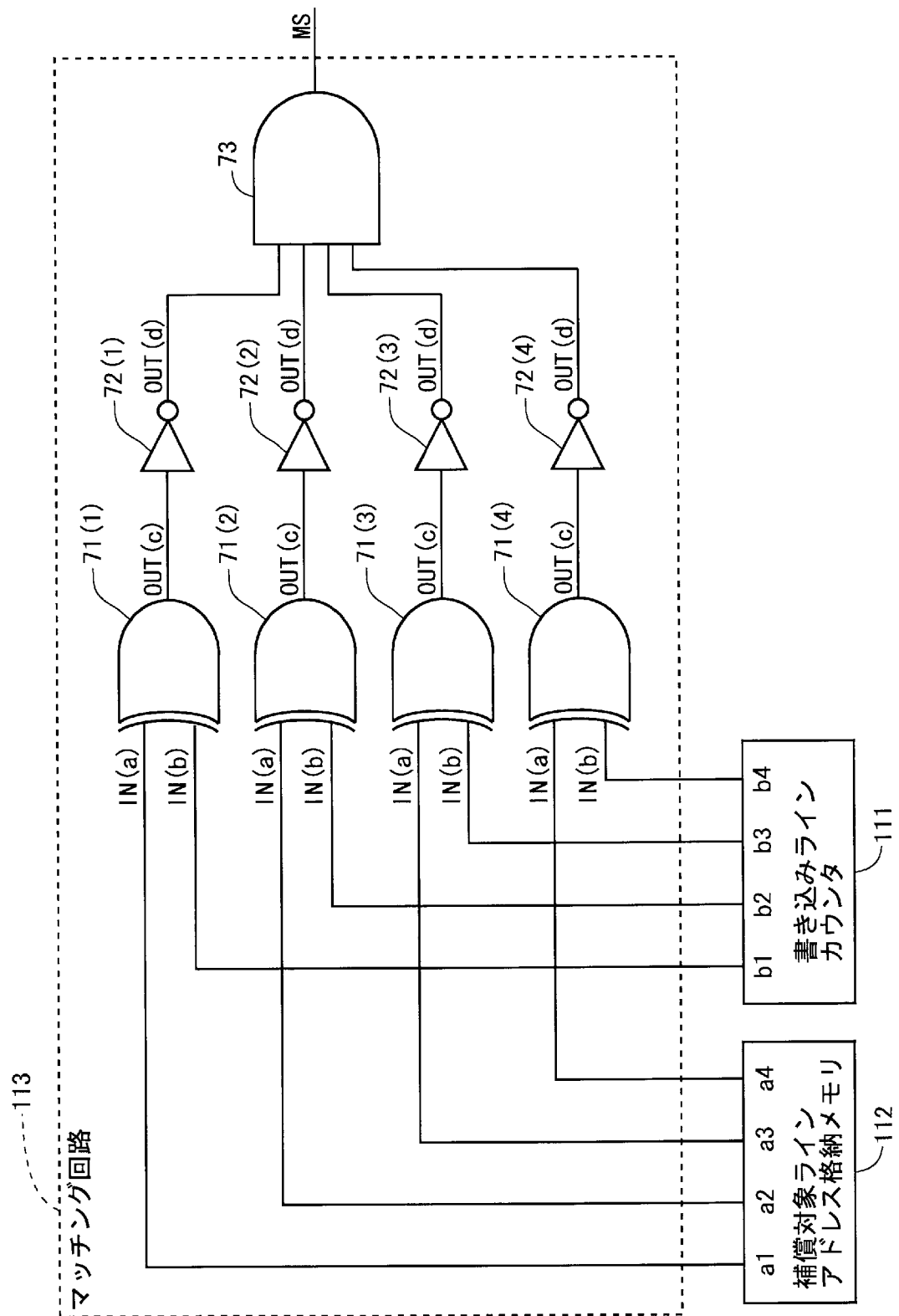
[図13]



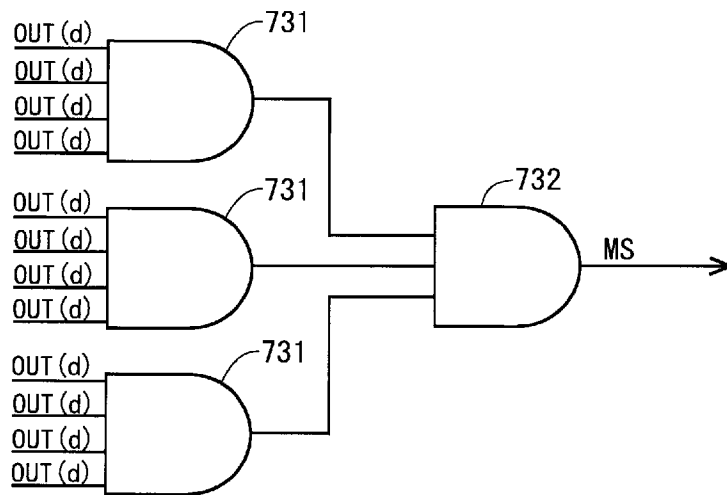
[図14]



[図15]



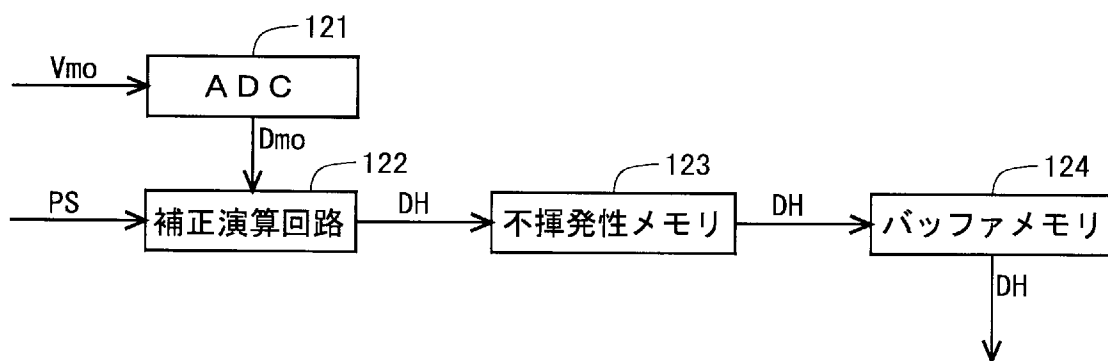
[図16]



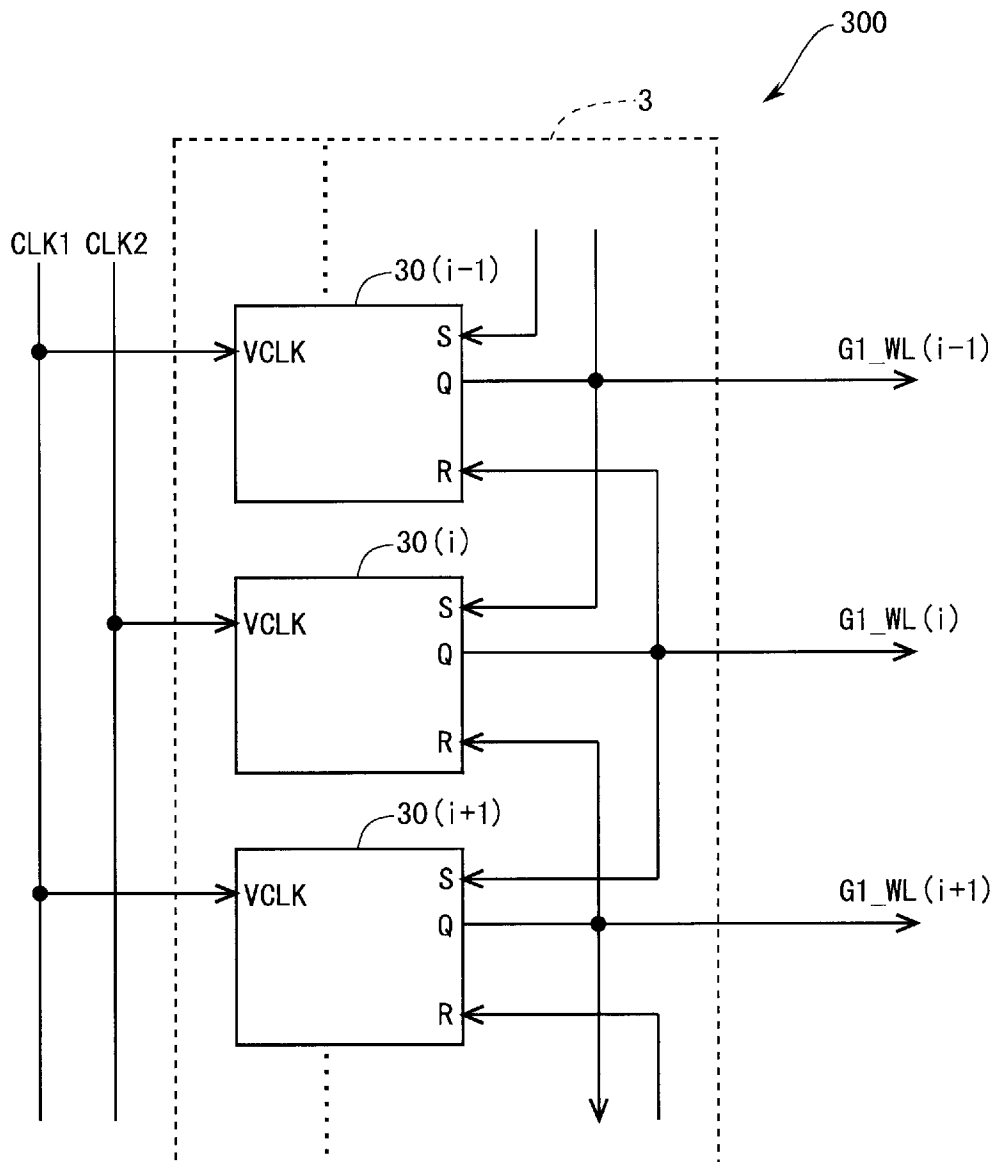
[図17]

入力		出力	
IN(a)	IN(b)	OUT(c)	OUT(d)
0	0	0	1
1	0	1	0
0	1	1	0
1	1	0	1

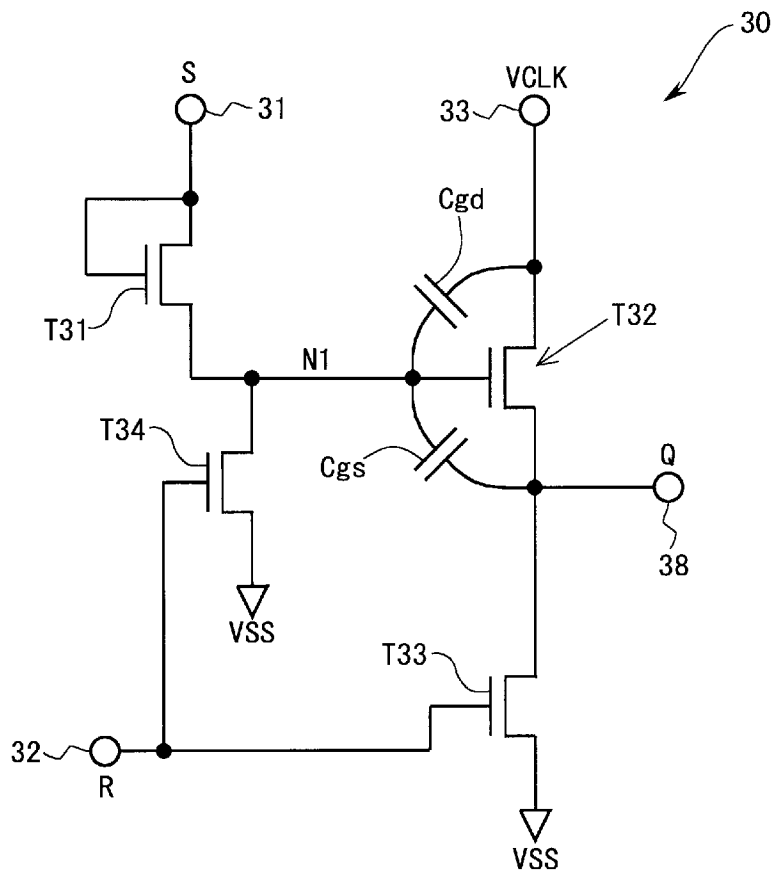
[図18]



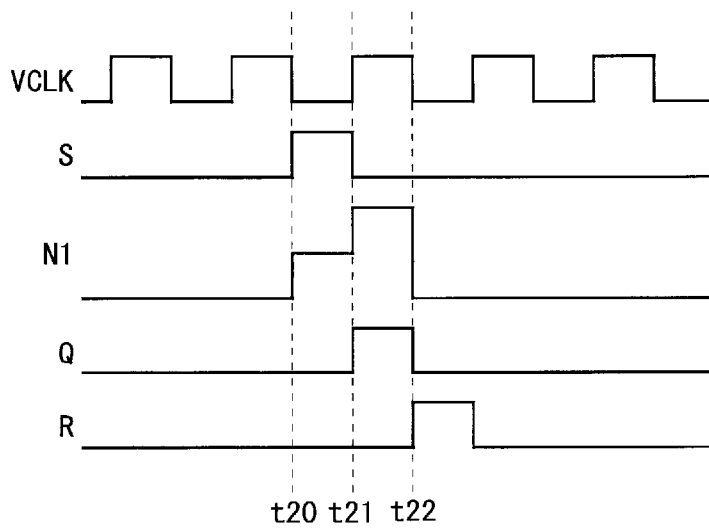
[図19]



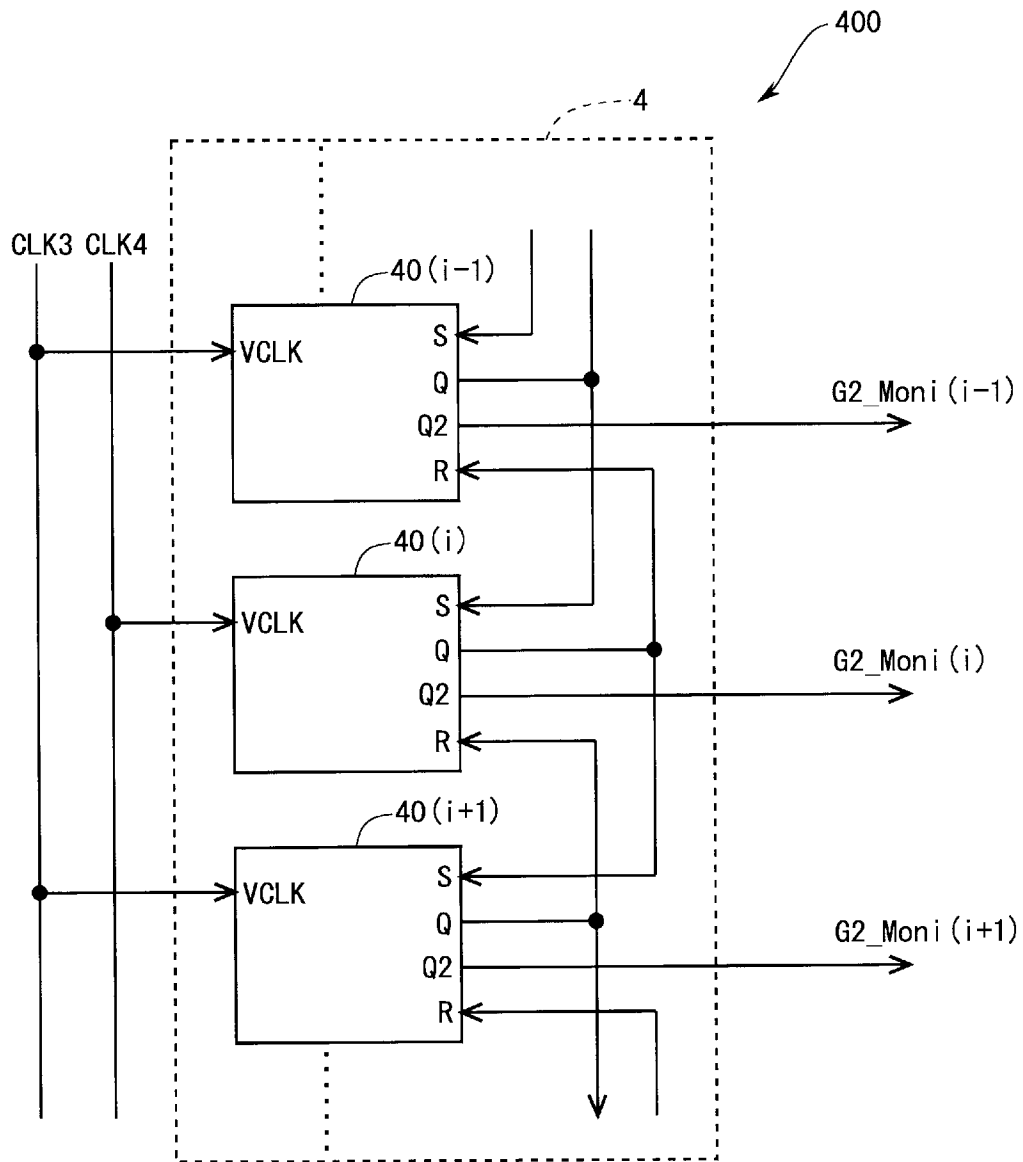
[図20]



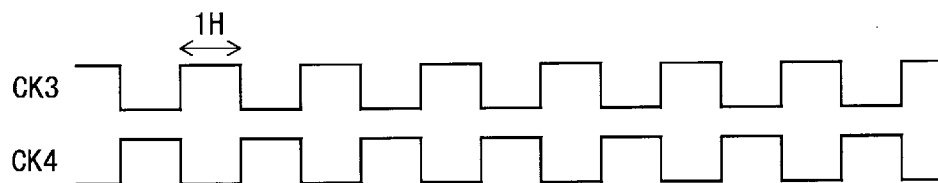
[図21]



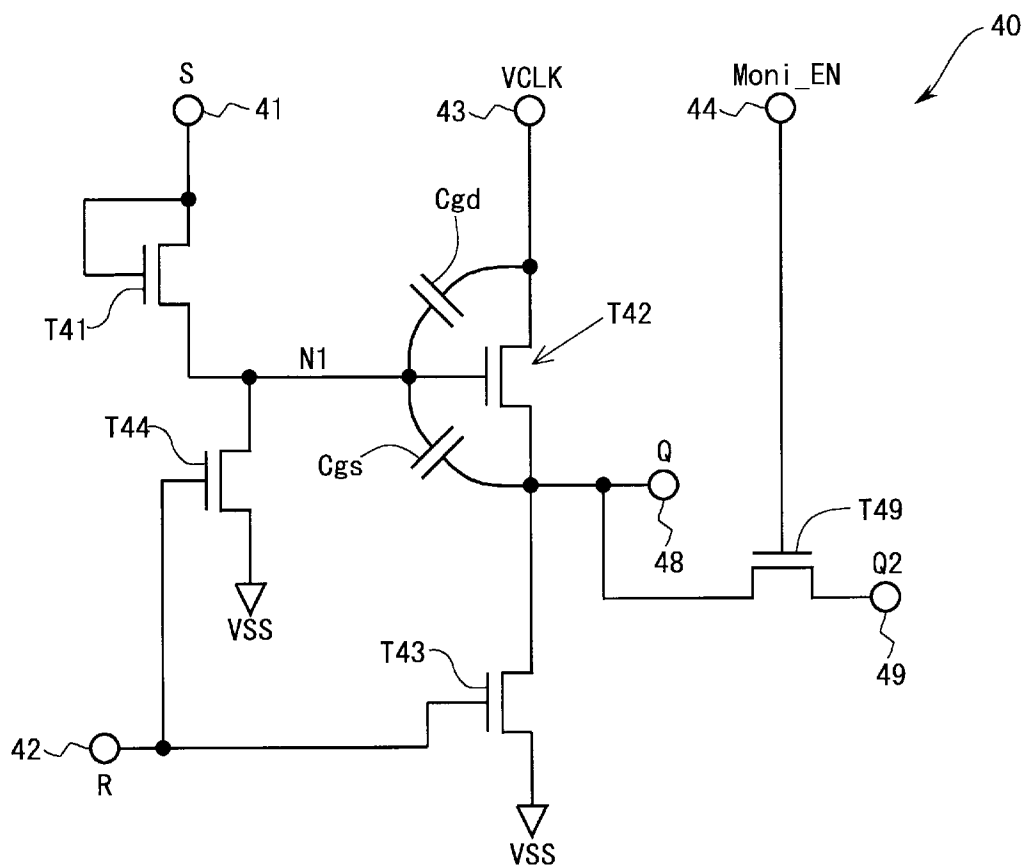
[図22]



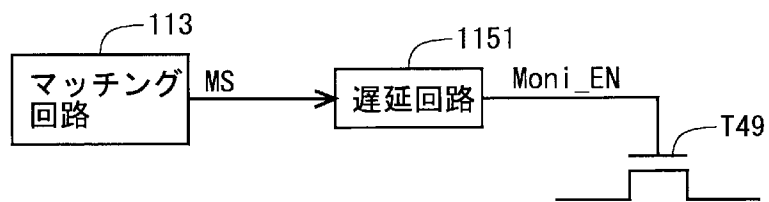
[図23]



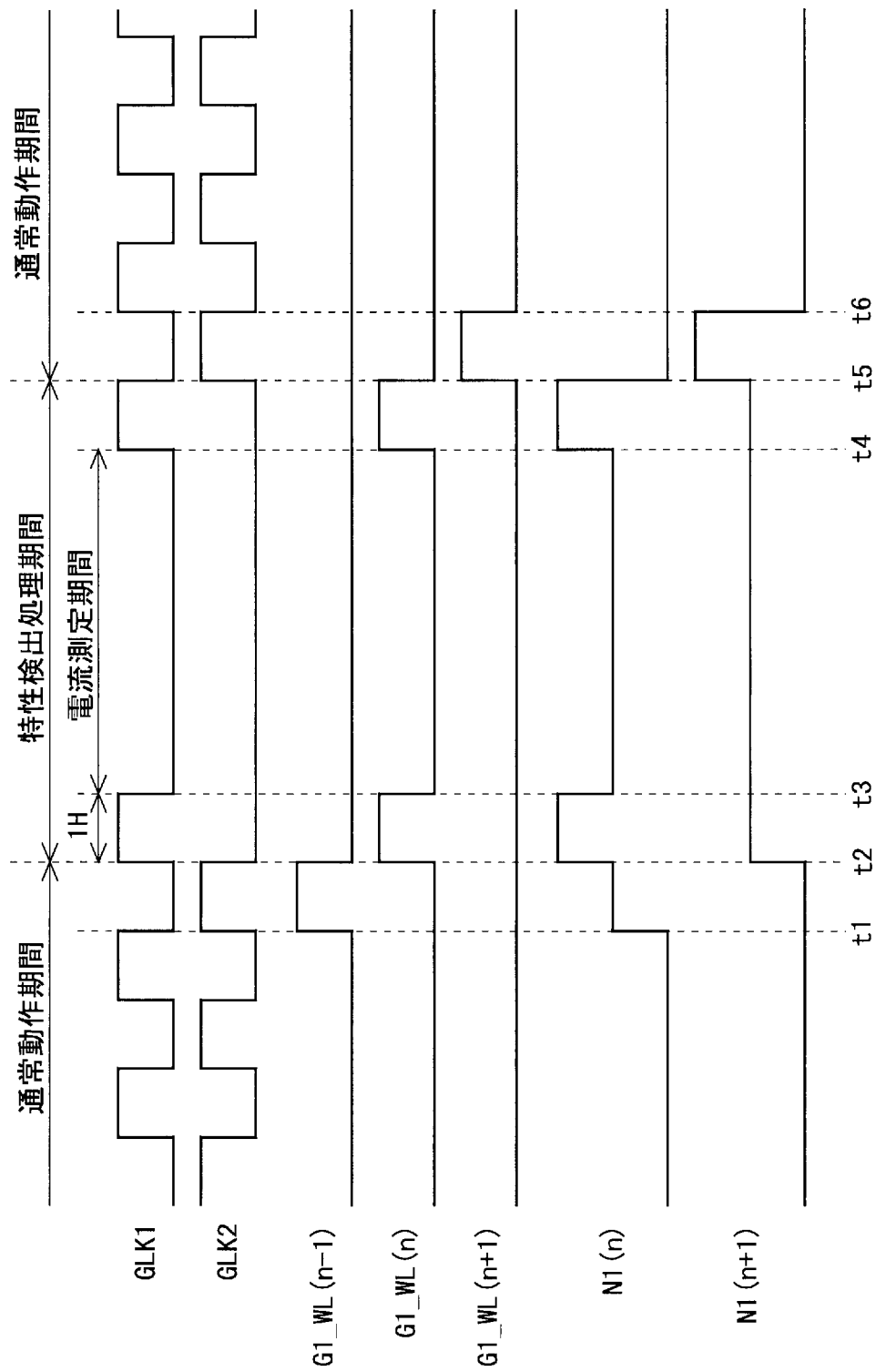
[図24]



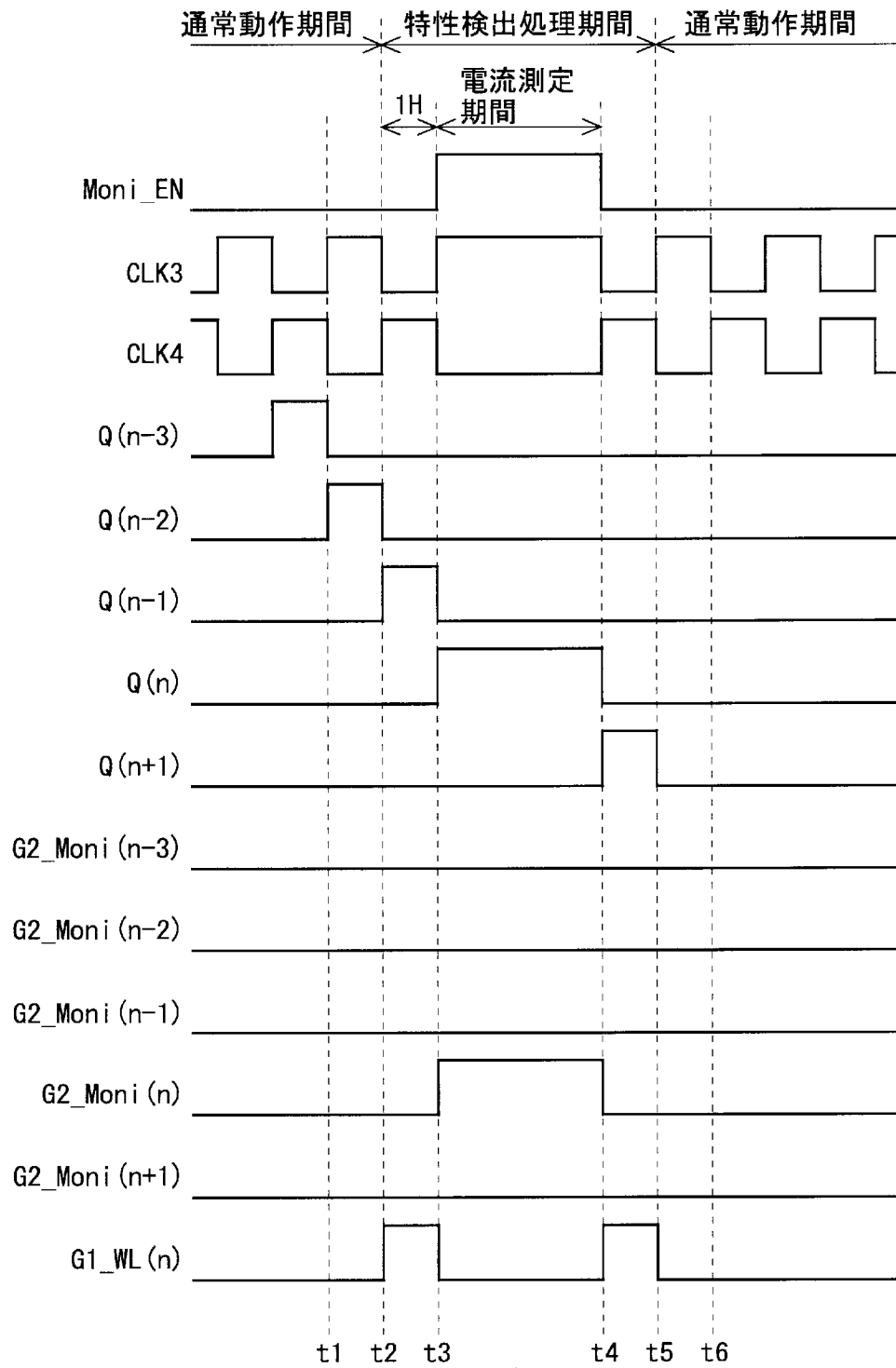
[図25]



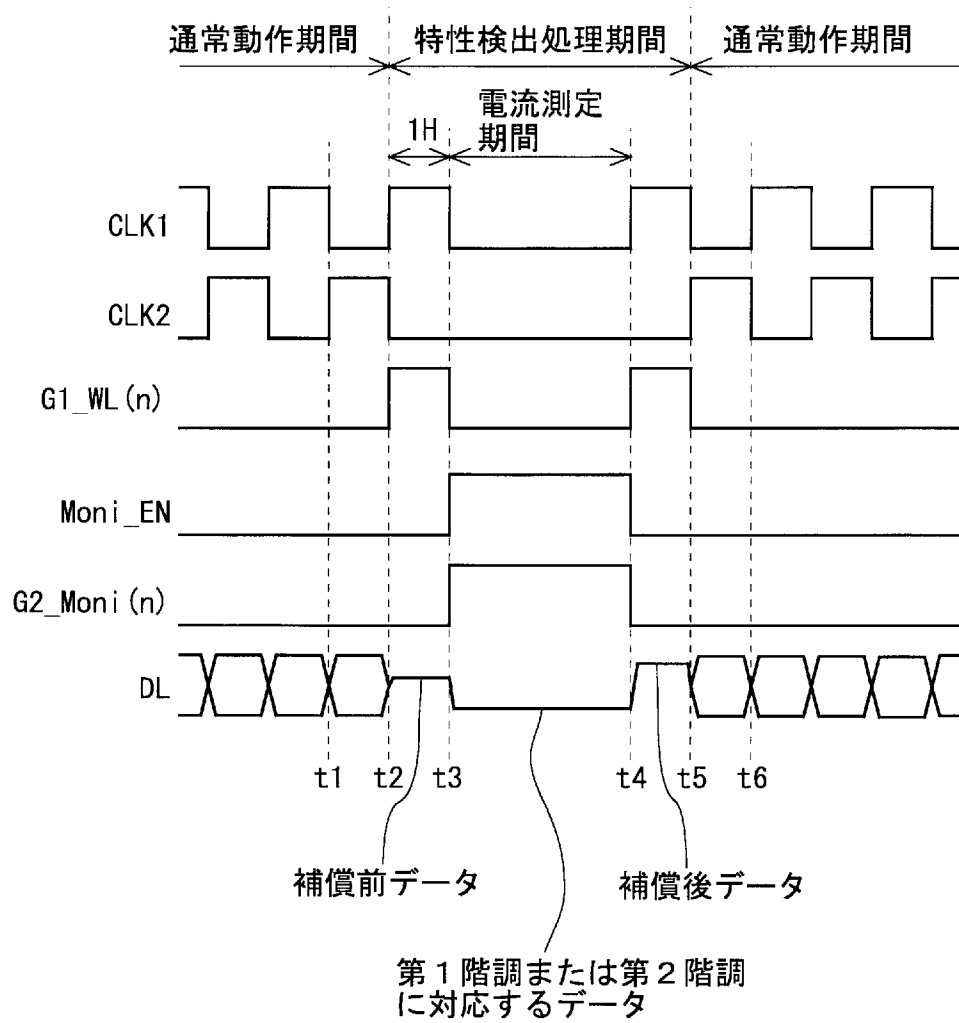
[図26]



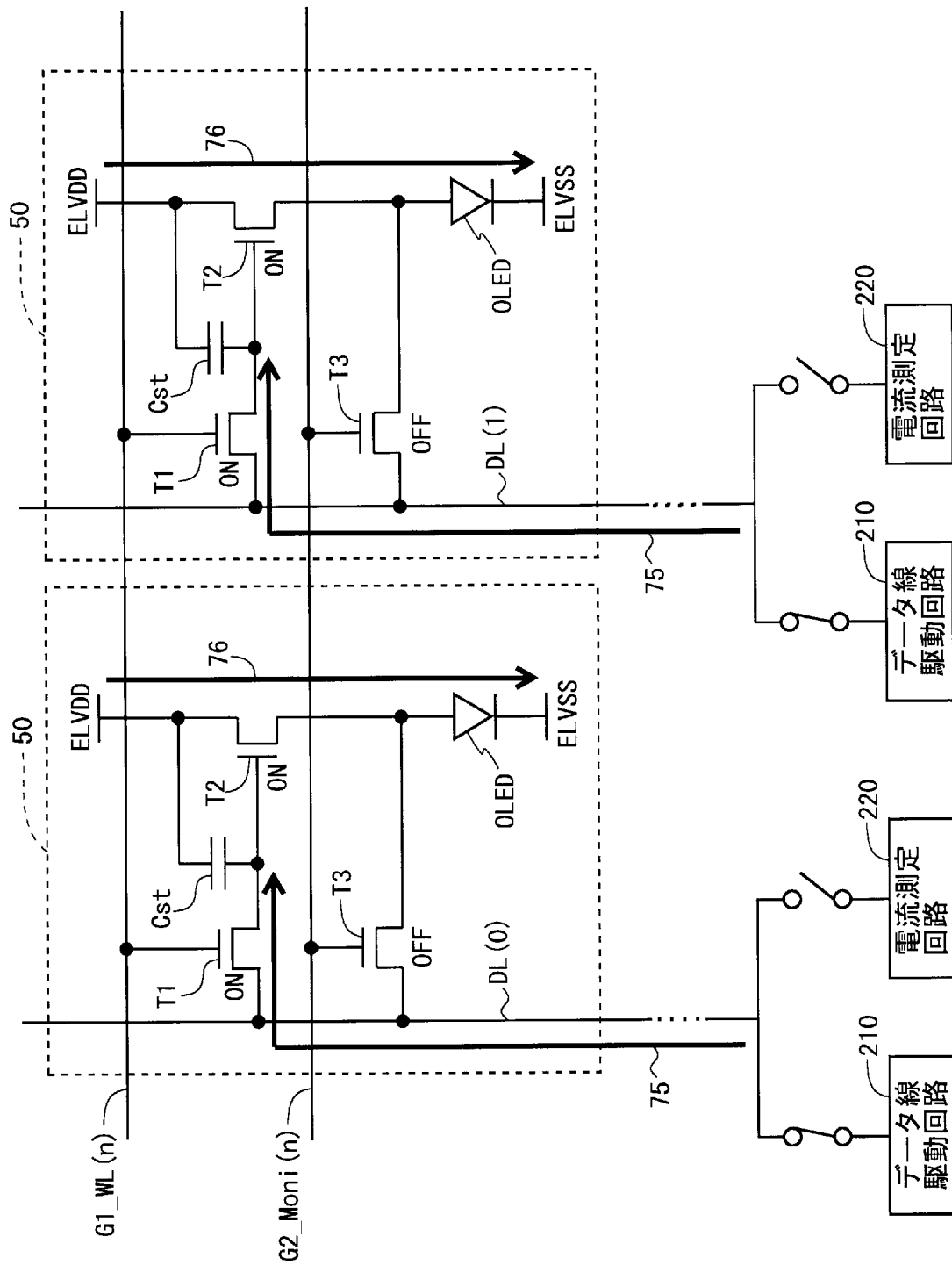
[図27]



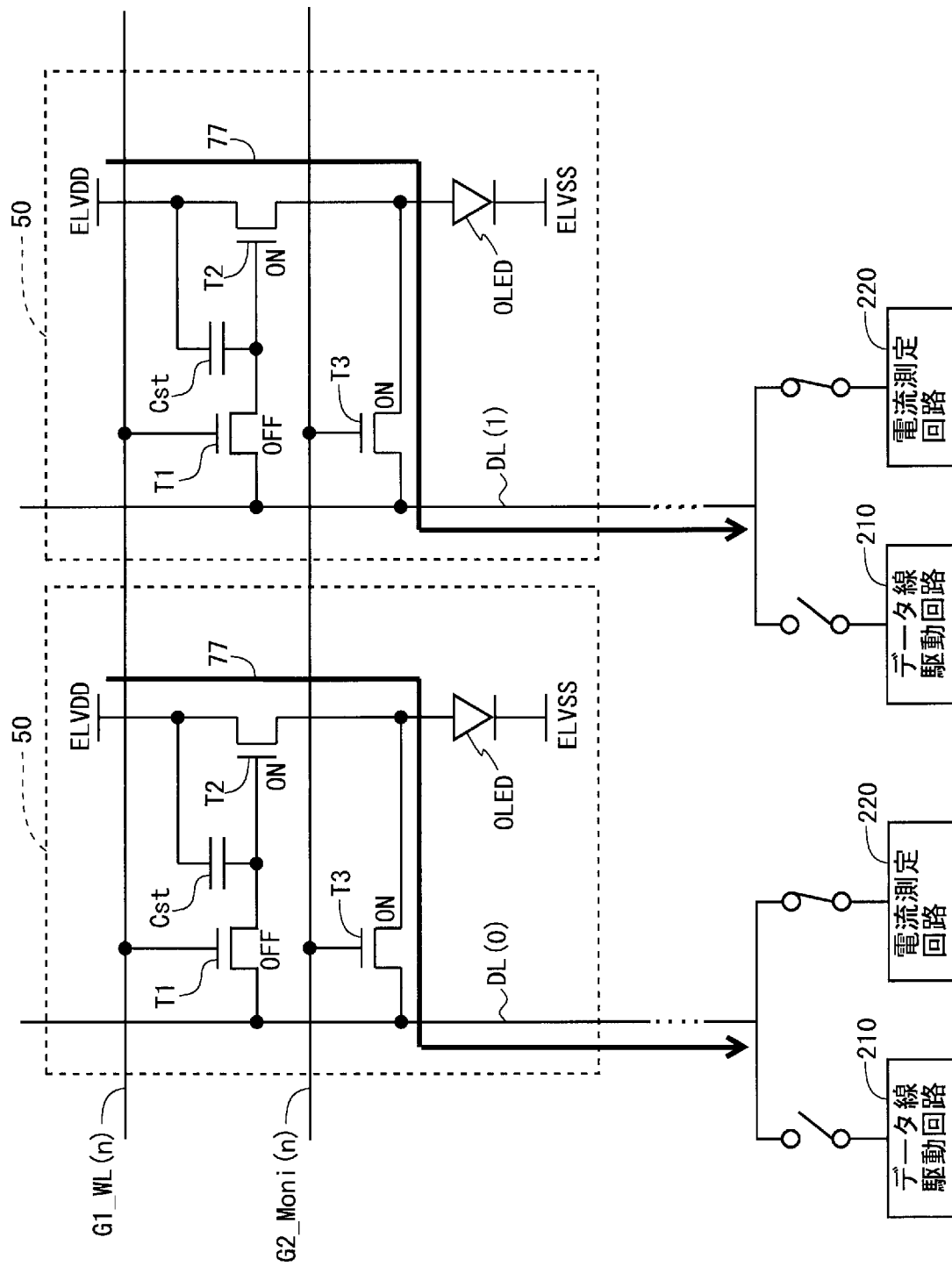
[図28]



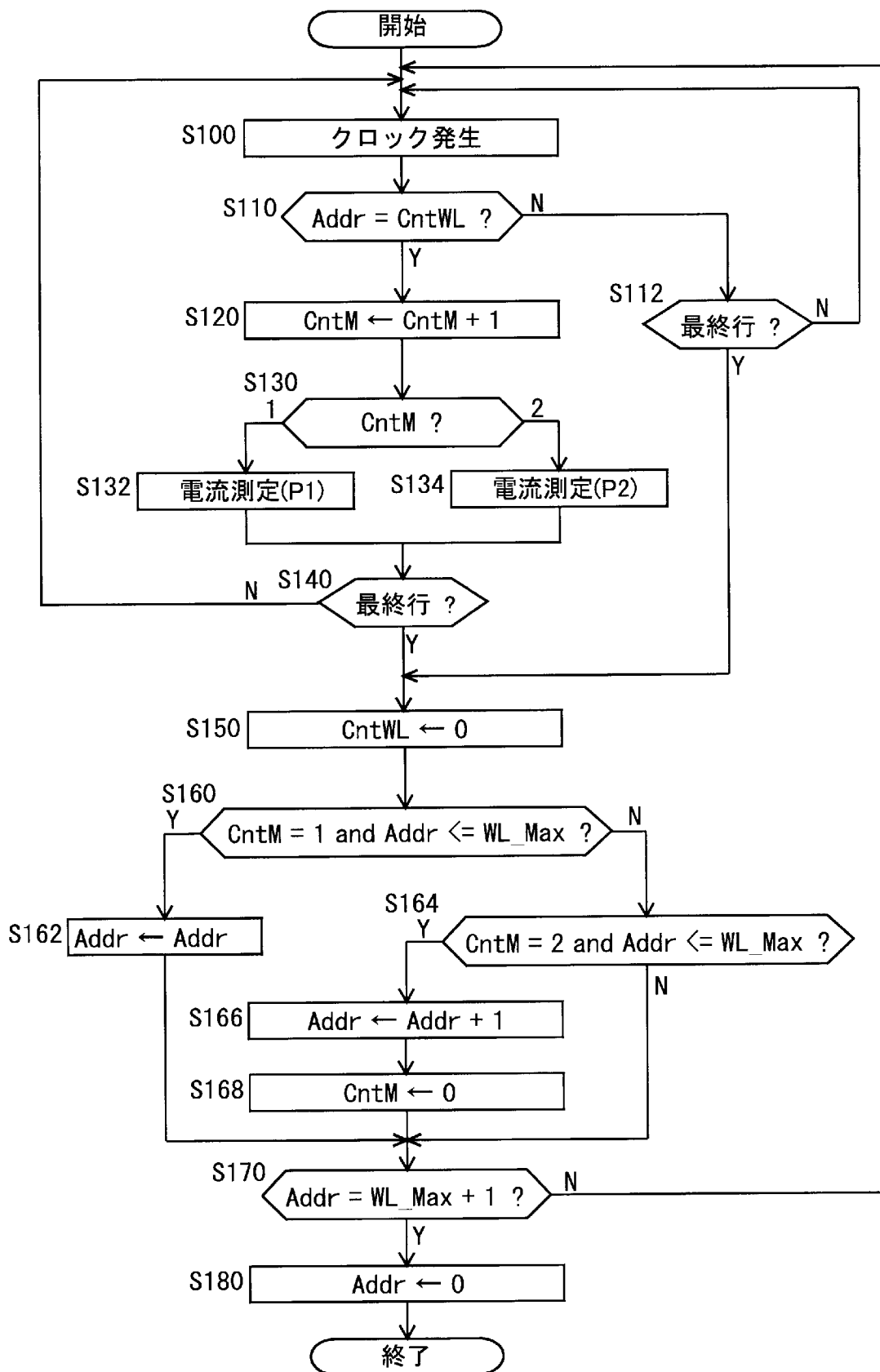
[図29]



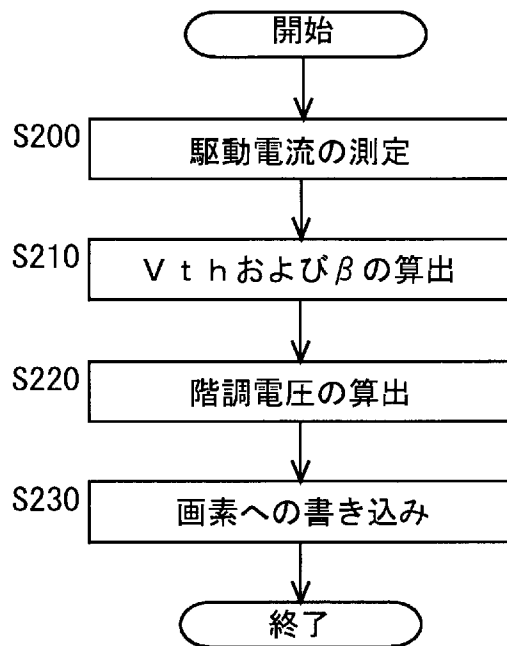
[図30]



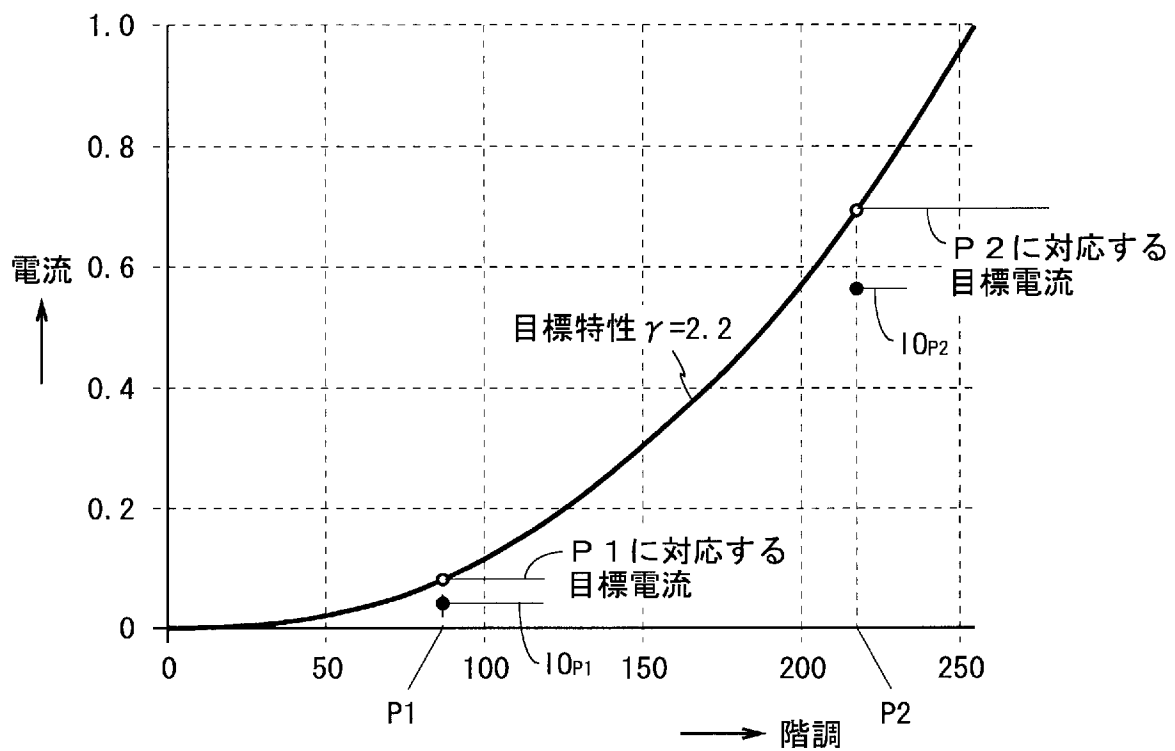
[図31]



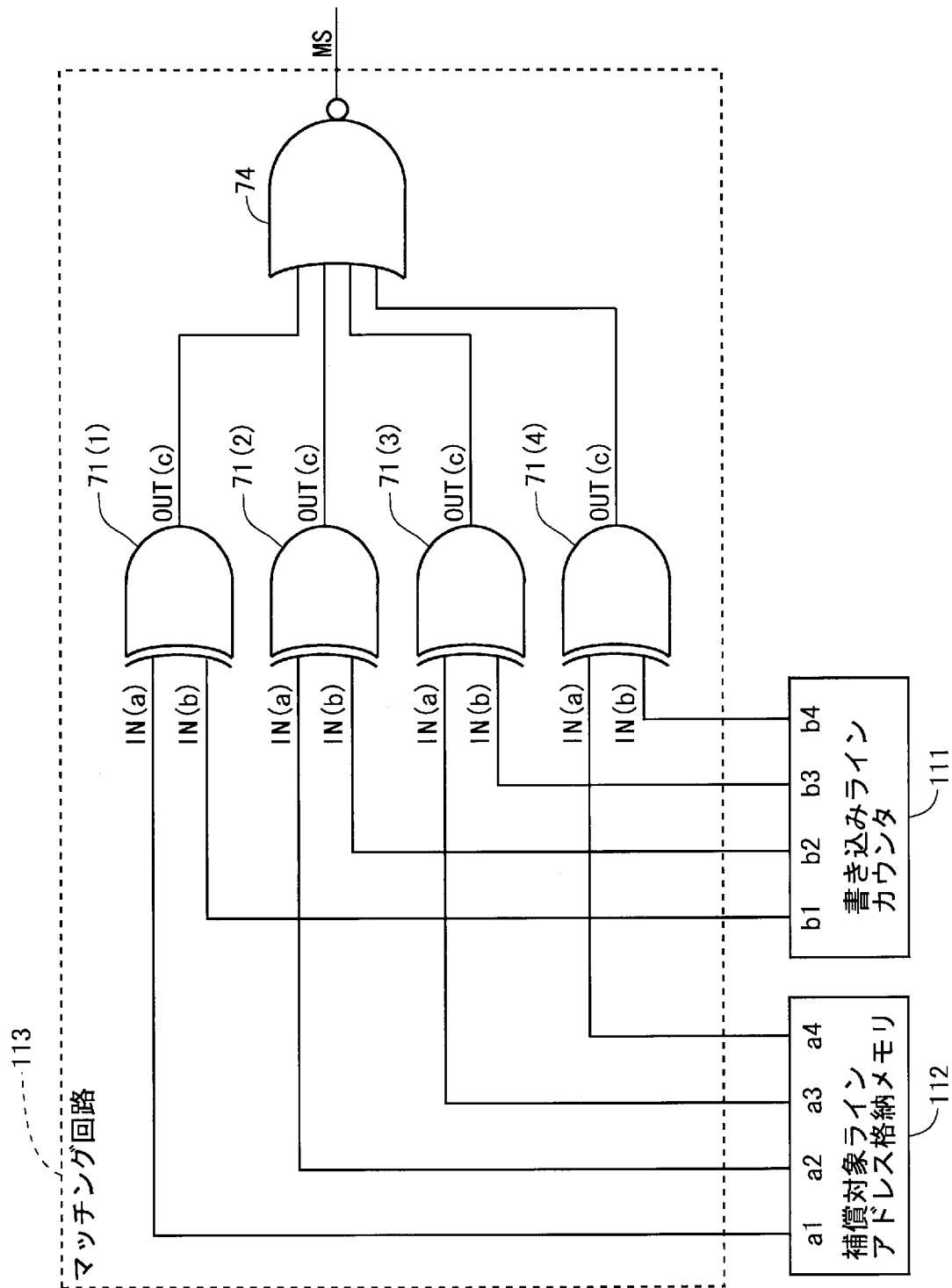
[図32]



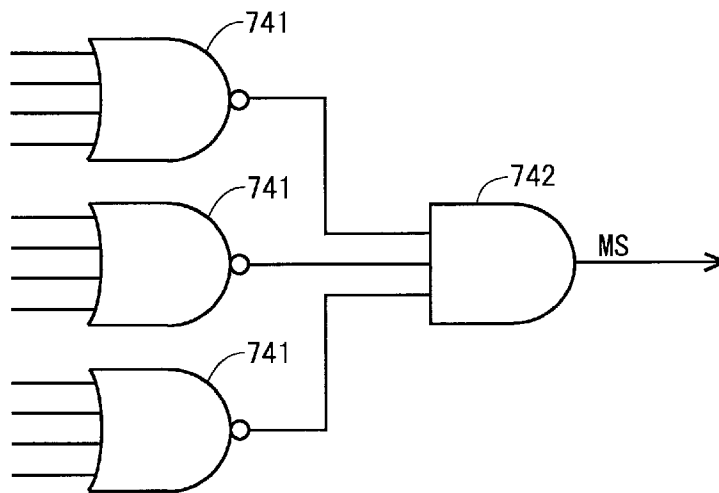
[図33]



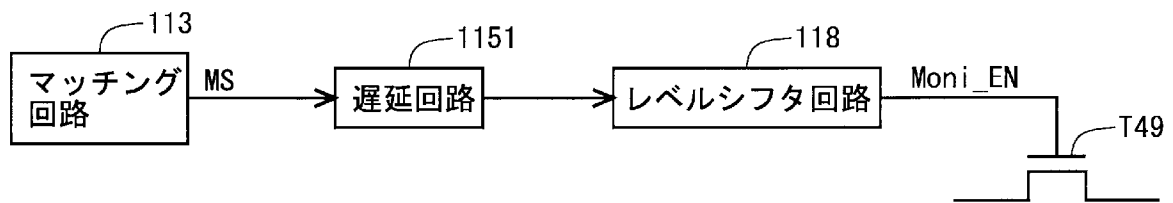
[図34]



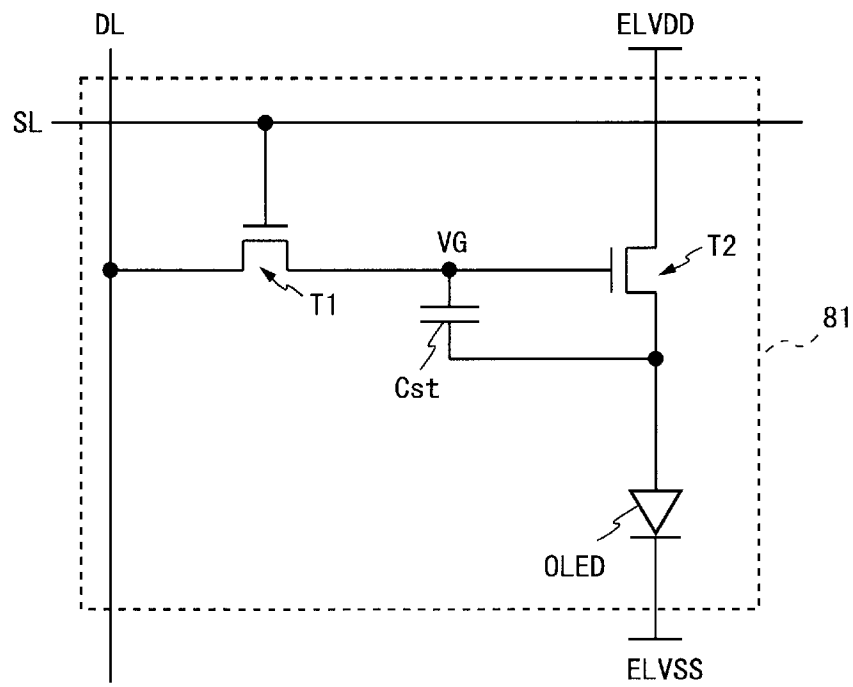
[図35]



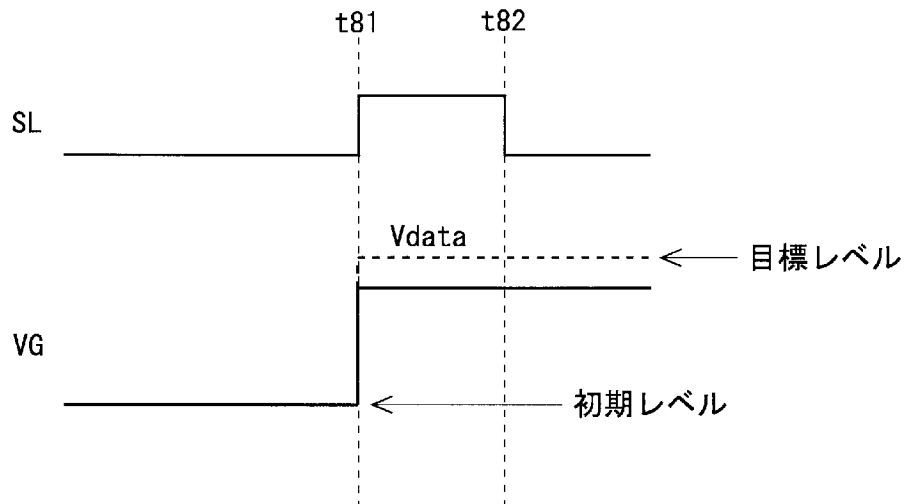
[図36]



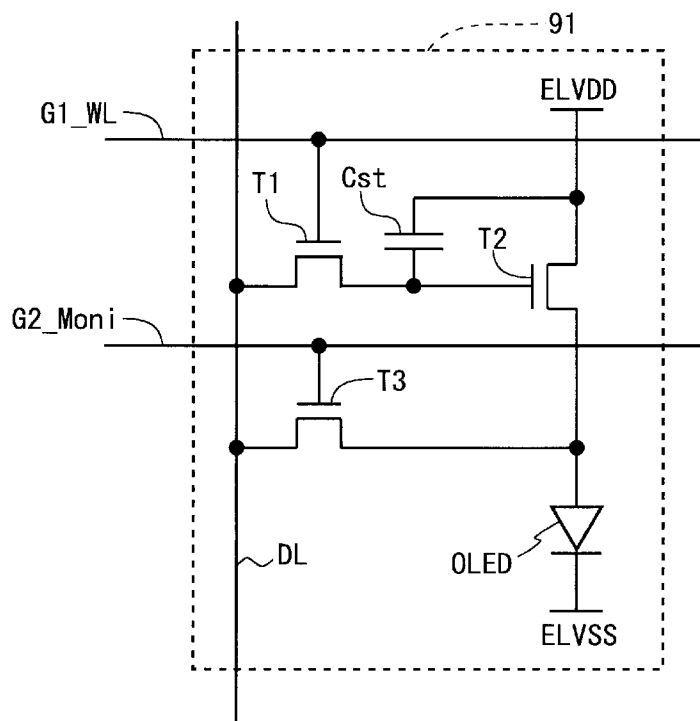
[図37]



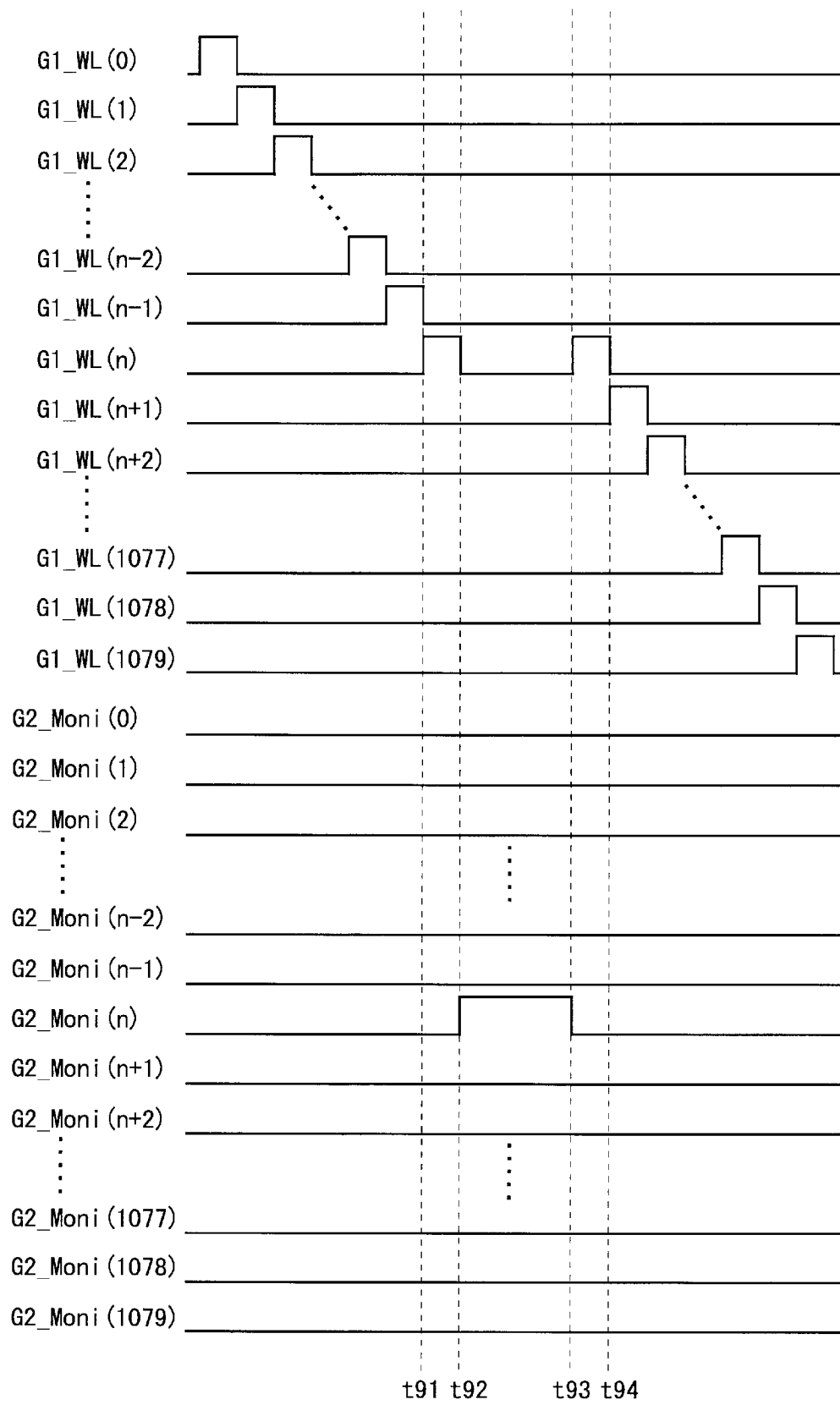
[図38]



[図39]



[図40]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/072536

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/30, G09G3/20, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-523448 A (Ignis Innovation Inc.), 03 July 2008 (03.07.2008), paragraphs [0120] to [0129]; fig. 16 to 17 & US 2006/0158402 A1 & EP 2383720 A2 & WO 2006/063448 A1 & CA 2526782 A1 & KR 10-2007-0101275 A & CN 101116129 A	1-10
A	JP 2006-284959 A (Casio Computer Co., Ltd.), 19 October 2006 (19.10.2006), paragraphs [0066] to [0088], [0157] to [0185]; fig. 2 to 6, 17 & US 2006/0221015 A1 & WO 2006/104259 A1	1-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
20 November, 2014 (20.11.14)

Date of mailing of the international search report
02 December, 2014 (02.12.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/072536

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2009/087746 A1 (Panasonic Corp.), 16 July 2009 (16.07.2009), paragraphs [0053] to [0124]; fig. 1 to 14 & JP 2013-148908 A & US 2010/0259527 A1 & CN 101903933 A	1-10
A	JP 2004-4673 A (Seiko Epson Corp.), 08 January 2004 (08.01.2004), paragraphs [0028] to [0077]; fig. 1 to 6 & US 2004/0108518 A1 & CN 1448908 A & KR 10-0490196 B1	1-10

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/30, G09G3/20, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-523448 A（イグニス・イノベーション・インコーポレーテッド）2008.07.03, 段落【0120】－【0129】、【図16】－【図17】 & US 2006/0158402 A1 & EP 2383720 A2 & WO 2006/063448 A1 & CA 2526782 A1 & KR 10-2007-0101275 A & CN 101116129 A	1－10
A	JP 2006-284959 A（カシオ計算機株式会社）2006.10.19, 段落【0066】－【0088】、【0157】－【0185】、【図2】－【図6】、【図17】 & US 2006/0221015 A1 & WO 2006/104259 A1	1－10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 0 . 1 1 . 2 0 1 4

国際調査報告の発送日

0 2 . 1 2 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

西島 篤宏

2 G

9 3 0 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2009/087746 A1 (パナソニック株式会社) 2009.07.16, 段落 [0 0 5 3] – [0 1 2 4], [図 1] – [図 1 4] & JP 2013-148908 A & US 2010/0259527 A1 & CN 101903933 A	1 – 1 0
A	JP 2004-4673 A (セイコーエプソン株式会社) 2004.01.08, 段落【0 0 2 8】 – 【0 0 7 7】, 【図 1】 – 【図 6】 & US 2004/0108518 A1 & CN 1448908 A & KR 10-0490196 B1	1 – 1 0