

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 2 月 25 日 (25.02.2016)



(10) 国际公布号
WO 2016/026246 A1

- (51) 国际专利分类号:
H01L 29/786 (2006.01) *H01L 27/12* (2006.01)
H01L 21/336 (2006.01)
- (21) 国际申请号: PCT/CN2014/094114
- (22) 国际申请日: 2014 年 12 月 17 日 (17.12.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410409198.9 2014 年 8 月 19 日 (19.08.2014) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
- (72) 发明人: 龙春平 (LONG, Chunping); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 梁逸南 (LIANG, Yinan); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市海淀区彩和坊路 10 号 1 号楼 10 层, Beijing 100080 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: THIN FILM TRANSISTOR AND MANUFACTURING METHOD THEREOF, ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREOF AND DISPLAY DEVICE

(54) 发明名称: 薄膜晶体管及其制备方法、阵列基板及其制备方法和显示装置

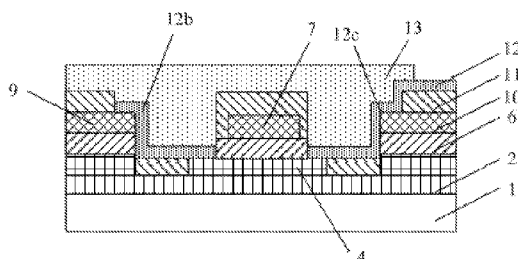


图 4 / Fig. 4

(57) Abstract: A thin film transistor (TFT) and manufacturing method thereof, array substrate and manufacturing method thereof and display device; the TFT comprises a gate electrode (7), a source electrode (9), a drain electrode (10), an active layer (4) and a gate insulating layer (6); the gate insulating layer (6) is disposed above the active layer (4); the gate electrode (7), the source electrode (9), and the drain electrode (10) in the same layer are disposed above the gate insulating layer (6); the active layer (4) is connected to the source electrode (9) via a first connecting electrode (12b); the active layer (4) is connected to the drain electrode (10) via a second connecting electrode (12c). The TFT can be formed by a three-step patterning process, reducing process time, improving yield, and lowering costs.

(57) 摘要: 一种薄膜晶体管及制备方法、阵列基板及其制备方法和显示装置。薄膜晶体管包括栅极 (7)、源极 (9)、漏极 (10)、有源层 (4) 和栅极绝缘层 (6), 栅极绝缘层 (6) 设置于有源层 (4) 的上方, 栅极 (7)、源极 (9) 和漏极 (10) 同层设置于栅极绝缘层 (6) 的上方, 有源层 (4) 与源极 (9) 通过第一连接电极 (12b) 连接, 有源层 (4) 与漏极 (10) 通过第二连接电极 (12c) 连接。薄膜晶体管可采用三次构图工艺形成, 具有缩短工艺时间、提高工艺良率和降低工艺成本的特点。

WO 2016/026246 A1

薄膜晶体管及其制备方法、阵列基板及其制备方法和显示装置

技术领域

5 本发明的实施例涉及一种薄膜晶体管及其制备方法、阵列基板及其制备方法和显示装置。

背景技术

10 相对于液晶显示装置 (Liquid Crystal Display, LCD), 有机电致发光二极管 (Organic Light Emission Display, OLED) 显示装置具有反应速度快、重量轻、可弯曲和广视角等优点。有源矩阵有机电致发光二极管 (Active Matrix OLED, AMOLED) 更具有驱动电流小和功耗低的优势, 适合于高解析度显示。

15 不管是 LCD 显示装置还是 OLED 显示装置, 均设置有作为控制开关的薄膜晶体管 (Thin Film Transistor, TFT)。薄膜晶体管包括非晶硅、多晶硅、氧化物半导体或有机薄膜晶体管驱动。非晶硅或有机 TFT 的载流子迁移率与驱动电流小, 驱动高亮度 OLED 所需的电压较高且器件占空间也较大。低温多晶硅 TFT 具有高达 $100\text{cm}^2/\text{V}\cdot\text{s}$ 的迁移率, 其高电流特性正好符合 OLED 严格的要求, 低操作电压与高密度的驱动架构使得 OLED 寿命较长。同时,
20 为了克服灰阶与面板均匀性所涉及的补偿电路, 显示装置的同一像素中往往需要多个 TFT。低温多晶硅高密度的布局特点, 使得高亮度与高画质的 OLED 面板更容易实现。目前成功商业化生产的 AMOLED 绝大部分采用低温多晶硅 TFT 的阵列基板。

25 发明内容

 本发明的实施例所要解决的技术问题是针对现有技术中存在的上述不足, 提供一种薄膜晶体管及制备方法、阵列基板及制备方法和显示装置, 该薄膜晶体管以及包括该薄膜晶体管的阵列基板均可采用三次构图工艺即可形成, 大大缩短了工艺时间, 提高了工艺良率, 降低了工艺成本。

30 发明至少一个实施例提供一种薄膜晶体管, 其包括栅极、源极、漏极、

有源层和栅极绝缘层,所述栅极绝缘层设置于所述有源层的上方,所述栅极、所述源极和所述漏极同层设置于所述栅极绝缘层的上方,所述有源层与所述源极通过第一连接电极连接,所述有源层与所述漏极通过第二连接电极连接。

例如,所述栅极与所述有源层的投影至少部分重叠、且所述栅极的宽度
5 小于所述有源层的宽度,所述源极和所述漏极分别设置于所述栅极的两侧、
且分别与所述栅极相离;在设置所述有源层的区域,所述栅极绝缘层的宽度
小于所述有源层的宽度而在所述有源层靠近所述源极的区域形成源极接触
区、在所述有源层靠近所述漏极的区域形成漏极接触区,所述第一连接电极
10 搭接于所述源极与所述源极接触区而使得所述源极与所述有源层连接,所述
第二连接电极搭接于所述漏极与所述漏极接触区而使得所述漏极与所述有源
层连接。

例如,所述栅极、所述源极和所述漏极采用相同的材料形成,所述栅极、
所述源极和所述漏极为采用钼、钼铌合金、铝、铝钽合金、钛和铜中的任一
种形成的单层结构,或为采用钼/铝/钼、钛/铝/钛形成子层得到的叠层结构,
15 所述栅极、所述源极和所述漏极的厚度范围为 200-500nm。

例如,所述有源层可采用低温多晶硅材料形成。

例如,所述有源层与对应着所述源极和所述漏极下方的多晶硅薄膜之间的
区域填充有绝缘薄膜;以及所述第一连接电极与所述第二连接电极同层设
置、且采用相同的材料形成。

20 发明至少一个实施例提供了一种阵列基板,其包括任一上述的薄膜晶体
管。

例如,所述阵列基板还可包括钝化层和像素电极,所述钝化层部分设置
于所述漏极的上方而在所述漏极靠近所述栅极的一侧形成配合漏极接触区;
所述像素电极通过搭接在所述配合漏极接触区以及所述漏极接触区而与所述
25 漏极连接。

例如,所述阵列基板还可包括交叉设置的栅线和数据线,所述栅线与所
述栅极相连接且同层设置,所述数据线与所述源极相连接且同层设置;所述
栅线或所述数据线任一在交叉位置处断续设置,且通过线连接电极连接。

例如,所述像素电极、所述第一连接电极、所述第二连接电极和所述线
30 连接电极同层设置、且采用相同的材料形成。

例如, 所述像素电极、所述第一连接电极、所述第二连接电极和所述线连接电极采用氧化铟镓锌、氧化铟锌、氧化铟锡、氧化铟镓锡中的至少一种材料形成。

发明至少一个实施例提供了一种显示装置, 其包括任一上述的阵列基板。

- 5 发明至少一个实施例提供了一种薄膜晶体管的制备方法, 其包括形成栅极、源极、漏极、有源层和栅极绝缘层的步骤, 所述栅极绝缘层形成于所述有源层的上方, 所述栅极、所述源极和所述漏极同层形成于所述栅极绝缘层的上方, 所述栅极、所述源极和所述漏极与所述有源层采用同一构图工艺形成; 且形成用于连接所述有源层与所述源极的第一连接电极、用于连接所述有源层与所述漏极的第二连接电极。

例如, 形成所述栅极、所述源极和所述漏极与所述有源层的步骤可包括:

步骤 S1): 依次连续形成多晶硅薄膜、栅极绝缘薄膜、金属薄膜和光刻胶;

- 15 步骤 S2): 采用双色调掩模工艺对所述光刻胶进行曝光、显影, 其中, 双色调掩模工艺采用的掩模板中, 对应着形成所述栅极、所述源极和所述漏极的区域为不透光区, 对应着形成所述有源层的宽度大于所述栅极的区域为部分透光区, 其他区域为全透光区; 在曝光、显影工艺后, 使得对应着形成所述栅极、所述源极和所述漏极的区域的所述光刻胶的厚度大于对应着形成宽度大于所述栅极的所述有源层的区域的所述光刻胶的厚度, 其他区域的所述光刻胶完全去除;

步骤 S3): 通过刻蚀工艺去除未被所述光刻胶保护的所述金属薄膜, 形成包括所述源极和所述漏极的图形;

步骤 S4): 对所述栅极绝缘薄膜和所述多晶硅薄膜进行连续刻蚀, 形成包括所述有源层的图形;

- 25 步骤 S5): 通过灰化工艺去除厚度较小的所述光刻胶, 露出宽度大于所述栅极的区域的所述金属薄膜;

步骤 S6): 通过刻蚀工艺去除所述有源层宽度大于所述栅极的区域的金属薄膜, 形成包括所述栅极的图形;

步骤 S7): 剥离去除残留的全部所述光刻胶;

- 30 步骤 S8): 采用所述栅极作为阻挡层, 对所述有源层的图形进行离子掺

杂，并激活沟道掺杂和源漏掺杂离子，形成所述有源层。

例如，在步骤 S8) 中，采用所述栅极作为阻挡层，通过离子注入或离子云注入的方法对所述有源层的图形进行离子掺杂，并通过快速热退火工艺激活沟道掺杂和源漏掺杂离子，形成所述有源层，其中：掺杂离子为 PH_3/H_2 或 $\text{B}_2\text{H}_6/\text{H}_2$ ，离子注入剂量在 10^{15} - 10^{16} ions/cm² 之间，注入能量在 10-100KeV 之间。

例如，在步骤 S1) 中，所述金属薄膜为采用钼、钼铌合金、铝、铝钽合金、钛和铜中的任一种形成的单层结构，或为采用钼/铝/钼、钛/铝/钛形成子层得到的叠层结构；所述金属薄膜采用磁控溅射方式形成，所述金属薄膜的厚度范围为 200-500nm；

相应的，在步骤 S6) 中，当所述金属薄膜为钼/铝/钼形成子层得到的叠层结构时，采用湿法刻蚀方法去除所述有源层宽度大于所述栅极的区域的所述金属薄膜；当所述金属薄膜为钛/铝/钛形成子层得到的叠层结构时，采用干法刻蚀方法去除所述有源层宽度大于所述栅极的区域的所述金属薄膜。

例如，该方法还可包括在所述有源层与对应着所述源极和所述漏极下方的所述多晶硅薄膜之间的区域填充绝缘薄膜的步骤；以及，采用一次构图工艺形成用于连接所述源极接触区与所述源极的第一连接电极、用于连接所述漏极接触区与所述漏极的第二连接电极。

发明至少一个实施例提供了一种阵列基板的制备方法，其包括任一上述薄膜晶体管的制备方法。

例如，阵列基板的制备方法还可包括形成交叉设置的栅线和数据线的步骤，所述栅线与所述栅极连接，所述数据线与所述源极连接，所述栅极、所述源极、所述漏极、所述数据线与所述栅线同层设置、且在同一构图工艺中形成，所述栅线或所述数据线任一在交叉位置处断续形成，且通过线连接电极连接。

例如，阵列基板的制备方法还可包括形成钝化层和像素电极的步骤，所述钝化层和所述像素电极通过一次构图工艺形成，所述钝化层完全覆盖所述栅极、所述栅线和所述数据线的上方、局部覆盖所述源极和所述漏极的上方；所述像素电极以及用于连接所述栅线或所述数据线的所述线连接电极形成于所述钝化层的上方，所述像素电极、所述第一连接电极、所述第二连接电极

以及所述线连接电极采用一次构图工艺-剥离工艺同时形成。

例如，形成所述钝化层和所述像素电极的步骤可包括：

步骤 S1)：在阵列基板的上方依次连续形成钝化薄膜和光刻胶；

5 步骤 S2)：采用双色调掩模工艺对所述光刻胶进行曝光、显影，其中，
双色调掩模工艺采用的掩模板中，对应着所述栅极及与其相连的所述栅线、
所述源极及与其相连的所述数据线、所述有源层以及对应着所述漏极远离所
述栅极的区域为不透光区，对应着形成所述像素电极以及连接所述栅极或所
述数据线的所述线连接电极的区域为部分透光区，其他区域为全透光区；

10 步骤 S3)：对所述钝化薄膜进行刻蚀，刻蚀深度以暴露所述源极靠近所
述栅极、所述漏极靠近所述栅极的所述金属薄膜为终点，形成配合源极接触
区、配合漏极接触区；和以暴露宽度大于所述栅极的所述有源层两侧的所述
多晶硅薄膜为终点，形成源极接触区和漏极接触区；

步骤 S4)：通过灰化工艺去除部分透光区的所述光刻胶，保留不透光区
的所述光刻胶；

15 步骤 S5)：在步骤 S4) 的阵列基板上形成导电薄膜；

步骤 S6)：通过剥离工艺去除所述光刻胶以及位于所述光刻胶上方的所
述导电薄膜，形成包括所述像素电极以及连接所述栅极或所述数据线的所述
线连接电极，同时还形成用于连接所述源极接触区与所述配合源极接触区的
第一连接电极、用于连接所述漏极接触区与配合漏极接触区的所述第二连接
20 电极的图形。

例如，在步骤 S3) 中，可采用选择比高和各向异性好的电感耦合等离子
方法进行所述钝化薄膜的刻蚀，通过采用 $\text{SF}_6/\text{O}_2/\text{He}$ 气体实现对应着所述全
透光区的刻蚀。

25 例如，在步骤 S5) 中，所述导电薄膜可为透明的金属氧化物导电薄膜，
金属氧化物可包括氧化铟锡、氧化铟锌、氧化锡铝中的任一种，厚度范围为
20-100nm；或者，所述导电薄膜可为氧化铟锡/银/氧化铟锡、氧化铟锌/银形
成子层得到的叠层薄膜，氧化铟锡薄膜的厚度范围可为 10-50nm，银薄膜的
厚度范围可为 20-100nm。

30 例如，阵列基板的制备方法还可进一步包括对所述阵列基板进行快速热
退火或热处理炉退火工艺。

附图说明

为了更清楚地说明本发明实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本发明的一些实施例，而非对本发明的限制。

- 5 图 1 为一种包括低温多晶硅薄膜晶体管的阵列基板的结构示意图；
图 2A、图 2B 为本发明实施例 1 中低温多晶硅薄膜晶体管的结构示意图；
图 3A 为采用第一次构图工艺形成厚度不同的光刻胶的薄膜晶体管的结构示意图；
图 3B 为形成包括源极和漏极的图形后的薄膜晶体管的结构示意图；
10 图 3C 为形成包括有源层的图形后的薄膜晶体管的结构示意图；
图 3D 为采用灰化工艺后的薄膜晶体管的结构示意图；
图 3E 为形成包括栅极的图形后的薄膜晶体管的结构示意图；
图 3F 为剥离光刻胶后的薄膜晶体管的结构示意图；
图 4 为本发明实施例 2 中包括低温多晶硅薄膜晶体管的阵列基板的结构
15 示意图；
图 5A 为形成钝化薄膜以及光刻胶的阵列基板的结构示意图；
图 5B 为采用第二次构图工艺形成厚度不同的光刻胶的阵列基板的结构示意图；
图 5C 为形成包括钝化层以及钝化层过孔、源极接触区和漏极接触区、
20 配合源极接触区和配合漏极接触区的图形的阵列基板的结构示意图；
图 5D 为采用灰化工艺后的阵列基板的结构示意图；
图 5E 为形成导电薄膜的阵列基板的结构示意图；
图 5F 为采用第三次构图工艺-剥离工艺后的阵列基板的结构示意图；
图 5G 为形成像素定义层的阵列基板的结构示意图；
25 图 5H 为对应图 4 的俯视图。

附图标记：

- 1、基板；2、缓冲层；4、有源层；4a、多晶硅薄膜；4b、源极接触区；
4c、漏极接触区；5、金属薄膜；5a、厚度较大的光刻胶；5b、厚度较小的光刻胶；6、栅极绝缘层；6a、栅极绝缘薄膜；7、栅极；7a、栅线；8、层间绝缘层；9、源极；9b、数据线；9c、配合源极接触区；10、漏极；10b、配合
- 30

漏极接触区；11、钝化层；11a、钝化薄膜；12、像素电极；12a、导电薄膜；12b、第一连接电极；12c、第二连接电极；12d、线连接电极；13、像素定义层；14-绝缘薄膜。

5 具体实施方式

为使本领域技术人员更好地理解本发明的技术方案，下面结合附图和具体实施方式对本发明薄膜晶体管及制备方法、阵列基板及制备方法和显示装置作进一步详细描述。

图1为一种低温多晶硅TFT的阵列基板的结构示意图，该阵列基板包括有源层4、栅极7、层间绝缘层8、源极9/漏极10、钝化层11、像素电极12和像素定义层13等层结构。该阵列基板的制造工艺一般需要多次构图工艺，一次构图工艺对应一道掩模板(mask，也称光罩)。该阵列基板的制备方法通常包括如下步骤。

在基板1上方形成缓冲层2；其后在缓冲层2上方形成非晶硅薄膜(a-Si)，并使得a-Si结晶成为多晶硅；而后通过第一次构图工艺(通常为普通掩模板)形成包括有源层4的图形。利用离子注入工艺进行低浓度离子掺杂，在有源层4中形成薄膜晶体管要求的半导体沟道。

在有源层4以及整个缓冲层2上方形成栅极绝缘层6；形成光刻胶，利用第二次构图工艺形成用于将非晶硅薄膜掺杂形成存储电容的光刻胶图形，采用该光刻胶图形作为离子注入的阻挡层，在完成掺杂后去除光刻胶。

在栅极绝缘层6上沉积一种或多种低电阻的金属材料形成栅金属薄膜，利用第三次构图工艺形成包括栅极7的图形。采用栅极7作为离子注入的阻挡层，对有源层4进行离子掺杂，形成低阻抗的源极接触区和漏极接触区。

在包括栅极7的整个表面形成第一介质薄膜，通过第四次构图工艺形成层间绝缘层8以及层间绝缘层8中的源极接触孔和漏极接触孔。

沉积一种或多种低电阻的金属材料形成源漏金属薄膜，通过第五次构图工艺形成包括源极9和漏极10的图形，通过源极接触孔和漏极接触孔与有源层4形成欧姆接触。采用快速热退火或热处理炉退火，激活有源层4中掺杂的离子，形成有效的导电沟道。

在包括源极9和漏极10的整个表面形成第二介质薄膜，通过第六次构图

工艺形成包括钝化层过孔的钝化层 11。采用快速热退火或热处理炉退火进行氢化工艺，修复有源层 4 内部和界面的缺陷。在该步骤中，还可以进一步在同一次构图工艺中，在钝化层 11 的上方形形成具有相同过孔的有机平坦化层，形成平坦表面。

- 5 在完成上一步骤的阵列基板上方形形成一层透明导电薄膜，通过第七次构图工艺形成像素电极 12；当该阵列基板应用于 AMOLED 时，可以通过第八次构图工艺形成图 1 中所示的像素定义层 13。

综上所述，至少需要七次构图工艺形成图 1 所示的包括低温多晶硅薄膜晶体管的阵列基板，这导致较长的工艺时间和较低的工艺良率，使得阵列基
10 板的制备成本较高。

实施例 1

本发明的实施例提供一种薄膜晶体管和相应的薄膜晶体管的制备方法。

如图 2A 和图 2B 所示，该薄膜晶体管包括栅极 7、源极 9、漏极 10、有源层 4 和栅极绝缘层 6；栅极绝缘层 6 设置于有源层 4 的上方，栅极 7、源极
15 9 和漏极 10 同层设置于栅极绝缘层 6 的上方，有源层 4 与源极 9 通过第一连接电极 12b 连接，有源层 4 与漏极 10 通过第二连接电极 12c 连接。

这里应该理解的是，在本公开中，“同层”指的是采用同一成膜工艺形成用于形成特定图形的膜层，然后利用同一掩模板通过一次构图工艺形成的层结构。根据特定图形的不同，一次构图工艺可能包括多次曝光、显影或刻蚀
20 工艺，而形成的层结构中的特定图形可以是连续的也可以是不连续的，这些特定图形还可能处于不同的高度或者具有不同的厚度。

如图 2A 和图 2B 所示，栅极 7 与有源层 4 的投影至少部分重叠、且栅极 7 的宽度小于有源层 4 的宽度，即在对应着有源层 4 的区域，栅极 7 在有源层 4 上的正投影完全落入有源层 4 的内部，有源层 4 还具有未被栅极 7 覆盖
25 的两侧的边缘区域，边缘区域对应形成源极接触区和漏极接触区；源极 9 和漏极 10 分别设置于栅极 7 的两侧、且分别与栅极 7 相离（具有间隔）。在设置有源层 4 的区域，栅极绝缘层 6 的宽度小于有源层 4 的宽度，即在对应着形成有源层 4 的区域，栅极绝缘层 6 部分覆盖于有源层 4 的上方，从而在有源层 4 靠近源极 9 的区域形成源极接触区 4b、在有源层 4 靠近漏极 10 的区
30 域形成漏极接触区 4c，可参见图 5C，图 2A 和图 2B 中的源极接触区 4b 和

漏极接触区 4c 因已分别被第一连接电极 12b 和第二连接电极 12c 所覆盖, 因此未具体示出。第一连接电极 12b 搭接于源极 9 与源极接触区 4b 而使得源极 9 与有源层 4 连接, 第二连接电极 12c 搭接于漏极 10 与漏极接触区 4c 而使得漏极 10 与有源层 4 连接。

5 栅极 7、源极 9 和漏极 10 采用相同的材料形成, 栅极 7、源极 9 和漏极 10 可为采用钼 (Mo)、钼铌合金、铝 (Al)、铝钽合金 (AlNd)、钛 (Ti) 和铜 (Cu) 中的任一种形成的单层结构, 或为采用 Mo/Al/Mo、Ti/Al/Ti 形成子层得到的叠层结构, 栅极 7、源极 9 和漏极 10 的厚度范围为 200-500nm。

进一步例如, 有源层 4 采用低温多晶硅材料形成, 以使得薄膜晶体管获得较好的电学性能。

例如, 有源层 4 与对应着源极 9 和漏极 10 下方的多晶硅薄膜 4a 之间的区域可填充有绝缘薄膜 14, 以便形成栅极 7 与源极 9 和漏极 10、有源层 4 与多晶硅薄膜 4a 之间的隔离; 以及, 第一连接电极 12b 与第二连接电极 12c 同层设置、且采用相同的材料形成。

15 相应的, 本实施例还提供一种薄膜晶体管的制备方法, 该制备方法包括形成栅极 7、源极 9、漏极 10、有源层 4 和栅极绝缘层 6 的步骤, 其中, 栅极 7、源极 9 和漏极 10 同层形成于栅极绝缘层 6 的上方, 栅极 7、源极 9 和漏极 10 与有源层 4 采用同一构图工艺形成; 且形成用于连接有源层 4 与源极 9 的第一连接电极 12b、用于连接有源层 4 与漏极 10 的第二连接电极 12c。

20 在阐述具体制备方法之前, 应该理解, 在本发明的实施例中, 构图工艺, 可只包括光刻工艺, 或包括光刻工艺以及刻蚀步骤, 同时还可以包括打印、喷墨等其他用于形成预定图形的工艺; 光刻工艺, 是指包括成膜、曝光、显影等工艺过程的利用光刻胶、掩模板、曝光机等形成图形的工艺。可根据本发明的实施例中形成的结构选择相应的构图工艺。

25 下面以图 2A 和图 2B 所示的低温多晶硅薄膜晶体管的结构作为示例, 参照图 3A-图 3F 说明本实施例中薄膜晶体管的制备方法。

例如, 形成栅极 7、源极 9 和漏极 10 与有源层 4 的步骤可包括:

步骤 S1): 依次连续形成多晶硅薄膜、栅极绝缘薄膜、金属薄膜和光刻胶。

30 在该步骤中, 首先, 对基板 1 进行初始清洗以清除基板表面的杂质粒子,

然后采用 PECVD (Plasma Enhanced Chemical Vapor Deposition, 等离子体增强化学气相沉积法) 在基板 1 的表面沉积一层氮化硅 (SiN_x) 薄膜和二氧化硅 (SiO_2) 薄膜作为缓冲层 2, 参考 3A。其中, 作为缓冲层 2 的 SiN_x 薄膜的厚度范围为 50-100nm, SiO_2 薄膜的厚度范围为 100-400nm。

5 接着, 采用 PECVD 连续沉积一层厚度范围在 40-100nm 之间的非晶硅 a-Si 薄膜, 采用热处理炉对 a-Si 薄膜进行脱氢工艺处理, 以防止结晶过程中的氢爆。然后进行 a-Si 结晶工艺, 可以采用激光退火结晶、金属诱导结晶、固相结晶等方法, 形成如图 3A 所示的多晶硅薄膜 4a。

10 形成缓冲层 2 的 SiN_x 薄膜具有很强的扩散阻挡特性, 可以抑制基板 (通常为玻璃) 中少量的碱金属离子和 Na、K 金属离子对于多晶硅薄膜 4a 的影响。 SiO_2 薄膜与多晶硅薄膜 4a 具有优良的界面, 可以防止 SiN_x 薄膜缺陷对多晶硅薄膜 4a 质量的损害。

15 然后, 采用稀释的氢氟酸对多晶硅薄膜 4a 进行清洗, 降低多晶硅薄膜 4a 的表面粗糙度, 以便减少薄膜晶体管界面的缺陷。采用离子注入或离子云注入 (Ion Showering) 的方法, 对多晶硅薄膜 4a 进行薄膜晶体管沟道掺杂, 掺杂离子一般为 PH_3/H_2 或 $\text{B}_2\text{H}_6/\text{H}_2$, 离子注入剂量在 10^{11} - 13^{16} ions/cm² 之间, 注入能量在 10-100KeV 之间。沟道掺杂可以有效调整薄膜晶体管的阈值电压, 改善薄膜晶体管的开关特性。

20 采用 PECVD 方法在多晶硅薄膜 4a 上沉积一层栅极绝缘薄膜 6a, 该栅极绝缘薄膜 6a 一般为厚度范围在 30-100nm 之间的 SiO_2 和厚度范围在 20-100nm 之间的 SiN_x 两层薄膜, 其中 SiO_2 薄膜为底层, SiN_x 薄膜为顶层。

25 然后, 采用磁控溅射方法在栅极绝缘薄膜 6a 上方形成一层厚度为 200-500nm 的金属薄膜 5, 该金属薄膜 5 为采用钼 (Mo)、钼铌合金、铝 (Al)、铝钽合金 (AlNd)、钛 (Ti) 和铜 (Cu) 中的任一种形成的单层结构, 或为采用 Mo/Al/Mo、Ti/Al/Ti 形成子层得到的叠层结构。

步骤 S2): 采用双色调掩模工艺对光刻胶进行曝光、显影。双色调掩模工艺采用的掩模板中, 对应着形成栅极 7、源极 9 和漏极 10 的区域为不透光区, 对应着形成有源层 4 的宽度大于栅极 7 的区域为部分透光区, 其他区域为全透光区。在曝光、显影工艺后, 使得对应着形成栅极 7、源极 9 和漏极 30 10 的区域的光刻胶 (即厚度较大的光刻胶 5a) 的厚度大于对应着形成宽度大

于栅极 7 的有源层 4 的区域（即厚度较小的光刻胶 5b）的光刻胶的厚度，其他区域的光刻胶完全去除（在阵列基板中，对应着栅线 7a、数据线 9b 的光刻胶需保留）。

如图 3A 所示，该步骤中，采用一种双色调掩模板在金属薄膜 5 表面形成两种不同厚度的光刻胶，即厚度较大的光刻胶 5a 和厚度较小的光刻胶 5b。其中，双色调掩模板可以是半色调（Half-tone mask）或灰色调掩模板（Gray-tone mask），厚度较大的光刻胶 5a 的厚度范围在 1-3 微米之间，主要对应形成栅极 7、源极 9 和漏极 10 的图形；厚度较小的光刻胶 5b 的厚度范围在 0.5-1 微米之间，主要对应形成用于连接源极 9 和有源层 4 的源极接触区 4b 和用于连接漏极 10 和有源层 4 的漏极接触区 4c 的图形。

步骤 S3)：通过刻蚀工艺去除未被光刻胶保护的金属薄膜，形成包括源极 9 和漏极 10 的图形。

在该步骤中，通过刻蚀工艺去除没有光刻胶保护的金属薄膜，形成如图 3B 所示的源极 9（阵列基板中还包括与其相连的数据线 9b）、漏极 10。根据在步骤 S1）中形成金属薄膜的不同材料，刻蚀工艺可以是湿法刻蚀方法，也可以是干法刻蚀方法。例如采用湿法刻蚀方法去除 Mo/Al/Mo 形成子层得到的叠层结构的金属薄膜，采用电感耦合等离子方法等干法刻蚀方法去除 Ti/Al/Ti 形成子层得到的叠层结构的金属薄膜。

步骤 S4)：对栅极绝缘薄膜 6a 和多晶硅薄膜 4a 进行连续刻蚀，形成包括有源层 4 的图形。

如图 3C 所示，在该步骤中，采用等离子体或电感耦合等离子方法连续进行栅极绝缘薄膜 6a 和多晶硅薄膜 4a 的刻蚀，刻蚀深度以完全去除未被光刻胶保护的多晶硅薄膜 4a 为终点，防止因为多晶硅薄膜 4a 相连导致的薄膜晶体管特性下降，形成包括有源层 4 的图形。

步骤 S5)：通过灰化工艺去除厚度较小的光刻胶，露出宽度大于栅极 7 的区域的金属薄膜 5。

如图 3D 所示，在该步骤中，在干法刻蚀设备里通过灰化工艺去除厚度较小的光刻胶 5b 部分，露出对应着源极接触区 4b 和漏极接触区 4c 的金属薄膜 5。保留覆盖源极 9（阵列基板中还包括与其相连的数据线 9b）、漏极 10 和栅极 7（阵列基板中还包括与其相连的栅线 7a）的光刻胶，露出栅极 7 两

侧边缘部分的金属薄膜 5, 以便于在后续工艺步骤中去除该露出部分的金属薄膜 5 以及其下方的栅极绝缘薄膜 6a, 在金属薄膜 5 中形成包括栅极 7、源极接触区 4b 和漏极接触区 4c 的图形的轮廓, 在栅极绝缘薄膜 6a 和多晶硅薄膜 4a 中形成包括源极接触区 4b 和漏极接触区 4c 的图形的轮廓。

5 步骤 S6): 通过刻蚀工艺去除有源层 4 宽度大于栅极 7 的区域的金属薄膜 5, 形成包括栅极 7 的图形。

如图 3E 所示, 在该步骤中, 通过刻蚀工艺去除暴露的金属薄膜 5 以及其下方的栅极绝缘薄膜 6a, 即去除有源层 4 宽度大于栅极 7 的区域 (源极接触区 4b 和漏极接触区 4c 的图形) 对应的金属薄膜 5, 保留栅极绝缘薄膜 6a
10 和多晶硅薄膜 4a 中形成源极接触区 4b 和漏极接触区 4c 的图形的轮廓, 形成栅极 7 的图形。

与步骤 S1) 相应, 当金属薄膜 5 为 Mo / Al/ Mo 形成子层得到的叠层结构时, 采用湿法刻蚀方法去除有源层 4 宽度大于栅极 7 的区域 (即去除栅极 7 的两侧边缘部分) 的金属薄膜 5; 当金属薄膜 5 为 Ti/ Al/ Ti 形成子层得到的叠层结构时, 采用干法刻蚀方法, 例如电感耦合等离子方法去除有源层 4
15 宽度大于栅极 7 的区域 (即去除栅极 7 的两侧边缘部分) 的金属薄膜 5, 形成栅极 7 (阵列基板中还包括与其相连的栅线 7a)。

这里, 步骤 S3) 和步骤 S6) 均针对同一层金属薄膜 5 进行刻蚀, 可以采用同样的刻蚀方法。湿法刻蚀方法的优点在于容易形成侧壁平缓、坡度角
20 较小的侧面, 干法刻蚀方法的优点在于容易形成关键尺寸较小、尺寸控制精确的图形。

步骤 S7): 剥离去除残留的全部光刻胶。

在该步骤中, 采用剥离机完全去除残留的光刻胶, 形成如图 3F 所示的图形。

25 步骤 S8): 采用栅极 7 作为阻挡层, 对有源层 4 的图形进行离子掺杂, 并激活沟道掺杂和源漏掺杂离子, 形成有源层 4。

在该步骤中, 采用栅极 7 作为源漏掺杂阻挡层, 通过离子注入或离子云注入的方法, 对有源层 4 的图形进行离子掺杂。例如, 掺杂离子一般为 PH_3/H_2 或 $\text{B}_2\text{H}_6/\text{H}_2$, 离子注入剂量在 10^{15} - 10^{16} ions/cm² 之间, 注入能量在 10-100KeV
30 之间。然后通过快速热退火工艺, 激活沟道掺杂和源漏掺杂离子, 增强多晶

硅薄膜的导电特性。

这里应该理解的是，本实施例中的薄膜晶体管只有在与栅极 7 的投影至少部分重叠部分为有效的有源层 4（步骤 S1）中对应具有两种厚度的光刻胶的中间部分的多晶硅薄膜 4a），而在与源极 9、漏极 10 的投影至少部分重叠部分由于未进行离子掺杂而保持为多晶硅薄膜 4a（步骤 S1）中对应具有较厚的光刻胶的两侧部分的多晶硅薄膜 4a）。

如上结构，为了薄膜晶体管的正常开关功能，如图 2A 和图 2B 所示，有源层 4 与对应着源极 9 和漏极 10 下方的多晶硅薄膜 4a 之间的区域可填充有绝缘薄膜 14，以便形成栅极 7 与源极 9 和漏极 10、有源层 4 与多晶硅薄膜 4a 之间的隔离。相应的，在完成上述的步骤 S8）后，栅极 7 两侧在对应着源极接触区 4b 和漏极接触区 4c 仍被栅极绝缘薄膜 6a 覆盖着，在形成有源层 4 与对应着源极 9 和漏极 10 下方的多晶硅薄膜 4a 之间的区域填充绝缘薄膜 14 的构图工艺中，即可同时去除栅极 7 两侧在对应着源极接触区 4b 和漏极接触区 4c 区域的栅极绝缘薄膜 6a，形成源极接触区 4b 和漏极接触区 4c 的图形，也同时形成栅极绝缘层 6 的图形。

当然，如图 2B 所示，在图 2A 的基础上，绝缘薄膜 14 还可以进一步形成在源极 9 和漏极 10 的上方，以便对源极 9 和漏极 10 进行保护。

在上述形成栅极 7、源极 9 与漏极 10 的基础上，该制备方法还进一步包括，采用一次构图工艺形成用于连接源极接触区 4b 与源极 9 的第一连接电极 12b、用于连接漏极接触区 4c 与漏极 10 的第二连接电极 12c，以形成图 2A 或图 2B 所示的薄膜晶体管。

在本实施例的薄膜晶体管中，为了减少制造工艺的光刻次数，采用两种技术方法：（1）双色调掩模板光刻工艺，（2）栅极 7（栅线 7a）和源极 9（数据线 9b）、漏极 10 同层沉积，使得包括低温多晶硅薄膜晶体管的阵列结构的构图工艺次数下降到三次。

简单地讲就是，在基板上形成多晶硅薄膜，连续沉积栅极绝缘层和金属薄膜，采用双色调掩模板光刻工艺，形成两种不同厚度的光刻胶，以较厚的光刻胶形成栅极 7、源极 9 和漏极 10 的图形，较薄的光刻胶形成多晶硅薄膜的源极接触区 4b 和漏极接触区 4c；通过一次构图工艺同时形成源极 9 和漏极 10；然后去除较薄的光刻胶，露出覆盖多晶硅薄膜源极接触区 4b 和漏极

接触区 4c 的金属薄膜, 通过刻蚀工艺去除暴露的金属薄膜, 形成薄膜晶体管的栅极 7, 将通常的多晶硅薄膜 (有源层 4)、栅极 7 和源极 9、漏极 10 三次构图工艺减少到一次。

5 综上, 本实施例中的薄膜晶体管, 栅极 7、源极 9 和漏极 10 采用相同的材料、采用同一构图工艺形成在同层, 并通过连接电极分别连接有源层 4 与源极 9 和漏极 10, 以实现薄膜晶体管的正常功能, 大大减少了低温多晶硅薄膜晶体管的构图工艺次数, 从而达到提升工艺良率和降低工艺成本的目的。

实施例 2

10 本实施例提供一种阵列基板以及相应的阵列基板的制备方法。该阵列基板包括实施例 1 中的薄膜晶体管。

如图 4 所示, 以实施例 1 中图 3F 所示的薄膜晶体管为基础, 本实施例的阵列基板还包括钝化层 11 和像素电极 12, 钝化层 11 部分设置于漏极 10 的上方而在漏极 10 靠近栅极 7 的一侧形成配合漏极接触区 10b; 像素电极 12 通过搭接在配合漏极接触区 10b 以及漏极接触区 4c 而与漏极 10 连接。可参见图 5C, 图 4 中的配合源极接触区 9c 和源极接触区 4b、配合漏极接触区 10b 和漏极接触区 4c 因已分别被第一连接电极 12b 和第二连接电极 12c 所覆盖, 因此未具体示出。

如图 4 和图 5H 所示, 该阵列基板还包括交叉设置的栅线 7a 和数据线 9b, 栅线 7a 与栅极 7 相连接且同层设置, 数据线 9b 与源极 9 相连接且同层设置; 20 栅线 7a 或数据线 9b 任一在交叉位置处断续设置, 且通过线连接电极 12d 连接。像素电极 12、第一连接电极 12b、第二连接电极 12c 和线连接电极 12d 同层设置、且采用相同的材料形成。

在形成栅线 7a 和数据线 9b 的构图工艺中, 利用与形成栅极 7、源极 9 和漏极 10 相同的金属薄膜 5, 采用双色调掩模板在金属薄膜 5 表面形成两种 25 不同厚度的光刻胶, 即厚度较大的光刻胶 5a 和厚度较小的光刻胶 5b。使得厚度较大的光刻胶 5a 对应的金属薄膜 5 同时形成栅极 7/栅线 7a (栅线 7a 与栅极 7 连接, 可以对应在实施例 1 中的步骤 S6) 中形成, 请参见图 5H) 和源极 9/数据线 9b、漏极 10 (数据线 9b 与源极 9 连接, 可以对应在实施例 1 中的步骤 S3) 中形成, 请参见图 5H) 的图形, 其中形成栅线 7a 或数据线 9b 30 任一图形的光刻胶为断续 (不连续) 线状 (后续工艺以栅线 7a 断续设置为例),

防止栅线 7a 与数据线 9b 相连而短路，通过一次光刻工艺同时形成栅极 7/栅线 7a 和源极 9/数据线 9b、漏极 10，然后去除厚度较小的光刻胶。

5 这里应该理解的是，为能更突出地示意本实施例中阵列基板中各层结构以及各层之间的位置关系，图 5F 所示的俯视图中的导电薄膜设置为具有一定透明度。同时，由于栅极绝缘层 6 和钝化层 11 一般采用透明材料（例如硅氧化物、硅氮化物、钪氧化物、硅氮氧化物、铝氧化物）形成，对俯视图的观察不会造成阻碍，因此在图 5H 中略去栅极绝缘层 6 和钝化层 11 的示意，以便能更好地示出其他结构的相对位置关系。

例如，像素电极 12、第一连接电极 12b、第二连接电极 12c 和线连接电
10 极 12d 可采用氧化铟镓锌、氧化铟锌、氧化铟锡、氧化铟镓锡中的至少一种材料形成。

相应的，本实施例还提供一种阵列基板的制备方法，该制备方法包括实施例 1 中薄膜晶体管的制备方法。

在实施例 1 中薄膜晶体管制备方法的基础上，该制备方法还包括形成交叉
15 设置的栅线 7a 和数据线 9b 的步骤，栅线 7a 与栅极 7 连接，数据线 9b 与源极 9 连接，栅极 7、源极 9、漏极 10、数据线 9b 与栅线 7a 同层设置、且在同一构图工艺中形成，栅线 7a 或数据线 9b 任一在交叉位置处断续形成，且通过线连接电极 12d 连接。

进一步的，该制备方法还包括形成钝化层 11 和像素电极 12 的步骤，钝
20 化层 11 和像素电极 12 通过一次构图工艺形成，钝化层 11 完全覆盖栅极 7、栅线 7a 和数据线 9b 的上方、局部覆盖源极 9 和漏极 10 的上方。

像素电极 12 以及用于连接栅线 7a 或数据线 9b 的线连接电极 12d 形成于钝化层 11 的上方，像素电极 12、第一连接电极 12b、第二连接电极 12c 以及线连接电极 12d 采用一次构图工艺-剥离工艺同时形成。

25 简单地讲，本实施例中的阵列基板的制备方法为：在形成多晶硅薄膜 4a 的基板 1 上连续沉积栅极绝缘薄膜 6a 和金属薄膜 5。利用双色调掩模板光刻工艺，在金属薄膜 5 上形成用于形成多晶硅有源层 4、栅极 7 和栅线 7a、源极 9、漏极 10 和数据线 9b 图形的光刻胶，通过一次构图工艺在基板 1 上形成多晶硅有源层 4、栅极 7 和栅线 7a、源极 9 和数据线 9b、漏极 10，其中，
30 栅线 7a 为断续设置。在栅极 7 和栅线 7a、源极 9 和数据线 9b、漏极 10 上方

形成钝化薄膜 11a。在钝化薄膜 11a 上方形成用于形成钝化层过孔和像素电极图形的光刻胶，利用双色调掩模板，通过一次构图工艺和剥离工艺形成钝化层 11、钝化层过孔，并形成包括第一连接电极 12b、第二连接电极 12c 和像素电极 12 的图形以及用于连接断续设置的栅线 7a 的线连接电极 12d 的图形。

以图 2B 所示的薄膜晶体管的结构为例，在实施例 1 形成薄膜晶体管的基础上，参照图 5A-图 5H 说明本实施例中阵列基板的制备方法。其中，图 5A-图 5F 为对应图 5H 中 A-A 剖切线区域的剖视图，图 5G 为对应图 5H 中 B-B 剖切线区域的剖视图。

例如，在本实施例中阵列基板中形成钝化层 11 和像素电极 12 的步骤可包括：

步骤 S1)：在阵列基板的上方依次连续形成钝化薄膜和光刻胶。

在该步骤中，如图 5A 所示，以包含图 3F 所示的薄膜晶体管的阵列基板为例(同时还应包括与栅极 7 同时形成的栅线 7a 和与源极 9 同时形成的数据线 9b)，采用 PECVD 方法在栅极 7、源极 9、漏极 10 以及栅线 7a 和数据线 9b 上方形成一层钝化薄膜 11a，栅极 7 两侧的栅极绝缘薄膜 6a 对应着形成源极接触区 4b 和漏极接触区 4c 的区域也同时被钝化薄膜 11a 覆盖。然后在钝化薄膜 11a 上方形成一层光刻胶 5a。其中，钝化层 11 一般是厚度在 200-500nm 之间含氢的 SiN_x 薄膜。然后，进行快速热退火或热处理炉退火工艺，利用钝化薄膜 11a 和栅极绝缘薄膜 6a 的 SiN_x 薄膜，实现有源层 4 内部以及有源层 4 与 SiO_2 薄膜界面的氢化，钝化体缺陷和界面缺陷，提高有源层 4 的薄膜晶体管特性。

步骤 S2)：采用双色调掩模工艺对光刻胶进行曝光、显影，其中，双色调掩模工艺采用的掩模板中，对应着栅极 7 及与其相连的栅线 7a、源极 9 及与其相连的数据线 9b、有源层 4 以及对应着源极 9 远离栅极 7 的区域为不透光区，对应着形成像素电极 12 以及连接栅线 7a 或数据线 9b 的线连接电极 12d 的区域为部分透光区，其他区域为全透光区。在一次曝光、显影工艺后，不透光区的光刻胶的厚度大于部分透光区的光刻胶的厚度，而全透光区的光刻胶被去除。

在该步骤中，如图 5B 所示，采用一种双色调掩模板在钝化薄膜 11a 的

SiN_x 薄膜表面形成两种不同厚度的光刻胶, 即厚度较大 (对应着不透光区) 的光刻胶 5a 和厚度较小 (对应着部分透光区) 的光刻胶 5b。其中, 双色调掩模板可以是半色调 (Half-tone mask) 或灰色调掩模板 (Gray-tone mask), 厚度较大的光刻胶 5a 的厚度范围在 1-3 微米之间, 覆盖栅极 7 及与其相连的栅线 7a、源极 9 及与其相连的数据线 9b, 以及除钝化层过孔和厚度较小的光刻胶 5b 以外的所有区域。厚度较小的光刻胶 5b 的厚度范围为 0.5-1.5 微米, 覆盖漏极 10 以及用于形成线连接电极 12d 和像素电极 12 的区域; 对应着全透光区的光刻胶用于形成数据线过孔和栅线过孔等图形。

步骤 S3): 对钝化薄膜 11a 进行刻蚀, 刻蚀深度以暴露源极 9 靠近栅极 7、漏极 10 靠近栅极 7 的金属薄膜为终点, 形成配合源极接触区 9c、配合漏极接触区 10b; 和以暴露宽度大于栅极 7 的有源层 4 两侧的多晶硅薄膜 4a 为终点, 形成源极接触区 4b 和漏极接触区 4c。

在该步骤中, 如图 5C 所示, 可采用等离子体或电感耦合等离子方法进行刻蚀, 形成钝化层过孔。同时, 刻蚀钝化薄膜 11a 以暴露配合源极接触区 9c 的源极 9 和配合漏极接触区 10b 的漏极 10 为终点, 刻蚀钝化薄膜 11a 和栅极绝缘薄膜 6a 以暴露源极接触区 4b 和漏极接触区 4c 的有源层 4 为终点, 即有源层 4 顶面的源极接触区 4b 和漏极接触区 4c 在钝化层过孔的刻蚀工艺中同时形成 (暴露出来), 也即在该步骤中同时形成了包括栅极绝缘层 6 的图形 (对应着实施例 1 中在填充绝缘薄膜 14 的构图工艺中, 同时去除栅极 7 两侧在对应着源极接触区 4b 和漏极接触区 4c 区域的栅极绝缘薄膜 6a 的步骤)。

例如, 采用选择比高和各向异性好的电感耦合等离子方法进行钝化薄膜 11a 的刻蚀, 通过采用 SF₆/O₂/He 气体实现钝化层过孔的刻蚀。

在该步骤中, 在钝化层 11 中还同时形成用于栅极 7 与栅线 7a 接触的栅线过孔、源极 9 与数据线 9b 接触的数据线过孔 (图 5C 中均未示出)。而且, 从图 5C 可见, 栅极 7 完全处于钝化层 11 的覆盖范围内, 能更好地保护栅极 7。

步骤 S4): 通过灰化工艺去除部分透光区的光刻胶, 保留不透光区的光刻胶。

在该步骤中, 利用等离子体灰化工艺去除厚度较小的光刻胶 5b, 原来厚

度较大的光刻胶 5a 也被灰化到一定厚度, 形成如图 5D 所示的厚度较小的光刻胶 5b, 保留栅极 7 及与其相连的栅线 7a、部分源极 9 及与其相连的数据线 9b、有源层 4 以及对应着源极 9 远离栅极 7 的区域的光刻胶; 而暴露出对应着形成线连接电极 12d 和像素电极 12 的图形的阵列基板区域。

5 步骤 S5): 在步骤 S4) 的阵列基板上方形形成导电薄膜 12a。

导电薄膜 12a 为透明的金属氧化物导电薄膜, 金属氧化物可包括氧化铟锡 (ITO)、氧化铟锌 (IZO)、氧化锡铝 (ZTO) 中的任一种, 厚度范围为 20-100nm; 或者, 导电薄膜 12a 为 ITO/Ag (银)/ITO、IZO/Ag 形成子层得到的叠层薄膜, 氧化铟锡薄膜的厚度范围可为 10-50nm, 银薄膜的厚度范围
10 可为 20-100nm。

在该步骤中, 如图 5E 所示, 采用磁控溅射在钝化层过孔、残留的厚度较小的光刻胶 5b、钝化层 11、源极 9、漏极 10 以及整个基板表面沉积一层导电薄膜 12a, 该导电薄膜 12a 用于形成包括像素电极 12、连接断续设置的栅线 7a 或数据线 9b 的线连接电极 12d (本实施例以连接断续设置的栅线 7a
15 为例)、连接配合源极接触区 9c 和源极接触区 4b 的第一连接电极 12b 以及连接配合漏极接触区 10b 和漏极接触区 4c 的第二连接电极 12c。

根据该阵列基板的不同应用, 例如是应用于 LCD 显示装置或者是应用于 OLED 显示装置中, 该导电薄膜 12a 可设置成不同的材料。例如, 以将该阵列基板应用于 OLED 显示装置中为例, 当该阵列基板应用于底发射
20 AMOLED 显示装置中时, 该导电薄膜 12a 一般为透明的, 可以采用氧化铟锡 (ITO)、氧化铟锌 (IZO)、氧化锡铝 (ZTO) 等氧化物透明导电薄膜, 厚度范围可为 20-100nm; 而该阵列基板应用于顶发射 AMOLED 显示装置中时, 该导电薄膜 12a 一般采用 ITO/Ag/ITO、IZO/Ag 等复合薄膜, ITO 薄膜的厚度范围可为 10-50nm, Ag 薄膜的厚度范围可为 20-100nm。

25 步骤 S6): 通过剥离工艺去除光刻胶以及位于光刻胶上方的导电薄膜 12a, 形成包括像素电极 12 以及连接栅极 7 或数据线 9b 的线连接电极 12d, 同时还形成用于连接源极接触区 4b 与配合源极接触区 9c 的第一连接电极 12b、用于连接漏极接触区 4c 与配合漏极接触区 10b 的第二连接电极 12c 的图形。

30 在该步骤中, 把沉积完导电薄膜 12a 的阵列基板放入剥离机台里, 采用

光刻胶剥离液去除图 5D 所示残留的厚度较小的光刻胶 5b, 通过剥离工艺同时去除厚度较小的光刻胶 5b 上方的导电薄膜 12a (光刻胶 5b 及其光刻胶 5b 上方的导电薄膜 12a 将被同时去除), 而保留钝化层过孔 (包括栅线过孔、数据线过孔) 和像素区域钝化层薄膜上方的导电薄膜 12a, 形成图 5F 所示的第一连接电极 12b、第二连接电极 12c 和像素电极 12, 以及形成图 5H 所示的连接断续设置的栅线 7a 的线连接电极 12d。

采用剥离工艺有利于减少掩模板和光刻工艺的次数, 可以通过两次构图工艺分别形成钝化层过孔和第一连接电极和第二连接电极、像素电极 12。例如: 通过 PECVD 形成钝化层的钝化薄膜, 通过溅射工艺形成导电薄膜, 通过两次光刻工艺分别形成上述钝化薄膜和导电薄膜的图形, 而图形之外的钝化薄膜和导电薄膜通过剥离工艺去除即可。

如图 5H 所示, 进行上述钝化层过孔工艺、导电薄膜溅射和剥离工艺的同时, 在断续的栅线 7a 搭桥处, 形成连接断续栅线 7a 的线连接电极 12d, 完成整个阵列基板中栅线 7a 或数据线 9b 的制作。栅线 7a 或数据线 9b 处的钝化层过孔工艺与图 5H 所示的源极、漏极处钝化层过孔工艺同时进行, 线连接电极 12d 的沉积和剥离工艺与像素电极 12 沉积、剥离工艺也是同时完成的。

以将本实施例中的阵列基板应用于 OLED 显示装置中为例, 如图 5G 所示, 还可包括, 进一步在阵列基板的上方形成像素定义层 13, 像素定义层 13 可采用亚克力 (Acrylic)、通过一次构图工艺形成, 像素定义层 13 的厚度范围为 1-4 微米。相应的, 在完成上述制备工艺的阵列基板的上方采用一次构图工艺, 完成如图 4 所示的像素定义层 13 的制备, 并对阵列基板采用快速热退火或热处理炉, 进行最后的退火处理, 以稳定低温多晶硅薄膜晶体管的特性, 完成本实施例中阵列基板的制作。

与实施例 1 中薄膜晶体管的制备方法相同, 本实施例中的阵列基板的制备方法中, 为了减少制备过程中构图工艺的次数, 钝化层 11 和像素电极 12 采用一次构图工艺, 采用双色调光刻胶工艺和剥离工艺结合的技术来实现。其中, 在形成钝化层 11 及钝化层过孔的构图工艺中, 采用双色调掩模板形成两种不同厚度的光刻胶, 较厚的光刻胶 (对应不透光区) 覆盖栅极 7/栅线 7a、源极 9/数据线 9b 的部分金属薄膜 (其上不存在与像素电极 12 同层的导电薄

膜); 较薄的光刻胶(对应部分透光区)覆盖包括像素电极 12 区域的部分金属薄膜, 形成像素电极 12 和线连接电极 12d 的图形。首先, 刻蚀去除对应着全透光区的钝化薄膜 11a 形成钝化层过孔(例如包括栅线过孔和数据线过孔), 同时刻蚀工艺以露出源极接触区和漏极接触区的多晶硅薄膜为终点、以及以露出配合源极接触区和配合漏极接触区的金属薄膜为终点。接着, 进一步去除像素电极区域较薄的光刻胶。然后, 沉积一层透明导电薄膜, 采用薄膜剥离工艺去除较厚的光刻胶及其之上的透明导电薄膜, 形成像素电极 12、连接源极 9 与有源层 4 的第一连接电极 12b、连接漏极 10 与有源层 4 的第二连接电极 12c 和连接断续设置的栅线 7a 的线连接电极 12d, 将通常的钝化层 11 和像素电极 12 的两次构图工艺合二为一, 完成 LCD 显示应用的阵列基板。或者, 进一步的, 再采用一次构图工艺形成像素定义层, 完成 AMOLED 显示应用的阵列基板。

在本实施例的包括低温多晶硅薄膜晶体管的阵列基板结构中, 栅极 7(栅线 7a) 和源极 9(数据线 9b)、漏极 10 由同一层金属薄膜形成, 而没有层间绝缘层隔离开来, 能有效降低栅极 7 与源极 9 和漏极 10 之间的寄生电容; 采用和像素电极 12 相同的透明导电薄膜, 形成和有源层 4 的多晶硅薄膜接触的第一连接电极 12b 和第二连接电极 12c, 透明导电薄膜和低电阻的金属薄膜相连接, 降低电极和导线阻抗。栅线 7a 在和数据线 9b 交叉处断开, 通过透明导电薄膜形成的线连接电极 12d 连接断续的栅线 7a, 简化阵列基板结构和制造工艺。

本实施例中的阵列基板特别适用于低温多晶硅阵列基板的器件结构(即 LTPS-AMOLED)的制造。

综上, 在本发明实施例提供的阵列基板中, 为了减少制造工艺的光刻次数, 采用三种技术方法: (1) 双色调掩模板光刻工艺, (2) 薄膜剥离工艺, (3) 栅极(栅线 7a) 和源极(数据线 9b)、漏极采用相同的材料同层沉积且在同一构图工艺中形成, 像素电极、第一连接电极、第二连接电极和线连接电极采用相同的材料同层沉积且在同一构图工艺中形成, 使得包括低温多晶硅薄膜晶体管的阵列结构的构图工艺次数大大减少(下降到三次), 从而降低了工序复杂度, 在缩短制造工艺时间的同时降低工艺成本、提升工艺良率。

实施例 3

本实施例提供一种显示装置，该显示装置包括实施例 2 中的阵列基板。

根据阵列基板的结构，显示装置可以为液晶显示装置或有机电致发光二极管显示装置。即该显示装置可以为：液晶面板、电子纸、OLED 面板、手机、手表、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

该显示装置采用低温多晶硅阵列基板形成，具有较好的显示效果，且制备成本较低。

本发明实施例提供的薄膜晶体管以及包括该薄膜晶体管的阵列基板均为采用三次构图工艺即可形成，大大缩短了工艺时间，提高了工艺良率，降低了工艺成本。

可以理解的是，以上实施方式仅仅是为了说明本发明的原理而采用的示范性实施方式，然而本发明并不局限于此。对于本领域内的普通技术人员而言，在不脱离本发明的精神和实质的情况下，可以做出各种变型和改进，这些变型和改进也视为本发明的保护范围。

本专利申请要求于 2014 年 8 月 19 日递交的中国专利申请第 201410409198.9 号的优先权，在此全文引用上述中国专利申请公开的内容作为本申请的一部分。

权利要求书

1. 一种薄膜晶体管，其包括栅极、源极、漏极、有源层和栅极绝缘层，其中，所述栅极绝缘层设置于所述有源层的上方，所述栅极、所述源极和所述漏极同层设置于所述栅极绝缘层的上方，所述有源层与所述源极通过第一连接电极连接，所述有源层与所述漏极通过第二连接电极连接。
2. 根据权利要求 1 所述的薄膜晶体管，其中，所述栅极与所述有源层的投影至少部分重叠、且所述栅极的宽度小于所述有源层的宽度，所述源极和所述漏极分别设置于所述栅极的两侧、且分别与所述栅极相离；
- 10 在设置所述有源层的区域，所述栅极绝缘层的宽度小于所述有源层的宽度，从而在所述有源层靠近所述源极的区域形成源极接触区、在所述有源层靠近所述漏极的区域形成漏极接触区，所述第一连接电极搭接于所述源极与所述源极接触区而使得所述源极与所述有源层连接，所述第二连接电极搭接于所述漏极与所述漏极接触区而使得所述漏极与所述有源层连接。
- 15 3. 根据权利要求 2 所述的薄膜晶体管，其中，所述有源层与对应着所述源极和所述漏极下方的所述多晶硅薄膜之间的区域填充有绝缘薄膜；以及，所述第一连接电极与所述第二连接电极同层设置、且采用相同的材料形成。
4. 根据权利要求 2 或 3 所述的薄膜晶体管，其中，所述栅极、所述源极和所述漏极采用相同的材料形成，所述栅极、所述源极和所述漏极为采用钼、钼铌合金、铝、铝钽合金、钛和铜中的任一种形成的单层结构，或为采用钼/铝/钼、钛/铝/钛形成子层得到的叠层结构，所述栅极、所述源极和所述漏极的厚度范围均为 200-500nm。
- 20 5. 根据权利要求 1-4 任一项所述的薄膜晶体管，其中，所述有源层采用低温多晶硅材料形成。
6. 一种阵列基板，其包括权利要求 1-5 任一项所述的薄膜晶体管。
7. 根据权利要求 6 所述的阵列基板，其中，所述阵列基板还包括钝化层和像素电极，所述钝化层部分设置于所述漏极的上方而在所述漏极靠近所述栅极的一侧形成配合漏极接触区；所述像素电极通过搭接在所述配合漏极接
- 30 触区以及所述漏极接触区而与所述漏极连接。

8. 根据权利要求 7 所述的阵列基板, 还包括交叉设置的栅线和数据线, 所述栅线与所述栅极相连接且同层设置, 所述数据线与所述源极相连接且同层设置; 所述栅线或所述数据线任一在交叉位置处断续设置, 且通过线连接电极连接。

5 9. 根据权利要求 8 所述的阵列基板, 其中, 所述像素电极、所述第一连接电极、所述第二连接电极和所述线连接电极同层设置、且采用相同的材料形成。

10 10. 根据权利要求 8 或 9 所述的阵列基板, 其中, 所述像素电极、所述第一连接电极、所述第二连接电极和所述线连接电极采用氧化铟镓锌、氧化铟锌、氧化铟锡、氧化铟镓锡中的至少一种材料形成。

11. 一种显示装置, 其包括权利要求 6-10 任一项所述的阵列基板。

12. 一种薄膜晶体管的制备方法, 其包括形成栅极、源极、漏极、有源层和栅极绝缘层的步骤,

15 其中, 所述栅极绝缘层形成于所述有源层的上方, 所述栅极、所述源极和所述漏极同层形成于所述栅极绝缘层的上方, 所述栅极、所述源极和所述漏极与所述有源层采用同一构图工艺形成; 且形成用于连接所述有源层与所述源极的第一连接电极、用于连接所述有源层与所述漏极的第二连接电极。

13. 根据权利要求 12 所述的制备方法, 其中, 形成所述栅极、所述源极和所述漏极与所述有源层的步骤包括:

20 步骤 S1): 依次连续形成多晶硅薄膜、栅极绝缘薄膜、金属薄膜和光刻胶;

25 步骤 S2): 采用双色调掩模工艺对所述光刻胶进行曝光、显影, 其中, 双色调掩模工艺采用的掩模板中, 对应着形成所述栅极、所述源极和所述漏极的区域为不透光区, 对应着形成所述有源层的宽度大于所述栅极的区域为部分透光区, 其他区域为全透光区; 在曝光、显影工艺后, 使得对应着形成所述栅极、所述源极和所述漏极的区域的所述光刻胶的厚度大于对应着形成宽度大于所述栅极的所述有源层的区域的所述光刻胶的厚度, 其他区域的所述光刻胶完全去除;

30 步骤 S3): 通过刻蚀工艺去除未被所述光刻胶保护的所述金属薄膜, 形成包括所述源极和所述漏极的图形;

步骤 S4): 对所述栅极绝缘薄膜和所述多晶硅薄膜进行连续刻蚀, 形成包括所述有源层的图形;

步骤 S5): 通过灰化工艺去除厚度较小的所述光刻胶, 露出宽度大于所述栅极的区域的所述金属薄膜;

5 步骤 S6): 通过刻蚀工艺去除所述有源层宽度大于所述栅极的区域的金属薄膜, 形成包括所述栅极的图形;

步骤 S7): 剥离去除残留的全部所述光刻胶;

步骤 S8): 采用所述栅极作为阻挡层, 对所述有源层的图形进行离子掺杂, 并激活沟道掺杂和源漏掺杂离子, 形成所述有源层。

10 14. 根据权利要求 13 所述的制备方法, 其中, 在步骤 S8) 中, 采用所述栅极作为阻挡层, 通过离子注入或离子云注入的方法对所述有源层的图形进行离子掺杂, 并通过快速热退火工艺激活沟道掺杂和源漏掺杂离子, 形成所述有源层,

其中, 掺杂离子为 PH_3/H_2 或 $\text{B}_2\text{H}_6/\text{H}_2$, 离子注入剂量在 10^{15} - 10^{16} ions/cm² 15 之间, 注入能量在 10-100KeV 之间。

15. 根据权利要求 13 所述的制备方法, 其中, 在步骤 S1) 中, 所述金属薄膜为采用钼、钼铌合金、铝、铝钽合金、钛和铜中的任一种形成的单层结构, 或为采用钼/铝/钼、钛/铝/钛形成子层得到的叠层结构; 所述金属薄膜采用磁控溅射方式形成, 所述金属薄膜的厚度范围为 200-500nm;

20 在步骤 S6) 中, 当所述金属薄膜为钼/铝/钼形成子层得到的叠层结构时, 采用湿法刻蚀方法去除所述有源层宽度大于所述栅极的区域的所述金属薄膜; 当所述金属薄膜为钛/铝/钛形成子层得到的叠层结构时, 采用干法刻蚀方法去除所述有源层宽度大于所述栅极的区域的所述金属薄膜。

16. 根据权利要求 13 所述的制备方法, 还包括在所述有源层与对应着所述源极和所述漏极下方的所述多晶硅薄膜之间的区域填充绝缘薄膜的步骤; 25 以及,

采用一次构图工艺形成用于连接所述源极接触区与所述源极的第一连接电极、用于连接所述漏极接触区与所述漏极的第二连接电极。

17. 一种阵列基板的制备方法, 其包括权利要求 12-16 任一项所述薄膜 30 晶体管的制备方法。

18. 根据权利要求 17 所述的制备方法, 还包括形成交叉设置的栅线和数据线的步骤, 所述栅线与所述栅极连接, 所述数据线与所述源极连接, 所述栅极、所述源极、所述漏极、所述数据线与所述栅线同层设置、且在同一构图工艺中形成, 所述栅线或所述数据线任一在交叉位置处断续形成, 且通过线连接电极连接。

19. 根据权利要求 18 所述的制备方法, 还包括形成钝化层和像素电极的步骤, 所述钝化层和所述像素电极通过一次构图工艺形成;

所述像素电极以及用于连接所述栅线或所述数据线的所述线连接电极形成于所述钝化层的上方, 所述像素电极、所述第一连接电极、所述第二连接电极以及所述线连接电极采用一次构图工艺-剥离工艺同时形成。

20. 根据权利要求 19 所述的制备方法, 其中, 形成所述钝化层和所述像素电极的步骤包括:

步骤 S1): 在阵列基板的上方依次连续形成钝化薄膜和光刻胶;

步骤 S2): 采用双色调掩模工艺对所述光刻胶进行曝光、显影, 其中, 双色调掩模工艺采用的掩模板中, 对应着所述栅极及与其相连的所述栅线、所述源极及与其相连的所述数据线、所述有源层以及对应着所述漏极远离所述栅极的区域为不透光区, 对应着形成所述像素电极以及连接所述栅线或所述数据线的所述线连接电极的区域为部分透光区, 其他区域为全透光区;

步骤 S3): 对所述钝化薄膜进行刻蚀, 刻蚀深度以暴露所述源极靠近所述栅极、所述漏极靠近所述栅极的所述金属薄膜为终点, 形成配合源极接触区、配合漏极接触区; 和以暴露宽度大于所述栅极的所述有源层两侧的所述多晶硅薄膜为终点, 形成源极接触区和漏极接触区;

步骤 S4): 通过灰化工艺去除部分透光区的所述光刻胶, 保留不透光区的所述光刻胶;

步骤 S5): 在步骤 S4) 的阵列基板上形成导电薄膜;

步骤 S6): 通过剥离工艺去除所述光刻胶以及位于所述光刻胶上方的所述导电薄膜, 形成包括所述像素电极以及连接所述栅极或所述数据线的所述线连接电极, 同时还形成用于连接所述源极接触区与所述配合源极接触区的第一连接电极、用于连接所述漏极接触区与配合漏极接触区的所述第二连接电极的图形。

21. 根据权利要求 20 所述的制备方法, 其中, 在步骤 S3) 中, 采用选择比高和各向异性好的电感耦合等离子方法进行所述钝化薄膜的刻蚀, 通过采用 $\text{SF}_6/\text{O}_2/\text{He}$ 气体实现对应着所述全透光区的刻蚀。

5 22. 根据权利要求 20 所述的制备方法, 其中, 在步骤 S5) 中, 所述导电薄膜为透明的金属氧化物导电薄膜, 金属氧化物包括氧化铟锡、氧化铟锌、氧化锡铝中的任一种, 厚度范围为 20-100nm;

或者, 所述导电薄膜为氧化铟锡/银/氧化铟锡、氧化铟锌/银形成子层得到的叠层薄膜, 氧化铟锡薄膜的厚度范围为 10-50nm, 银薄膜的厚度范围为 20-100nm。

10 23. 根据权利要求 20 所述的制备方法, 还包括对所述阵列基板进行快速热退火或热处理炉退火工艺。

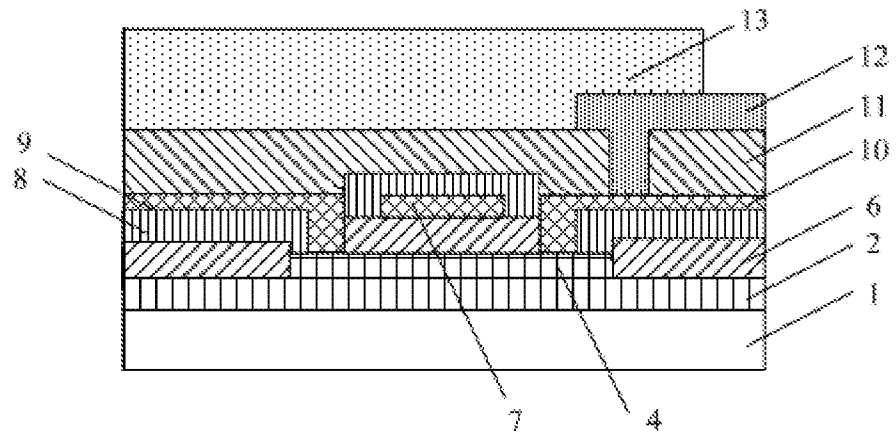


图 1

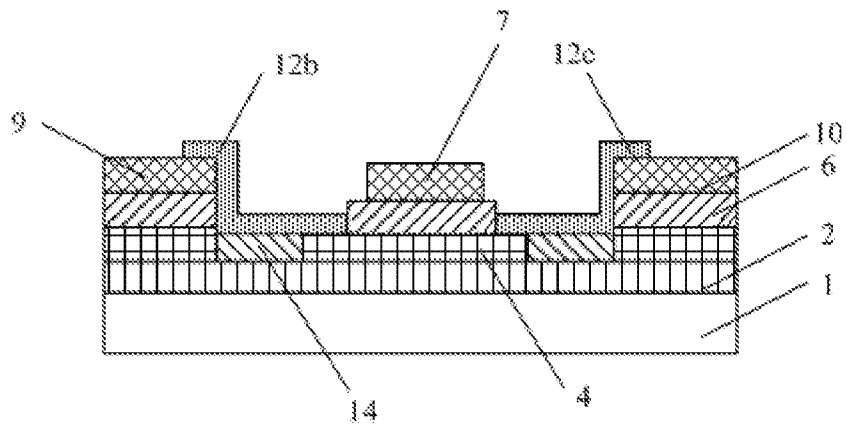


图 2A

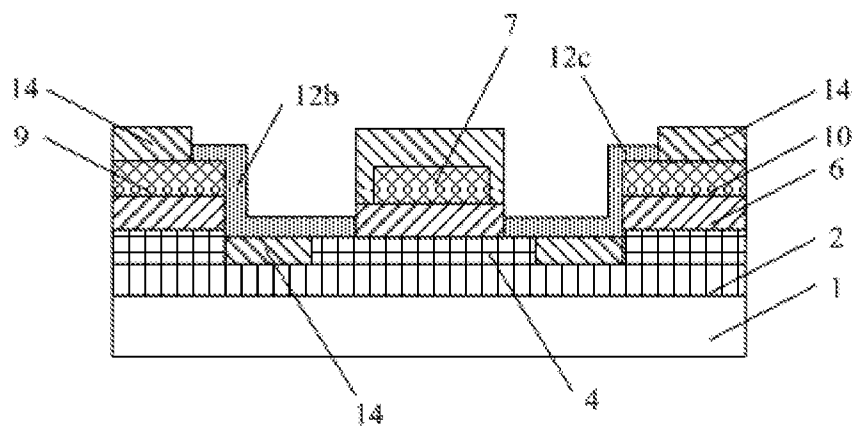


图 2B

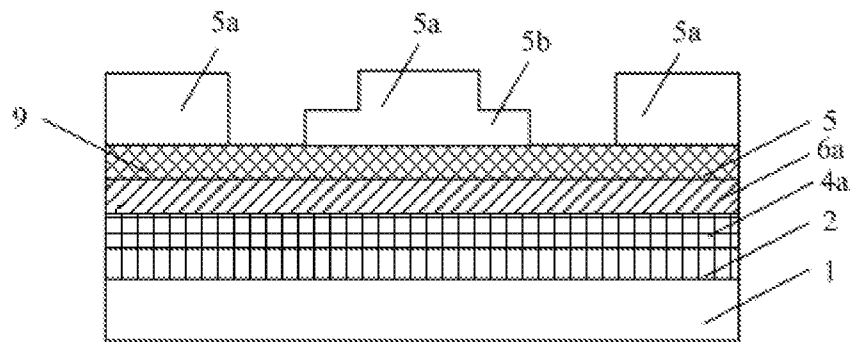


图 3A

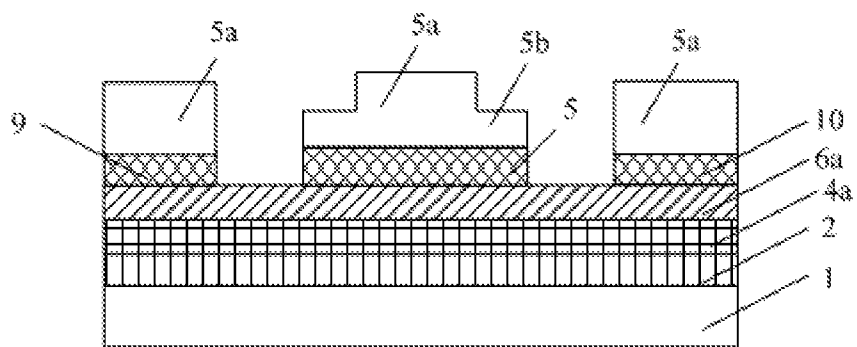


图 3B

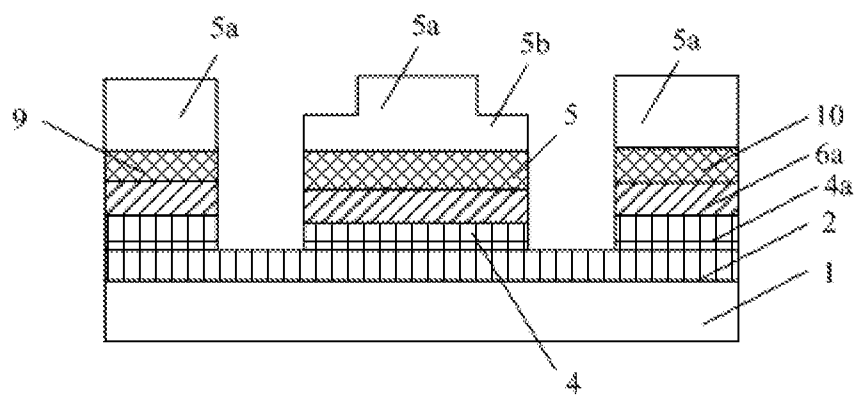


图 3C

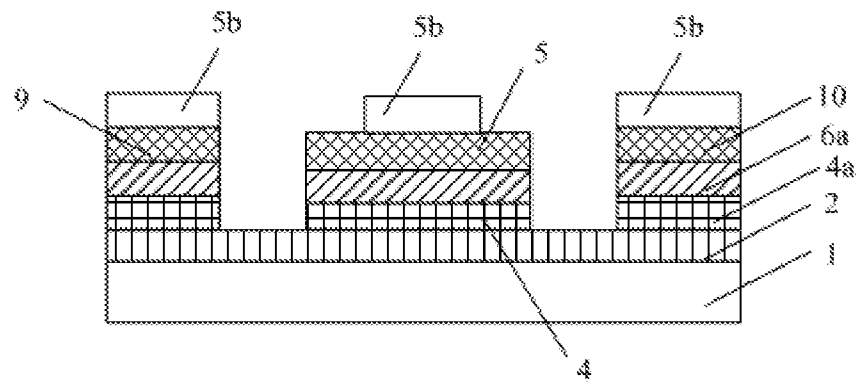


图 3D

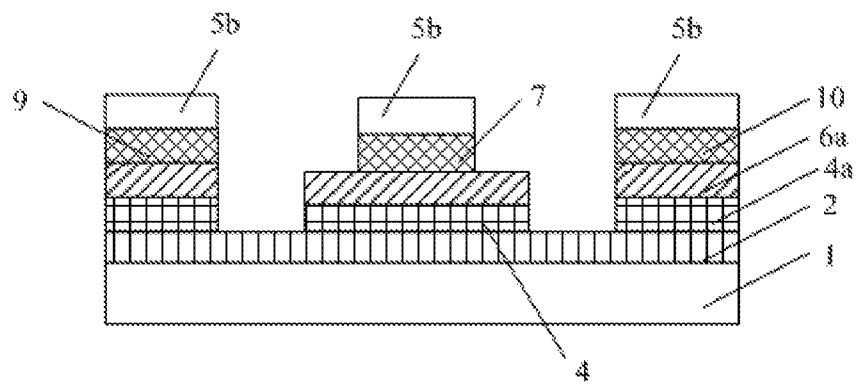


图 3E

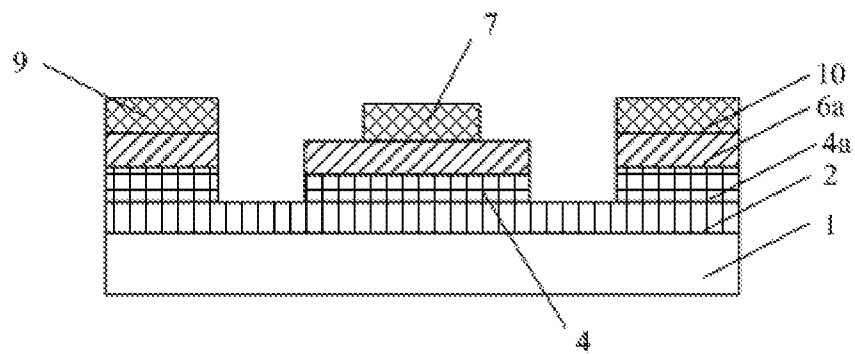


图 3F

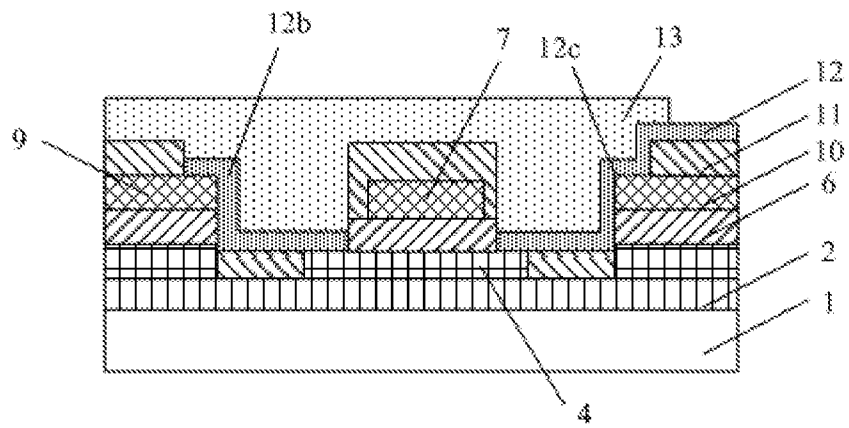


图 4

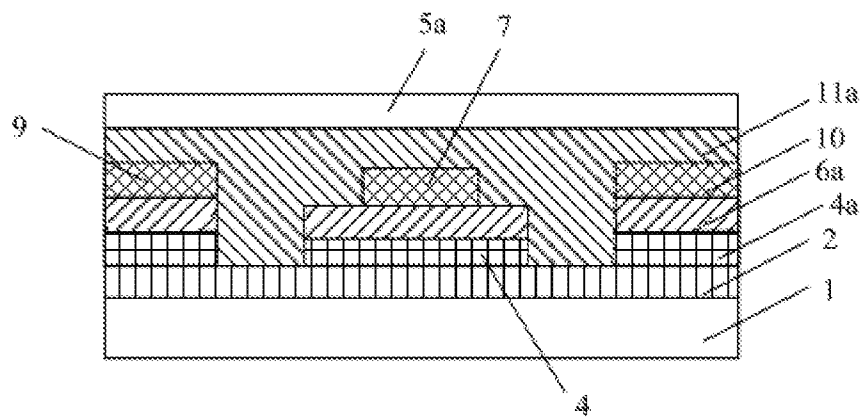


图 5A

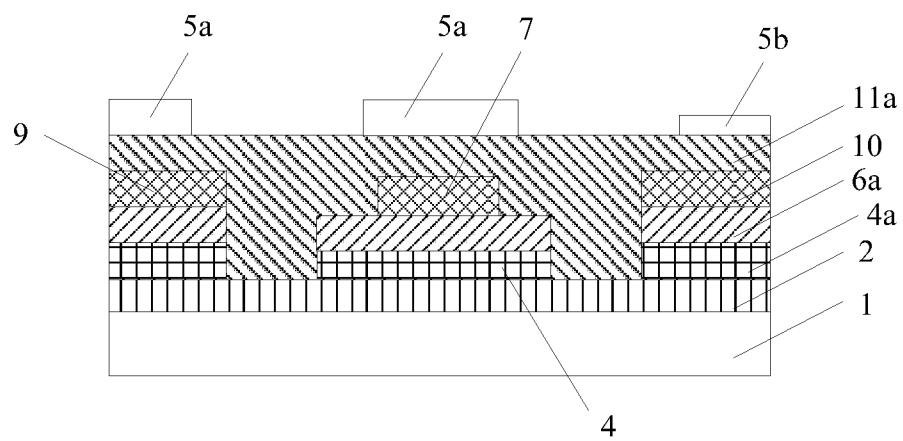


图 5B

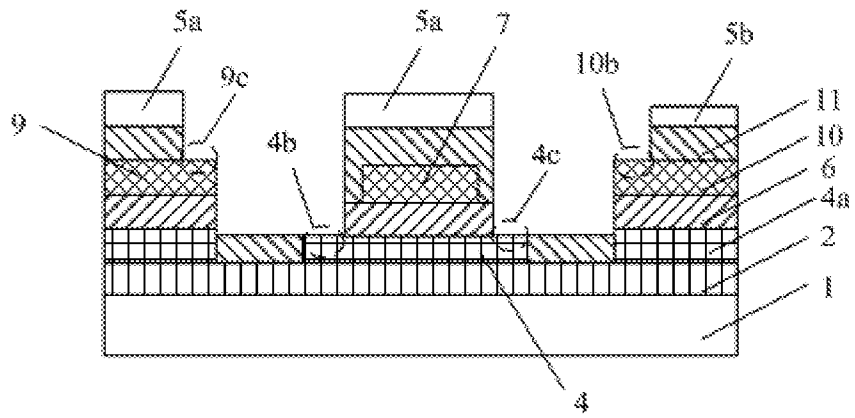


图 5C

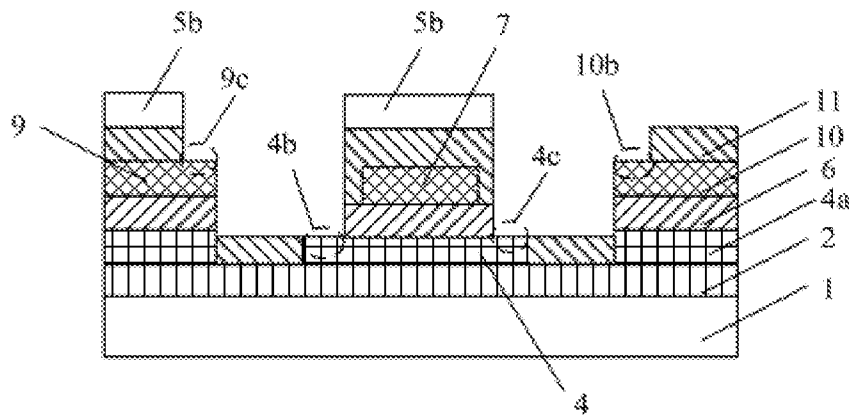


图 5D

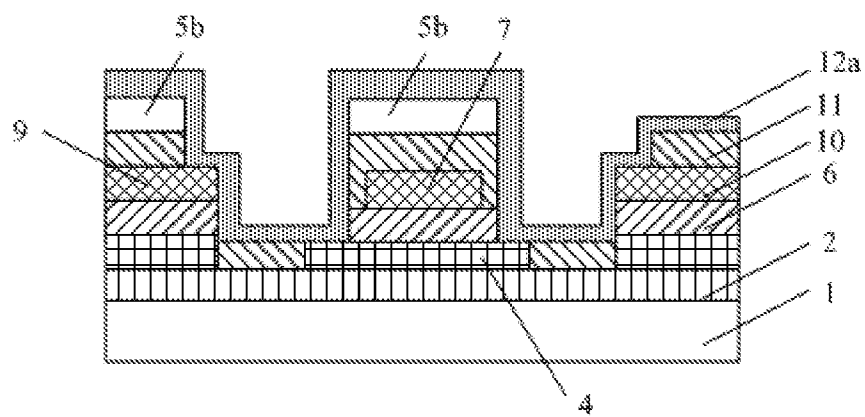


图 5E

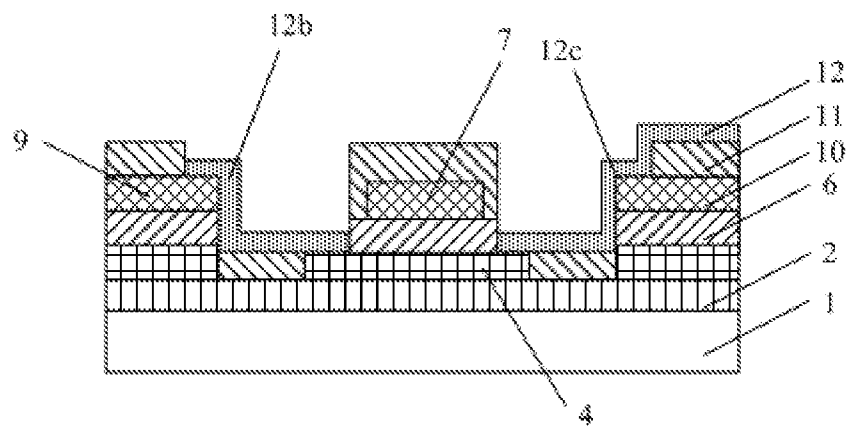


图 5F

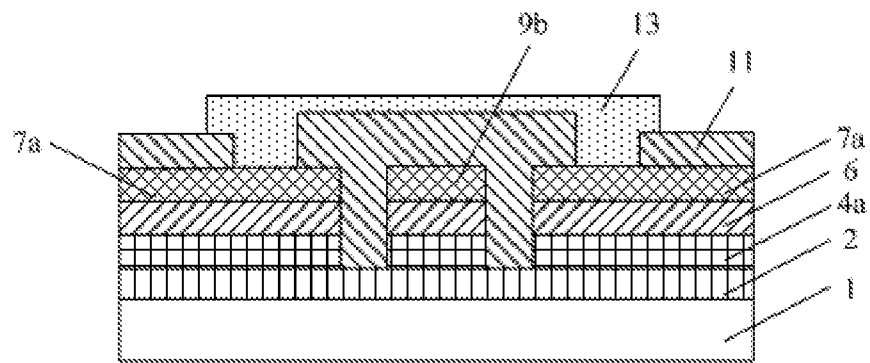


图 5G

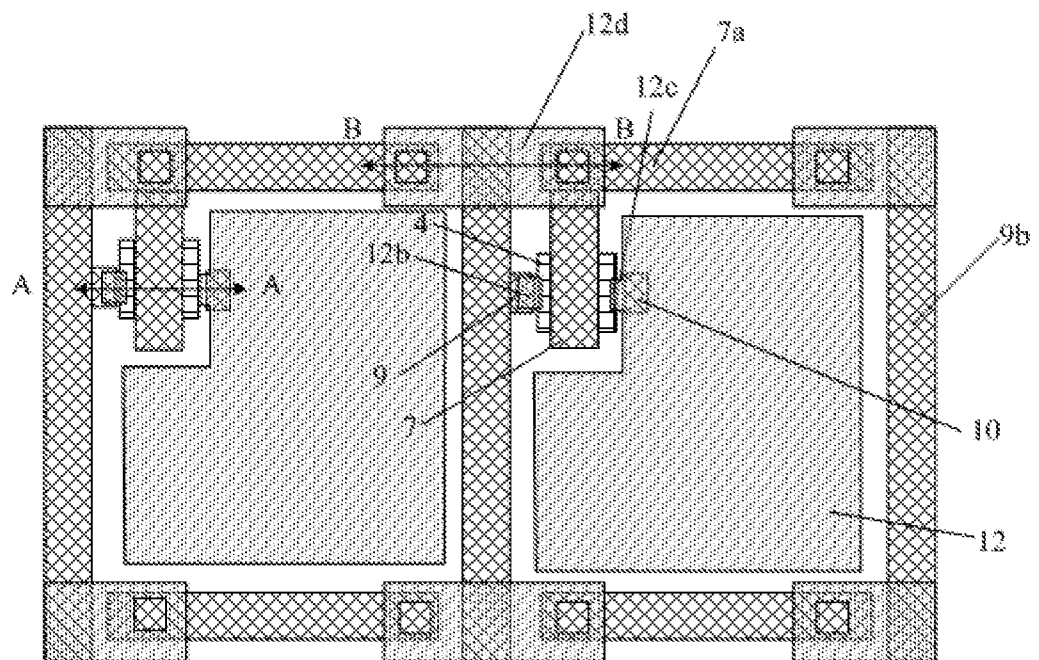


图 5H

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/094114

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786 (2006.01) i; H01L 21/336 (2006.01) i; H01L 27/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CPRSABS; CNTXT; VEN: TFT, drain electrode, source electrode, active layer, gate electrode, same layer, simplify, composition, Thin film transistor, drain, source, gate, electrode, same, layer, mask, pattern, connect, reduce, process

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103219391 A (BOE TECHNOLOGY GROUP CO., LTD.), 24 July 2013 (24.07.2013), description, paragraphs 0064-0119, and figures 2-4	1, 5-8, 10, 11
A	CN 101241937 A (MITSUBISHI ELECTRIC CORPORATION), 13 August 2008 (13.08.2008), the whole document	1-23
A	CN 102280488 A (SAMSUNG MOBILE DISPLAY CO., LTD.), 14 December 2011 (14.12.2011), the whole document	1-23
A	US 2010140706 A1 (KOO et al.), 10 June 2010 (10.06.2010), the whole document	1-23

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search

16 May 2015 (16.05.2015)

Date of mailing of the international search report

26 May 2015 (26.05.2015)

Name and mailing address of the ISA/CN:
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No.: (86-10) 62019451

Authorized officer

XU, Xiaoling

Telephone No.: (86-10) **62089121**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2014/094114

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103219391 A	24 July 2013	WO 2014166176 A1	16 October 2014
CN 101241937 A	13 August 2008	JP 2008218960 A	18 September 2008
		KR 20080074729 A	13 August 2008
		TW 200837961 A	16 September 2008
		US 2008191207 A1	14 August 2008
CN 102280488 A	14 December 2011	US 8674359 B2	18 March 2014
		US 2011303923 A1	15 December 2011
		KR 20110134752 A	15 December 2011
		KR 101108175 B1	31 January 2012
US 2010140706 A1	10 June 2010	US 8119463 B2	21 February 2012
		US 2012161234 A1	28 June 2012
		US 8378421 B2	19 February 2013
		KR 20100065025 A	15 June 2010
		KR 1140135 B1	02 May 2012

A. 主题的分类 H01L 29/786(2006.01)i; H01L 21/336(2006.01)i; H01L 27/12(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																	
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CPRSABS;CNTXT;VEN:薄膜晶体管, TFT, 漏极, 漏电极, 源极, 源电极, 有源层, 栅极, 栅电极, 连接, 同层, 相同的层, 同一层, 简化, 减少, 构图, 工艺, 掩膜, Thin film transistor, drain, source, gate, electrode, same, layer, mask, pattern, connect, reduce, process																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 103219391 A (京东方科技集团股份有限公司) 2013年 7月 24日 (2013 - 07 - 24) 说明书第0064段至第0119段, 附图2-4</td> <td>1, 5-8, 10, 11</td> </tr> <tr> <td>A</td> <td>CN 101241937 A (三菱电机株式会社) 2008年 8月 13日 (2008 - 08 - 13) 全文</td> <td>1-23</td> </tr> <tr> <td>A</td> <td>CN 102280488 A (三星移动显示器株式会社) 2011年 12月 14日 (2011 - 12 - 14) 全文</td> <td>1-23</td> </tr> <tr> <td>A</td> <td>US 2010140706 A1 (KOO 等) 2010年 6月 10日 (2010 - 06 - 10) 全文</td> <td>1-23</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 103219391 A (京东方科技集团股份有限公司) 2013年 7月 24日 (2013 - 07 - 24) 说明书第0064段至第0119段, 附图2-4	1, 5-8, 10, 11	A	CN 101241937 A (三菱电机株式会社) 2008年 8月 13日 (2008 - 08 - 13) 全文	1-23	A	CN 102280488 A (三星移动显示器株式会社) 2011年 12月 14日 (2011 - 12 - 14) 全文	1-23	A	US 2010140706 A1 (KOO 等) 2010年 6月 10日 (2010 - 06 - 10) 全文	1-23
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
X	CN 103219391 A (京东方科技集团股份有限公司) 2013年 7月 24日 (2013 - 07 - 24) 说明书第0064段至第0119段, 附图2-4	1, 5-8, 10, 11															
A	CN 101241937 A (三菱电机株式会社) 2008年 8月 13日 (2008 - 08 - 13) 全文	1-23															
A	CN 102280488 A (三星移动显示器株式会社) 2011年 12月 14日 (2011 - 12 - 14) 全文	1-23															
A	US 2010140706 A1 (KOO 等) 2010年 6月 10日 (2010 - 06 - 10) 全文	1-23															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																	
国际检索实际完成的日期 2015年 5月 16日		国际检索报告邮寄日期 2015年 5月 26日															
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国 传真号 (86-10)62019451		授权官员 徐小岭 电话号码 (86-10)62089121															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/094114

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103219391	A	2013年 7月 24日	WO	2014166176	A1	2014年 10月 16日
CN	101241937	A	2008年 8月 13日	JP	2008218960	A	2008年 9月 18日
				KR	20080074729	A	2008年 8月 13日
				TW	200837961	A	2008年 9月 16日
				US	2008191207	A1	2008年 8月 14日
CN	102280488	A	2011年 12月 14日	US	8674359	B2	2014年 3月 18日
				US	2011303923	A1	2011年 12月 15日
				KR	20110134752	A	2011年 12月 15日
				KR	101108175	B1	2012年 1月 31日
US	2010140706	A1	2010年 6月 10日	US	8119463	B2	2012年 2月 21日
				US	2012161234	A1	2012年 6月 28日
				US	8378421	B2	2013年 2月 19日
				KR	20100065025	A	2010年 6月 15日
				KR	1140135	B1	2012年 5月 2日