(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4166235号
(P4166235)

(45)発行日　平成20年10月15日(2008.10.15)　(24)登録日　平成20年8月8日(2008.8.8)

(51)Int.Cl.			F I		
H01G	4/30	(2006.01)	H01G	4/30	301B
H01G	2/00	(2006.01)	H01G	4/30	301A
H01G	4/12	(2006.01)	H01G	1/16	
			H01G	4/12	352

請求項の数 7　(全 10 頁)

(21)出願番号　特願2005-222030(P2005-222030)
(22)出願日　平成17年7月29日(2005.7.29)
(65)公開番号　特開2007-42677(P2007-42677A)
(43)公開日　平成19年2月15日(2007.2.15)
審査請求日　平成17年8月2日(2005.8.2)

(73)特許権者　000003067
ＴＤＫ株式会社
東京都中央区日本橋一丁目１３番１号
(74)代理人　100097180
弁理士　前田　均
(74)代理人　100099900
弁理士　西出　眞吾
(74)代理人　100111419
弁理士　大倉　宏一郎
(74)代理人　100117927
弁理士　佐藤　美樹
(72)発明者　富樫　正明
東京都中央区日本橋一丁目１３番１号　ＴＤＫ株式会社内

最終頁に続く

(54)【発明の名称】積層コンデンサ

(57)【特許請求の範囲】

【請求項１】

誘電体層を積層して形成された素子本体内に、それぞれ平面状に形成された複数の第１内部電極層および複数の第２内部電極層が、誘電体層を介して隔てられつつ交互に配置してある積層コンデンサであって、

前記素子本体における前記誘電体層の積層方向一方の第１端面のみに配置された第１外部電極および第２外部電極と、

前記素子本体の第１端面の近くに積層してある前記第１内部電極層と、前記第１外部電極とを、第１引出スルーホールを介して接続する第１引出用柱状電極と、

前記素子本体の第１端面の近くに積層してある前記第２内部電極層と、前記第２外部電極とを、第２引出スルーホールを介して接続する第２引出用柱状電極と、

前記素子本体の内部に積層してある前記第１内部電極層の相互を、第１層間スルーホールを介して接続する第１層間接続用柱状電極と、

前記素子本体の内部に積層してある前記第２内部電極層の相互を、第２層間スルーホールを介して接続する第２層間接続用柱状電極と、を有し、

前記第１および第２層間接続用柱状電極のそれぞれの横断面積は、前記第１および第２引出用柱状電極のそれぞれの横断面積よりも大きいことを特徴とする積層コンデンサ。

【請求項２】

前記第１および第２層間接続用柱状電極のそれぞれの横断面積は、前記第１および第２引出用柱状電極のそれぞれの横断面積よりも、２～１６倍大きい請求項１に記載の積層コ

ンデンサ。
【請求項３】
前記第１および第２層間接続用柱状電極のそれぞれの外径は、１５０～２００μｍであり、
前記第１および第２引出用柱状電極のそれぞれの外径は、５０～８０μｍである請求項１または２に記載の積層コンデンサ。
【請求項４】
前記素子本体の第１端面に対して垂直方向から見て、前記第１および第２層間接続用柱状電極のそれぞれの形成位置は、前記第１および第２引出用柱状電極のそれぞれの形成位置に対して、位置ズレして形成してある請求項１～３のいずれかに記載の積層コンデンサ。
【請求項５】
前記第１外部電極と第２外部電極とは、前記第１端面において、相互に隣り合うように、行列状に配置される請求項１～４のいずれかに記載の積層コンデンサ。
【請求項６】
前記第１層間接続用柱状電極と第２層間接続用柱状電極とは、前記素子本体の内部において、素子本体の側面に沿って、交互に配置される請求項１～５のいずれかに記載の積層コンデンサ。
【請求項７】
前記第１端面に最も近い第１内部電極層には、前記第２引出用柱状電極との電気的接続を避ける絶縁孔パターンが形成してあり、
前記第１端面に最も近い第２内部電極層には、前記第１層間接続用柱状電極との電気的接続を避ける絶縁孔パターンが形成してあり、
その他の第１内部電極層には、前記第２層間接続用柱状電極との電気的接続を避ける絶縁孔パターンが形成してあり、
その他の第２内部電極層には、前記第１層間接続用柱状電極との電気的接続を避ける絶縁孔パターンが形成してある請求項１～６のいずれかに記載の積層コンデンサ。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、スルーホールを有する積層コンデンサに係り、さらに詳しくは、低ＥＳＬを維持しながら、内部電極層の面積を減少させることなく、スルーホールを通しての積層方向の内部電極層相互間の接続抵抗を減少させることができると共に、製造が容易な積層コンデンサに関する。
【背景技術】
【０００２】
近年、情報処理装置に用いられるＣＰＵ（主演算処理装置）は、処理スピードの向上および高集積化によって、動作周波数が高くなると共に消費電流が著しく増加している。そして、これに伴い、消費電力の低減化によって動作電圧が減少する傾向にある。したがって、ＣＰＵへの電力供給用の電源においては、より高速で大きな電流変動が生じるようになり、この電流変動に伴う電圧変動を電源の許容値内に抑えることが非常に困難になっている。
【０００３】
このため、平滑用コンデンサとしての積層コンデンサが、電源に接続される形でＣＰＵの周辺に配置され、電源の安定化対策に頻繁に使用されるようになっている。つまり、高速で過渡的な電流の変動時に素早い充放電によって、この積層コンデンサからＣＰＵに電流を供給して、電源の電圧変動を抑えるようにしている。
【０００４】
しかし、今日のＣＰＵの動作周波数の一層の高周波数化に伴って、電流変動はより高速且つ大きなものとなり、平滑用コンデンサとしての積層コンデンサ自身が有している等価

直列インダクタンス（ＥＳＬ）が相対的に大きくなっている。その結果として、この等価直列インダクタンスを含む総合インダクタンスが電源の電圧変動に大きく影響するようになっている。

【０００５】

そこで、低ＥＳＬ化を図るための従来の積層コンデンサの構造として、例えば下記の特許文献１に開示されたものが知られている。すなわち、この特許文献１では、直方体状に形成された積層コンデンサの４側面にそれぞれ端子電極を複数ずつ設けることにより、低ＥＳＬ化を図った構造が開示されている。

【０００６】

また、下記の特許文献２に示すように、積層コンデンサの上下表面の少なくとも何れかの表面に、島状に隔離された形の外部電極を配置すると共に、この外部電極を柱状のスルーホール電極によって内部電極層に接続した構造の積層コンデンサが開発されている。

【０００７】

しかしながら、上記の特許文献１のように、端子電極を４側面にそれぞれ複数ずつ設けてＣＰＵの周辺に接続するような形の積層コンデンサでは、充分に低ＥＳＬ化が図れず、総合インダクタンスを低減するには限界があった。

【０００８】

一方、特許文献２のように、島状の外部電極を有する構造の積層コンデンサでは、総合インダクタンスが小さくなるのに伴い、ＣＰＵの高速化に対応可能になる。しかしながら、この特許文献２に示すような積層コンデンサにおいて、外部電極の数に対応して、細長いスルーホールを積層コンデンサの内部に多数作製しなければならず、内部電極層の電極面積を狭め、静電容量を低下させるおそれがある。

【０００９】

また、細長いスルーホールでは、スルーホールを通しての積層方向の内部電極層相互間の接続抵抗が増大し、等価直列抵抗（ＥＳＲ）が増大するおそれがある。さらに、細長いスルーホールを積層コンデンサの内部に多数作製するために、積層コンデンサの製造が難しくなり、製造コストが増大する原因となる。

【特許文献１】特開２００１－２８４１７０号公報

【特許文献２】特開２００１－１４８３２４号公報

【発明の開示】

【発明が解決しようとする課題】

【００１０】

本発明は、このような実状に鑑みてなされ、その目的は、低ＥＳＬを維持しながら、内部電極層の面積を減少させることなく、スルーホールを通しての積層方向の内部電極層相互間の接続抵抗を減少させることができると共に、製造が容易な積層コンデンサを提供することである。

【課題を解決するための手段】

【００１１】

上記目的を達成するために、本発明に係る積層コンデンサは、

誘電体層を積層して形成された素子本体内に、それぞれ平面状に形成された複数の第１内部電極層および複数の第２内部電極層が、誘電体層を介して隔てられつつ交互に配置してある積層コンデンサであって、

前記素子本体における前記誘電体層の積層方向一方の第１端面のみに配置された第１外部電極および第２外部電極と、

前記素子本体の第１端面の近くに積層してある前記第１内部電極層と、前記第１外部電極とを、第１引出スルーホールを介して接続する第１引出用柱状電極と、

前記素子本体の第１端面の近くに積層してある前記第２内部電極層と、前記第２外部電極とを、第２引出スルーホールを介して接続する第２引出用柱状電極と、

前記素子本体の内部に積層してある前記第１内部電極層の相互を、第１層間スルーホールを介して接続する第１層間接続用柱状電極と、

前記素子本体の内部に積層してある前記第２内部電極層の相互を、第２層間スルーホールを介して接続する第２層間接続用柱状電極と、を有し、
前記第１および第２層間接続用柱状電極のそれぞれの横断面積は、前記第１および第２引出用柱状電極のそれぞれの横断面積よりも大きいことを特徴とする。

【００１２】

本発明に係る積層コンデンサでは、第１外部電極および第２外部電極が、第１端面に、島状に配置してあるので、低ＥＳＬ化が図られ、総合インダクタンスが小さくなる。そのため、ＣＰＵの高速化に対応可能になり、特にＣＰＵ用の電源の電圧変動を小さくし得る。すなわち、本発明に係る積層コンデンサは、ＣＰＵの高速化に対応が可能な平滑用コンデンサとして好ましく用いることが可能になる。

【００１３】

また、本発明に係る積層コンデンサでは、外部電極に接続するための引出用柱状電極と、誘電体層の層間に存在する内部電極層の相互間を接続する層間接続用柱状電極とを、別々に形成してある。このために、層間接続用柱状電極のそれぞれの横断面積は、引出用柱状電極のそれぞれの横断面積よりも大きく設定することが可能になる。その結果、スルーホールを通しての積層方向の内部電極層相互間の接続抵抗を減少させることができる。また、静電容量を高めるために内部電極層の層数が増えた場合でも、複数の内部電極層相互間の導通をより確実に確保でき、積層コンデンサとしての機能を確実に発揮できる。

【００１４】

また、層間接続用柱状電極のそれぞれの横断面積を、引出用柱状電極のそれぞれの横断面積よりも大きく設定できることから、層間接続用柱状電極の数を、引出用柱状電極の数に比較して減らすことも可能である。そのために、内部電極層の面積が、多数の層間接続用柱状電極により減少されることが無くなり、十分な静電容量を確保できる。

【００１５】

また、本発明に係る積層コンデンサでは、引出用柱状電極と層間接続用柱状電極とが別々に形成されるために、外部電極から伸びる細長いスルーホールを形成する必要が無く、積層コンデンサの製造も容易である。したがって、積層コンデンサの製造コストが低減される。

【００１６】

好ましくは、前記第１および第２層間接続用柱状電極のそれぞれの横断面積は、前記第１および第２引出用柱状電極のそれぞれの横断面積よりも、２～１６倍、さらに好ましくは４～８倍大きい。その倍数が小さすぎると、本発明の作用効果が少なく、その倍数が大きすぎると、内部電極の面積が減少し、高静電容量にするのが難しくなるので好ましくない。

【００１７】

好ましくは、前記第１および第２層間接続用柱状電極のそれぞれの外径は、１５０～２００μｍであり、
前記第１および第２引出用柱状電極のそれぞれの外径は、５０～８０μｍである。層間接続用柱状電極の外径が小さすぎると、本発明の作用効果が少なく、大きすぎると、内部電極の面積が減少し、高静電容量にするのが難しくなるので好ましくない。また、引出用柱状電極の外径が小さすぎると、接続抵抗が大きくなりすぎて好ましくなく、その外径が大きすぎると、狭いピッチでの外部電極の配置が困難になる傾向にある。

【００１８】

好ましくは、前記素子本体の第１端面に対して垂直方向から見て、前記第１および第２層間接続用柱状電極のそれぞれの形成位置は、前記第１および第２引出用柱状電極のそれぞれの形成位置に対して、位置ズレして形成してある。位置ズレして形成することで、引出用柱状電極の外径と、層間接続用柱状電極の外径とを異ならせることが可能になる。

【００１９】

好ましくは、前記第１外部電極と第２外部電極とは、前記第１端面において、相互に隣り合うように、行列状に配置される。このように外部電極を行列状に配置することで、第

１外部電極と第２外部電極とに相互に逆向きに流れる高周波電流が発生し、磁界を互いに打ち消し合い、さらに低ＥＳＬ化を図ることができる。

【００２０】

好ましくは、前記第１層間接続用柱状電極と第２層間接続用柱状電極とは、前記素子本体の内部において、素子本体の側面に沿って、交互に配置される。層間接続用柱状電極を、素子本体の側面に沿って配置することで、ほとんどの内部電極層において、内部電極層の中央部には、スルーホールを形成する必要が無くなり、キャパシタとなる電極層の面積を広く取ることが可能になる。また、内部電極層の中央部に比較して、その周辺部では、層間接続用柱状電極の外径を大きくしても、それらの電極間の間隔を十分に広く取りやすい。

【００２１】

好ましくは、前記第１端面に最も近い第１内部電極層には、前記第２引出用柱状電極との電気的接続を避ける絶縁孔パターンが形成してあり、
前記第１端面に最も近い第２内部電極層には、前記第１層間接続用柱状電極との電気的接続を避ける絶縁孔パターンが形成してあり、
その他の第１内部電極層には、前記第２層間接続用柱状電極との電気的接続を避ける絶縁孔パターンが形成してあり、
その他の第２内部電極層には、前記第１層間接続用柱状電極との電気的接続を避ける絶縁孔パターンが形成してある。このような絶縁孔パターンを形成することで、異なる極性の電極間での短絡を防止することができる。

【発明を実施するための最良の形態】

【００２２】

以下、本発明を、図面に示す実施形態に基づき説明する。
図１は本願発明の第１実施形態に係る積層コンデンサの要部断面図、
図２は図１に示す積層コンデンサの分解斜視図、
図３は図１に示す積層コンデンサの概略斜視図である。

【００２３】

図１～図３に示すように、本発明の一実施形態に係る積層コンデンサ２は、素子本体１０を有し、素子本体１０における誘電体層４の積層方向（Ｚ軸方向）における一方の第１端面１０ａのみに、第１外部端子１２および第２外部端子１４が行列状に配列してある。素子本体１０における他方の第２端面１０ｂおよび４つの側面１０ｃには、外部端子１２または１４は形成されていない。

【００２４】

素子本体１０の内部では、第１内部電極層６および第２内部電極層８が、誘電体層４を介して交互に積層してある。素子本体１０は、直方体形状であり、誘電体層４となるセラミックグリーンシートを、内部電極層６および８となる電極ペースト層と共に、複数枚積層したものを焼成することで得られる。

【００２５】

本実施形態では、図３に示す素子本体１０の縦横寸法Ｌ１、Ｌ２は、例えばそれぞれ１０ｍｍとされており、また、高さ寸法Ｈは、例えば０．８５ｍｍとされている。素子本体１０内では、図１および図２に示すように、所定の高さ（Ｚ軸方向）位置で、平面状に形成された第１内部電極層６が配置されている。

【００２６】

第１内部電極層６の下方には、誘電体層４を介して、第１内部電極層６と同様に平面状に形成された第２内部電極層８が形成してある。第２内部電極層８の下方には、誘電体層４を介して、第１内部電極層６が形成してある。このように第１内部電極層６および第２内部電極層８が、素子本体２の内部で、交互に、誘電体層４を介して多数積層してある。

【００２７】

これら第１内部電極層６および第２内部電極層８の中心は、素子本体１０におけるＸＹ平面の中心とほぼ同位置に配置されており、また、内部電極層６および内部電極層８の縦

横寸法は、対応する素子本体１０の辺の長さより若干小さくされている。このため、これら内部電極層６および内部電極層８の周辺部は、素子本体１２の側面１０ｃから露出しない構造となっている。

【００２８】

図１および図２に示すように、これら内部電極層６，８と直交するように交差して延びる方向（Ｚ軸方向）に、円柱状の第１引出用柱状電極１６および第２引出用柱状電極１８が、第１端面１０ａの近くで、第１外部電極１２および第２外部電極１４に対応して具備してある。第１外部電極１２および第２外部電極１４は、図３に示すように、Ｘ軸およびＹ軸方向に行列状に配置してあり、これらの外部電極１２および１４は、Ｘ軸およびＹ軸方向で相互に隣り合うように配置してある。

【００２９】

素子本体１０におけるＺ軸方向の最も上部に位置する誘電体層４には、図２に示すように、図３に示す外部電極１２および１４の数に対応するスルーホールが形成され、その内部に第１および第２引出用柱状電極１６および１８が形成される。図１および図２に示すように、第１引出用柱状電極１６は、素子本体１０の第１端面１０ｃに配置してある第１外部電極１２と、第１端面１０ｃに最も近くに配置してある単一の第１内部電極層６とを接続するためのスルーホール電極である。

【００３０】

第２引出用柱状電極１８は、素子本体１０の第１端面１０ｃに配置してある第２外部電極１４と、第１端面１０ｃに最も近くに配置してある単一の第２内部電極層８とを接続するためのスルーホール電極である。第２引出用柱状電極１８が、第１端面１０ａの最も近くに位置する第１内部電極層６と短絡することを防止するために、その第１内部電極層６には、図２に示すように、第２引出用柱状電極１８との電気的接続を避ける絶縁孔パターン２４が形成してある。

【００３１】

第１端面１０ａに最も近い第１内部電極層６のＺ軸方向下面には、その周囲に沿って、複数の第１層間接続用柱状電極２０の頂部が接続してある。第１端面１０ａに最も近い第２内部電極層８には、第１層間接続用柱状電極２０と短絡することを防止するために、図２に示すように、絶縁孔パターン２６が形成してある。

【００３２】

第１層間接続用柱状電極２０は、素子本体１０の内部に積層してある全ての第１内部電極層６の相互を、第１層間スルーホールを介して接続するようになっており、第２内部電極層８に各々形成してある絶縁孔パターン２６を通して、第２内部電極層８には接続されないようになっている。

【００３３】

本実施形態では、第１層間接続用柱状電極２０は、第１端面１０ａに最も近い第１内部電極層６のＺ軸方向下面から、第２端面１０ｂに最も近い第２内部電極層８のＺ軸方向下面まで延びており、第２端面１０ｂには露出しない。ただし、本発明では、第１層間接続用柱状電極２０は、第２内部電極層８には接続する必要がないので、第２端面１０ｂに最も近い第１内部電極層６まで延びていれば良く、必ずしもＺ軸方向の最下端に位置する第２内部電極層８まで延びている必要はない。Ｚ軸方向の最下端に位置する層が第１内部電極層６の場合には、その位置まで、第１層間接続用柱状電極２０の下端が延びる。

【００３４】

第１端面１０ａに最も近い第２内部電極層８のＺ軸方向下面には、その周囲に沿って、複数の第２層間接続用柱状電極２２の頂部が接続してある。第２層間接続用柱状電極２２は、素子本体１０の内部に積層してある全ての第２内部電極層８の相互を、第２層間スルーホールを介して接続するようになっており、第１内部電極層６に各々形成してある絶縁孔パターン２８を通して、第１内部電極層６には接続されないようになっている。

【００３５】

本実施形態では、第２層間接続用柱状電極２２は、第１端面１０ａに最も近い第２内部

電極層８のＺ軸方向下面から、第２端面１０ｂに最も近い第２内部電極層８まで延びており、第２端面１０ｂには露出しない。ただし、素子本体１０において、Ｚ軸方向の最下端に位置する層が第２内部電極層８の場合には、その位置まで、第２層間接続用柱状電極２２の下端が延びる必要はない。

【００３６】

第１層間接続用柱状電極２０の横断面積は、第２層間接続用柱状電極２２の横断面積と同程度であり、第１引出用柱状電極１６の横断面積は、第２引出用柱状電極１８の横断面積と同程度である。そして、第１および第２層間接続用柱状電極２０，２２のそれぞれの横断面積は、第１および第２引出用柱状電極１６，１８のそれぞれの横断面積よりも、２～１６倍程度に大きい。

【００３７】

第１および第２層間接続用柱状電極２０，２２のそれぞれの外径は、１５０～２００μｍの範囲で決定され、第１および第２引出用柱状電極１６，１８のそれぞれの外径は、５０～８０μｍの範囲で決定される。

【００３８】

本実施形態では、素子本体１０の第１端面１０ａに対して垂直方向（Ｚ軸方向）から見て、第１および第２層間接続用柱状電極２０，２２のそれぞれの形成位置は、第１および第２引出用柱状電極１６，１８のそれぞれの形成位置に対して、位置ズレして形成してある。

【００３９】

本実施形態では、第１および第２引出用柱状電極１６，１８は、第１端面１０ａの近くの第１内部電極層６の中央部に行列状に配置される。また、第１層間接続用柱状電極２０と第２層間接続用柱状電極２２とは、素子本体１０の内部において、素子本体１０の側面１０ｃに沿って、交互に配置される。

【００４０】

これらの柱状電極１６，１８，２０，２２は、内部電極層６および８を、電極ペーストの印刷などで形成する際に、内部電極層６および８と同様にして形成することができる。

【００４１】

本実施形態に係る積層コンデンサ２では、第１外部電極１２および第２外部電極１４が、第１端面１０ａに、島状に配置してあるので、低ＥＳＬ化が図られ、総合インダクタンスが小さくなる。そのため、ＣＰＵの高速化に対応可能になり、特にＣＰＵ用の電源の電圧変動を小さくし得る。すなわち、本実施形態に係る積層コンデンサ２は、ＣＰＵの高速化に対応が可能な平滑用コンデンサとして好ましく用いることが可能になる。

【００４２】

また、本実施形態に係る積層コンデンサ２では、外部電極１２，１４に接続するための引出用柱状電極１６，１８と、誘電体層４の層間に存在する内部電極層６，８の相互間を接続する層間接続用柱状電極２０，２２とを、別々に形成してある。このために、層間接続用柱状電極２０，２２のそれぞれの横断面積は、引出用柱状電極１６，１８のそれぞれの横断面積よりも大きく設定することが可能になる。その結果、スルーホールを通しての積層方向の内部電極層６，８相互間の接続抵抗を減少させることができる。また、静電容量を高めるために内部電極層６，８の層数が増えた場合でも、複数の内部電極層６，８相互間の導通をより確実に確保でき、積層コンデンサ２としての機能を確実に発揮できる。

【００４３】

また、層間接続用柱状電極２０，２２のそれぞれの横断面積を、引出用柱状電極１６，１８のそれぞれの横断面積よりも大きく設定できることから、層間接続用柱状電極２０，２２の数を、引出用柱状電極１６，１８の数に比較して減らすことも可能である。そのために、内部電極層６，８の面積が、多数の層間接続用柱状電極２０，２２により減少されることが無くなり、十分な静電容量を確保できる。

【００４４】

なお、図示する実施形態では、層間接続用柱状電極２０，２２の総数は、２０であり、

引出用柱状電極１６，１８の総数である１６よりも多いが、本発明では、図示する例に限定されず、減らすことができる。たとえば、層間接続用柱状電極２０，２２は、４角毎に一つで配置し、合計４つにすることもできる。あるいは、４角毎に一つと、一辺の中央ごとに一つで、合計８つの層間接続用柱状電極２０，２２、あるいは、４角毎に一つと、一辺毎に二つで、合計１２の層間接続用柱状電極２０，２２とすることもできる。

【００４５】

また、本実施形態に係る積層コンデンサ２では、引出用柱状電極１６，１８と層間接続用柱状電極２０，２２とが別々に形成されるために、外部電極１２，１４から伸びる細長いスルーホールを形成する必要が無く、積層コンデンサ２の製造も容易である。したがって、積層コンデンサ２の製造コストが低減される。

【００４６】

さらに、本実施形態では、第１外部電極１２と第２外部電極１４とは、第１端面１０ａにおいて、相互に隣り合うように、行列状に配置されるので、第１外部電極１２と第２外部電極１４とに相互に逆向きに流れる高周波電流が発生し、磁界を互いに打ち消し合い、さらに低ＥＳＬ化を図ることができる。

【００４７】

さらにまた、第１層間接続用柱状電極２０と第２層間接続用柱状電極２２とは、素子本体１０の内部において、素子本体１０の側面１０ｃに沿って、交互に配置される。このため、第１端面１０ａの近くに位置する内部電極層以外の全ての内部電極層６，８において、内部電極層６，８の中央部には、スルーホールを形成する必要が無くなり、キャパシタとなる電極層６，８の面積を広く取ることが可能になる。また、内部電極層６，８の中央部に比較して、その周辺部では、層間接続用柱状電極２０，２２の外径を大きくしても、それらの電極間の間隔を十分に広く取りやすい。

【００４８】

なお、本発明は、上述した実施形態に限定されるものではなく、本発明の範囲内で種々に改変することができる。

たとえば、外部電極１２，１４の形成個数は、特に限定されず、行列状に８×８で合計６４などでも良い。

【図面の簡単な説明】

【００４９】

【図１】図１は本願発明の第１実施形態に係る積層コンデンサの要部断面図である。

【図２】図２は図１に示す積層コンデンサの分解斜視図である。

【図３】図３は図１に示す積層コンデンサの概略斜視図である。

【符号の説明】

【００５０】

２… 積層コンデンサ
４… 誘電体層
６… 第１内部電極層
８… 第２内部電極層
１０… 素子本体
　１０ａ… 第１端面
　１０ｂ… 第２端面
　１０ｃ… 側面
１２… 第１外部電極
１４… 第２外部電極
１６… 第１引出用柱状電極
１８… 第２引出用柱状電極
２０… 第１層間接続用柱状電極
２２… 第２層間接続用柱状電極
２４，２６，２８… 絶縁孔パターン

【図１】

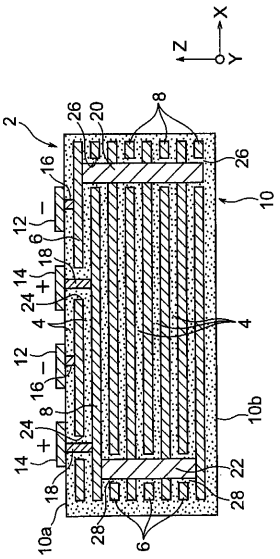
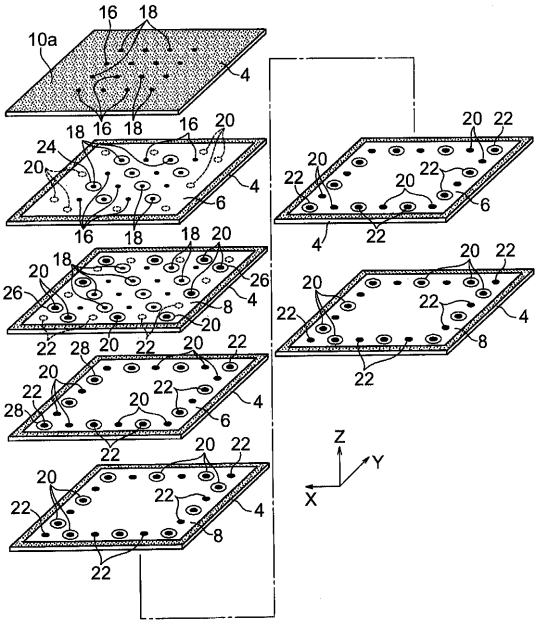


図１

【図２】

図２



【図３】

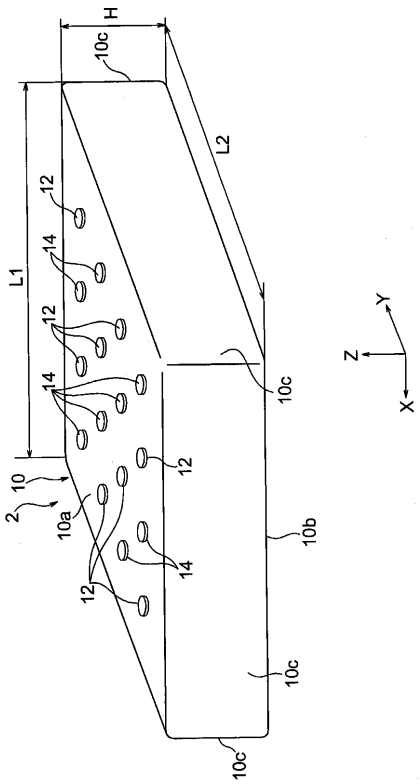


図３

フロントページの続き

(72)発明者　安彦　泰介
秋田県由利郡仁賀保町平沢字前田１５１　ＴＤＫ－ＭＣＣ株式会社内

審査官　重田　尚郎

(56)参考文献　特開２０００－１８５４４２（ＪＰ，Ａ）
特開昭６２－２６５７９５（ＪＰ，Ａ）
特開２００５－１２３４１５（ＪＰ，Ａ）
特開２００４－３１９２６（ＪＰ，Ａ）
特開２０００－１６５１７１（ＪＰ，Ａ）
特開２０００－８２６１６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｇ　　４／３０
Ｈ０１Ｇ　　２／００
Ｈ０１Ｇ　　４／１２