

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94110013

※申請日期：94.7.70

※IPC 分類：

H01L 21/02

一、發明名稱：(中文/英文)

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR
MANUFACTURING THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

NEC 電子股份有限公司 / NEC ELECTRONICS CORPORATION

代表人：(中文/英文) 戶坂 馨 / TOSAKA, KAORU

住居所或營業所地址：(中文/英文)

〒211-8668 日本國神奈川縣川崎市中原區下沼部 1753 番地

1753 Shimonumabe, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8668,
Japan

國 籍：(中文/英文) 日本 / JAPAN

三、發明人：(共 1 人)

姓 名：(中文/英文)

1. 川野 連也 / KAWANO, MASAYA

國 籍：(中文/英文)

1. 日本 JP

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 受理國家(地區)：日本 JP

申請日期：2004 年 3 月 31 日

申請案號：特願 2004-108304

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置及其製造方法。

本申請案係基於日本專利申請案第 2004-108304 號，故在此將其內容列入參考資料。

【先前技術】

近年來，半導體裝置必須具有輕、薄、小的尺寸，且具有高性能。在例如多晶片封裝體等等半導體裝置之中，實現高密度之互連構造、邏輯晶片的小型化與記憶體容量的增加已急遽地進展。

就處理此種方案的一種對應媒體而言，其在半導體基板之上設置貫通電極時，試圖達成實現高密度之互連構造等等。日本公開專利公報第 2000-311982 號揭露一種習知之貫通電極。

日本公開專利公報第 2000-311982 號揭露一種具有貫通電極的半導體裝置。貫通電極的架構在於：將中間絕緣層設置在貫穿半導體晶片基板之貫通孔的內圓周表面之上，且導電層填滿中間絕緣層內部的貫通孔。根據日本公開專利公報第 2000-311982 號，若使用此架構時，就三維高密度地形成複數個半導體晶片基板。

此外，雖然是不同的技術領域，但可將由 Masataka 與其它五個成員在西元 2002 年國際互連構造技術會議期刊第 75 至 77 頁（Masataka 等人）所述之技術「晶圓處理與在三維之晶片堆疊利用 Cu 金屬鑲嵌之 Si 晶圓中的貫通電極之問題」視為同時去除半導體基板與金屬膜的技術。以下所述為 Masataka 等人所述之半導體基板，其包括在形成電極之後，才進行背面研磨的處理。

【發明內容】

另一方面，日本公開專利公報第 2000-311982 號所揭露之貫通電極具有貫穿過半導體晶片基板之厚貫通電極的結構，故無法在形成有貫通電極的區域之中設置互連構造等等。由於此原因，

目前已發現：互連構造等等的集積密度將減小，故就實現高密度之互連構造而言，仍有改善的空間。又，由於在元件形成之後才形成貫通電極，故在形成貫通電極的期間恐怕會造成元件的可靠度變差。

根據本發明，提供一種半導體裝置，包含：半導體基板；絕緣層，設置在半導體基板的主表面之上且其中具有導電元件；及貫通電極，貫穿半導體基板且連接至導電元件；其中貫通電極包括：第一導電栓塞，連接至導電元件；及第二導電栓塞，設置在半導體基板之中且連接至第一導電栓塞，而第二導電栓塞係具有大於第一導電栓塞之橫剖面面積的橫剖面面積。

在本發明之半導體裝置中，將具有比第二導電栓塞小的橫剖面面積之第一導電栓塞配置在主表面的一側，故能夠提高貫通電極附近的互連構造之集積密度。由於此原因，此種架構係適合加以小型化。

根據本發明，提供一種半導體裝置，包含半導體基板、絕緣層，設置在半導體基板的主表面之上、及貫通電極，其貫穿半導體基板而連接至設置在絕緣層的內部之中的導電元件，其中貫通電極係包含第一導電栓塞，連接至導電元件、及第二導電栓塞，設置在半導體基板之中且在含有一部份的第一導電栓塞之情況下，其具有大於第一導電栓塞之橫剖面面積的橫剖面面積。

在本說明書中，半導體基板之主表面為其上形成有半導體元件的表面。此外，雖然將第二導電栓塞設置在半導體基板之上，但一部份的第二導電栓塞仍位於設置在主表面之上的絕緣膜之中。

在本發明之半導體裝置中，一部份的第一導電栓塞被包覆在第二導電栓塞之中。由於此原因，將適合獲得固定效果，故此種架構的栓塞將具有極佳的黏固性。又，此種架構可降低栓塞之間的接觸電阻。又，由於將具有較小之橫剖面面積的第一導電栓塞配置在主表面的一側，故能夠提高貫通電極附近的互連構造之集

積密度。由於此原因，此種架構係適合加以小型化。

根據本發明，提供一種半導體裝置，包含：半導體基板、電晶體形成層，設置在半導體基板的主表面之上、互連層，設置在電晶體形成層的上半部之上、上互連層，設置在互連層的上半部之上、及貫通電極，貫穿電晶體形成層與半導體基板，其中貫通電極係包含第一導電栓塞，連接至形成在互連層之中的互連構造且設置在電晶體形成層之中、及第二導電栓塞，設置在半導體基板之中且具有大於第一導電栓塞之橫剖面面積的橫剖面面積，而連接至第一導電栓塞。

在本發明之半導體裝置中，第一導電栓塞係連接至塗佈在上互連層之互連層。又，此種架構為第一導電栓塞之橫剖面面積小於第二導電栓塞之橫剖面面積者。由於此原因，此種架構將能夠提高上層之互連層與元件之間的集積度。因此，本發明之半導體裝置能夠實現適合加以小型化的架構。吾人應注意到：在上述半導體裝置中，雖然將第一導電栓塞設置在電晶體形成層之中，然而，亦適合使一部份的第一導電栓塞位於基板之中。此外，雖然將第二導電栓塞設置在半導體基板之上，然而，亦適合使一部份的第二導電栓塞位於絕緣膜之中。

在本發明之半導體裝置中，適合採用上互連層連接至互連層的架構。即使在上互連層隔著互連層而連接至貫通電極之架構的情況中，本發明之半導體裝置仍可提高設置在互連層之上的互連構造與設置在上互連層之上的上互連構造之間的集積密度。

在本發明之半導體裝置中，採用第一導電栓塞被包覆在第二導電栓塞之中的架構。因此，必定可獲得固定效果。由於此原因，可提高此種栓塞的黏固性。又，能夠實現可降低此種栓塞之間的接觸電阻之架構。

在本發明之半導體裝置中，適合採用複數之第一導電栓塞中的一部份第一導電栓塞被包覆在第二導電栓塞之中的架構。由於此原因，能夠更確定獲得固定效果。由於此原因，可進一步提

高此種栓塞的黏固性。又，能夠實現進一步降低此種栓塞之間的接觸電阻之架構。

在本發明之半導體裝置中，從半導體基板之背面起，將第二導電栓塞形成在半導體基板之主表面的附近各處。此外，在本發明之半導體裝置中，第二導電栓塞係位在低於半導體基板之主表面的位置。採上述方式，將可進一步提高半導體基板之上的元件或互連構造之集積密度。

在本發明之半導體裝置中，適合採用一部份的第一導電栓塞插入第二導電栓塞之中的架構。由於此原因，更能夠確定提高兩種栓塞之間的黏接性。

在本發明之半導體裝置中，適合採用第二導電栓塞隔著絕緣膜而接觸到半導體基板的架構。由於此原因，能夠實現具備製造容易性的架構。又，能夠降低寄生電容。例如，在本發明中，可使用電沈積之絕緣膜形成絕緣膜。

在本發明之半導體裝置中，適合採用第二導電栓塞突出於該半導體基板的背面之架構。故能夠實現具有更佳的製造穩定性之架構。

在本發明之半導體裝置中，適合採用將環形圓柱絕緣體配置在第二導電栓塞之側面的外圓周之上的架構。由於此原因，能夠確實地降低寄生電容。

在本發明之半導體裝置中，適合採用半導體基板的主表面之中的貫通電極之橫剖面面積小於半導體基板的背面之中的貫通電極之橫剖面面積的架構。因此，能夠提高形成在主表面的上半部之上的互連構造之集積密度。

根據本發明，提供一種半導體裝置的製造方法，包含：在半導體基板之主表面形成第一孔；在第一孔之中形成第一導電栓塞；在半導體基板之背面形成第二孔而使第一導電栓塞從其中露出；及在第二孔之中形成第二導電栓塞而使其連接至第一導電栓塞。

根據半導體裝置的製造方法，能夠藉由簡單的處理穩定地製造半導體裝置，而具有貫通電極的此種半導體裝置之中的第一導電栓塞與第二導電栓塞之間係具有極佳之黏固性。

根據本發明，提供一種半導體裝置的製造方法，包含：在半導體基板之主表面形成開孔；使用絕緣材料填滿開孔；在半導體基板之上形成絕緣層；形成貫穿絕緣層的第一孔而使一部份的絕緣材料從第一孔的下端露出；在第一孔之中形成第一導電栓塞；從半導體基板的背面去除一部份的半導體基板而使絕緣材料露出；去除絕緣材料而形成第二孔，而一部份的第一導電栓塞係從第二孔之中露出；及在第二孔之中形成第二導電栓塞而使其連接至從第二孔之中露出一部份之第一導電栓塞。

根據半導體裝置的製造方法，能夠更穩定地製造具有貫通電極的半導體裝置，而其中之第一導電栓塞與第二導電栓塞之間係具有極佳的黏固性。

根據本發明，提供一種半導體裝置的製造方法，包含：在半導體基板之主表面的一側形成第一孔、在第一孔的內壁之上形成由絕緣材料所構成的阻障膜、鑲嵌第一金屬膜而鑲入到第一孔之內、在第一孔的內部形成第一導電栓塞而去除形成在第一孔的外側之上的第一金屬膜、藉由從背面側選擇性地去除半導體基板而形成第二孔時，使第二孔之內部的一部份的第一導電栓塞露出、去除至少一部份露出的阻障膜時，使第一金屬膜露出、及在使第一金屬膜露出之後，才使第二金屬膜生長而鑲入第二孔時，形成含有一部份的第一導電栓塞之第二導電栓塞。

根據半導體裝置的製造方法，能夠藉由簡單的處理穩定地製造具有貫通電極的半導體裝置，而其中之第一導電栓塞與第二導電栓塞之間係具有極佳的黏固性。

在本發明中，第一導電栓塞係包括第一金屬膜與阻障膜。此外，在本發明中，第一金屬膜係包括阻障金屬膜。

在本發明之半導體裝置的製造方法中，製造方法係包含藉由

在開孔的內部鑲入絕緣體而形成環形圓柱絕緣體，而在形成第一孔之前，先從主表面的一側選擇性地去掉半導體基板而形成環形圓柱孔；形成第一孔係包含在去掉半導體基板之環形圓柱絕緣體之一部份的內部區域時形成第一孔；及形成第二孔係包含在去掉半導體基板之環形圓柱絕緣體之至少一部份的內部區域時形成第二孔。採以上之方式，必定能夠獲得可抑制寄生電容之產生的半導體裝置。

在本發明之半導體裝置的製造方法中，形成第一孔係包含在半導體基板之主表面的一側形成絕緣膜之後，才在選擇性地去掉絕緣膜與半導體基板時形成第一孔。採以上之方式，能夠穩定地獲得具有第一導電栓塞連接至絕緣膜之上半部的互連構造之架構的半導體裝置。

根據本發明，提供一種半導體裝置的製造方法，包含：在從半導體基板之主表面的一側選擇性地去掉半導體基板而形成開孔時，將絕緣體鑲入開孔的內部之中而形成絕緣栓塞；從半導體基板之主表面的一側選擇性地去掉一部份的絕緣栓塞而形成第一孔；鑲嵌第一金屬膜而將其鑲入第一孔的內部；在去掉形成在第一孔的外側之上的第一金屬膜時，在第一孔的內部形成第一導電栓塞；從半導體基板之背面的一側選擇性地去掉半導體基板；在去掉半導體基板之後，才在藉由選擇性地去掉絕緣栓塞而形成第二孔時，使一部份的第一導電栓塞從第二孔的內部露出；在去掉至少一部份的露出之第一導電栓塞時，使第一金屬膜露出；及在使第一金屬膜露出之後，才在使第二金屬膜生長而鑲入第二孔時，形成含有一部份的第一導電栓塞之第二導電栓塞。

根據半導體裝置的製造方法，更能夠穩定地製造具有貫通電極的半導體裝置，而其中之第一導電栓塞與第二導電栓塞之間係具有極佳的黏固性。

在本發明之半導體裝置的製造方法中，形成第一孔係包含在半導體基板之主表面的一側形成絕緣膜之後，才選擇性地去掉絕

緣膜與絕緣栓塞而形成第一孔。採以上之方式，能夠穩定地獲得具有第一導電栓塞連接至絕緣膜之上半部的互連構造之架構的半導體裝置。

在本發明之半導體裝置的製造方法中，形成第二孔係包含形成其橫剖面面積大於第一孔的開孔。採以上之方式，更能夠確定使一部份的第一導電栓塞被包覆在第二導電栓塞之內。

在半導體裝置的製造方法中，半導體裝置的製造方法係包含在形成第一導電栓塞之後，才形成具有連接至主表面之上半部的第一導電栓塞之互連構造的互連層。採以上之方式，能夠提高連接至第一導電栓塞之互連構造與同一層之互連構造之間的集積密度。因此，能夠穩定地製造具有高集積密度之互連構造的半導體裝置。此外，在本發明之半導體裝置的製造方法中，半導體裝置的製造方法係包含形成連接至互連層之上半部的互連構造之上互連構造。採以上之方式，能夠穩定地製造多層半導體裝置，而其中位於比互連層更上層之上互連構造的集積密度將極高。

在本發明之半導體裝置的製造方法中，半導體裝置的製造方法係包含在形成第一孔之前，先在半導體基板之主表面的上半部設置絕緣層；及形成第一導電栓塞係包含形成連接至電晶體元件的連接栓塞，而同時形成絕緣層之內部的第一導電栓塞。因此，能夠藉由更簡單的處理而獲得半導體裝置。

吾人應注意到：即使將上述各個構成元件任意組合、或將本發明之代表樣態轉變成相關之方法、裝置等等，但仍可視為本發明之實施例。

例如，在本發明中，半導體裝置的製造方法係包含在使第一金屬膜露出之前、在使一部份的第一導電栓塞露出之後，選擇性地將絕緣材料黏著在除了第二孔之內表面的第一導電栓塞以外的區域之上。採以上之方式，能夠藉由簡單的處理製造半導體裝置，而其中之第二導電栓塞的表面具有極佳的絕緣特性。

在本發明之半導體裝置的製造方法中，絕緣材料為電沈積之

材料。採以上之方式，能夠使絕緣材料以更高的選擇性黏著在除了第二孔之內表面的第一導電栓塞以外的區域之上。

在本發明之半導體裝置的製造方法中，電沈積之材料為電沈積之聚合物。採以上之方式，能夠提高絕緣材料受現在的處理與之後的處理之耐久性。因此，能夠以更高的良率穩定地製造半導體裝置。

此外，在本發明中，鑲入第一金屬膜係包含在第一孔的內壁之上形成阻障金屬膜。此外，在本發明中，可使用含有阻障金屬膜的多層膜形成第一金屬膜。採以上之方式，更能夠確定抑制構成第一導電栓塞之導電材料朝向半導體基板的擴散。

如本發明之上述內容所述，貫通電極係由設置在主表面側的第一導電栓塞與其橫剖面面積大於半導體基板之第一導電栓塞的橫剖面面積之第二導電栓塞所構成，故可提供一種具有貫通電極的半導體裝置，而在電極與製造穩定性等方面皆具有極佳的性能。

茲將參照附隨的圖示，以說明本發明。在圖示中，相似的參考符號指示類似的元件。

【實施方式】

以下參見例示的實施例，俾說明本發明。熟悉本項技藝之人士應清楚瞭解：藉由本發明之教示可實現眾多之替代實施例且本發明之範圍並不僅限於用以說明本發明之實施例。

之後，參見附圖，俾說明本發明之實施例。在所有附圖之中，相同的標號係代表相同的元件，故以下內容將避免重覆說明。又，在以下實施例中，半導體基板之主表面側係代表半導體裝置的上（正面）側，且半導體基板之背面側係代表半導體裝置的下（背面）側。

（第一實施例）

圖 1 為顯示根據一實施例之半導體裝置的架構之橫剖面圖。圖 1 之半導體裝置 100 係具有由矽基板 101、蝕刻終止膜 109、最

下層之絕緣膜 111、及第一互連層絕緣膜 113 所形成之疊層的結構。半導體裝置 100 係設有貫穿矽基板 101、蝕刻終止膜 109 與最下層之絕緣膜 111 之貫通電極 135。

在矽基板 101 的主表面之上形成由擴散層 105、閘電極 107 等等、及隔離膜 103 所構成的 MOS 電晶體。形成最下層之絕緣膜 111 而使其鑲入 MOS 電晶體與隔離膜 103 之中。在最下層之絕緣膜 111 之中設置蝕刻終止膜 109 而使其接觸到矽基板 101 之上表面與閘電極 107。此外，在最下層之絕緣膜 111 之中亦設置連接栓塞 123 而連接至擴散層 105。

設置第一互連構造 121 與連接栓塞 122 而電連至第一互連層絕緣膜 113 之中的第一互連構造 121。此外，在連接栓塞 122 的上半部，依序形成電連至連接栓塞 122 的鐳墊 125 及電連至鐳墊 125 的凸塊 127。

貫通電極 135 係具有小直徑之導電栓塞 119 與大直徑之導電栓塞 131。小直徑之栓塞 119 的各自的橫剖面面積及直徑係大於連接栓塞 123 之橫剖面面積及直徑，且小於大直徑之栓塞 131 的橫剖面面積及直徑。又，由小直徑之栓塞 119 突出於矽基板 101 而形成的突出部 141 係插入大直徑之栓塞 131 的上表面之中。

將小直徑之栓塞 119 的直徑設定在，例如，1 至 $5\mu\text{m}$ 的程度。又，將小直徑之栓塞 119 設定成以下架構：使小直徑之栓塞 119 插入矽基板 101 之中達 20 至 $50\mu\text{m}$ 的程度。又，將插入大直徑之栓塞 131 之中的突出部 141 之長度設定在，例如，1 至 $50\mu\text{m}$ 的程度。此外，將大直徑之栓塞 131 的直徑設定在，例如，10 至 $1000\mu\text{m}$ 的程度。

小直徑之栓塞 119 從最下層之絕緣膜 111 的上表面起依序貫穿蝕刻終止膜 109 與矽基板 101，故露出到矽基板 101 之外部的小直徑之栓塞 119 的前端係成為突出部 141。小直徑之栓塞 119 的上表面係接觸到第一互連構造 121，其具有位在與第一互連層絕緣膜 113 之底面相同的平面之內的底面，故可確保小直徑之栓塞 119

與第一互連構造 121 之間的電性連接。在小直徑之栓塞 119 的側面之上，除了突出部 141 以外，塗佈 SiN 膜 137。

又，大直徑之栓塞 131 係從矽基板 101 的背面起朝向主表面而形成。使大直徑之栓塞 131 的上表面位在比矽基板 101 之上表面更下方的位置。在大直徑之栓塞 131 的底面與側面、及在矽基板 101 的背面之上設置電沈積之絕緣膜 129。又，在大直徑之栓塞 131 的表面之上塗佈電鍍膜 133。

雖然小直徑之栓塞 119 的材料並無特殊的限制，但可使用，例如，W（鎢）。因此，適合抑制其擴散到矽基板 101。此外，雖然大直徑之栓塞 131 與電鍍膜 133 的材料並無特殊的限制，但這些材料可分別為，例如，Ni 與 Au。

其次，以下說明半導體裝置 100 的製造方法。圖 2A 至圖 2D 為顯示圖 1 之半導體裝置 100 的製造處理之剖面圖。

首先，將閘電極 107、擴散層 105 及隔離膜 103 形成在矽基板 101 之上。將隔離膜 103 設定成，例如，STI（淺渠溝隔離）。之後，依序將蝕刻終止膜 109 與最下層之絕緣膜 111 形成在矽基板 101 之上表面的整個表面之上。

此時，例如，藉由電漿 CVD 技術形成 50nm 之 SiN 膜而作為蝕刻終止膜 109。又，例如，藉由電漿 CVD 技術形成 400nm 之 SiO₂ 膜而作為最下層之絕緣膜 111。或者，藉由塗佈技術形成作為低介電常數之內層絕緣膜之 300nm 厚的 L-O_xTM 膜，且將 100nm 之 SiO₂ 膜形成在 L-O_xTM 膜的上表面之上所適當地形成之多層膜而作為最下層之絕緣膜 111。

其次，利用光刻技術依序在最下層之絕緣膜 111 之上塗佈抗反射膜與光阻，藉以形成具有與小直徑之栓塞 119 的外形對應的開孔之光阻圖案（未圖示）。在利用光阻膜作為遮罩對最下層之絕緣膜 111 進行乾蝕刻時，使必須設置小直徑之栓塞 119 的位置敞開。又，藉由乾蝕刻對蝕刻終止膜 109 進行回蝕。

之後，在改變蝕刻氣體時，進一步對矽基板 101 的中央進行

蝕刻。例如，進行從矽基板 101 的上表面起蝕刻至不小於 $10\mu\text{m}$ 到不大於 $50\mu\text{m}$ 的深度。使蝕刻深度不小於 $10\mu\text{m}$ ，將能夠使突出部 141 的周邊必定連接至大直徑之栓塞 131。又，使蝕刻深度不大於 $50\mu\text{m}$ ，將能夠減小小直徑之栓塞 119 的突出量到達從矽基板 101 之主表面算起之矽基板 101 的內部。由於此原因，能夠穩定地形成開孔。選擇開孔的直徑而使小直徑之栓塞 119 的直徑成為，例如，1 至 $5\mu\text{m}$ 的程度。接著，去除光阻膜或抗反射膜的殘餘物或蝕刻所產生的殘餘物。

其次，將 20nm 之 SiN 膜 137 形成在矽基板 101 之上表面的整個表面之上，而在其上則設置與小直徑之栓塞 119 的外形對應的開孔。因此，將 SiN 膜 137 形成在開孔的側面與底面之上。

又，一旦再次在最下層之絕緣膜 111 之上塗佈抗反射膜與光阻之後，就利用光刻技術形成具有與連接栓塞 123 之外形對應的開度之開孔的光阻圖案（未圖示）。在利用光阻膜作為遮罩對最下層之絕緣膜 111 進行乾蝕刻時，使必須設置擴散層 105 之上半部的連接栓塞 123 之位置敞開。又，藉由乾蝕刻對蝕刻終止膜 109 進行回蝕而使擴散層 105 之上表面露出。故可獲得用以形成小直徑之栓塞 119 與連接栓塞 123 的開孔。

其次，藉由 CVD 技術將作為金屬膜的 W（鎢）膜形成在矽基板 101 之上表面的整個表面之上。將 W（鎢）膜的膜厚設定在以下之膜厚狀態：藉由使其與連接栓塞 123 及小直徑之栓塞 119 兩者的直徑匹配，而可使兩個 W（鎢）膜皆鑲入連接栓塞 123 與小直徑之栓塞 119 之中。例如，將 W（鎢）之膜厚設定在 $1\mu\text{m}$ 的程度。接著，藉由 CMP（化學機械拋光）去除最下層之絕緣膜 111 之上的 W（鎢）膜與 SiN 膜 137。故，可同時形成小直徑之栓塞 119 與連接栓塞 123（如圖 2A）。

其次，將第一互連層絕緣膜 113 設置在矽基板 101 之上表面的整個表面之上。如圖 2B 所示，第一互連層絕緣膜 113 係具有由互連構造 112 所需的絕緣膜與栓塞 114 所需的絕緣膜所形成之疊

層的結構。

首先，在塗佈矽基板 101 之上表面的整個表面時，形成將成為第一互連層絕緣膜 113 之底層的互連構造 112 所需的 300nm 之絕緣膜。將互連構造 112 所需的絕緣膜設定成低介電常數膜，例如 L-O_x^{TM} 等等。此時，適合在最下層之絕緣膜 111 之上設置作為 Cu 擴散阻止膜的 SiCN 膜。又，適合在低介電常數膜之上形成 100nm 之 SiO_2 膜。其次，利用光刻技術在矽基板 101 之上表面的整個表面之上塗佈抗反射膜與光阻，藉以形成用以形成光阻之上的互連渠溝之光阻圖案。接著，在利用光阻作為遮罩對進行互連構造 112 所需的絕緣膜蝕刻時，形成製造第一互連構造 121 所需的開孔。其次，藉由灰化處理去除光阻與抗反射膜。

之後，利用濺鍍技術，形成作為阻障金屬膜的 30nm 之 TaN 膜，且在 TaN 膜之上形成作為晶種的 100nm 之 Cu 膜。其次，藉由電解電鍍技術形成 700nm 之 Cu 膜，隨後藉由 CMP 技術形成將成為第一互連構造 121 的金屬膜。之後，正好在形成小直徑之栓塞 119 與連接栓塞 123 時，在去除 Cu 膜與互連構造 112 所需的絕緣膜之上的阻障金屬膜時形成第一互連構造 121。

之後，藉由經常使用之互連構造製造處理，在互連構造 112 所需的絕緣膜之上形成構成第一互連層絕緣膜 113 之上層的栓塞 114 之絕緣膜。在栓塞 114 的絕緣膜之中形成待連接至第一互連構造 121 的连接栓塞 122。接著，依序形成待連接至連接栓塞 122 的鐳墊 125 與凸塊 127。將鐳墊 125 之材料設定成，例如，Al、Cu、Ni、TiN 等等。又，將凸塊 127 之材料設定成，例如，Au、焊錫等等。

吾人應注意到：可進一步在第一互連層絕緣膜 113 的上半部之上形成具有預定數量之互連層等等的上層。

其次，將黏接層 115 形成在矽基板 101 的上表面之上而黏接支撐元件 117（如圖 2B）。例如，可使用膠帶作為黏接層 115。膠帶係由底材所構成且在兩側之上皆形成有黏接層。就構成膠帶的

底材而言，例如，使用聚烯烴樹脂、聚酯樹脂等等。就構成膠帶的黏接層而言，例如，使用壓克力乳膠黏接劑、壓克力溶劑黏接劑、聚胺甲酸酯黏接劑等等。

此外，支撐元件 117 的材料為在下述的研磨背面之矽基板 101 的磨薄製程等等處理之中具有耐熱性、耐藥劑性、抗外部作用力性等等的材料，故可將材料設定成，例如，石英、派熱司(Pyrex™) 等等玻璃。又，可設定成玻璃以外的材料。例如，可使用如壓克力樹脂等等塑膠材料。

其次，對矽基板 101 進行背面研磨。藉由機械拋光進行背面研磨。雖然可恰當地選擇研磨之後的矽基板 101 之厚度而位在不曾使小直徑之栓塞 119 的底部露出的範圍之內；然而，例如，將厚度設定在 50 至 200 μm 的程度。接著，依序在矽基板 101 的背面之上形成抗反射膜與光阻；且在利用光刻技術時，形成其中具有用以形成大直徑之栓塞 131 的開孔之光阻圖案（未圖示）。利用光阻膜作為遮罩而選擇性地乾蝕刻矽基板 101，之後，在必須形成大直徑之栓塞 131 的位置上設置開孔 139。

開孔 139 具有一種外形，其中開孔 139 係從矽基板 101 的背面起面向主表面，使矽基板 101 的上表面位在比矽基板 101 之主表面附近的更下端。又，將開孔 139 設置在突出部 141 的底部之上，且使開孔 139 的上表面位在比小直徑之栓塞 119 的底面更上方的位置。將 SiN 膜 137 設置在小直徑之栓塞 119 的表面之上。上述對矽基板 101 進行乾蝕刻期間的蝕刻條件為對矽膜與 SiN 膜 137 之間的選擇性設定成高的條件，故當形成開孔 139 時，並不會去除小直徑之栓塞 119，但會選擇性地去除小直徑之栓塞 119 的側面外圓周之矽基板 101。由於此原因，將使開孔 139 形成為包含小直徑之栓塞 119 的底面之外形。又，一部份的小直徑之栓塞 119 係露出到矽基板 101 的外部，故形成突出部 141。

其次，將電沈積之絕緣膜 129 設置在矽基板 101 的背面之上（如圖 2C）。此時，使電沈積之絕緣膜 129 選擇性地形成在矽基板

101 的背面、及開孔 139 的底面及其側面之上。在突出部 141 的表面塗佈絕緣的 SiN 膜 137，俾能使電沈積之絕緣膜 129 免於形成在小直徑之栓塞 119 的外側。將電沈積之絕緣膜 129 的膜厚設定在，例如，0.5 至 5 μm 的程度。

電沈積之絕緣膜 129，例如，由電沈積之聚合物膜所構成。可使用陽離子電沈積之聚合物塗佈與陰離子電沈積之聚合物塗佈作為電沈積之聚合物膜的材料。詳言之，例如，可使用由清水公司所製造的電塗佈 PI 等等。吾人應注意到：電沈積之絕緣膜 129 的材料並不僅限於聚合物，亦可使用其它的電沈積之聚合物塗佈，例如含環氧樹脂之電沈積塗佈、含丙烯醛基之電沈積塗佈、含氟之電沈積塗佈等等。一旦使用聚合物作為電沈積絕緣膜 129 的材料，則將可提高電沈積絕緣膜 129 之耐熱性質。由於此原因，可恰當地抑制之後所進行的製造處理免於變差，俾能實現以高良率進行穩定製造的架構。

藉由，例如，以下處理進行電沈積絕緣膜 129 的形成。將矽基板當作一側的電極，且將一側的電極與另一側的電極浸入電沈積塗佈的液體之中。接著，根據電沈積塗佈之中的聚合物之電荷而對矽基板 101 與另一側的電極施加預定之電位。採以上之方式，將使聚合物附著在矽基板 101 的表面之上。在獲得預定的膜厚之後，從塗佈液之中取出矽基板 101 而在水中加以清洗。之後，一旦烘乾矽基板 101 之後，就將電沈積之絕緣膜 129 形成在背面之上。

其次，對 SiN 膜 137 進行回蝕。藉此，去除突出部 141 之前端處的 SiN 膜 137 而使小直徑之栓塞 119 的表面露出。此時，將電沈積絕緣膜 129 形成在矽基板 101 的背面之上，故雖然不會去除矽基板，但可選擇性地去除 SiN 膜 137。吾人應注意到：在圖 1 與圖 2D 之中，雖然以去除突出部 141 之中的整個 SiN 膜 137 之架構為例加以說明，但亦適合使至少包括有小直徑之栓塞 119 的栓塞底部之局部露出。

隨後，藉由無電電鍍技術，以小直徑之栓塞 119 的露出部作為起始點而生長 Ni 膜、鑲入開孔 139 及使凸塊一體成型在開孔 139 的外側。接著，一旦在凸塊的表面之上設置 Au 電鍍膜 133 之後，即可形成大直徑之栓塞 131（如圖 2D）。

此時，將大直徑之栓塞 131 的形成分成背面之開孔 139 的鑲入處理與背面的凸塊形成處理等兩個處理而加以進行。

之後，一旦從矽基板 101 的主表面去除黏接層 115 之後，即可去除支撐元件，且可獲得圖 1 所示之半導體裝置 100。

其次，以下說明圖 1 所示之半導體裝置 100 的功效。

首先，在半導體裝置 100 中，貫通電極 135 係由小直徑之栓塞 119 與大直徑之栓塞 131 的兩個栓塞所構成。小直徑之栓塞 119 的末端處的突出部 141 被包覆在大直徑之栓塞 131 之中。

圖 7A 與圖 7B 顯示由兩個具有不同厚度之栓塞所構成的貫通電極之架構的圖式。在各個局部圖中，上視圖為剖面圖，且下視圖為平面圖。圖 7A 為根據一實施例之貫通電極 135 的架構之視圖。又，圖 7B 為顯示其中之小直徑之栓塞 219 與大直徑之栓塞 231 在平面之中連接的貫通電極 235 之外形的視圖。

在圖 7A 的架構中，係藉由固定效果而用於提高兩個栓塞的黏固性。由於此原因，故如圖 7B 所示之架構，相較於這些末端之間僅互相接觸的情況而言，可將貫通電極實現成接合的架構。又，從矽基板 101 之背面開始的選擇性生長將得以形成大直徑之栓塞 131。由於此原因，此種架構將得以簡化製程。又，係基於此種架構而用於減小兩個栓塞之間的接觸電阻。由於此原因，能夠提高半導體裝置 100 的電氣特性。

此外，如圖 7C 所示，在由大直徑之栓塞 131、與被大直徑之栓塞 131 包覆在其中的兩個小直徑之栓塞 119 等三個栓塞所構成的貫通電極 135 之架構中，將可進一步提高由於固定效果而來的栓塞之黏固性，且更針對進一步減小接觸電阻。

吾人應注意到：小直徑之栓塞 119 並不需要貫穿到大直徑之

栓塞 131 的背面側。由於可使突出部 141 的深度較淺，故可穩定地藉由鑲入而進行小直徑之栓塞 119 的製造。

又，在貫通電極 135 中，小直徑之栓塞 119 的直徑係小於大直徑之栓塞 131 的直徑。由於此原因，能夠最小化電連至小直徑之栓塞 119 的第一互連構造 121 之尺寸。又，此架構可提高最下層之絕緣膜 111 之中的元件之集積度。因此，此架構為適合達成整個裝置之最小化的架構。

又，由於在製造連接栓塞 123 時同時製造小直徑之栓塞 119，故此架構將得以簡化製程且藉由簡單的處理而減少製造成本。又，小直徑之栓塞 119 的形成對電晶體的形成處理將造成較小的影響，故此架構為貫通電極 135 的形成將對電晶體造成極小之破壞的架構。

又，在貫通電極 135 的上半部中，使小直徑之栓塞 119 連接至第一互連層絕緣膜 113 之內將成為最下層之互連構造的第一互連構造 121，故此架構將使貫通電極 135 免於插入到第一互連層絕緣膜 113 之內。由於此原因，此架構可提高第一互連層絕緣膜 113 之中的互連密度。因此，設置貫通電極 135 對電路之構成元件所造成的影響極小，俾能使半導體裝置 100 具有與元件或互連構造之配置有關的選擇之自由度，且更得以減小第一互連層絕緣膜 113 的死角及提高第一互連構造 121 的集積度。

又，在半導體裝置 100 中，在開孔 139 之內表面的突出部 141 之表面以外的區域之中選擇性地設有電沈積之絕緣膜 129。由於此原因，在形成大直徑之栓塞 131 之後的處理中，由於能夠利用電沈積之絕緣膜 129 作為保護膜，故不需為了形成大直徑之栓塞 131 而在矽基板 101 的背面之上形成光阻圖案。由於此原因，此架構將可藉由簡單的處理而穩定地製造大直徑之栓塞 131。

其次，藉由與習知貫通電極之架構加以比較，俾進一步說明由小直徑之栓塞 119 與大直徑之栓塞 131 所構成的貫通電極 135 之架構。圖 8A 與圖 8B 為顯示貫通電極之架構的剖面圖。圖 8A 為

根據一實施例之貫通電極 135 的架構。又，圖 8B 為習知貫通電極 235 之架構。

如圖 8B 所示，習知貫通電極 235 係由一個厚栓塞所構成，且接觸到互連構造 253 之上表面。由於此原因，習知貫通電極具有：位在貫通電極 235 的上半部之上的互連構造 253 之面積將變成相當大的傾向。又，在接觸到貫通電極 235 之互連構造 253 的層中，除了接觸到貫通電極 235 之互連構造 253 以外，不能在貫通電極 235 的附近設置互連構造 254。由於此原因，如圖式之中的箭頭所示，除了接觸到貫通電極 235 之互連構造 253 以外，已能夠僅在與貫通電極 235 之上表面相離及其附近的區域之內形成互連構造 254。因此，除了接觸到貫通電極 235 之互連構造 253 以外，互連構造 254 之集積度仍有進一步提高的空間。

相反地，如圖 8A 所示，在根據一實施例之貫通電極 135 中，貫通電極係接觸到小直徑之栓塞 119 的上表面之上的互連構造 153。由於此原因，能夠最小化小直徑之栓塞 119 的上半部之上的互連構造 153 之橫剖面面積。又，連接至互連構造 153 的栓塞為小直徑之栓塞 119。由於此原因，如圖式之中的箭頭所示，除了接觸到小直徑之栓塞 119 的互連構造 153 以外，可形成互連構造 154 之區域將較寬。由於此原因，除了接觸到小直徑之栓塞 119 的互連構造 153 以外，將能夠提高互連構造 154 的集積度。又，在藉由最小化互連層附近的栓塞之直徑而確保足夠的互連密度時，將可藉由增大互連層附近以外的栓塞直徑而減小電阻。

又，如前述圖 7A 與圖 7B 所述，在圖 8A 之貫通電極 135 中，此架構係顯示出一部份的小直徑之栓塞 119 插入大直徑之栓塞 131 之中。由於此原因，即使使用不同於圖 8B 之架構的兩個栓塞，這些栓塞之間的接觸電阻，相較於圖 7B 之架構而言，仍足夠小，故此種架構係具有作為貫通電極的極佳特性。

吾人應注意到：雖然圖 1 之中未顯示，但在半導體裝置 100 中，可根據裝置的設計而適當地選擇第一互連層絕緣膜 113 之上

層的架構。可進一步在第一互連層絕緣膜 113 的上半部之上形成互連層等等。

例如，圖 10 為顯示其中具有由互連層所形成之層疊結構的半導體裝置之半導體裝置的架構之剖面圖。雖然圖 10 之中的半導體裝置之架構基本上與圖 1 所示之半導體裝置 100 相同；但形成有最下層之絕緣膜 111、第一互連層絕緣膜 113，且在其上，絕緣層 161 與絕緣層 163 係進一步由層疊的結構所形成。將互連構造 165 與連接栓塞 167 形成在絕緣層 161 之中。將互連構造 169 與連接栓塞 171 形成在絕緣層 163 之中。

如圖 10 所示，根據一實施例之貫通電極 135，在主表面側係設有具有小橫剖面面積的小直徑之栓塞 119，且使小直徑之栓塞 119 連接至設置在成型體之中的下層之第一互連構造 121。由於此原因，能夠提高上層之互連構造的集積度。

又，圖 11 為顯示其中具有由互連層所形成之層疊結構的半導體裝置之半導體裝置的另一架構之剖面圖。如圖 11 所示，使小直徑之栓塞 119 連接至第一互連構造 121，故此架構對設計上層比對設計第一互連構造 121 具有更佳的自由度。例如，這得以形成貫通電極 135 不會連接至凸塊 127 的架構、或形成不需在貫通電極 135 的正上方形成凸塊 127 就可使其中之貫通電極 135 經由未圖示之互連構造而連接至凸塊 127 的架構。

又，在根據一實施例與以下實施例的半導體裝置中，為構成貫通電極 135 的小直徑之栓塞 119 的其中一部份被包覆在大直徑之栓塞 131 之中的型式，例如，代表小直徑之栓塞 119 的一部份之橫剖面被包覆的型式及代表整個橫剖面被包覆的型式。圖 12A 與圖 12B 顯示此種架構之貫通電極 135 的橫剖面圖。圖 12A 顯示小直徑之栓塞 119 的整個橫剖面被包覆在大直徑之栓塞 131 之中的架構之視圖。又，圖 12B 顯示小直徑之栓塞 119 的一部份之橫剖面被包覆在大直徑之栓塞 131 之中的架構之視圖。大直徑之栓塞 131 之上所形成的凹部之外形係隨著小直徑之栓塞 119 被包覆

的狀態而異。

如圖 12A 與圖 12B 所示，一旦形成足以使小直徑之栓塞 119 的至少一部份之橫剖面被包覆在大直徑之栓塞 131 之中的架構時，就可獲得小直徑之栓塞 119 足以接觸到大直徑之栓塞 131 的複數之表面的架構。由於此原因，藉由與圖 7B 所述之架構加以比較，可知：能夠提高小直徑之栓塞 119 與大直徑之栓塞 131 之間的黏固性。又，如圖 12A 所示，一旦採用小直徑之栓塞 119 的整個橫剖面插入被包覆在其中的大直徑之栓塞 131 之中的架構時，就能夠進一步提高兩個元件之間的黏固性。

在以下實施例中，主要將說明與第一實施例之相異點。

（第二實施例）

圖 3 顯示根據一實施例之半導體裝置的架構之橫剖面圖。在圖 3 所示之半導體裝置 102 中，大直徑之栓塞 131 的上表面與矽基板 101 的上表面匹配，亦即，與矽基板 101 的主表面匹配。此外，在半導體裝置 102 中，將 SiN 膜 143 形成在大直徑之栓塞 131 的側面之上且以 SiN 膜 145 取代圖 1 所示之矽基板 101 之中的電沈積之絕緣膜 129 而將其形成在矽基板 101 的背面之上。

其次，以下將說明半導體裝置 102 的製造方法。圖 4A 至圖 4D 顯示圖 2 所示之半導體裝置 102 的製造處理之橫剖面圖。

首先，一旦依序將抗反射膜與光阻塗佈於矽基板 101 之後，就利用光刻技術形成具有與大直徑之栓塞 131 的外形對應之開孔的光阻圖案（未圖示）。在利用此光阻膜作為遮罩而對矽基板 101 進行乾蝕刻時，就可形成設置大直徑之栓塞 131 所需的開孔。此時，適當地選擇開孔深度，且將開孔深度設定在，例如，不小於 $50\mu\text{m}$ 至不大於 $200\mu\text{m}$ 。接著，去除光阻與抗反射膜。

其次，將 100nm 之 SiN 膜 143 形成在矽基板 101 之上表面的整個表面之上，而在其上則設有與大直徑之栓塞 131 之外形對應的開孔。接著，藉由塗佈 SOG（旋塗玻璃）使 SiO_2 膜 147 覆蓋矽基板 101 之整個主表面而鑲入開孔之中。其次，去除形成在開孔

以外的區域之上的 SiO_2 膜 147 而使 SiN 膜 143 的上表面露出。其次，形成 SiN 膜而作為蝕刻終止膜 109，且在 SiO_2 膜的上表面塗佈蝕刻終止膜 109（如圖 4A）。

其次，如同第一實施例，設置隔離膜 103、擴散層 105 及閘電極 107。又，如同第一實施例，形成最下層之絕緣膜 111，隨後同時形成貫穿最下層之絕緣膜 111 的小直徑之栓塞 119 與連接栓塞 123（如圖 4B）。吾人應注意到：在半導體裝置 102 中，可採用使小直徑之栓塞 119 插入 SiO_2 膜 147 之中達，例如，1 至 $50\ \mu\text{m}$ 程度的深度之架構。

接著，如同第一實施例，形成第一互連層絕緣膜 113、第一互連構造 121、連接栓塞 122、鉅墊 125 及凸塊 127。接著，藉由黏接層 115 而使矽基板 101 的主表面側固定於支撐元件 117 的表面。

其次，進行矽基板 101 的背面研磨而使設置在 SiO_2 膜 147 的底面之上的 SiN 膜 143 之下表面露出。此時，在持續研磨背面時，將適合使 SiO_2 膜 147 進一步露出。利用 SiN 膜 143 或 SiO_2 膜 147 作為遮罩而進一步對矽基板 101 的背面進行乾蝕刻。因此，將突出部 142 形成在矽基板 101 的背面側。接著，將 SiN 膜 145 形成在矽基板 101 之背面側的整個表面之上。接著，藉由進行 CMP 去除矽基板 101 的背面之上的 SiN 而使突出部 142 之中的 SiO_2 膜 147 之下表面露出（如圖 4C）。

其次，藉由溼蝕刻去除 SiO_2 膜 147。使用，例如，40 至 49wt % 程度的濃 HF 水溶液作為蝕刻溶液。此時，由於將蝕刻終止膜 109 設置在 SiO_2 膜 147 的上表面之上且將 SiN 膜 143 設置在 SiO_2 膜 147 的側面之上，故可選擇性地去除 SiO_2 膜 147。採以上之方式，將獲得具有大直徑之栓塞 131 的外形之開孔且使突出部 141 露出。

接著，如同第一實施例，對 SiN 膜 137 進行回蝕、利用無電電鍍技術而以小栓塞 119 之露出部作為起始點使 Ni 膜生長，隨後使其鑲入開孔 139 之中，且在開孔 139 的外側使凸塊一體成型。接著，一旦將 Au 電鍍膜 133 設置在凸塊的表面之上後，就可形成

大直徑之栓塞 131（如圖 4D）。

接著，藉由使黏接層 115 與矽基板 101 的主表面分離而去除支撐元件 117 及可獲得圖 3 所示之半導體裝置 102。

其次，以下將說明圖 3 所示之半導體裝置 102 的功效。除了具有第一實施例所述之半導體裝置 100 的功效以外，半導體裝置 102 更具有以下功效。

在形成電晶體之前，半導體裝置 102 係具有將 SiO_2 膜 147 形成在大直徑之栓塞 131 的位置之上的架構。因此，此架構將足以在形成元件之前、就先進行深蝕刻而形成大直徑之栓塞 131。因此，在背面側設置用以形成大直徑之栓塞 131 所需的開孔之情況下，將適合在研磨背面之後才去除 SiO_2 膜 147。因此，在形成電晶體之後，可在不需對矽基板 101 進行深蝕刻的情況下形成大直徑之栓塞 131。因此，電晶體等等將受到電漿照射等等所造成的極小破壞，故可進一步提高可靠度。

此外，在半導體裝置 102 中，將突出部 142 形成在矽基板 101 的背面側。因此，可針對在大直徑之栓塞 131 的側面或凸塊抑制 Ni 膜接觸到矽基板 101。由於此原因，此架構係具有極佳的可靠度。

此外，在研磨矽基板 101 之背面的情況下，則採用同時研磨 SiO_2 膜 147 與矽基板 101 的架構。因此，相較於同時研磨金屬膜與矽基板 101 的情況而言，此架構為可抑制由研磨比例的不同所引起的貫通電極 135 之背面的粗糙化。

另一方面，在習知貫通電極中，例如，如 Masataka 等人所述，則採用在形成電極之後才進行背面研磨的架構。由於此原因，在研磨背面時，將同時研磨矽基板與金屬膜。然而，這些元件之間的研磨比例相當大，故易於引起貫通電極之背面的粗糙化。此外，由於金屬膜具有極大的延展性，故在背面電極的周邊將產生應力降，且應力降將附著在 Si 表面之上。在含有能夠相當迅速地在 Si 之中擴散，例如 Cu 等等金屬的情況中，在某些情況下，金屬將擴

散到矽基板之中。由於此原因，在某些情況下，例如電晶體等等元件的可靠度將變差。

相反地，在圖 3 所示之半導體裝置 102 中，則採用：在研磨背面時，將同時研磨 SiO_2 膜 147 與矽基板 101 的架構，故可易於對背面研磨進行控制、此架構將得以穩定地研磨背面、及此架構將得以具有平坦的背面。此外，此架構將得以穩定地形成大直徑之栓塞 131。此外，分別在大直徑之栓塞 131 的側面及其底面塗佈 SiN 膜 143 及 SiN 膜 145，故可實現適合抑制大直徑之栓塞 131 之中所含的金屬擴散到矽基板 101 之中的架構。因此，可實現一種架構，其中之元件，例如電晶體等等，具有極佳的可靠度。此外，架構為一種能夠在研磨背面時降低製造成本的架構。

吾人應注意到：在製造根據一實施例之半導體裝置 102 時，如上所述，對矽基板 101 進行乾蝕刻而形成用以設置大直徑之栓塞 131 所需的開孔（圖 4A 未顯示）。在同時製造晶圓的複數之半導體裝置 102 的情況時，將可利用切割的處理。

圖 9A 與圖 9B 顯示用以製造半導體裝置 102 之晶圓 155 的架構之平面圖。圖 9A 顯示出切割之前的晶圓 155，且藉由圖式之中的虛線代表切割線 157。此外，圖 9B 為圖 9A 之切割線 157 附近的放大圖。吾人應注意到：晶圓 155 係相當於半導體裝置 102 之中的矽基板 101。

如圖 9A 與圖 9B 所示，將複數之半導體裝置 102 形成在晶圓 155 的表面之上。在形成半導體裝置 102 時，將切割用的渠溝形成在矽基板 101 之中的切割線 157 之上，且同時形成大直徑之栓塞 131。之後，經由上述處理製造半導體裝置 102。此時，形成在切割線 157 附近的開孔將由於研磨背面而變成貫通渠溝 159。接著，採整個晶圓被畫切割線的事實而可沿著切割線 157 切斷整個晶圓的方式、或採使晶圓緊壓著滾筒等等而使整個晶圓變形的方式將獲得複數個半導體裝置 102。

在此方法中，在其中形成有複數之半導體裝置 102 的晶圓 155

中，可在半導體裝置 102 的形成區域之間設置貫通渠溝 159。去除貫通渠溝 159 內部之上的晶圓 155，故可使貫通渠溝 159 的形成區域比其它的區域更薄。因此，將此部份作為切割區域，則能夠確實地進行分割晶圓 155。

此外，本方法可在切割線 157 的附近形成貫通渠溝 159。由於此原因，可實現易於在其中進行切割的架構。在獲得用以形成大直徑之栓塞 131 所需的開孔時將同時獲得貫通渠溝 159，故之後不需其它處理就可製造貫通渠溝 159。因此，此架構為一種可進行低成本之切割的架構。由於此原因，能夠不需增加成本就將切割處理納入背面處理之中。此外，一旦調整貫通渠溝 159 的間隔與尺寸之後，就能夠獲得符合切割條件之適合的刻劃區。由於此原因，例如，一旦貫通渠溝 159 的集積密度變大時，將能夠進行窄間距的切割。亦即，在此切割方法中，相較於利用一般之刀片進行處理而言，將能夠使切割寬度最小化且因而能夠增加從晶圓產生的晶片數量。

（第三實施例）

圖 5 顯示根據一實施例之半導體裝置的架構之橫剖面圖。在圖 5 所示之半導體裝置 104 中，設置覆蓋住大直徑之栓塞 131 的周邊之 SiO_2 環 151。設置 SiO_2 環 151 而使其接觸到大直徑之栓塞 131 的側面之上的 SiN 膜 143。 SiO_2 環 151 之側面係隔著 SiN 膜 143 而接觸到矽基板 101。此外，如同第二實施例，將 SiN 膜 149 設置在矽基板 101 的背面之上。

其次，以下將說明半導體裝置 104 的製造方法。圖 6A 與圖 6D 顯示圖 5 所示之半導體裝置 104 的製造處理之橫剖面圖。

首先，形成圖 6A 所示之架構。一開始，依序將抗反射膜與光阻塗佈在矽基板 101 之上，及利用光刻技術形成具有與 SiO_2 環 151 之外形對應的圓柱環形開孔之光阻圖案（未圖示）。在利用光阻作為遮罩而對矽基板 101 進行乾蝕刻時，就可形成用以設置 SiO_2 環 151 所需的開孔。此時，適當地選擇開孔的深度，例如，將開孔的

深度設定在不小於 $50\ \mu\text{m}$ 至不大於 $200\ \mu\text{m}$ 。接著，去除光阻膜與抗反射膜。

其次，將 100nm 之 SiN 膜 143 形成在矽基板 101 之整個上之上，而在其上則設有與 SiO_2 環之外形對應的開孔。接著，利用 SOG（旋塗玻璃）將 SiO_2 膜塗佈於矽基板 101 之主表面的整個表面而鑲入開孔之中。其次，去除形成在開孔以外的區域之上的 SiO_2 膜 147 而使 SiN 膜 143 的上表面露出。其次，形成 SiN 膜而作為蝕刻終止膜 109，且在 SiO_2 膜的上表面塗佈蝕刻終止膜 109（如圖 4A）。其次，藉由 CMP 去除形成在開孔以外的區域之上的 SiO_2 膜而露出 SiN 膜 143 的上表面。採以上之方式，能夠獲得 SiO_2 環。接著，形成作為蝕刻終止膜 109 的 SiN 膜，及在 SiO_2 膜 147 的上表面塗佈蝕刻終止膜 109。

其次，如同第一實施例，設置隔離膜 103、擴散層 105 及閘電極 107。又，如同第一實施例，形成最下層之絕緣膜 111，接著同時形成貫穿最下層之絕緣膜 111 的小直徑之栓塞 119 與連接栓塞 123。吾人應注意到：在半導體裝置 102 中，可實現使其中的小直徑之栓塞 119 插入矽基板 101 之中達，例如， 1 至 $50\ \mu\text{m}$ 程度的深度之架構。

其次，形成圖 6B 所示之架構。首先，如同第一實施例，形成第一互連層絕緣膜 113、第一互連構造 121、連接栓塞 122、鉅墊 125 及凸塊 127。接著，藉由黏接層 115 而使主表面固定於支撐元件 117 的表面。

其次，如同第一實施例，對矽基板 101 進行背面研磨。又，在一實施例中，將研磨之後的矽基板 101 厚度設定在，例如， 50 至 $200\ \mu\text{m}$ 的程度。

其次，形成圖 6C 所示之架構。一開始，在研磨之後才將 20nm 的 SiN 膜 149 形成在矽基板 101 的整個背面之上。

接著，依序將抗反射膜與光阻塗佈在矽基板 101 的背面之上，接著利用光刻技術使其中之 SiO_2 環 151 的內部敞開而形成光阻圖

案（未圖示）。利用光阻膜作為遮罩而進一步對矽基板 101 之背面進行溼蝕刻。此時，利用，例如，濃硝酸進行溼蝕刻。因此，去除被 SiO_2 環 151 所圍繞的區域之中的矽基板 101，且將開孔 139 形成在矽基板 101 的背面側。此外，使突出部 141 從開孔 139 之中露出。

其次，形成圖 6D 所示之架構。在去除光阻與抗反射膜之後，才對 SiN 膜 149 進行回蝕。此時，亦去除小直徑之栓塞 119 的前緣之 SiN 膜 137。接著，利用濺鍍技術依序將作為阻障金屬膜的 TiW 膜與 Cu 膜形成在矽基板 101 的整個背面之上。接著，在矽基板 101 的背面之上，設置其中之開孔 139 敞開的光阻，隨後在藉由電解電鍍技術使 Ni 膜生長時、就可鑲入開孔 139 之中，且在開孔 139 的外側使凸塊一體成型。接著，將 Au 電鍍膜 133 設置在凸塊的表面之上而獲得大直徑之栓塞 131。吾人應注意到：在形成大直徑之栓塞 131 時，將可同時形成背面互連構造。

接著，去除光阻，且藉由溼蝕刻去除矽基板 101 之表面的阻障金屬膜。接著，一旦使黏接層 115 從矽基板 101 的主表面分離之後，即可去除支撐元件 117，故可獲得圖 5 所示之半導體裝置 104。

其次，以下將說明圖 5 所示之半導體裝置 104 的功效。除了具有第一實施例所述之半導體裝置 100（如圖 1）的功效以外，半導體裝置 104 更具有以下功效。

在半導體裝置 104 中，由矽基板 101 之中的貫通電極 135 橫向地形成 SiO_2 環 151。一旦在大直徑之栓塞 131 的周圍設置 SiO_2 的厚壁之後，將能夠減小寄生電容。因此，能夠加速半導體裝置的操作。

此外，在形成例如電晶體等等元件之前，先在矽基板 101 之內設置 SiO_2 環 151。由於此原因，如同第二實施例的情況，可實現抑制其中之 SiO_2 環 151 的形成所引起的元件之可靠度的變差之架構。

吾人應注意到：在半導體裝置 104 中，由大直徑之栓塞 131 橫向地形成 SiO_2 環 151，然而，只要材料為在處理之後的元件形成處理之中會受熱而延展的絕緣材料，則亦可使用 SiO_2 以外的材料作為環狀部的材料。此外，只要 SiO_2 環 151 為封閉，則 SiO_2 環 151 的橫剖面外形並不僅限於圓柱環形，例如， SiO_2 環 151 亦適合為橫剖面為矩形的環形管狀體。

此外，又，在根據一實施例之半導體裝置 104 中，如同第二實施例所述之半導體裝置（如圖 3）的情況，除了在大直徑之栓塞 131 的側面以外，亦在晶圓 155 之切割線 157 的附近形成 SiO_2 環 151，因此，能夠實現具有極佳之切割性質的架構。

如上所述，已說明本發明之各實施例。然而，當然，本發明之範圍並不僅限於上述實施例，且熟悉本項技術人士能夠在本發明之範圍內改變上述實施例。

例如，在上述實施例中，雖然使用矽基板作為半導體基板，然而，亦適合使用例如 GaAs 基板等等之化合物半導體基板。

此外，在上述實施例中，雖然使用 W（鎢）作為小直徑之栓塞 119 的材料，然而，亦適合使用具有高導電性的其它金屬。例如，適合使用例如 Cu、Al、Ni、多晶矽等等金屬。

此外，在上述實施例中，雖然已說明使其中構成貫通電極 135 的小直徑之栓塞 119 連接至第一互連層絕緣膜 113 之架構，然而，亦可採用以下架構：使其中的小直徑之栓塞連接至位在第一互連層絕緣膜 113 之更上方而將成為上半部之下方的層疊互連層，而其係位於第二互連層之更上方。

又，在上述實施例中，雖然已舉例說明使其中之一個小直徑之栓塞 119 插入一個大直徑之栓塞 131 的上表面之中的架構，然而，如圖 7C 所示，亦可採用使其中之兩個以上的小直徑之栓塞 119 插入一個大直徑之栓塞 131 之中的架構。因此，這更能確實地達成固定效果。因此，更能達成小直徑之栓塞 119 與大直徑之栓塞 131 之間的可靠之電接觸。

又，雖然已舉例說明構成貫通電極 135 的小直徑之栓塞 119 與大直徑之栓塞 131 兩者皆為圓柱形的情況，然而，只要兩個栓塞的橫剖面面積彼此不同，則並不僅限於由具有各自之不同直徑的圓柱形所組合的架構。小直徑之栓塞 119 或大直徑之栓塞 131 係由柱狀體所形成，例如，其外形適合為圓柱形、橢圓柱形或其頂面與底面之面積大致相同的方形柱。又，栓塞外形適合為平頂圓錐、平頂橢圓錐、或其頂面無尖端的平頂三角錐等外形。又，柱狀體適合為在一方向上延伸的長條外形。

又，在上述實施例中，亦可採用使其中之大直徑之栓塞 131 的上表面位在矽基板 101 之主表面的下端的架構，除此之外，亦可採用從矽基板 101 之背面至主表面之附近各處皆設置大直徑之栓塞 131 的架構。又，即使大直徑之栓塞 131 的上表面從矽基板 101 之主表面略為突出，但只要大直徑之栓塞 131 在大直徑之栓塞 131 的上表面之上呈絕緣，亦為適合之架構。

又，在上述實施例中，雖然使黏接層 115 與支撐元件 117 從矽基板 101 之主表面分離，然而，黏接層 115 與支撐元件 117 並未分離，且若有需要的話，則其殘留而形成為半導體裝置的一部份。

明顯地，本發明之範圍並非僅限於上述實施例，且只要在不脫離本發明之範圍與精神的情況下，係可對本發明進行各種改變與變化。

【圖式簡單說明】

圖 1 為顯示根據一實施例之半導體裝置的架構之橫剖面圖。

圖 2A 至圖 2D 為顯示圖 1 之半導體裝置的製造處理之橫剖面圖。

圖 3 為顯示根據一實施例之半導體裝置的架構之橫剖面圖。

圖 4A 至圖 4D 為顯示圖 3 之半導體裝置的製造處理之橫剖面圖。

圖 5 為顯示根據一實施例之半導體裝置的架構之橫剖面圖。

圖 6A 至圖 6D 為顯示圖 5 之半導體裝置的製造處理之橫剖面圖。

圖 7A 至圖 7C 為顯示貫通電極之架構的圖式。

圖 8A 與圖 8B 為顯示貫通電極之架構的橫剖面圖。

圖 9A 與圖 9B 為顯示根據一實施例之半導體裝置的製造方法之平面圖。

圖 10 為顯示根據一實施例之半導體裝置的架構之橫剖面圖。

圖 11 為顯示根據一實施例之半導體裝置的架構之橫剖面圖。

圖 12A 與圖 12B 為顯示根據一實施例之貫通電極的架構之橫剖面圖。

【主要元件符號說明】

- 100、102、104 半導體裝置
- 101 矽基板
- 103 隔離膜
- 105 擴散層
- 107 閘電極
- 109 蝕刻終止膜
- 111 最下層之絕緣膜
- 113 第一互連層絕緣膜
- 115 黏接層
- 117 支撐元件
- 119、219 小直徑之導電栓塞
- 121 第一互連構造
- 122、123、167、171 連接栓塞
- 125 鉅墊
- 127 凸塊
- 129 電沈積之絕緣膜

- 131、231 大直徑之導電栓塞
- 133 電鍍膜
- 135、235 貫通電極
- 137、143、145、149 SiN 膜
- 139 開孔
- 141、142 突出部
- 147 SiO₂ 膜
- 151 SiO₂ 環
- 153、154、165、169、253、254 互連構造
- 155 晶圓
- 157 切割線
- 159 貫通渠溝
- 161、163 絕緣層

五、中文發明摘要：

本發明提供一種具有貫通電極之半導體裝置，而將貫通電極作為電極與製造穩定性將具有極佳的性能。在一半導體裝置之上設置一貫通電極，其由一小直徑之導電栓塞與一大直徑之導電栓塞所構成。使小直徑之栓塞的橫剖面面積大於一連接栓塞之橫剖面面積及其直徑，且使小直徑之栓塞的橫剖面面積小於大直徑之栓塞之橫剖面面積及其直徑。此外，在小直徑之栓塞突出於矽基板的狀態下所形成的一突出部係插入直徑之栓塞的上表面之中。又，小直徑之栓塞的上表面係連接至一第一互連構造。

六、英文發明摘要：

A semiconductor device having a through electrode excellent in performance as for an electrode and manufacturing stability is provided. There is provided a through electrode composed of a conductive small diameter plug and a conductive large diameter plug on a semiconductor device. A cross sectional area of the small diameter plug is made larger than a cross sectional area and a diameter of a connection plug, and is made smaller than a cross sectional area and a diameter of the large diameter plug. In addition, a protruding portion formed in such a way that the small diameter plug is projected from the silicon substrate is put into an upper face of the large diameter plug. Further, an upper face of the small diameter plug is connected to a first interconnect.

十、申請專利範圍：

1. 一種半導體裝置，包含：

一半導體基板；

一絕緣層，設置在該半導體基板的一主表面之上且其中具有一導電元件；及

一貫通電極，貫穿該半導體基板且連接至該導電元件；

其中該貫通電極包括：

一第一導電栓塞，連接至該導電元件；及

一第二導電栓塞，設置在該半導體基板之中且連接至該第一導電栓塞，該第二導電栓塞的橫剖面面積大於該第一導電栓塞之橫剖面面積。

2. 如申請專利範圍第 1 項之半導體裝置，更包含：

一雜質區，設置在該半導體基板的該主表面之中而形成一電晶體；

其中配線連接之該導電元件係與該絕緣層形成為一互連層。

3. 如申請專利範圍第 1 項之半導體裝置，其中一部份的該第一導電栓塞被包覆在該第二導電栓塞之中。

4. 如申請專利範圍第 1 項之半導體裝置，其中複數之該第一導電栓塞電連至其中一個該第二導電栓塞。

5. 如申請專利範圍第 1 項之半導體裝置，其中該第二導電栓塞之一上表面係低於該半導體基板之該主表面之下，且該第二導電栓塞之一下表面係從該半導體基板之一背面露出。

6. 如申請專利範圍第 1 項之半導體裝置，其中該第二導電栓塞之一上表面係從該半導體基板之該主表面露出，且該第二導電栓塞

之一下表面係從該半導體基板之一背面露出。

7. 如申請專利範圍第 1 項之半導體裝置，其中該第二導電栓塞係隔著一絕緣膜而接觸到該半導體基板。

8. 如申請專利範圍第 1 項之半導體裝置，其中該第二導電栓塞係突出於該半導體基板之一背面。

9. 如申請專利範圍第 1 項之半導體裝置，更包含：

一圓柱形絕緣體，形成在該半導體基板之中，其中該第二導電栓塞係位於該圓柱形絕緣體之內部。

10. 一種半導體裝置的製造方法，包含以下步驟：

一第一孔的形成步驟，在一半導體基板之一主表面形成一第一孔；

一第一導電栓塞的形成步驟，在該第一孔之中形成一第一導電栓塞；

一第二孔的形成步驟，在該半導體基板之一背面形成一第二孔而使該第一導電栓塞從其中露出；及

一第二導電栓塞的形成步驟，在該第二孔之中形成一第二導電栓塞而得以連接至該第一導電栓塞。

11. 如申請專利範圍第 10 項之半導體裝置的製造方法，其中該第一導電栓塞的形成步驟包括以下步驟：

一阻障膜的形成步驟，在該第一孔的一內壁之上形成一阻障膜；及

一第一金屬的形成步驟，在該阻障膜之上形成一第一金屬而藉以填滿該第一孔。

12. 如申請專利範圍第 11 項之半導體裝置的製造方法，其中該第二孔的形成步驟包括以下步驟：

一部份的半導體基板的去除步驟，從該背面去除一部份的該半導體基板而一部份的該阻障膜從其中露出；及

一阻障膜的去除步驟，去除該部份的該阻障膜而使該第一金屬露出作為該第一導電栓塞。

13. 如申請專利範圍第 12 項之半導體裝置的製造方法，其中該第二導電栓塞的形成步驟包括以下步驟：

一第二金屬的電鍍步驟，在從該第二孔之中露出的該第一金屬之上電鍍一第二金屬而藉以填滿該第二孔。

14. 如申請專利範圍第 10 項之半導體裝置的製造方法，其中該第二孔的形成步驟包括以下步驟：

一環形渠溝的形成步驟，在該半導體基板之該主表面形成一環形渠溝；

一環形渠溝的填滿步驟，使用一絕緣材料填滿該環形渠溝；

一部份的半導體基板的去除步驟，從該背面去除一部份的該半導體基板而露出一部份的該絕緣材料；及

一半導體基板的去除步驟，去除被該環形渠溝所圍繞的該半導體基板而使該第一導電栓塞從其中露出。

15. 如申請專利範圍第 10 項之半導體裝置的製造方法，其中該第一孔之直徑小於該第二孔之直徑。

16. 如申請專利範圍第 10 項之半導體裝置的製造方法，更包含以下步驟：

一互連層的形成步驟，在該第一導電栓塞之上形成具有一配線的一互連層而使該配線連接至該第一導電栓塞。

17. 一種半導體裝置的製造方法，包含以下步驟：

一開孔的形成步驟，在一半導體基板之一主表面形成一開孔；

一開孔的填滿步驟，使用一絕緣材料填滿該開孔；

一絕緣層的形成步驟，在該半導體基板之上形成一絕緣層；

一第一孔的形成步驟，形成貫穿該絕緣層的一第一孔而使一部份的該絕緣材料從該第一孔之下端露出；

一第一導電栓塞的形成步驟，在該第一孔之中形成一第一導電栓塞；

一部份的半導體基板的去除步驟，從該半導體基板之背面去除一部份的該半導體基板而使該絕緣材料露出；

一絕緣材料的去除步驟，去除該絕緣材料而形成一第二孔，而一部份的該第一導電栓塞係從該第二孔之中露出；及

一第二導電栓塞的形成步驟，在該第二孔之中形成一第二導電栓塞而使其連接至從該第二孔之中露出的該部份的第一導電栓塞。

18. 如申請專利範圍第 17 項之半導體裝置的製造方法，其中該第一孔之直徑小於該第二孔之直徑。

19. 如申請專利範圍第 17 項之半導體裝置的製造方法，更包含以下步驟：

一配線的形成步驟，在該絕緣層之上形成一配線而使該配線連接至該第一導電栓塞。

十一、圖式：

圖式

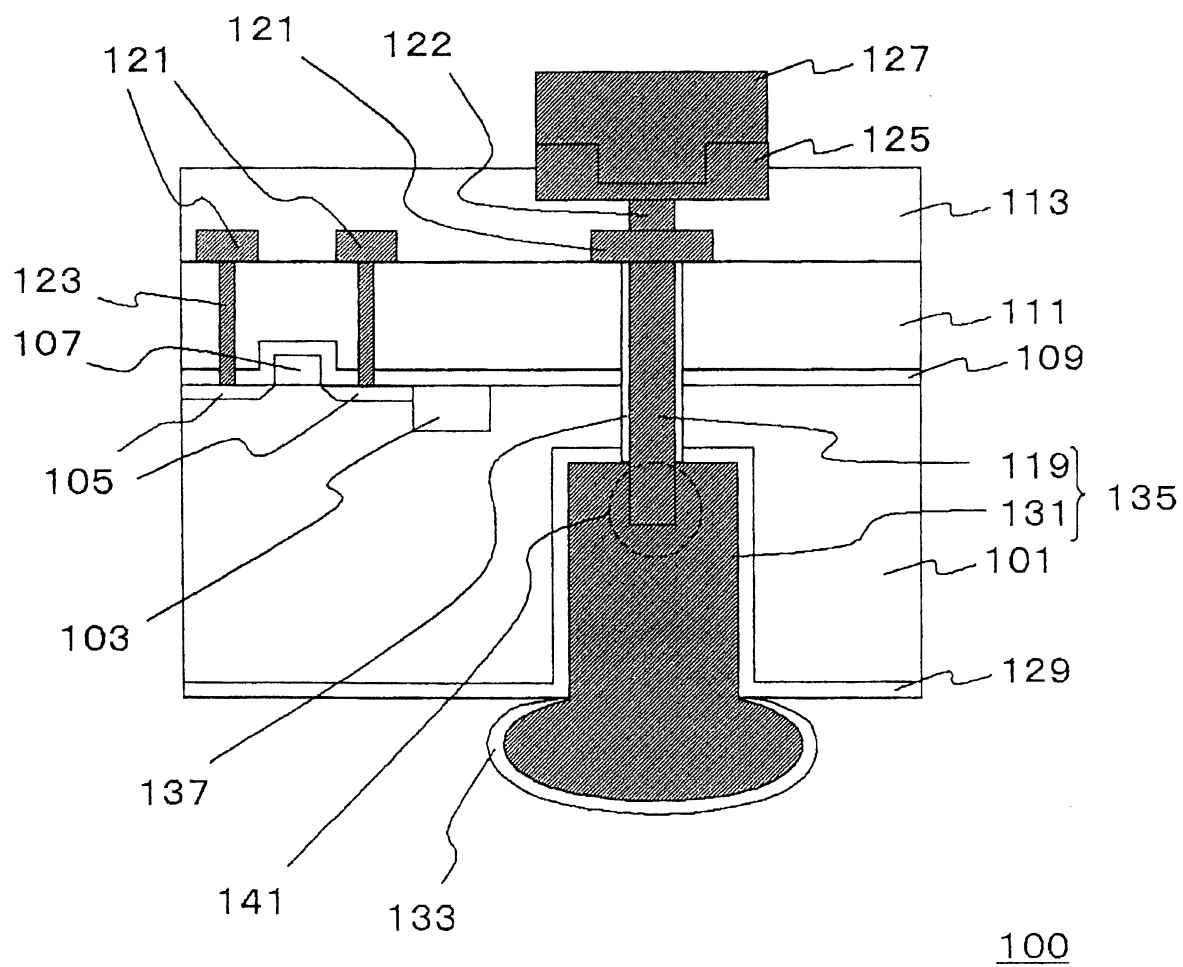


圖 1

圖式

圖 2A

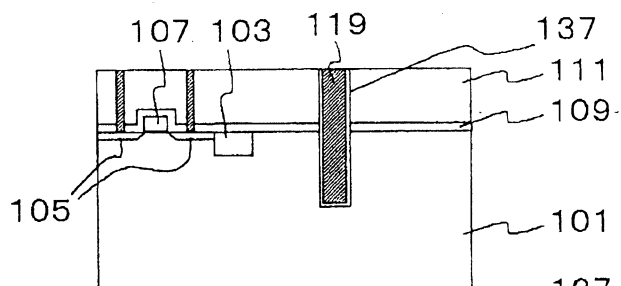


圖 2B

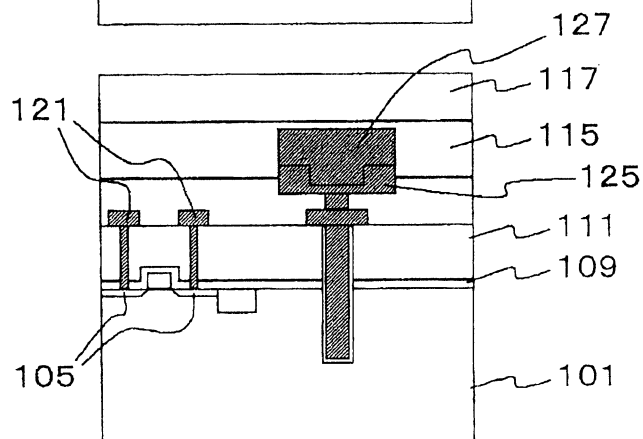


圖 2C

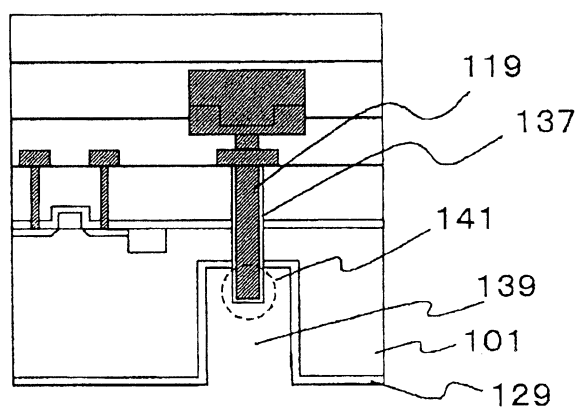
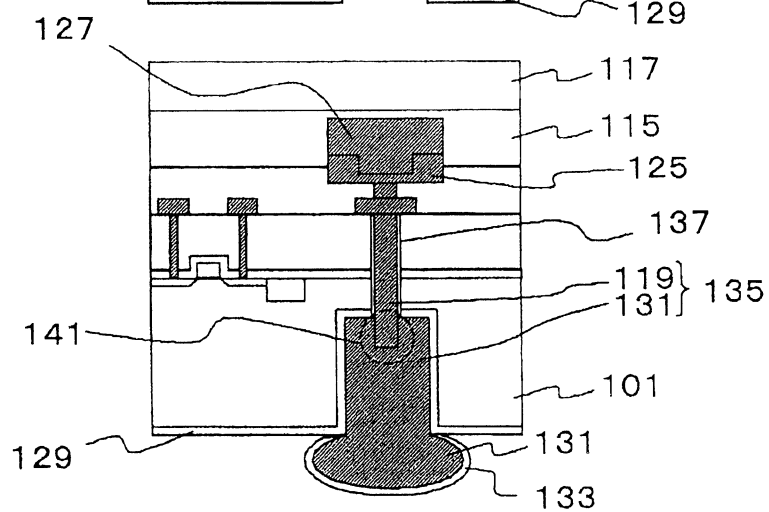


圖 2D



圖式

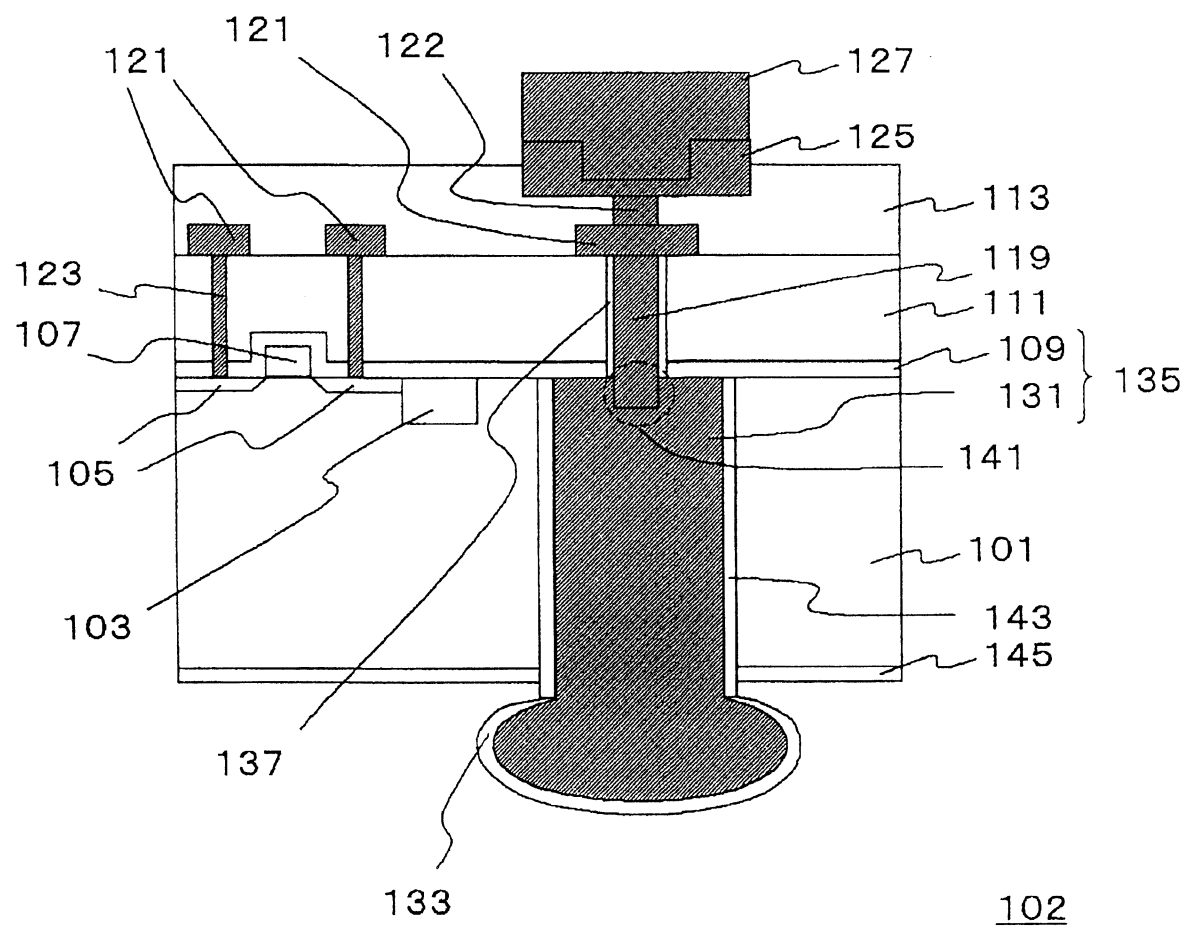
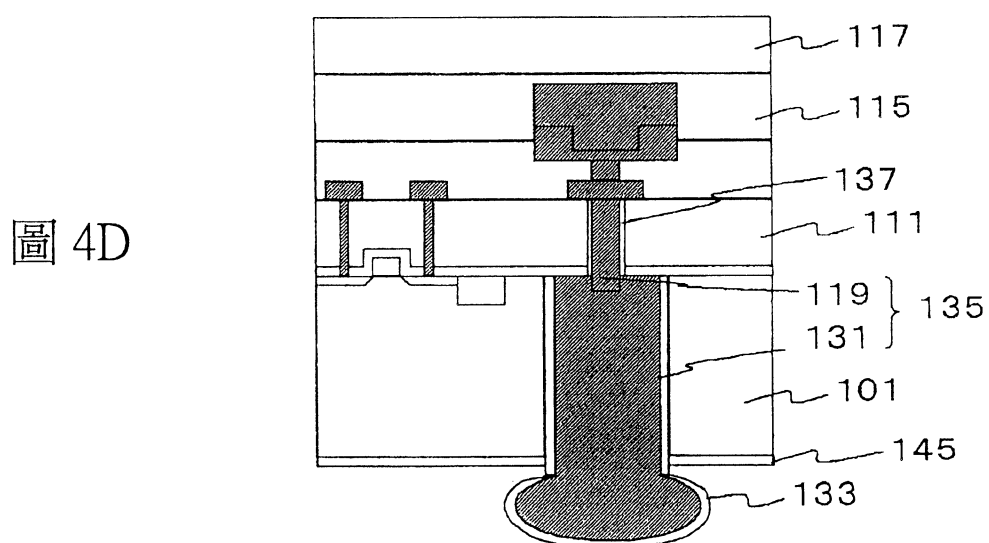
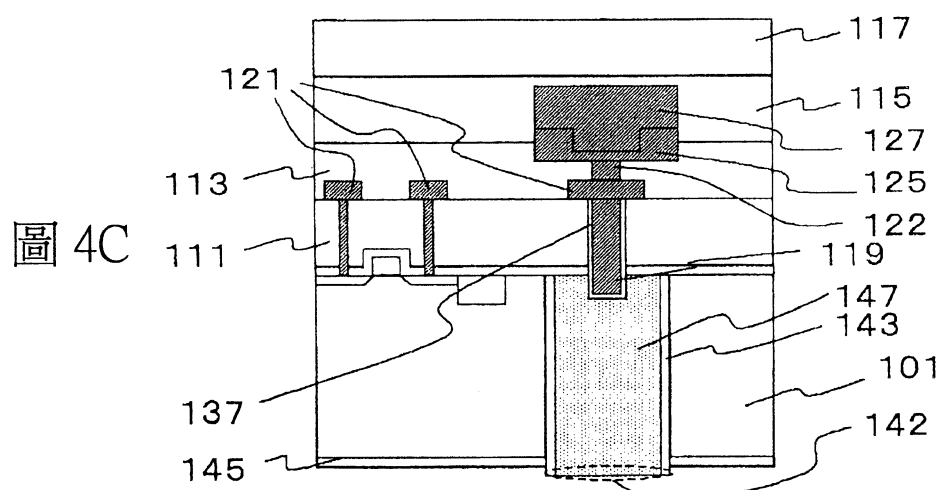
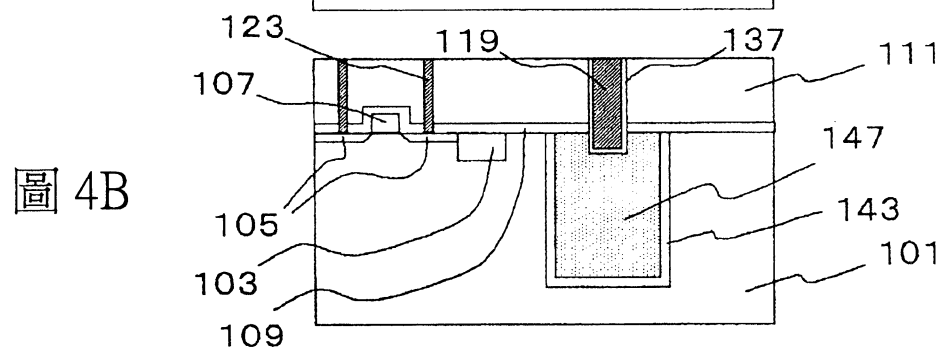
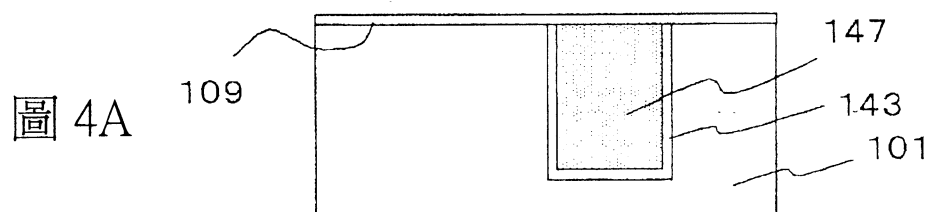


圖 3

圖式



圖式

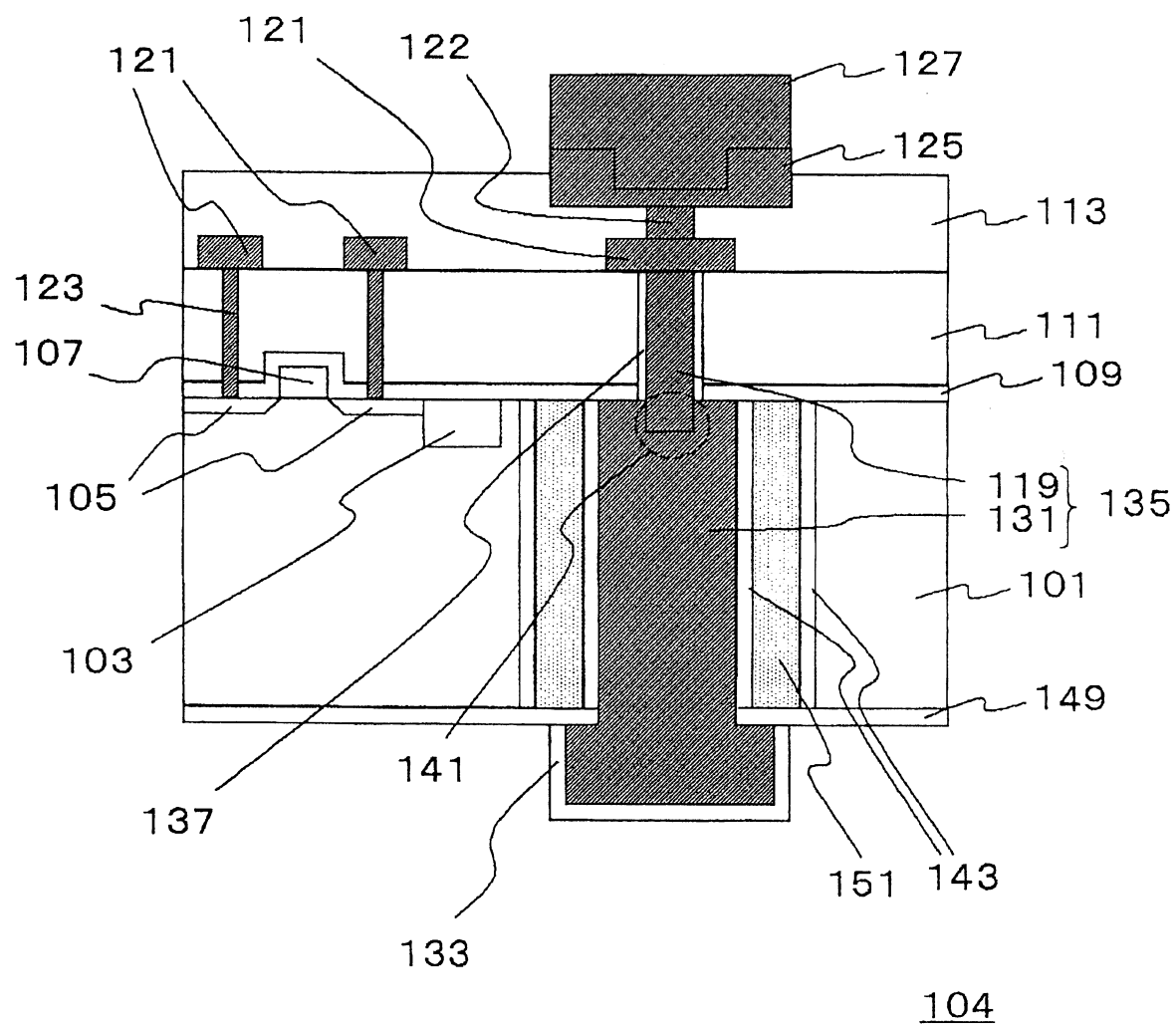


圖 5

圖式

圖 6A

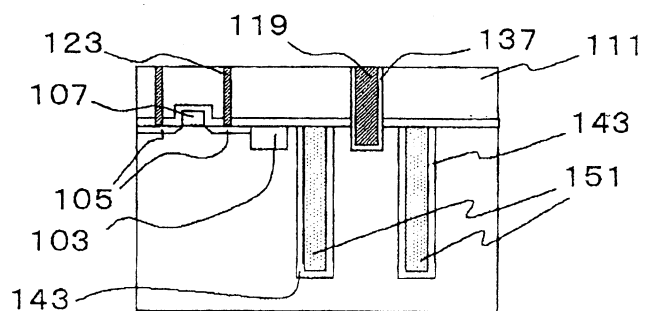


圖 6B

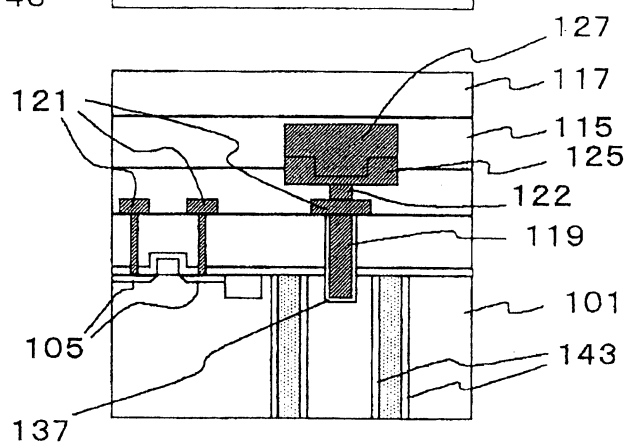


圖 6C

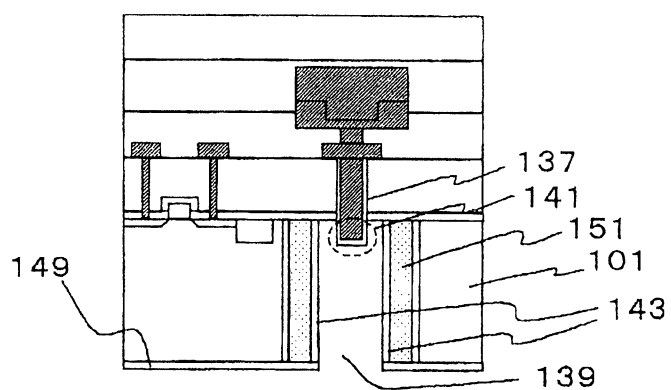
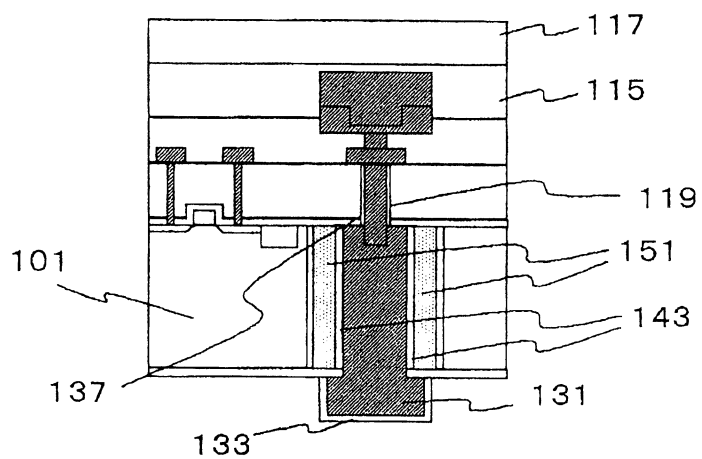


圖 6D



圖式

圖 7A

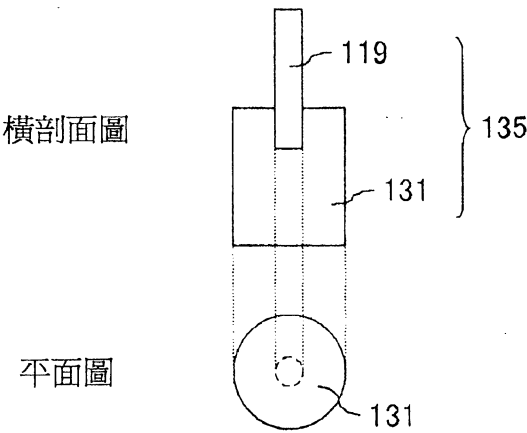


圖 7B

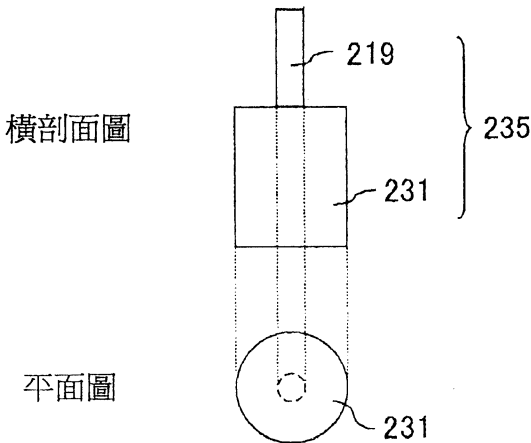
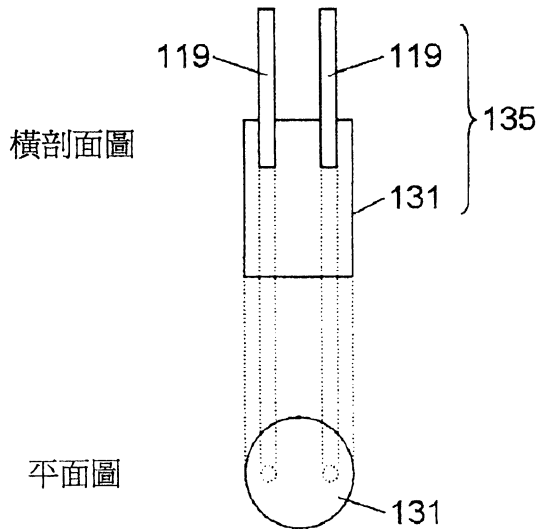


圖 7C



圖式

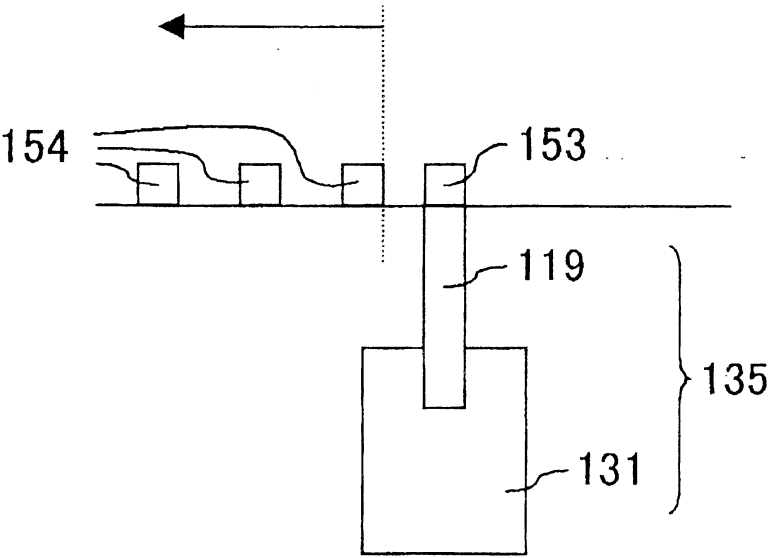


圖 8A

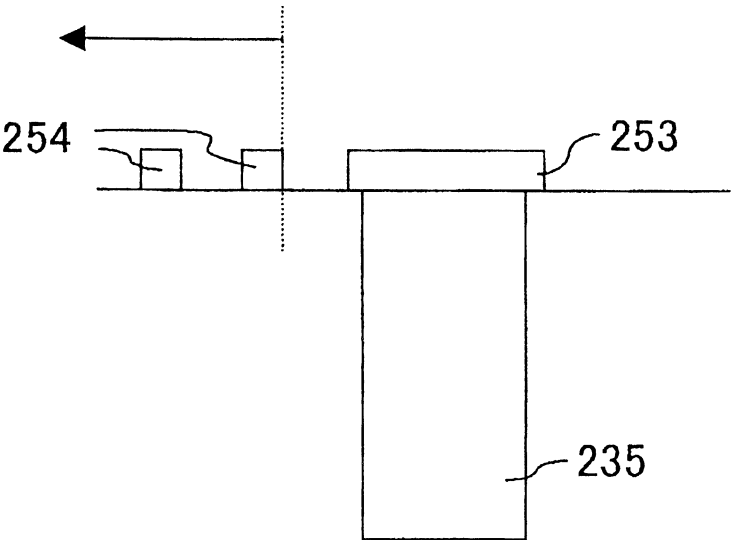


圖 8B

圖式

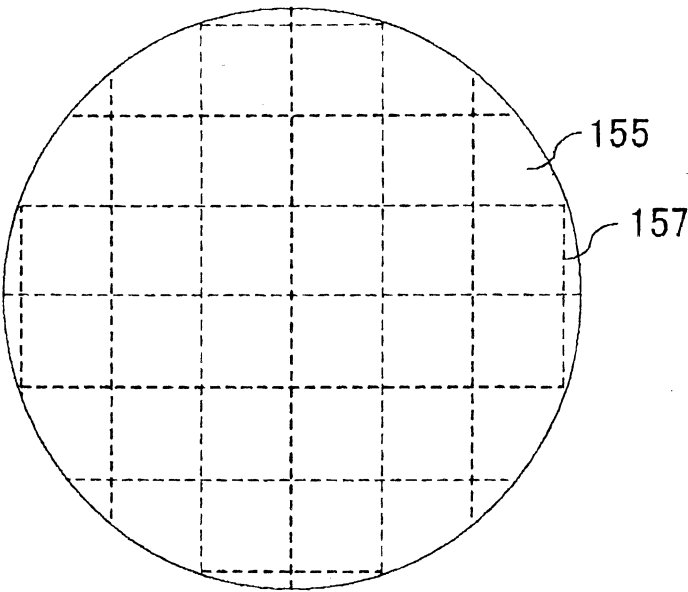


圖 9A

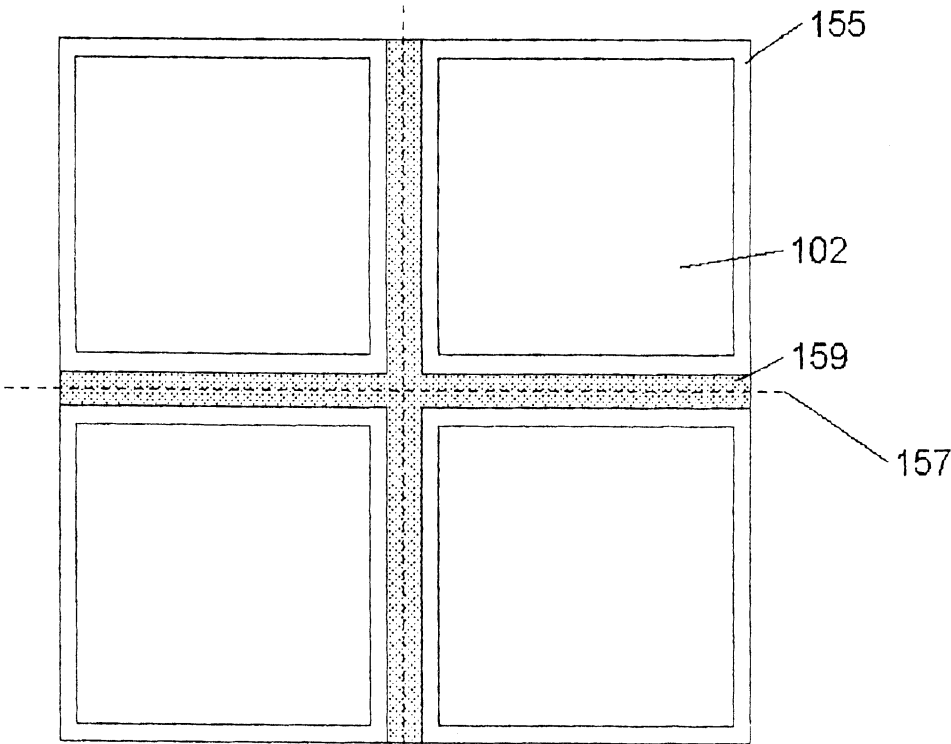


圖 9B

圖式

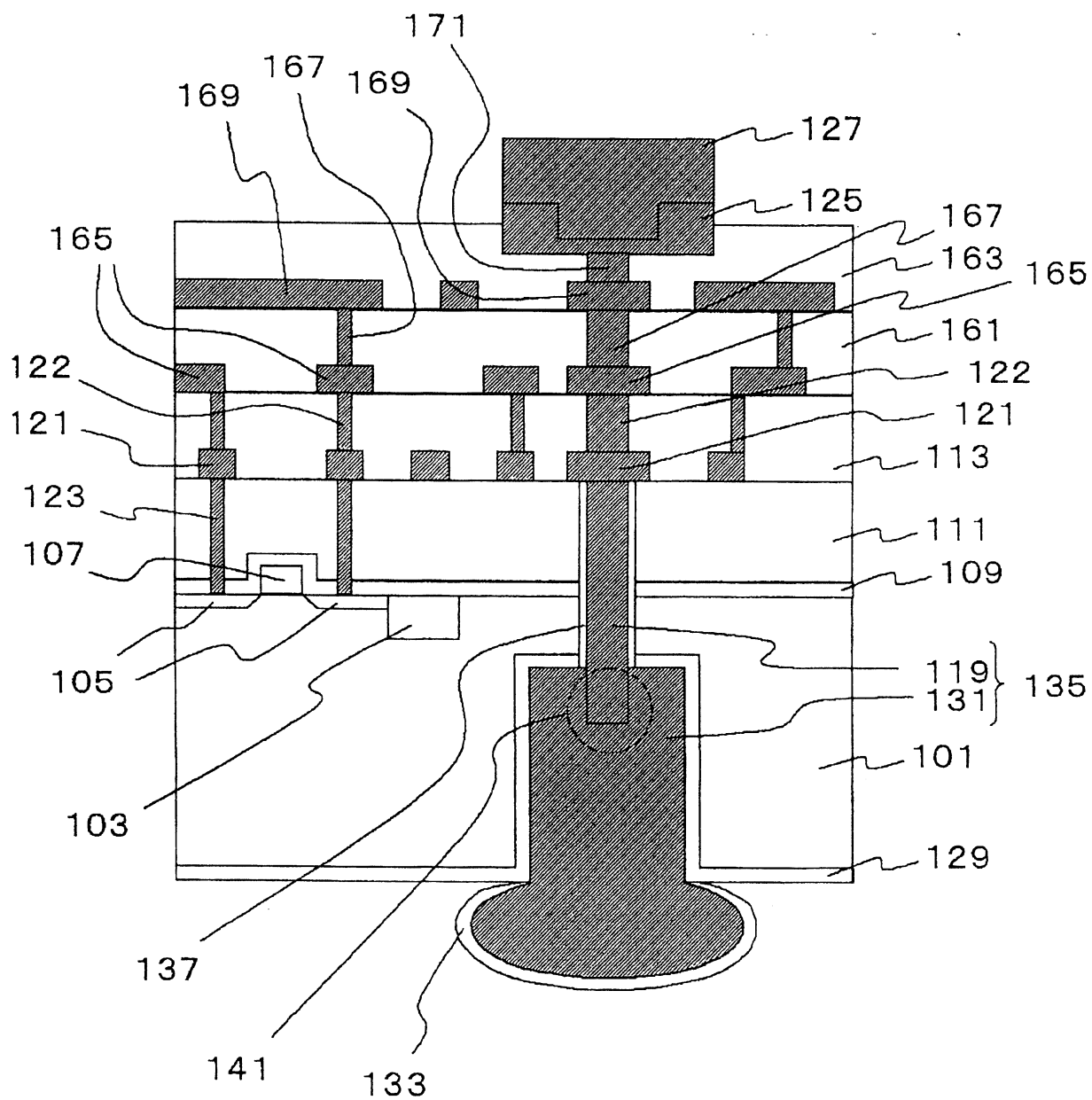


圖 10

圖式

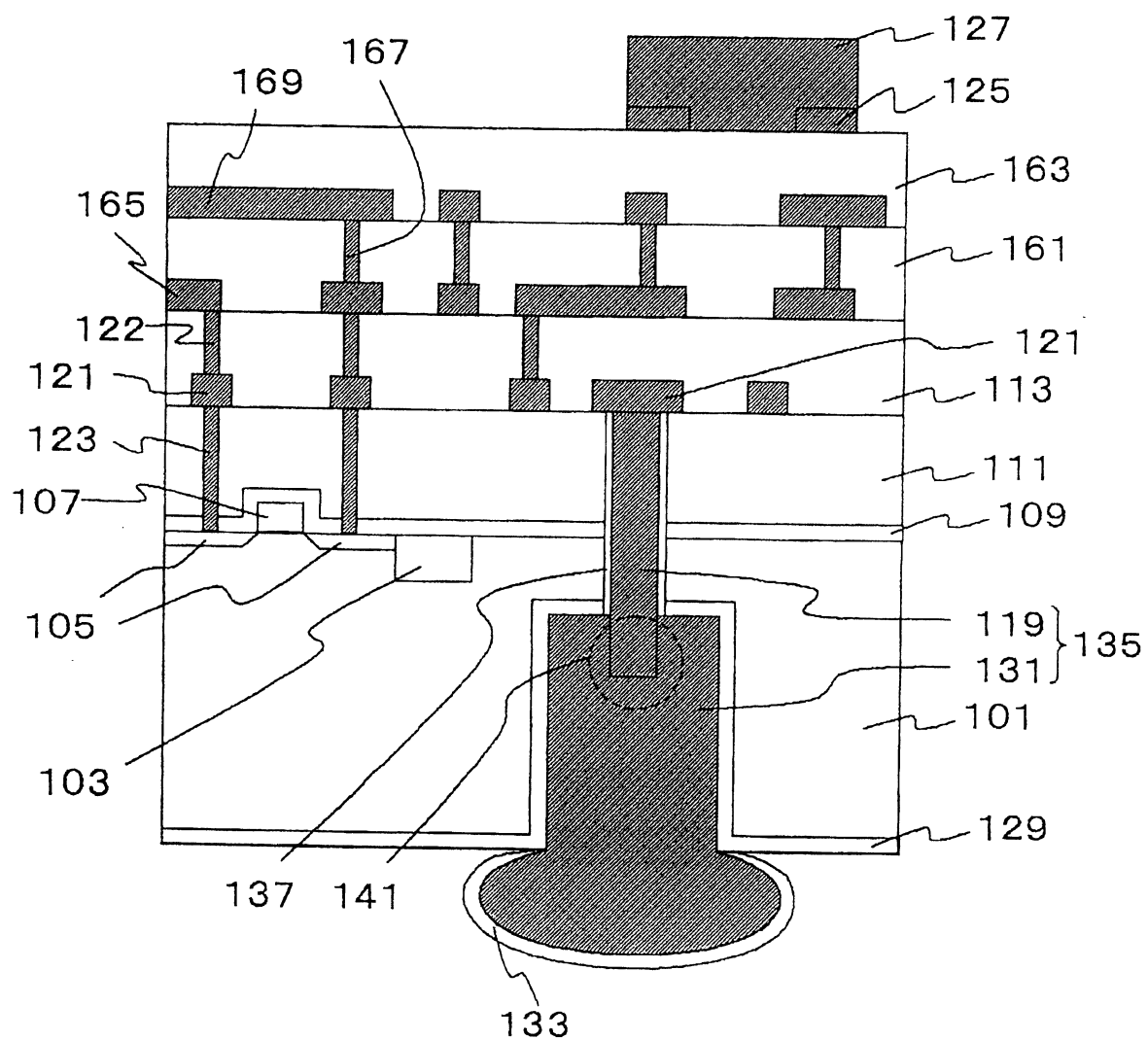


圖 11

圖式

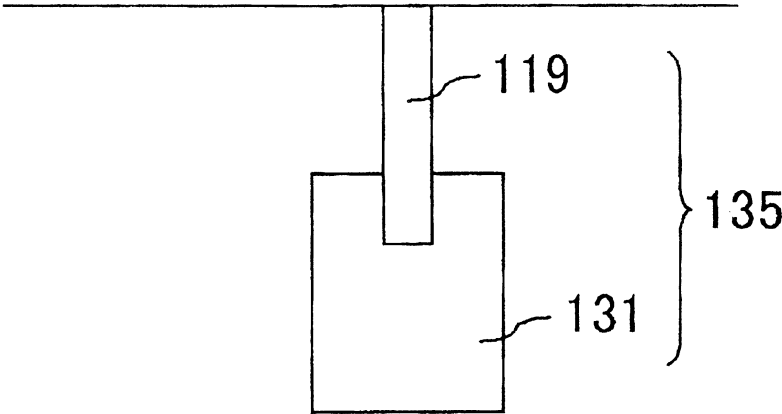


圖 12A

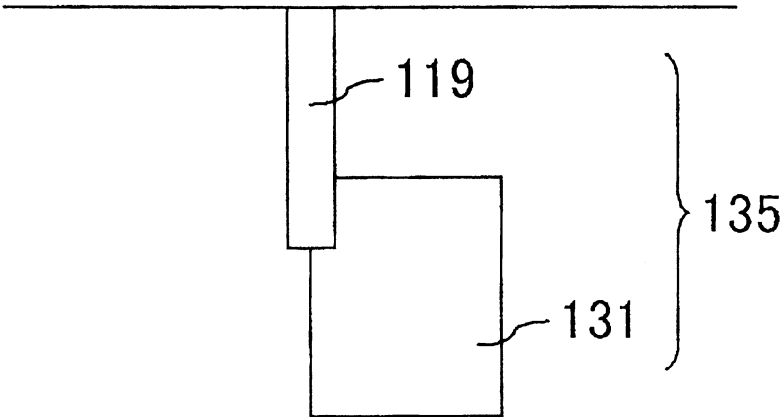


圖 12B

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

- 100：半導體裝置
- 101：矽基板
- 103：隔離膜
- 105：擴散層
- 107：閘電極
- 109：蝕刻終止膜
- 111：最下層之絕緣膜
- 113：第一互連層絕緣膜
- 119：小直徑之導電栓塞
- 121：第一互連構造
- 122、123：連接栓塞
- 125：鉅墊
- 127：凸塊
- 129：電沈積之絕緣膜
- 131：大直徑之導電栓塞
- 133：電鍍膜
- 135：貫通電極
- 137：SiN 膜
- 141：突出部

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無