3_5468

公告本
A4
C4

315468

315468

申請日期	85 年 11 月 19 日
案號	85114179
類別	Int. Cl. G11C 5/02, 5/14

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	電源及信號匯流排以網狀配置於記憶格陣列上之系統
	英文	
二、發明 ~~創作~~ 人	姓名	(1) 橘川五郎 (2) 秋葉武定 (3) 大鳥浩
	國籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都西多摩郡日の出町平井二一九六－四六八 2196-468, Hirai, Hinode-machi, Nishitama-gu n, Tokyo, JAPAN (2) 日本國東京都立川市一番町二－二六－一 2-26-1, Ichiban-cho, Tachikawa-shi, Tokyo, JAPAN (3) 日本國東京都青梅市河辺町五－二五－七 5-25-7, Kabe-cho, Ome-shi, Tokyo, JAPAN
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 德州儀器有限公司 Texas Instruments Incorporated
	國籍	(1) 日本 (2) 美國
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地 (2) 美國德州・達拉斯・北中央高速公路一三五〇〇號 13500 N. Central Expressway, Dallas, Texas 75265 U.S.A.
	代表人姓名	(1) 金井務 (2) 威廉・希勒 Hiller, William E.

裝 訂 線

經濟部中央標準局員工消費合作社印製

315468

申請日期	85 年 11 月 19 日
案號	85114179
類別	

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明新型名稱	中文	
	英文	
二、發明創作人	姓名	⑷ 威廉・麥奇 Mckee, William R. ⑸ 傑佛瑞・高林 Koelling, Jeffrey E. ⑹ 特洛伊・赫恩頓 Herndon, Troy H.
	國籍	⑷ 美國 ⑸ 美國 ⑹ 美國
	住、居所	⑷ 美國德州普蘭諾帕皮堤一五二九號 1529 Papeete, Plano, Texas 75075, U.S.A. ⑸ 美國德州達拉斯普瑞斯頓路公寓一九〇一九號 19019 Preston Rd Apt. 522, Dallas, Taxas 75252, U.S.A. ⑹ 美國德州理察德森威里克立克路二四二號 242 Valley Creek Place, Richardson, Texas 75080, U.S.A.
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

裝 訂 線

經濟部中央標準局員工消費合作社印製

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
美國	1995 年 11 月 9 日	60/005,502	☑無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（1）

本發明係關於半導體電路設計，尤關於在半導體記憶積體電路上連接電源與信號匯流排之方法及裝置用技術。

隨著半導體技術之發展，包含於單一積體電路，亦即晶粒中之電晶體之數量日益增多，因此，其設計規則參數之數值逐漸減小。這兩方面之進展可增大金屬層之電阻，而電阻之增大又產生新問題。這種問題實例有電源線電位之不穩定，串著雜訊，電路之延遲等。這種問題甚至使晶粒之動作延遲，損壞儲存於晶粒中之資料。去除金屬層電阻之增大之影響，在包括動態隨意存取記憶體（ＤＲＡＭ）之設計在內之大部分半導體設計領域中成爲設計上之重要課題。

這種問題之解決方法之一如Yamad，Ａ６４－Ｍｂ ＤＲＡＭ With Meshed Power Line，２６ＩＥＥＥ Journal of Solid－State Circuits １１（１９９１）中所述，已開發一種對晶粒成爲網目狀之電源匯流排系統。網目狀電源匯流排系統非常容易利用ＤＲＡＭ等積體電路實現。其理由爲，這種積體電路中，記憶格成爲巨大之陣列，而偵測放大器驅動器分散的存在。網狀系統中，許多電源匯流排在陣列上延伸至水平及垂直兩方向，故可將足夠之電力供給於分散之偵測放大器驅動器上。

Yamada之網狀系統可使用習用之ＣＭＯＳ（complementary metal oxide semiconductor）技術實現，而且具有互相絕緣之第１，第２與第３金屬層。其中第１金屬層成爲最下層金屬層，第３金屬層成爲最上層金屬層，而第

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（2 ）

2金屬層被挾持於第1與第3金屬層之間。Yamada之網狀系統係由第2及第3金屬層所構成，包含正極供應電壓（ＶＤＤ）之網及負極供應電壓（ＶＳＳ）之網，各網狀分別對應於ＶＤＤ電源匯流排與ＶＳＳ電源匯流排。依照習用設計之網，電源匯流排延伸至記憶體陣列上，利用設在偵測放大器領域之穿孔變換偵測放大器上之配線而供電於偵測放大器驅動器。然而，偵測放大器本身不需要設置ＶＤＤ電源匯流排及ＶＳＳ電源匯流排。其理由爲各電路除了阱偏壓用以外，不需要ＶＤＤ電源或ＶＳＳ電源。

因此，偵測放大器之尺寸較小，又附設許多信號匯流排及電源匯流排，故利用Yamada之網狀系統將受到不良影響。亦即多餘之電源及信號匯流排使偵測放大器變成複雜。除此之外，覆蓋偵測放大器上之穿孔所需之金屬配線之寬度大於金屬配線之最小寬度，故更加使金屬配線層之寬度增加。結果，偵測放大器上之金屬配線層成爲決定偵測放大器之尺寸之要因。因此，偵測放大器之尺寸減少必須依賴金屬配線層寬度之減小，必然的使電阻增大，使動作延遲。

除了Yamada之網狀系統以外，又有對習用之ＤＲＡＭ設計之其他提案。近年來，在K.Noda et Al., a Boosted Dual Word-line Decoding Scheme for 256 Mbit DRAM´s，1992 Symp. on VLSI Circuit Dig. of Tech. Papers, pp. 112－113（1992）中揭示一種階層式字線構造。Noda案包括形成爲第2金屬配線

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（3 ）

層之主字線，及形成爲多結晶矽之副字線。Noda案中，於8條副字線之每一條線上設置2條主字線（True，Bar）。因此，可將主字線之間距緩和成副字線之間距之4倍。然而，這種金屬配線間距不能設置新金屬配線，以便改善網狀電源及信號匯流排系統。

因此，需要有一種可利用陣列型積體電路之網狀電源及信號匯流排系統，不必將網之穿孔連接只限定於偵測放大器領域上，可在陣列之其他位置連接，因而可縮小偵測放大器上之金屬寬度，電源匯流排之電阻更小，又可減小晶粒總面積之裝置。

另外又需要可支持改善之網狀電源及信號匯流排系統，主字線之間距爲副字線間距之4倍之階層式字線。

本發明之目的爲提供一種不將網之穿孔連接只限定於偵測放大器領域上，可在陣列之其他位置連接，藉此可縮小偵測放大器上之金屬寬度，使偵測放大器之動作變成更快，可減小晶粒尺寸之電源及信號匯流排系統。

本發明之上述及其他目的及特徵，可由以下參照圖式之說明成爲更明確。

本發明之代表性發明之概要如下。

亦即，本發明之電源及信號匯流排系統係可提高網狀電源匯流排及信號匯流排之方法及裝置，不將網狀穿孔連接只限定於偵測放大器領域上。可在陣列之其他位置連接，因此，可緩和偵測放大器上之金屬寬度，使偵測放大器之動作成爲更快速，可減少晶粒尺寸之裝置。網狀系統用

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（4 ）

之穿孔除了設在偵測放大器之外，又設在記憶格陣列上。因此，使用陣列中之穿孔用空間，因此，可在偵測放大器上更有效的使用電源及信號匯流排。

本發明包括分割成許多副陣列，而且由主位址解碼器選擇之ＤＲＡＭ記憶格陣列。各副陣列由許多偵測放大器，副解碼器包圍，而ＶＤＤ匯流排，ＶＳＳ匯流排，及信號匯流排橫斷各副陣列上。ＶＤＤ匯流排朝向垂直及水平兩方向橫斷副陣列，全部垂直匯流排係由第３金屬層（Ｍ３）製作，全部水平匯流排係由第２金屬層（Ｍ２）製作，如此形成ＶＤＤ網。各層之匯流排係由設在偵測放大器領域上及記憶格副陣列領域上之穿孔互相連接。同樣的，ＶＳＳ網及／或信號網係由設在記憶格副陣列上之穿孔形成。連接後，匯流排延伸至偵測放大器驅動器等適當之電路，故可大幅度的減少偵測放大器上設置金屬層及穿孔之需要。

本發明又包括階層上字線之改良度。爲了容易組合上述網狀系統與階層式字線案，必須將Noda之階層式字線案改善成將主字線對副字線之間距更加大之方式。改善之階層式字線系統中，形成於偵測放大器與副解碼器間之交叉領域包含副解碼驅動器及偵測放大器驅動器。由於這種組合，可同時進行字線之高速選擇及偵測放大器之高速動作。

因使用該網狀系統而成爲偵測放大器之尺寸不固金屬之使用而被限制後，爲了適應微細之記憶格尺寸，需要一

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（5 ）

種偵測放大器本身被改善之佈置技術。該改善之佈置技術包括位元線均衡電路用之交替排列之T字形閘極領域，及閂鎖電路用之具有發生金屬一多結晶矽一金屬變化之構造之H字形活生層領域。

由本發明達成之技術特徵爲，不必增加因使用金屬層而在尺寸上受到限制之例如偵測放大器等周邊電路之尺寸，可充分利用網狀電源系統之低電阻設計。

本發明所達成之其他技術特徵爲，信號匯流排及電源匯流排可朝向水平方向及垂直方向兩方向自由的延伸。

本發明所達成之其他技術特徵爲，設在陣列領域上之穿孔之設計不必如設在周邊領域之穿孔的成爲最小設計，因此，在階落差領域上亦可改善良品率。

本發明所達成之其他技術特徵爲，改善之階層式字線構造與習用之階層式字線構造比較，其副解碼器之面積小而且速度快。

本發明之代表性結構如下。以後將場　電晶體標爲MOSFET或MOSFET。

1．本發明之半導體記憶裝置之第1結構之特徵爲包括具有全面之導體基板；在該半導體基板主面上設置行列狀之許多記憶格之記憶格陣列領域；連接於設在記憶格陣列領域由之許多記憶格，並延伸至行方向之許多位元線；連接於設在該記憶格陣列領域內之許多記憶格，並延伸至列方向之許多字線；接近該記憶格陣列領域，並具有許多MOSFET之第1周邊電路領域；形成於記憶格陣列領

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（6 ）

域外之領域，該半導體基板之主面上，而且從外部供給一定電位之電源墊片；形成於該記憶格陣列領域上，在該位元線及字線上延伸至該行行方向之第1電源配線；及由與該第1電源配線不同層之導體層所形成，在該記憶格陣列領域上之該位元線及字線上延伸至該列方向之第2電源配線，該第1電源配線與該第2電源配線在該記憶格陣列領域上具有兩者之交叉部分，該第1電源配線與該第2電源配線在該交叉部分互相連接，該第1電源配線或該第2電源配線中之一方連接於該電源墊片，該一定之電位從該電源墊片經由該第1電源配線及第2電源配線供給於該第1周邊電路領域之前後許多ＭＯＳＦＥＴ。

2．如第1項之該第1結構中，該第1電源配線係由該第2電源配線更上層之導體層所構成，形成該第1電源配線之導體層之膜厚大於形成該第2電源配線之導體層之膜厚。

3．如第1項之該第1結構中又包括：具有在該列方向鄰接於該記憶格陣列領域，在設行方向鄰接於該第1周邊電路領域之許多ＭＯＳＦＥＴ之第2周邊電路領域；及在該第1周邊電路領域內與該位元線大致上成爲平行，並延伸至該第2周邊電路領域之第3電源配線，該第2電源配線延伸至該第2周邊領域而與該第3電源配線交叉，在該交叉部分該第2電源配線與該第3電源配線互相連接。

4．如第3項之結構3中，該第3電源配線係由與該第1電源配線同一層之導體層所構成，並且連接於該第1

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（7）

周邊電路領域內之ＭＯＳＦＥＴ。

５．如第４項之結構４中，該第１電源配線之配線寬度大於該第３電源配線之配線寬度。

６．如第５項之結構５中，又包括將該第１電源配線與第３電源配線與該第２電源配線以電氣方式分離之絕緣膜，爲了連接該第１電源配線與該第２電源配線而形成於該絕緣膜上之第１穿孔之孔徑大於爲了連接該第２電源配線與該第３電源配線而形成於該絕緣膜上之第２穿孔之孔徑。

７．如第６項之第６結構，該記憶格係由串聯之１個ＭＯＳＦＥＴ及１個電容器元件所構成，該電容器元件係形成於該ＭＯＳＦＥＴ上部。

８．如第４項之第４結構，又包括在該行方向鄰接於該記憶格陣列，在該列方向鄰接於該第１周邊電路領域之偵測放大器領域，該第１周邊電路領域之ＭＯＳＦＥＴ構成偵測放大器驅動器。

９．如第８項之第８結構，在該偵測放大器領域內有由與該第２電源配線同層之導體層形成之許多信號線延伸至該列方向。

１０．如第４項之結構４中，在該第２周邊電路領域內形成有副解碼器，該副解碼器以延伸至該列方向之主字線及副解碼器控制線爲輸入，以該字線爲輸出。

１１．如第１０項之結構１０中，該主字線及副解碼器控制線係由與該第２電源配線同層之導體層所形成。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（8 ）

12. 如第11項之結構11中，該第2電源配線之配線寬度大於該主字線之配線寬度。

13. 如第11項之結構11中，又包括在該記憶格陣列領域上延伸至列方向，由與該第2電源配線同層之導體層形成之第4電源配線，該副解碼器控制線在該記憶格陣列領域之中部延伸至列方向，該第2電源配線及該第4電源配線朝向該列方向延伸至該副解碼器控制線之兩側。

14. 如第13項之結構13中，該第4電源配線與該第1電源配線在該記憶格陣列領域上具有交叉部，該第4及第1電源配線在該交叉部互相連接。

15. 如第1項之結構1中，又包括：在該記憶格陣列領域上延伸至行方向，由與該第1電源配線同層之導體層所形成之許多列選擇線；及從該許多列選擇線中選擇一定之列選擇線之列解碼器，該第1電源配線之配線寬度大於該列選擇線之配線寬度。

16. 如第15項之結構15中，又包括在該記憶格陣列領域上延伸至行方向，由與該第1電源配線同層之導體層形成，與該列選擇線不同之許多信號線。

17. 如第16項之結構16中，又包括在該記憶格陣列領域上延伸至行方向，由與該第1電源配線同層之導體層所形成之第5電源配線。

18. 如第17項之結構17中，該許多信號線在在記憶格陣列領域之中央部延伸至行方向，該第1電源配線及該第5電源配線朝向該行方向延伸至該許多信號線之兩側

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（9 ）

。

１９．一種半導體記憶裝置，其特徵爲包括：半導體基板；具有形成在該半導體基板上，延伸至行方向之許多位元線，延伸至列方向之許多字線，及分別設在該位元線與該字線之交叉部之許多記憶格之副陣列；在該行方向鄰接於該副陣列之第１周邊電路領域；在列方向鄰接該副陣列之第２周邊電路領域；設在該第１與第２周邊電路領域之交叉領域之第３周邊電路領域；在該位元線及字線上延伸至該行方向，形成於該副陣列及該第１周邊電路領域上，由第１導體層形成之許多第１電源配線；由與該第１導體層不同層之第２導體層所形成，在該副陣列之該位元線及字線上延伸至該列方向，形成於該副陣列及該第２周邊電路領域上之許多第２電源配線；及延伸至該第２及第３周邊電路領域上，由該第１導體層所形成之第３電源配線，該第１電源配線及該第２電源配線在該副陣列上具有交叉部，在該第１及第２電源配線在該交叉部互相連接，該第２電源配線及第３電源配線在該第２周邊電路領域上具有交叉部，該第２及第３電源配線在該交叉部互相連接，該第１及第２電源配線之配線寬度大於該第３電源配線之配線寬度。

２０．如第１９項之結構１９，該第３周邊電路領域具有許多ＭＩＳＦＥＴ，該ＭＩＳＦＥＴ連接於該第３電源配線。

２１．如第２０項之結構２０，由該第２導體層形成

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（10）

之許多信號配線在該第1周邊電路領域內延伸至該列方向。

22. 如第21項之結構21，又包括設在該第1導體層與該第2導體層之間之絕緣膜，在該絕緣膜上，於該第1電源配線與該第2電源配線之交叉部形成有第1穿孔，在該第2電源配線與該第3電源配線之交叉部形成有第2穿孔，該第1穿孔之孔徑大於該第2穿孔之孔徑。

23. 如第22項之結構22中，該記憶格係由串聯之1個MOSFET及1個電容器元件所構成，該電容器元件係形成於MOSFET之上部。

24. 如第21項之結構21，該第1導體層爲較該第2導體層更上層之導體層，該第1導體層之膜厚大於該第2導體層之膜厚。

25. 如第19項之結構19，在該第2周邊電路領域內形成有副解碼器，該副解碼器以延伸至該列方向之主字線及副解碼器控制線爲輸入，以該字線爲輸出。

26. 如第25項之結構25，該主字線及副解碼器控制線係由該第2導體層所形成，該第2電源配線之配線寬度大於該主字線之配線寬度。

27. 如第26項之結構26，該副解碼器控制線在該副陣列中央部延伸至列方向，該第2電源配線朝向該列方向延伸至副解碼器控制線兩側。

28. 一種半導體記憶裝置，主要具有形成於半導體基板上之許多記憶格，連接於該許多記憶格之相補型之第

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（11）

1及第2位元線，串聯於該相補型之第1及第2位元線間之第1及第2ＭＩＳＦＥＴ，及連接於該相補型之第1與第2位元線間之第3ＭＩＳＦＥＴ，其特徵爲包括：形成於該半導體基板之主面，形成該第1，第2及第3ＭＩＳＦＥＴ之活性領域；形成於該活性領域內之第1，第2及第3半導體領域；位於該第1，第2及第3半導體領域與該第1及第2位元線之間之絕緣膜；形成在該絕緣膜上，連接該第1半導體領域與第1位元線之第1穿孔；連接該第2半導體領域與該第2位元線之第2穿孔；位於該第3半導體領域上之第3穿孔；及位於該第1與第2半導體領域間，該第2與第3半導體領間，及第3與第1半導體領域間，形成一體之該第1，第2及第3ＭＩＳＦＥＴ之閘極，該第1，第2，第3穿孔形成三角形，而對應於鄰接之相補型位元線之該三角形成爲點對稱之位置關係。

29．如第28項之結構28，該活性領域具有Ｔ字型平面形狀。

30．如第29項之結構29，該閘極具有Ｔ字型平面形狀。

31．如第30項之結構，該第3半導體領域內供給一定之固定電位。

32．一種半導體裝置，其特徵爲包括：構成偵測放大器，具有成爲吸極及源極之第1及第2半導體領域及閘極之第1，第2ＭＩＳＦＥＴ；位於該第1與第2

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（12）

ＭＩＳＦＥＴ兩旁之第１記憶體陣列及第２記憶體陣列；延伸至該第１記憶體陣列內之相補型第１及第２位元線；及延伸至該第２記憶體陣列內之相補型之第３及第４位元線，該第１，第２，第３及第４位元線係由同層之導體層所構成，該第１位元線連接於該第１ＭＩＳＦＥＴ之第１半導體領域，經由該第２ＭＩＳＦＥＴ之閘極連接於該第３位元線，該第２位元線連接於該第１ＭＩＳＦＥＴ之閘極與該第２ＭＩＳＦＥＴ之第１半導體領域，該第２位元線與該第４位元線連續的成爲一體。

３３．一種半導體記憶裝置，其特徵爲包括：具有資料線，記憶格，主字線及對應於該主字線之第１及第２副字線之記憶體陣列；具有連接於該第１副字線之輸出端子及連接於該主字線之第１輸入端子之第１副解碼器；具有連接於該第２副字線之輸出端子及連接於該主字線之第１輸入端子之第２副解碼器；連接於該第１副解碼器之第２輸入端子而產生供給於該第１副字線之選擇位準電壓之第１驅動電路；及連接於該第２副解碼器之第２輸入端子，產生供給於該第２副字線之選擇位準電壓之第２驅動電路，該記憶體陣列係形成於第１領域內，該第１及第２副解碼器係形成於鄰接該第１領域之第２領域內，該第１及第２驅動電路係形成於鄰接該第２領域之第３領域內。

３４．如第３３項之結構３３，又包括連接於該資料線之偵測放大器，該偵測器係形成在鄰接該第１及第３領域之第４領域內。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（13）

35. 如第34項之結構34，該第1，第2，第3及第4領域係四角形領域，而因延長該第2及第4領域而形之交叉領域爲該第3領域。

36. 如第34項之結構34，又包括：傳送供給於該第1驅動電路之輸入端子之第1選擇信號之第1信號線；傳送供給於該第2驅動電路之輸入端子之第2選擇信號之第2信號線，該第1及第2信號線與該主字線，該第1及第2副字線一起在該第1領或內延伸至同一方向。

37. 如第36項之結構36，該第1及第2副解碼器分別包括：（a）具有連接於該第1輸入端子之閘極，及設在該第2輸入端子與該輸出端子之間之源極與吸極通路之第1MOSFER；

（b）具有連接於該第1輸入端子之閘極，及設在該輸出端子與接地電位之間之源極與吸極通路之第2MOSFET；及

（c）具有並聯於該第2MOSFET之源極與吸極通路之源極與吸極通路之第3MOSFET。

38. 如第37項之結構37，該第1及第2驅動電路爲倒相器。

39. 如第38項之結構38，該第1MOSFET係P通道型，該第2及第3MOSFET爲n通導型。

40. 如第39項之結構39，該第3MOSFET之閘極寬度小於該第2MOSFET之閘極寬度。

41. 如第40項之結構40，該第1或第2副字線

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（14）

中被選擇之副字線之電壓高於該資料線之高位準電壓。

４２．一種半導體記憶裝置，其特徵爲包括：具有資料線，記憶格，主字線及對應於該主字線之許多副字線之記憶體陣列；對應於該許多副字線之許多副解碼器；及對應於該許多副解碼器之許多驅動電路，該許多副解碼器分別包括：（ａ）具有連接於對應之１條副字線之吸極及對應於該主字線之閘極之Ｐ通道型第１ＭＯＳＦＥＴ；

（ｂ）具有接受接地電位之源極，連接於該第１ＭＯＳＦＥＴ之吸極之吸極，及連接於該主字線之閘極之ｎ通道型第２ＭＯＳＦＥＴ；及

（ｃ）具有設在該第２ＭＯＳＦＥＴ之吸極與源極之間之源極與吸極通路之第３ＭＯＳＦＥＴ，該許多驅動電路分別具有連接於對應之副解碼器之該第３ＭＯＳＦＥＴ之閘極之輸入端子，及連接於該第１ＭＯＳＦＥＴ之源極之輸出端子，該記憶體陣列係形成於第１領域內，該許多副解碼器係形成於鄰接該第１領域之第２領域內，該許多驅動電路係形成於鄰接該第２領域之第３領域內。

４３．如第４２項之結構４２，該第３ＭＯＳＦＥＴ係ｎ通道型，該許多驅動電路係倒相器。

４４．如第４３項之結構４３，該被選擇之副字線之電壓高於該資料線之高位準電壓。

４５．如第４４項之結構４４，又具有連接於該資料線之偵測放大器，該偵測放大器係形成在鄰接於該第１及第３領域之第４領域內。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（15）

４６．如第４５項之結構４５，該第１，第２，第３及第４領域係四角形領域，而延長該第２及第４領域而形之交叉領域爲該第３領域。

４７．如第４６項之結構４６，該第３ＭＯＳＦＥＴ之閘極寬度小於該第２ＭＯＳＦＥＴ之閘極寬度。

以下參照圖式說明本發明之實施例。

第１圖中，記號１０表示將本發明之特徵具體他之記憶體裝置。裝置１０係利用習用之ＣＭＯＳ技術製造，而且包含第１，第２，及第３金屬層及結晶矽層。本發明之較佳實施例中，裝置１０係２５６Ｍ吋之動態型隨意存取記憶體（ＤＲＡＭ），但本發明不限定於應用在２５６Ｍbit之ＤＲＡＭ上，可應用於具有陣列之其他裝置，例如可程式陣列邏輯，１Ｇbit之ＤＲＡＭ及其他記憶體裝置。

裝置１０包括例如陣列塊１２等之記憶格之１組陣列塊，一群墊片１４ａ～１４ｆ，及１群主位址解碼器１６ａ～１６ℓ。解碼器１６ｂ，１６ｅ，１６ｈ及１６ｋ爲行解碼器，解碼器１６ａ，１６ｃ，１６ｄ，１６ｆ，１６ｇ，１６ｉ，１６ｊ及１６ℓ爲列解碼器。行解碼器產生主字信號，及副解碼器控制信號ＤＸＢ。在列解碼器中產生列選擇信號ＹＳ之主字信號，副解碼器控制信號係由不同之Ｒｏｗ系位地信號群控制。陣列塊１２係由位址墊片１４ａ～１４ｄ所產生之信號選擇。實際上存有更多之位址及信號墊片，但由住址墊片１４ａ～１４ｃ代表，

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（16）

而且全部由主位址解碼器16a～16ℓ解碼。陣列塊12代表16M位元之陣列塊，又分割成128個副陣列，第2圖中表示其中之2個，由18a，18b表示。各副陣列係由128K個記憶格排列成512行×256列所構成。

電源經由電源墊片14e及14f供給於裝置10。墊片14e係正極供給電壓（VDD）之電壓墊片，連接於外部電源（未圖示）。墊片14f係負極之供給電壓（VSS）之電源墊片，連接於外部接地（未圖示）。

第2圖中，副陣列18a之記憶格係由2群位地副解碼器20a及20b所產生之信號選擇。同樣的，副陣列18b之記憶格係由2群之位址副解碼器20c及20d所產生之信號選擇。副陣列18a之記憶格係由2群偵測放大器22a及22b讀出。同樣的，副陣列18b之記憶格係由2群偵測放大器22b及22c讀出。領域24a～24f係由偵測放大器領域22a～22c與副解碼器領域20a～20d所形成之交叉領域。

第3圖中，墊片14e及14f分別具有將電源經由主要之VDD電源匯流排28及VSS電源匯流排26供給於全部裝置10之電氣式埠。第1VDD匯流排30係垂直的橫斷副陣列18a之由第3金屬層M3構成之導線。第1VSS匯流排32係亦由M3構成之導線，與匯流排30成爲平行的垂直的橫斷記憶體副陣列18a。同樣的，第1信號匯流排34及第1列選擇（YS）匯流排

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（17）

３５係與電源匯流排３０及３２平行的橫斷副陣列１８ａ而成爲垂直的延伸之由Ｍ３構成之導線。第１副解碼器（ＤＸＢ）匯流排３６係在副陣列１８ａ外側橫斷位址副解碼器２０ａ成爲垂直的延伸之由Ｍ３構成之導線。第２ＶＤＤ匯流排３７ａ，第２ＶＳＳ匯流排３７ｂ，及第２信號匯流排３７ｃ係橫斷副解碼器２０ａ，交叉領域２４ａ及２４ｂ成爲垂直的延伸之由Ｍ３構成之導線。記憶體副陣列１８ａ上之電源匯流３０及３２之配線寬度大於位於周邊電路領域之第２ＶＤＤ匯流排３７ａ，第２ＶＳＳ匯流排３７ｂ之配線寬度。

第３ＶＤＤ匯流排３８及第３ＶＳＳ匯流排４０與第３信號匯流排４２及第２ＤＸＢ匯流排４４一起，皆與上述相同之導線，其不同之處爲形成有第２金屬層（Ｍ２），而且互相成爲平行的朝向水平方向橫斷記憶體副陣列１８ａ。比較第２金屬層（Ｍ２）與第３金屬層（Ｍ３）之膜厚時，第３金屬層（Ｍ３）之膜厚較大。在第２金屬層（Ｍ２）與第３金屬層（Ｍ３）之間設有絕緣膜，在該絕緣膜上形成許多穿孔，由該穿孔連接由第２金屬層（Ｍ２）所構成之配線與由第３金屬層（Ｍ３）構成之配線。第３ＶＤＤ匯流排３８在副解碼器２０ａ內，於交點４５連接於第２ＶＤＤ匯流排３７ａ，而在記憶體副陣列１８ａ內，於交點４６連接於第１ＶＤＤ匯流排３０。同樣的，第３ＶＳＳ匯流排４０在副解碼器２０ａ內，於交點４７連接於第２ＶＳＳ匯流排３７ｂ，在記憶體副陣列１８ａ

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（18）

內，於交點４８連接於第１ＶＳＳ匯流排３２。第３信號匯流排４２在副解碼器２０ａ內，於交點４９連接於第２信號匯流排３７ｃ，而在記憶體副陣列１８ａ內，於交點５０連接於第１信號匯流排３４。第２ＤＸＢ匯流排４４在副解碼器２０ａ內，於交點５２連接於第１ＤＸＢ匯流排３６。

如第３圖所示，ＶＤＤ電源及ＶＳＳ電源經由外部墊片１４ｅ及１４ｆ供給於主電源匯流排２８及２６。因爲第１ＶＤＤ匯流排３０連接於ＶＤＤ電源匯流排２８，故ＶＤＤ電源供給於第１ＶＤＤ匯流排３０，第２ＶＤＤ匯流排３７ａ，及３ＶＤＤ匯流排３８。爲了連接配線寬度１．８μｍ之第１ＶＤＤ匯流排３０與配線寬度１．８μｍ之第３ＶＤＤ匯流排３８而形成於絕緣膜上之穿孔之孔徑爲０．６μｍ，而爲了連接配線寬度０．７μｍ之第２ＶＤＤ匯流排３７ａ與第３ＶＤＤ匯流排３８而形成於絕緣膜上之穿孔之孔徑爲０．３μｍ。如此，記憶體副陣列１８ａ領域之穿孔之孔徑大於周邊電路領域之穿孔之孔徑。因爲第１ＶＳＳ匯流排３２連接於主ＶＳＳ電源匯流排２６，故ＶＳＳ電源供給於第１ＶＳＳ匯流排３２，第２ＶＳＳ匯流排３７ｂ及第３ＶＳＳ匯流排４０。如此，由ＶＤＤ匯流排３０，３７ａ，及３８形成ＶＤＤ網５４，由ＶＳＳ匯流排３２，３７ｂ及４０形成ＶＳＳ網５６。結果，該網具有橫斷副陣列１８ａ，副解碼器２０ａ，及交叉領域２４ａ～２４ｂ延伸至垂直方向及水平方向之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（19）

電源匯流排。即使ＶＤＤ匯流排３７ａ及ＶＳＳ匯流排３７ｂ之寬度小時，ＶＤＤ網５４及ＶＳＳ網５６仍顯著的減小從電源墊片１４ｅ及１４ｆ至副解碼器２０ａ，交叉領域２４ａ～２４ｂ，及其他電路之總電源匯流排電阻。

第１個邊電路（未圖示）將電氣信號供給於第１信號匯流排３４，列解碼器１６ａ（第１圖）將電氣信號供給於ＹＳ匯流排３５，ＹＳ匯流排３５由偵測放大器２２ａ及２２ｂ利用。由第２金屬層（Ｍ２）構成之許多配線與字線成爲平行延伸至偵測放大器２２ａ，２２ｂ，其中至少一條配線連接於ＹＳ匯流排３５。同樣的，主位址解碼器１６ｂ（第１圖）以習用之方法將電氣信號供給於第２ＤＸＢ匯流排４４。第１信號匯流排３４以電氣方式連接於第２信號匯流排３７ｃ及第３信號匯流排４２，因而產生橫斷副陣列１８ａ及副解碼器２０ａ之信號網５８。同樣的，第１ＤＸＢ匯流排３６連接於第２ＤＸＢ匯流排４４，因而產生橫斷副解碼器２０ａ之副解碼器網６０。如此，信號網５８及副解碼器網６０得以許多不同之組合連接偵測放大器２２ａ～２２ｂ，副解碼器２０ａ，及交叉領域２４ａ～２４ｂ。

第４圖中，ＶＤＤ網５４，ＶＳＳ網５６，信號網５８及副解碼器６０實際上代表許多垂直配線及水平配線，對周圍之電路提供最多之匯流排，可降低各網之電阻。例如副陣列１８ａ具有在Ｍ２延伸之許多ＶＤＤ匯流排

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（20）

38a～38d，及在M3延伸之許多VDD匯流排30a～30d，其全部連接於主VDD匯流排28（第3圖），因此可降低VDD網54之全部電阻。同樣的副陣列18a具有在M2延伸之許多VSS匯流排40a～40d，及在M3延伸之許多VSS匯流排32a～32d，各匯流排皆連接於主VSS匯流排26（第3圖），因此，可減少VSS網56之全部電阻。

除了VDD網54，VSS網56，信號網58及副解碼器網60之外，其他匯流排橫斷副陣列18a而延伸。該其他匯流排有在M3垂直的延伸之許多列系（CF：列快速）匯流排61a～61d，及在M2延伸至水平方向之許多副解碼器匯流排（DXB1，DXB3，DXB5，DXB7）44a～44d。列系匯流排61a～61d係輸入列解碼器16a，16c，16d，16f，16g，16i，16j，及16ℓ（第2圖）之用。副解碼器匯流排44a～44d係連接於副解碼器22a，22b（第2圖）及第1DXB匯流排36之用。第4圖中，電源系匯流排30a～30d，32a～32d，38a～38d，40a～40d設在副陣列18a之較信號系匯流排61a～61d，44a～44d更外周部。其理由爲，這種結構對電源系匯流排而言，可減小從電源墊片至交叉領域之電源線電阻，及對信號系匯流排而言，對多種信號間之等長及等延遲配線非常有利。

第5a圖中，在位於記憶格上之交點進行如第4圖所

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（21）

示之匯流排間之電連接。交點48a係VSS匯流排32b與VSS匯流排40b交叉之點。VSS匯流排32b與VSS匯流排40b間之連接係由設在記憶格電路64上之穿孔62實現。

第5a～5b圖中，如習用裝置相同的，副陣列18a之記憶格電路64係由1個電容器及1個電晶體所構成之DRAM所形成。例如電容器65係設在板體66與儲存節68之間。同樣的，電晶體69具有分別連接於儲存節68與位元線（BL1）匯流排70之源極、吸極，及具有一定寬度74之第1副字線（SW）匯流排72a之閘極。爲了避免由電源及信號匯流排產生之任何結合雜訊，最佳實施例之格結構成爲電容器位於位元線上之結構（COB：Capacitor on bit line）。這種結因爲板體64之屏蔽效果，可防止BL1匯流排70受到設置於格上之電源網及信號網54，56及58之雜訊所造成之有害影響，而可穩定的動作。

圖中，交點48a係設在記憶格電路64之正上方，但不一定要如此，只是爲了說明之方便而如此的圖示。記憶格64不一定需要有穿孔62，VSS匯流排32b，及40b，而電源匯流排及信號匯流排並非全部連接於交叉之其他匯流排。

第4及6a圖中，第6a圖表示將副陣列18a之第1片段76放大之圖。第4圖表示匯流排間配置最多信號線之狀態。片段6中有橫斷該片段而延伸至垂直方向及水

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（22）

平方向之許多寬度之信號及電源匯流排。該匯流排包括寬度８０之ＹＳ匯流排３５ａ～３５ｄ，寬度８２之ＣＦ匯流排６１ａ，寬度８４之ＶＳＳ匯流排３２ｂ，而且使用Ｍ３成爲垂直的延伸。同樣的，寬度８８之ＭＷＢ匯流排８６ａ～８６ｄ，寬度９０之ＤＸＢ１匯流排４４ａ，及寬度９２之ＶＳＳ匯流排４０ｂ使用Ｍ２成爲水平的延伸。因爲信號匯流排ＹＳ３５ａ～３５ｄ，ＣＦ６１ａ，ＭＷＢ８６及ＤＸＢ１，４４ａ分別延伸至對應之電路，故不必爲了改變方向而在副陣列１８ａ上設置穿孔。只有ＶＳＳ匯流排３２ｂ，４０ｂ具有穿孔６２以便將其連接。由於這種排列，可考慮速度及電源電阻效果將各匯流排之寬度８０，８２，８４，８８，９０及９２設定爲最佳值。例如爲了實現快速度及低電源電阻，將ＶＳＳ匯流排３２ｂ及４０ｂ之寬度８４，９２，ＣＦ匯流排６１ａ之寬度８２，及ＤＸＢ１匯流排４４ａ之寬度９０設定爲大於寬度８０及寬度８８，以便適應穿孔６２。爲了確保金屬之空間，ＹＳ匯流排３５之寬度８０及ＭＷＢ匯流排８６之寬度８８形成爲狹小（８２，８４＞８０；９０，９２＞８８）。同樣的，第６ｂ，６ｃ表所示有２個穿孔之片段９４及無穿孔之片段９６。結果，在第６ａ，６ｂ，６ｃ圖中，滿足Ｍ３之寬度及空間之要求之狀態下，每４個偵測放大器形成２條ＹＳ匯流排及１條ＣＦ匯流排（或２條ＹＳ匯流排及１條電源匯流排）。同樣的，在滿足Ｍ２之寬度及空間之要求之狀態下，對每１６條副字匯流

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（23）

排設置之2條MWB匯流排及1條DXB匯流排（或2條MWB匯流排及1條電源匯流排）。除此之外，將全部電源和信號匯流排之寬度設定於最佳值，即可一方面保持緩和金屬配線間距之階層字結構之本來之優點，一方面爲了減少實效電阻，或爲了高速化而調節爲了各網而利用之許多匯流排。

第3圖中，電源及信號網54，56及58除了形成於副陣列18a上之外，又與副解碼器60一起局部的形成於副解碼器20a上。記憶格陣列以外之電路由電源及信號網54，56，58及60修正爲可適應必要之金屬空間。如下所述被修正之電路包含於偵測放大器，副解碼器及交叉領域內。

第7a，7b圖中表示包括第5a，5b圖之記憶格64在內之具有代表性之32個記憶格之副陣列18a。圖中又表示副陣列18a，第2圖之交叉領域24a，副解碼器20a，及偵測放大器22a之關係。

本實施例中，偵測放大器22a包括例如偵測放大器98a，98b等128個偵測放大器。偵測放大器98a，98b皆連接於設在交叉領域24a內之偵測放大器驅動器100a。偵測放大器98a經由BL11匯流排70（第5a圖）及位元線（BL1B）匯流排104a連接於記憶格102a之列。又修匯流排70及104a係由第1金屬層（M1）所構成，而且橫斷陣列18a成爲垂直的延伸。同樣的，偵測放大器98b經由位元線（

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（24）

ＢＬ２）匯流排１０４ｂ及位元線（ＢＬ２Ｂ）匯流排１０４ｃ連接於記憶格１０２ｂ。２條匯流排１０４ｂ及１０４ｃ亦由Ｍ１所構成，而且橫斷陣列１８ａ成爲垂直的延伸。關於偵測放大器９８ａ，９８ｃ將於後文中參照第１０ａ，１０ｂ圖詳細說明。

交叉領域２４ａ內除了包含偵測放大器驅動器１００ａ之外，又包括許多電路，該許多電路整體上以１００ｂ表示（在此，將偵測放大器驅動器１００ａ及副解碼器驅動器１１０ａ～１１０ｄ以外之全部電路以１００ｂ表示）。各電路１００ａ，１００ｂ設計成爲可應用例如由匯流排３８ａ～３７ｃ所供給之ＶＤＤ網５４，ＶＳＳ網５６，信號網５８之低電阻特性之優點之狀態。

副解碼器２０ａ包括可由副解碼器１０６ａ～１０６ｄ概略的代表之２５６個副解碼器。副解碼器１０６ａ代表的表示階層字線構造，而該電路在其餘之各副解碼器中亦使用。副解碼器１０６ａ連接於ＤＸＢ７匯流排４４ｄ及ＭＷＢ匯流排８６ａ，ＭＷＢ匯流排８６ａ經由Ｍ１所形成之連接器匯流排１０８依次延伸至４個副解碼器１０６ａ～１０６ｄ。副解碼器１０６ａ又連接於與偵測放大器驅動器１００ａ一起配置在交叉領域２４ａ之第１副解碼器驅動器１１０ａ。同樣的，副解碼器１０６ｂ～１０６ｄ分別連接於設在交叉領域之副解碼器驅動器１１０ｂ～１１０ｄ。該副感應器ＤＸＢ只在ＭＷＢ，ＤＸＢ皆成爲Ｌｏｗ被選擇，副字線成爲高位準。關於副

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（25）

解碼器２０ａ將於後文中詳細說明。

第８圖中，２個副解碼器驅動器１１０ａ，１１０ｄ設置在交叉領域２４ａ內，其他２個副解碼器１１０ｂ，１１０ｃ設置在交叉領域２４ｂ中。副解碼器驅動器１１０ａ係倒相器，該倒相器以ＤＸＢ７匯流排４４ｄ爲輸入，而反轉成爲副解碼器（ＤＸ７）匯流排１１４ｄ輸出。同樣的，副解碼器驅動器１１０ｂ～１１０ｄ將ＤＸＢ１，４４ａ，ＤＸＢ３，４４ｂ，及ＤＸＢ５　４４ｃ反轉成副解碼器匯流排ＤＸ１，１１４ａ，ＤＸ３，１１４ｂ，及ＤＸ５　１１４ｃ。在較佳實施例中，副解碼器驅動器１１０ａ～１１０ｄ分別驅動６４個副解碼器，因而驅動副解碼器領域２０ａ之全部２５６個副解碼器。因爲配置在交叉領域２４ａ～２４ｂ，故副解碼器驅動器１１０ａ～１１０ｄ可形成爲充分大小，可供給產生於內部之昇壓之電壓（ＶＰＰ），將匯流排ＤＸ１，１１４ａ，ＤＸ３　１１４ｂ，ＤＸ５　１１４ｃ，及ＤＸ７　１１４ｄ　驅動成爲ＶＰＰ位準。

副解碼器１０６ａ及其後之副解碼器１０６ｂ～１０６ｄ形成階層式字線構造。如上所述，在副解碼器領域２０ａ及２０ｂ之各副解碼器群用來選擇及驅動副陣列１８ａ之某一副字線。許多副字線分別係由例如副字線７２ａ之多結晶矽（ＦＧ）層（第５ａ圖）所形成。ＭＷＢ匯流排８６ａ驅動副解碼器領域２０ａ之４個副解碼器１０６ａ～１０６ｄ，各解碼器分別驅動延伸至副陣

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部中央標準局員工消費合作社印製

五、發明說明（26）

列（記憶體陣列）１８ａ之ＳＷ匯流排７２ａ～７２ｄ。同樣的，ＭＷＢ匯流排８６ａ又驅動副解碼器領域２０ｂ之４個副解碼器１０６ｅ～１０６ｈ，各解碼器分別驅動延伸至副陣列１８ａ之ＳＷ匯流排７２ｅ～７２ｈ。

第９ａ～９ｂ圖中表示設有階層式字線之習用之副解碼器１１６，及取代該電路之副解碼器１１８。其構造中，因爲形成於Ｍ２上之主字線匯流排係設置在形成於ＦＧ上之副字線匯流排上，故成爲階層狀。然而，副解碼器１１６，１１８對本發明之網狀系統無任何貢獻。

第９ａ圖中表示由Noda之階層式字線構造案中使用之３個Ｎ型金屬氧化膜半導體（ＮＭＯＳ）電晶體所構成，並產生ＳＷ輸出之習用之副解碼器１１６。然而，副解碼器１１６需要非反轉字線（ＭＷ）匯流排，而且後者必須與ＭＷＢ匯流排相同的，橫斷陣列（未圖示）延伸。如此，將使利用Ｍ２橫斷陣列之主字線之數量實質上成爲２倍。結果，爲了驅動８條副字線，必須使用２條主字線，而主字線之間距變成４條副字線之間距。然而，依照該間距，非常困難設置本發明之網狀系統所必須之多餘之金屬。

第９ｂ圖中，副解碼器１１８係由２個ＮＭＯＳ電晶體及２個Ｐ型金屬氧化膜半導體（ＰＭＯＳ）電晶體所構成。副解碼器驅動器與９ａ圖中所示者不同，不需要非反轉字線匯流排（ＭＷ）。結果，爲了驅動８條副字線而使用１條主字線，而主字線間距成爲８條副字線之間距。然而，因爲副解碼器係由４個電晶體所構成，故消耗許多空

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（27）

間，而且爲了提高電路之速度，其中幾個電晶體必須非常大。

第９ｃ圖中，較佳實施例之副解碼器電路１０６ａ具有上述２個副解碼器驅動器之優點。因爲副解碼器１０６ａ使用ＭＷＢ匯流排８６ａ，ＤＸＢ７匯流排４４ｄ，及ＤＸ７匯流排１１４ｄ產生ＳＷ匯流排７２ａ，故副解碼器１０６ａ可以只由３個電晶體１２０ａ～１２０ｃ形成。第９ｃ圖之電路之動作在ＭＷＢ匯流排，ＤＸＢ匯流排皆成爲Ｌｏｗ時，該副解碼器之副字線輸出成爲High位準之選擇狀態。若ＭＷＢ或ＤＸＢ中之任一方成爲High，則副字線輸出成爲Ｌｏｗ位準。當ＤＲＡＭ在待命時或成爲預充電之期間內，全部ＭＷＢ，ＤＸＢ匯流排變成高位準。如此，因爲ＭＷＢ，ＤＸＢ成爲負邏輯，故主Ｒｏｗ解碼器，ＤＸＢ驅動器中之ＭＯＳ電晶體之副閾值電流係由ＮＭＯＳ決定。因此，可抑制待命時之電源電流。其理由爲ＮＭＯＳ之閘極寬度小於ＰＭＯＳ，而ＮＭＯＳ之截止較ＰＭＯＳ更陡。爲了更進一步抑制待命時之電源電流，最好其主Ｒｏｗ解碼器，ＤＸＢ驅動器，副解碼器驅動器１１０ａ～１１０ｄ係採用如特開平５－２１０９７６號所揭示之低洩漏電路。又因爲ＤＸ７匯流排１１４ｄ只需要在副解碼器領域２０ａ延伸不必水平的橫斷陣列而延伸，故橫斷副陣列１８ａ之主字線之間距保持每主字線８條副字線之狀態。結果，可形成本發明之電源網，信號網，及副解碼器網５４，５６，５８及６０，及ＤＸＢ匯流排

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（28）

44（第3圖）用之充分之金屬空間。

副解碼器106a不只爲了電源網，信號網，及副解碼網54，56，58及60而提供多餘之金屬空間，又可改善速度性能。副解碼器160a之速度與DX7匯流排114d從L變成H之驅動能力直接成正比。DX7匯流排114d由副解碼器驅動器110a驅動，而其副解碼器驅動器係設在未成爲過密之交叉領域24a內，故可形成爲充分之大小。又DX7匯流排114d係由M3形成，但M3成爲3個金屬層中電阻最低之一層。其於這種理由，DX7匯流排114d產生非常陡之上升波形，可高速的驅動SW匯流排72a。

副解碼器106a中之NMOS 120a，120b之閘極寬度在速度及配置面積之觀點上，最好使DXB匯流排44d輸入閘極中之120之閘極寬度設定爲小於120a。其數值例如120a，120b之閘極寬度分別爲2μm，1μm。減小120b之閘極寬度，其DXB匯流排44d之閘極電容量變成較小，其下降速度加快，114d之上升速度較快。120a之閘極寬度可根據副字線72a之下降速度設定爲必要之數值。其最佳值爲上述數值。

第10a圖中，偵測放大器98a具有閂鎖部122a及均衡部124a。閂鎖部122a具有2個NMOS電晶體126a，126b，各電晶體連接於位元線匯流排70，104a與第1閂鎖匯流排128之間。閂鎖部

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（29）

122a又具有2個PMOS電晶體130a～130b，各電晶體連接於位元線匯流排70，104a與第2閂鎖匯流排132之間。4個電晶體126a，126b，130a，130b爲了將位元線匯流排70及104a所產生之信號放大及寫入，利用習用之方法交叉的結合。

均衡部124a爲了在DRAM待命時，或預充電期間內使BL1匯流排70及BL1B匯流排104a成等電位而由3個NMOS電晶體134a～134c所構成。3個電晶體134a～134c係由均衡信號匯流排136控制。

同樣的，偵測放大器98b包括連接於位元線匯流排104b～104c之閂鎖部122b及均衡部124b。閂鎖部122b及均衡部124b亦分別連接於2條閂鎖匯流排128，132及均衡信號匯流排136。

第10b圖中，偵測放大器98a～98b可藉由其他配置上之改善而減小偵測放大器領域22a尺寸。如後文中參照第11a圖說明，均衡部124a，124b之閘極形成爲交叉T字形。如後文中參照第12a，12b圖所示，閂鎖部122a及122b係利用H字型活性層領域形成。

第11a，11b圖中，爲了緩和形成電晶體134a～134c之均衡部124a部之尺寸限制，使用T字形成之閘極領域138a（第11b）圖。由均衡信號匯流排136形成對電晶體134a～134c之閘極。同

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（30）

樣的，均衡部１２４ｂ係使用倒Ｔ字型之閘極領域１３８ｂ。結果，可在維持閘極領域１３８ａ，１３８ｂ間之必要活性領域間之絕線距離１３７之狀態下，形成緊密之閘極領域１３８ａ，１３８ｂ。如此，如第１１ｂ圖所示，２個閘極領之寬度１４０變成小於習用之２個方形閘極領域１４４ａ，１４４ｂ之寬度１４２。因此，可形成對應於高密度記憶格陣列之小面積之偵測放大器。

第１２ａ圖中，偵測放大器１２２ａ又具有Ｈ字型活性層１４６。ＢＬ１匯流排７０係由Ｍ１形成，但仍必須對由Ｍ１形成ＢＬ１Ｂ匯流排１０４ａ不在Ｍ１形成電氣式交叉的，於Ｈ字型活性領域１４ｂ內橫斷。ＢＬ１匯流排７０必須驅動電晶體閘極１４８ａ，而ＢＬ１Ｂ匯流排１０４ａ必須驅動電晶體閘極１４８ｂ。ＢＬ１Ｂ匯流排１０４ａ在橫斷點１５０連接於形成在延伸至金屬層下之ＦＧ上之電晶體閘極１４８ｂ。閘極１４８ｂ不但使ＢＬ１Ｂ匯流排１０４ａ橫斷ＢＬ１匯流排７０，而且成爲對電晶體１３０ｂ之閘極。橫斷ＢＬ１匯流排７０後，閘極１４８ｂ又再度連接於由Ｍ１形成之連接匯流排１５２，因而將ＢＬ１Ｂ匯流排１０４ａ連接於連接匯流排１５２。同樣的，ＢＬ２匯流排１０４ｂ在Ｈ字型活性領域１４６內橫斷ＢＬ２Ｂ匯流排１０４ｃ。

第１２ｂ圖中，由於以上之連接而從Ｍ１移轉至ＦＧ，然後移轉至Ｍ１，形成２個ＰＭＯＳ電晶體１３０ａ～１３０ｂ。由於該移轉，不但可縮小尺寸，而且不必追加

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（31）

使用金屬層即可實現。

又由於H字型之活性領域，又可解決有關網狀系統之其他問題，亦即位元線匯流排70及104a～104c上之雜訊之問題。偵測放大器22a～22c之雜訊時常由M3所形成之信號匯流排（YS，CF匯流排）所造成而重疊於形成在M1之位元線匯流排70及104a～104c。因爲位元線匯流排70及104a成爲交叉圖型，故從CF匯流排或YS匯流排等形成於M3之信號匯流排誘發之雜訊或電容量耦合對於BL1匯流排70及BL1B匯流排104a雙方而言係相同之雜訊量，故實際上可去除雜訊之影響。對於BL2匯流排104b及BL2B匯流排104c之雜訊亦相同。

第13a圖中，由於M2之屏蔽效果，可進一步的防止受到從形成在重疊於設在M1上之位元線匯流排70及140a～140c之M3上之信號匯流排所產生之雜訊之影響。例如，依照習用之技術設計，設有形成於M1上，延伸至垂直方向之第1及第2匯流排154a～154b，及形成於M3，延伸至垂直方向之第3匯流排154c，但雜訊卻惡化。雜訊從第3匯流排154誘發至第1及第2匯流排154a，154b。其理由爲，各匯流排互相重疊，又延伸至同一方向，故由較大重疊面積而強化雜訊。習用之這種設計中，若匯流排154a，154b如本發明之位元線匯流排70及104a所示的對雜訊特別敏感時，成爲更嚴重之問題。依照習用設計，如圖中所

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（32）

示，形成於Ｍ２，延伸至水平方向之一群其他匯流排１５６ａ～１５６ｄ幾乎不具有屏蔽效果。

第１３ｂ～１３ｃ圖中，較佳實施例可利用Ｍ２匯流排之屏蔽效果減少延伸至相同方向之匯流排間之雜訊。該較佳實施例中，ＢＬ１匯流排７０，ＢＬ１Ｂ匯流排１０４ａ係由Ｍ１形成，並延伸至垂直方向。ＣＦ匯流排６１ａ係由Ｍ３形成，在該位元線匯流排７０及１０４ａ正上方垂直的延伸。在ＣＦ匯流排６１ａ與位元線匯流排７０，１０４ａ之間設有由Ｍ２形成之４條匯流排１５８ａ～１５８ｄ，並延伸至水平方向。

第１３ｂ圖中，在如偵測放大器之一部分配線所示的進行Ｍ２之脈波動作之匯流排１５８ａ，１５８ｄ上有雜訊，而Ｍ２之匯流排１５８ｂ，１５８ｃ爲電源供給匯流排等之直流而安靜之匯流排之狀態下，使用第１屏蔽技術。如第１３ａ圖所示，Ｍ２之匯流排１５８ａ～１５８ｄ中之一匯流排橫斷位元線匯流排７０或１０４ａ中之一匯流排延伸，而第１３ｂ圖中，Ｍ２之匯流排１５８ｂ～１５８ｃ在雙方才之位元線匯流排上延伸。如此，Ｍ２匯流排１５８ａ～１５８ｄ對ＣＦ匯流排６１ａ所產生之任何雜訊皆較對位元線匯流排７０，１０４ａ具有更大之屏蔽效果。

第１３ｃ圖中，在Ｍ２之２條匯流排１５８ａ，１５８ｄ爲如電源供給匯流排之直流而安靜之匯流排，而Ｍ２之其他２條匯流排１５８ｂ，１５８ｃ爲具有進行脈

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（33）

波動作之雜訊之匯流排之狀態下，使用第２屏蔽技術。此時，位元線匯流排７０，１０４ａ因Ｍ２之安靜匯流排１５８ａ，１５８ｄ之作用，對ＣＦ匯流排６１ａ所產生之雜訊產生更佳之屏蔽。因此，Ｍ２之安靜匯流排１５８ａ，１５８ｄ儘可能的形成爲大面積，因而其屏蔽效果爲最大。

第１４ａ圖中，偵測放大器之阱構造在使用電源及信號網之本發明中，可成爲決定尺寸之要因。第１設計中，爲了防止從偵測放大器１７０產生之雜訊到達副陣列１６８ａ，使用由Ｐ阱（ＰＷ）１６２ａ，ｎ型之深阱（ＤＷ）１６４ａ及Ｐ－基板（Ｐ－Ｓｕｂ）１６６所構成之３重阱構造１６０。同樣的，３重阱構造１６０爲了防止雜訊從偵測放大器１７０傳送至副陣列１６８ｂ而具有Ｐ阱（ＰＷ）１６２ｂ，ｎ型之深阱（ＤＷ）１６４ｂ及Ｐ－Ｓｕｂ１６６。阱１６２ａ，１６２ｂ，１６４ａ，１６４ｂ及基板１６６可由各種偏壓組合，其組合之一種有如下之組合。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（34）

表 1

阱	偏壓名	偏壓
DW上之PW	VBBA 167a	-1V
DW上之NW	VPP 167b	4.0V
P-Sub	VBB 167c	4.0V
DW	VPP 167b	4.0V
PW（不在DW上）	VBB 167c	0V
NW（不在DW上）	VDD 167d	3.3V

在阱上施加偏壓在本發明之技術領域中爲已知技術。故有關偏壓之任何記載只是參考性質，本發明不受其限定。

副陣列168a，168b由2個絕緣n阱（NW）172a，172b與產生雜訊之偵測放大器170分離

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（35）

。１７０之左右在兩端之ｎＭＯＳ電晶體係爲了在兩側之格陣列共用偵測放大器而設之分離用ｎＭＯＳ電晶體，在其Ｐ阱上施加與記憶格陣列相同之負電壓而完全絕緣各元件之間。爲了電緣緣，ＮＷ１７２ａ，１７２ｂ，施加ＶＰＰ，１６７ｂ，之偏壓。ＮＷ１７２ａ，１７２ｂ分別設在ＤＷ１６４ａ，１６４ｂ之外緣上，因此，對ＤＷ施加ＶＰＰ偏壓。對ＤＷ施加ＶＰＰ偏壓之理由爲，副解碼器係ＶＰＰ動作之ＣＭＯＳ電路（第７ａ，７ｂ，１４ｃ圖）。因爲偵測放大器內之ＰＭＯＳ在ＶＤＤ或ＶＤＤ以下之電壓即即可動作，故最好在阱上施加ＶＤＤ偏壓。偵測放大器１７０又具有ＮＷ１７４，而且爲了實現ＰＭＯＳ電晶體１７６之高速動作，施加ＶＤＤ１６７ｄ之偏壓。偵測放大器１７０又具有２個ＰＷ１７８ａ，１７８ｂ，而且由Ｐ－Ｓｕｂ施加ＶＢＢ１６７ｃ之偏壓。ＰＷ１６２ａ（１７８ａ）保持電晶體１８０ａ，ＰＷ１７８ｂ保持２個電晶體１８０ｂ，１８０ｃ。

第１４ｂ圖中，依照其較佳實施例，與第１４ａ圖比較，可縮小偵測放大器２２ｂ之阱構造。依照該較佳實施例，副陣列１８ａ係使用由ＰＷ１８４ａ，ＤＷ１８６ａ，及Ｐ－Ｓｕｂ１８８所構成之三重阱構造１８２，而副陣列１８６係使用由ＰＷ１８４ｂ，ＤＷ１８６ｂ，及Ｐ－Ｓｕｂ１８８所構成之三重阱構造１８２。如此，可保護副陣列１８ａ，１８ｂ受到偵測放大器２２ｂ之影響。三重阱構造１８２中，仍使用與表１中所示之偏壓相同之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（36）

阱偏壓。然而，阱偏壓在本發明之技術領域中爲已知技術，故有關偏壓之任何記載皆只是參考數值，本發明不受其限制。

副陣列１８ａ，１８ｂ由２個絕體ＮＷ１９０ａ，１９０ｂ分別與偵測放大器２４ｂ之雜訊隔離。絕緣體ＮＷ１９０ａ，１９０ｂ爲了絕緣而施加偏壓ＶＰＰ１６７ｂ。絕緣體ＮＷ１９０ａ，１９０ｂ分別設在ＤＷ１８６ａ，１８６ｂ上，因而對ＤＷ施加偏壓。該較佳實施例中，與第１４ａ圖所示之習用系統不同之處爲，絕緣體ＮＷ１９０ａ亦保持對應於第１４ａ圖所示電晶體１７６之電晶體１３０ｂ。因此，電晶體１３０ｂ之動作較第１４ｂ圖所示電晶體１７６之動作慢。然而電晶體１３０ｂ之動作速度對整個偵測放大器９８ａ之時序而言並非重要因素。因此，雖然ＰＭＯＳ電晶體１３０ｂ使用施加偏壓ＶＰＰ之阱，但不致於降低整體之速度。

但絕緣體ＮＷ１９０ａ在尺寸方面對第１４ａ圖所示之習用技術非常有利。較佳實施例中，並不只爲了絕緣而設置ＮＷ（１７２ａ），而爲了電晶體１７６而設置第２ＮＷ１７４（第１４ａ圖），而將兩者結合成爲１個ＮＷ１９０ａ，故縮小偵測放大器２４ｂ之空間。又爲了保持電晶體１３４ａ～１３４ｃ，可使用單一之ＰＷ１９２。

第１４ｃ圖中，爲了副解碼器２０ａ而實現三重阱構造１９４。Ｐ－Ｓｕｂ１８８及ＤＷ１８６ａ在整個副陣列１８ａ上（第１４ｂ圖），橫斷副解碼器２０ａ延伸至

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（37）

副陣列１９ｂ內。ＰＷ１８４ａ由ＮＷ２００而與ＰＷ１９８分離，而ＮＷ２００爲了絕緣而施加ＶＰＰ１６７ｂ之偏壓。對ＮＷ２００施加偏壓ＶＰＰ１６７ｂ，即可使Ｓｗ匯流排７２ａ以ＶＰＰ動作。

第１５ａ，１５ｂ圖中，偵測放大器２２ａ包含使用於列冗長結構（Column redundancy）中使用之４個保險絲２０２ａ～２０２ｄ。２個保除絲２０２ｂ，２０２ｄ係爲了使偵測放大器９８ａ～９８ｂ停止動作而使用，２個保險絲２０２ａ，２０２ｃ係爲了使偵測放大器２０４ａ～２０４ｂ停止動作而使用。具有本發明之技術領域之技術知識者皆已知列冗長結構，但依照習用之設計，爲了設置保險絲，在設計偵測放大器時皆具有極大之面積負擔。因爲，本實施例中，保險絲２０２ａ～２０２ｄ與位元線匯流排７０，１４０ａ成爲平行而且排成一列。此情況在對應於設在不同領域之偵測放大器之保險絲中亦如。因此，垂直延伸之ＣＦ匯流排６１ａ及ＹＳ匯流排３５ｃ，３５ｄ只要對一群保險絲錯開位置即可，可提供電源及信號網５４，５６，５８及６０所需之最大空間。

以上說明本發明之實施例，但本發明不受實施例之限制，可在不超越其要旨之範圍內變更實施。以上說明可修正，變更及取代，在某些場合可使用本發明之其一特徵而不使用其他特徵。例如垂直方向及水平方向係爲了說明之方便而加入者，本發明不受其限制。因此，申請專利範圍之解釋必須爲更大。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（38）

以上說明將本發明應用於半導體電路之實施例，但本發明不受其限制。

本發明之代表性功效如下。

（１）不會加大因爲使用金屬層而其尺寸受到限制之例如偵測放大器等周邊電路之尺寸，可充分達成網狀電源系統之低電阻設計。

（２）信號匯流排及電源匯流排可延伸至水平或垂直方向。

（３）設在陣列領域內之穿孔之設計與設在周邊領域之穿孔不同，不必設計成最小寬度，即使在段落差大之陣列上亦可改善形成穿孔之良品率。

（４）改善之階層式字線構造與習用之階層式字線構造比較小而速度更快。

（５）由於偵測放大器之新配置方式，可縮小偵測放大器之佔有面積。

圖式

第１圖將本發明之特徵具體化之２５６Ｍｂｉｔ ＤＲＡＭ之方塊圖；

第２圖爲第１圖中之ＤＲＡＭ之個副陣列，包圍該陣列之偵測放大器，及副解碼器之方塊圖；

第３圖爲第２圖所示之一個副陣列，２個偵測放大器及副解碼器，橫斷副陣列之網狀電源及信號系統之方塊圖；

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（39）

第４圖爲第３圖所示副陣列上之網狀電源及信號系統之概略圖；

第５ａ圖爲具有連接第４圖所示網狀電源系統所使用之２個金屬層之穿孔之第３圖所示副陣列記憶格之斷面圖；

第５ｂ圖爲第３圖所示副陣列之記憶格之詳細電路圖；

第６ａ圖爲第４圖所示網狀系統之放大部之配置圖；

第６ｂ圖爲第４圖所示網狀系統之放大部之配置圖；

第６ｃ圖爲第４圖所示網狀系統之放大部之配置圖；

第７ａ圖爲第３圖之交叉領域，偵測放大器，副解碼器，記憶陣列中包含之電路之概略圖；

第７ｂ圖爲第３圖所示交叉領域，偵測放大器，副解碼器，記憶體陣列中包含之電路之概略圖；

第８圖爲第７圖所示之副解碼器之圖；

第９ａ圖爲表示Ｎｏｄａ之階層式字線之習用技術之副解碼器之概略圖；

第９ｂ圖爲具有階層式字線之１個副解碼器之概略圖；

第９ｃ圖爲本發明之階層式字線之副解碼器之概略圖；

第１０ａ圖爲第７ａ圖所示２個偵測放大器之電路圖；

第１０ｂ圖爲第１０ａ圖所示偵測放大器之配置圖；

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（40）

第１１ａ圖爲習用之偵測放大器之均衡部所使用之電路之配置圖；

第１１ｂ圖爲第７ａ圖所示偵測放大器之均衡部所使用電路，使用本發明之交錯型Ｔ字型之閘極領域之配置圖；

第１２ａ圖爲第７ａ圖所示之偵測放大器之內閂鎖部所使之電路，使用第１０ｂ圖之Ｈ字形之活性層領域之配置圖；

第１２ｂ圖爲第１２ａ圖所示之Ｈ字型活性層領域之單純化之圖；

第１３ａ圖爲習用之偵測放大器之金屬配置圖；

第１３ｂ圖爲具有本發明之雜音減少法之第７ａ圖所示偵測放大器之改善部分之金屬配置圖；

第１３ｃ圖爲具有本發明之雜音減禾法之第７ａ圖所示偵測放大器之改善部分之金屬配置圖；

第１４ａ圖爲使用３層阱構造之偵測放大器之第１斷面圖；

第１４ｂ圖爲使用３層阱構造之第２圖所示偵測放大器之第２斷面圖；

第１４ｃ圖爲使用３層阱構造之第２圖所示副解碼器之斷面圖；

第１５ａ圖爲第２圖所示偵測放大器所使用之４個保險絲及２個追加偵測放大器之放大圖；

第１５ｂ圖爲第２圖所示偵測放大器所使用之４個保

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部中央標準局員工消費合作社印製

五、發明說明（41）

險絲及2個追加偵測放大器之電路圖；

〔符號說明〕

10……記憶體裝置

12……陣列塊

14a……陣列墊片

14b……陣列墊片

14c……陣列墊片

14d……陣列墊片

14e……電源墊片

14f……電源墊片

16a……主位址解碼器（列解碼器）

16b……主位址解碼器（行解碼器）

16c……主位址解碼器（列解碼器）

16d……主位址解碼器（列解碼器）

16e……主位址解碼器（行解碼器）

16f……主位址解碼器（列解碼器）

16g……主位址解碼器（列解碼器）

16h……主位址解碼器（行解碼器）

16i……主位址解碼器（列解碼器）

16j……主位址解碼器（列解碼器）

16k……主位址解碼器（列解碼器）

161……主位址解碼器（列解碼器）

18a……副陣列

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（42）

18b……副陣列

20a……主位址解碼器

20b……位址副解碼器

20c……位址副解碼器

20d……位址副解碼器

22a……偵測放大器

22b……偵測放大器

22c……偵測放大器

24a……領域

24b……領域

24c……領域

24d……領域

24e……領域

24f……領域

26……VSS匯流排

28……VDD電源匯流排

30……第1VDD匯流排

30a……VDD匯流排

30b……VDD匯流排

30c……VDD匯流排

30d……VDD匯流排

32……第1VSS匯流排

32a……VSS匯流排

32b……VSS匯流排

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（43）

32c……VSS匯流排

32d……VSS匯流排

34……第1信號匯流排

35……第1列選擇（YS）匯流排

35a……YS匯流排

35b……YS匯流排

35c……YS匯流排

35d……YS匯流排

36……第1副解碼器（DXB）匯流排

37a……第2VDD匯流排

37b……第2VSS匯流排

37c……第2信號匯流排

38……第3VDD匯流排

38a……VDD匯流排

38b……VDD匯流排

38c……VDD匯流排

38d……VDD匯流排

40……第3VSS匯流排

40a……VSS匯流排

40b……VSS匯流排

40c……VSS匯流排

40d……VSS匯流排

42……第3信號匯流排

44……第2副解碼器匯流排（DXB匯流排）

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（44）

44a……副解碼器匯流排DXB1

44b……DXB3

44c……DXB5

44d……DXB7匯流排

45……交點

46……交點

47……交點

48……交點

49……交點

50……交點

52……交點

54……VDD網

56……VSS網

58……信號網

60……副解碼器網

61a……列要匯流排（CF匯流排）

61b……列要素匯流排

61c……列要素匯流排

61d……列要素匯流排

62……穿孔

64……記憶格電路

65……電容器

66……板體

68……儲存節

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

五、發明說明（45）

69……電晶體

70……位元線匯流排

72a……副字線（SW）匯流排

72b……副字線匯流排

72c……副字線匯流排

72d……副字線匯流排

72e……副字線匯流排

72f……副字線匯流排

72g……副字線匯流排

72h……副字線匯流排

74……寬度

76……第1片段

80……寬度

82……寬度

84……寬度

86……MWB匯流排

86a……MWB匯流排

86b……MWB匯流排

86c……MWB匯流排

86d……MWB匯流排

88……寬度

90……寬度

92……寬度

94……片段

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

五、發明說明（46）

96……片段

98a……偵測放大器

98b……偵測放大器

1000a……偵測放大器驅動器

1000b……電路

1002a……記憶格

1002b……記憶格

1004a……位元線匯流排

1004b……位元線匯流排

1004c……位元線匯流排

1006a……副解碼器

1006b……副解碼器

1006c……副解碼器

1006d……副解碼器

1006e……副解碼器

1006f……副解碼器

1006g……副解碼器

1006h……副解碼器

1008……連接器匯流排

1110a……副解碼器驅動器

1110b……副解碼器驅動器

1110c……副解碼器驅動器

1110d……副解碼器驅動器

1144a……反轉副解碼器匯流排DX1

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（47）

1 1 4 b …… 反轉副解碼器匯流排 D X 3

1 1 4 c …… 反轉副解碼器匯流排 D X 5

1 1 4 d …… 反轉副解碼器匯流排 D X 7

1 1 6 …… 副解碼器

1 1 8 …… 副解碼器

1 2 0 a …… 電晶體

1 2 0 b …… 電晶體

1 2 0 c …… 電晶體

1 2 2 a …… 閂鎖部

1 2 2 b …… 閂鎖部

1 2 4 a …… 均衡部

1 2 4 b …… 均衡部

1 2 6 a …… N M O S 電晶體

1 2 6 b …… N M O S 電晶體

1 2 8 …… 第 1 閂鎖匯流排。

1 3 0 a …… P M O S 電晶體

1 3 0 b …… P M O S 電晶體

1 3 2 …… 第 2 閂鎖匯流排

1 3 4 a …… N M O S 電晶體

1 3 4 b …… N M O S 電晶體

1 3 4 c …… N M O S 電晶體

1 3 6 …… 均衡信號匯流排

1 3 7 …… 絕緣距離

1 3 8 a …… 閘極領域

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（48）

138b……閘極領域

140……寬度

142……寬度

144a……閘極領域

144b……閘極領域

146……活性領域

148a……電晶體閘極

148b……電晶體閘極

150……橫斷圖

152……連接匯流排

154a……第1匯流排

154b……第2匯流排

154c……第3匯流排

156a……匯流排

156b……匯流排

156c……匯流排

156d……匯流排

158a……匯流排

158b……匯流排

158c……匯流排

158d……匯流排

160……3重阱構造

162a……P阱（PW）

162b……P阱（PW）

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（49）

164a……n型之深阱（DW）

164b……n型之深阱（DW）

166……p－基板（P－Sub）

167a……VBBA

167b……VPP

167c……VBB

167d……VDD

170……偵測放大器

172a……絕緣n阱（NW）

172b……絕緣n阱（NW）

174……絕緣n阱（NW）

176……PMOS電晶體

177……VBB

178a……PW

178b……PW

180a……電晶體

180b……電晶體

180c……電晶體

182……3重阱構造

184a……PW

184b……PW

186a……DW

184b……DW

188……P－Sub

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

A7
B7

五、發明說明（50）

１９０ａ……絕體ＮＷ

１９０ｂ……絕體ＮＷ

１９２……ＰＷ

１９４……３重阱構造

１９８……ＰＷ

２００……ＮＷ

２０２ａ……保險絲

２０２ｂ……保險絲

２０２ｃ……保險絲

２０２ｄ……保險絲

Ｍ１……第１金屬層

Ｍ２……第２金屬層

Ｍ３……第３金屬層

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

315468

A5
B5

四、中文發明摘要（發明之名稱：　　）

電源及信號匯流排以網狀配置於記憶格陣列上之系統

一種使電路尺寸變成最小之陣列型積體電路上之網狀電源及信號匯流排，網狀系統用穿孔不但設在周邊電路上，又設在副陣列１８ａ，１８ｂ上。網狀系統之電源匯流排及信號匯流排橫斷陣列延伸至垂直及水平方向，全部垂直匯流排放置於１層金屬層Ｍ３上，全部水平匯流排放置於其他金屬層Ｍ２上。一層匯流排經由設在陣列上之穿孔連接於其他層之適當匯流排。連接之匯流排延伸至偵測放大器驅動器。

英文發明摘要（發明之名稱：　　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

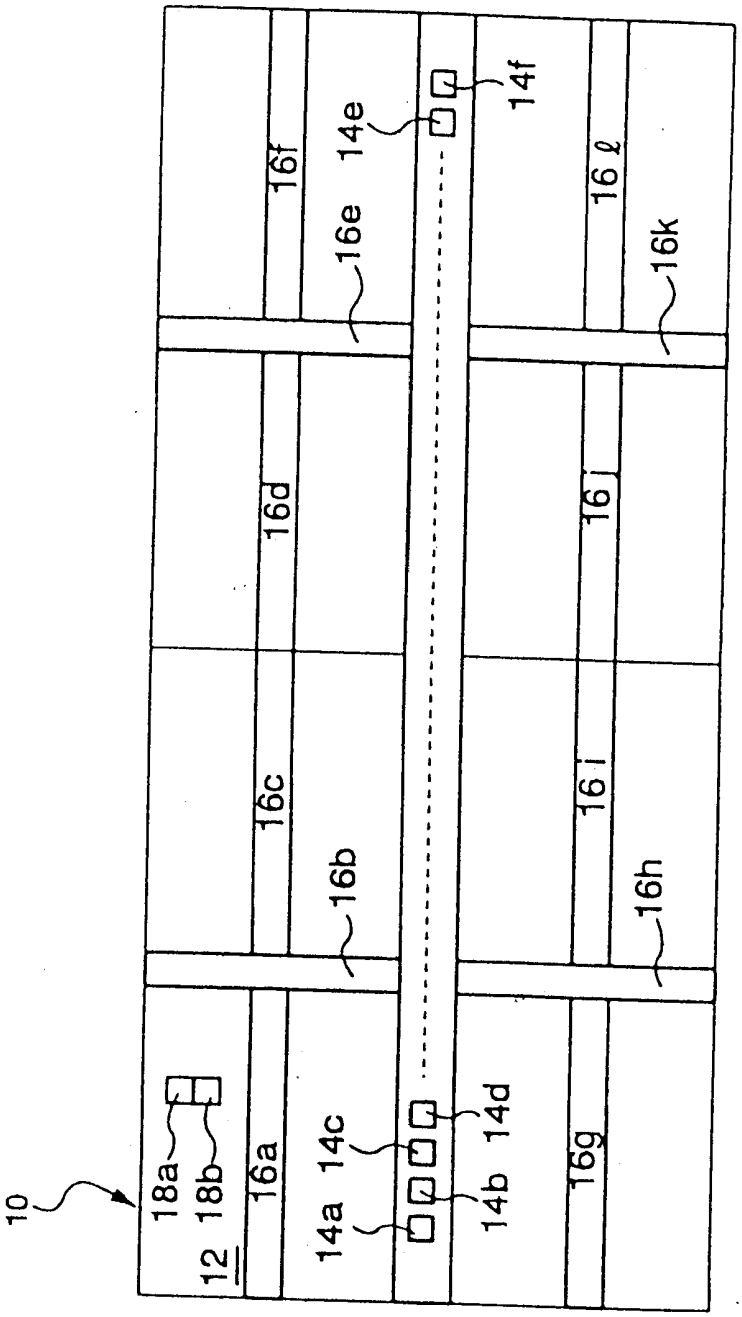
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

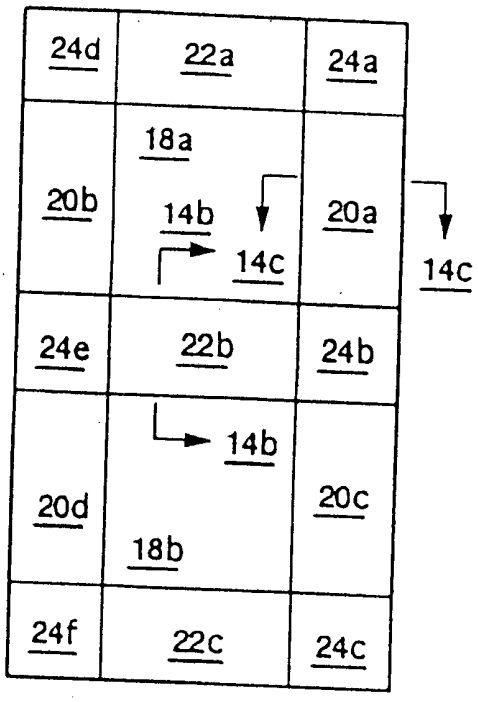
85114179

(1/21)

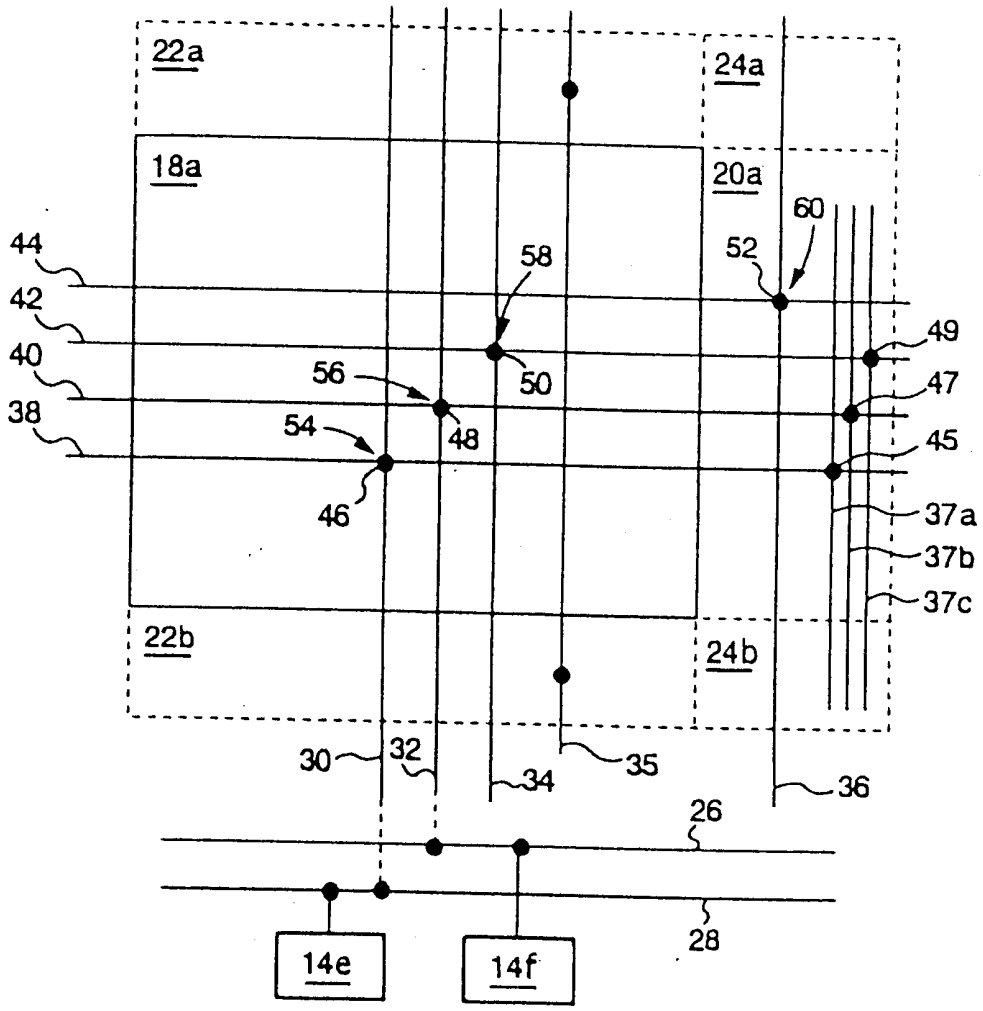
727070



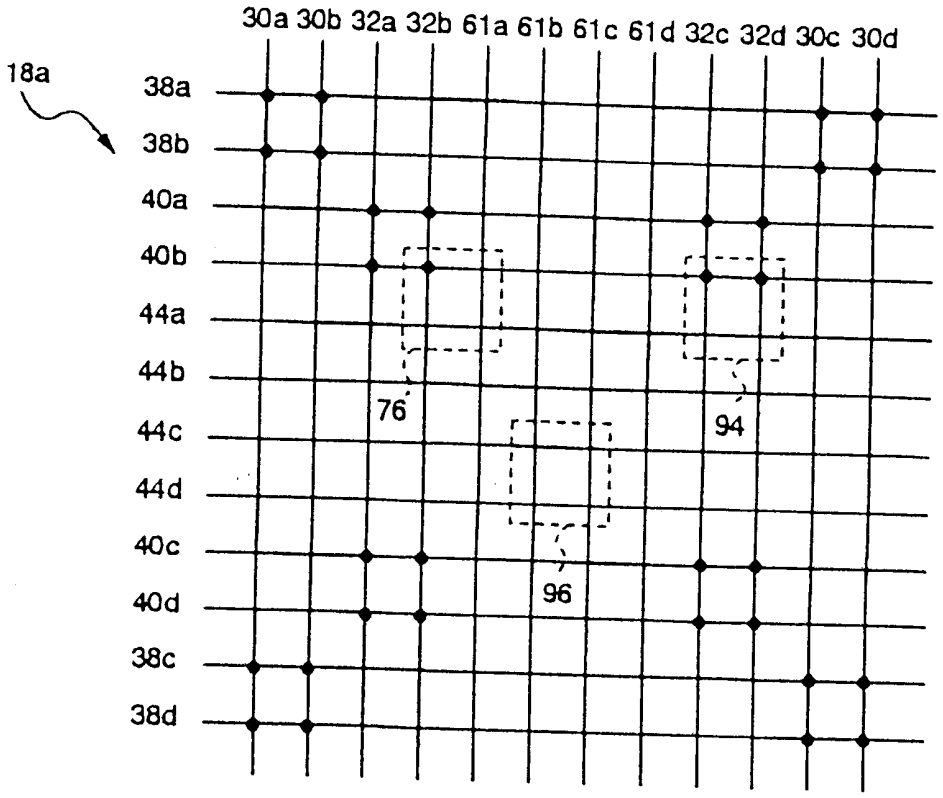
第1圖


24d
22a
24a
18a
20b
14b
20a
14c
14c
24e
22b
24b
14b
20d
20c
18b
24f
22c
24c

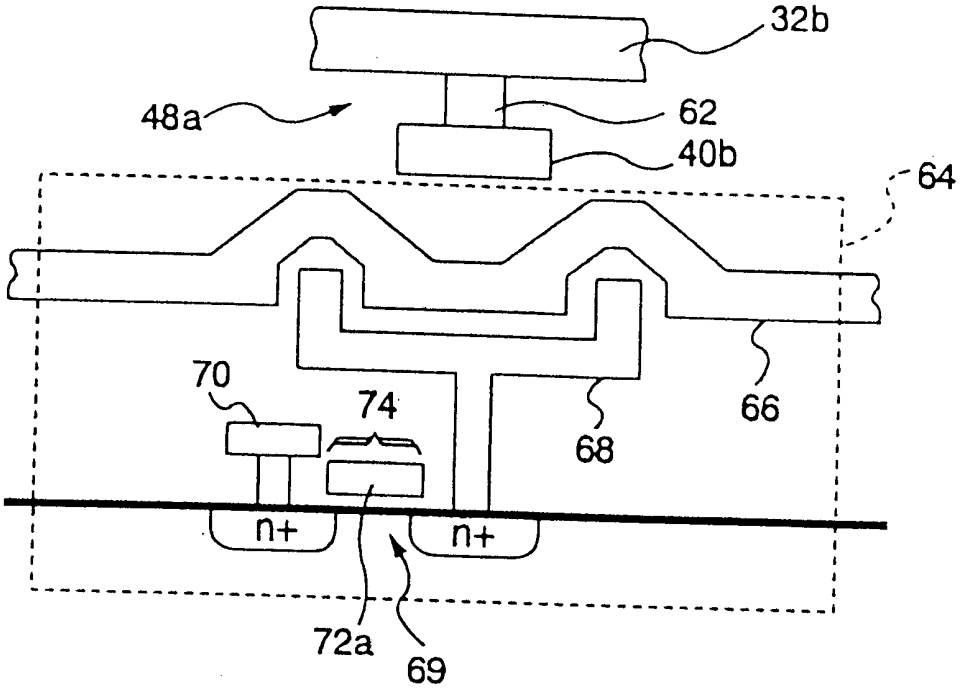
第 2 圖


22a
24a
18a
20a
60
52
58
44
42
40
38
56
54
50
48
46
49
47
45
37a
37b
37c
22b
24b
30
32
34
35
36
26
28
14e
14f

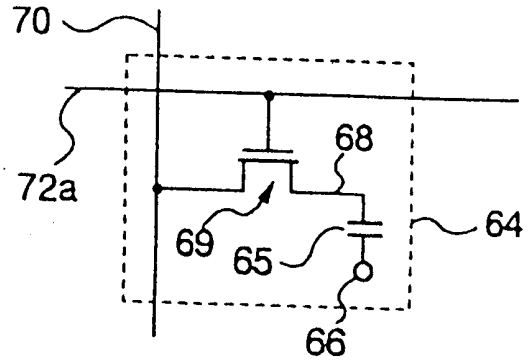
第 3 圖


30a 30b 32a 32b 61a 61b 61c 61d 32c 32d 30c 30d
18a
38a
38b
40a
40b
44a
44b
44c
44d
40c
40d
38c
38d
76
94
96

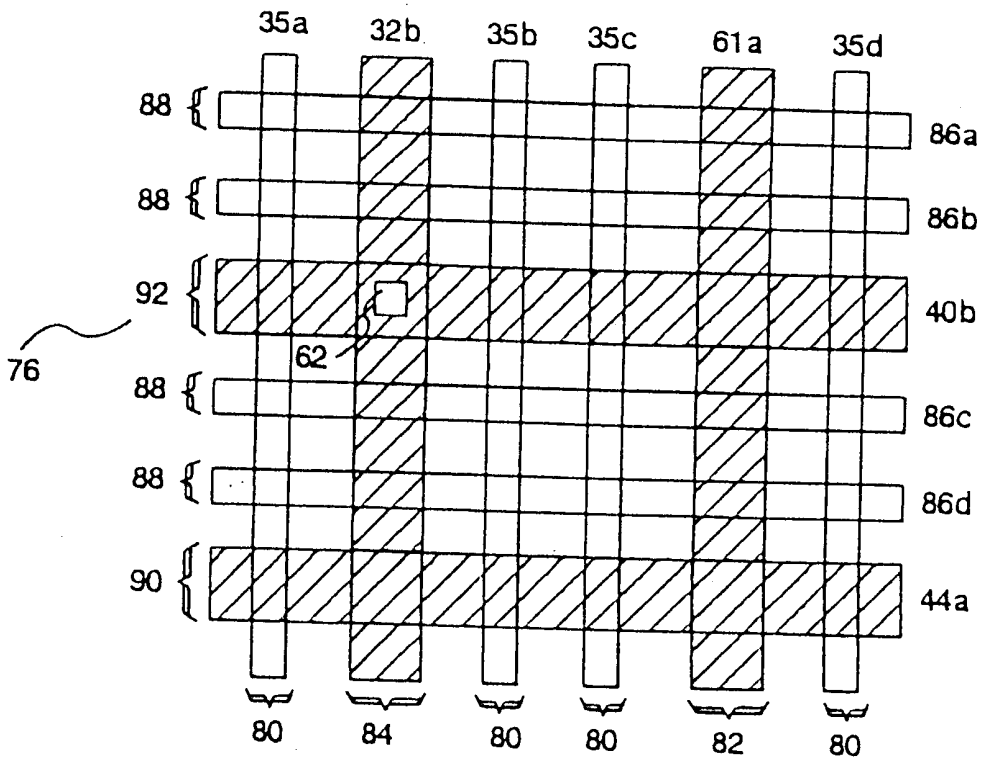
第 4 圖



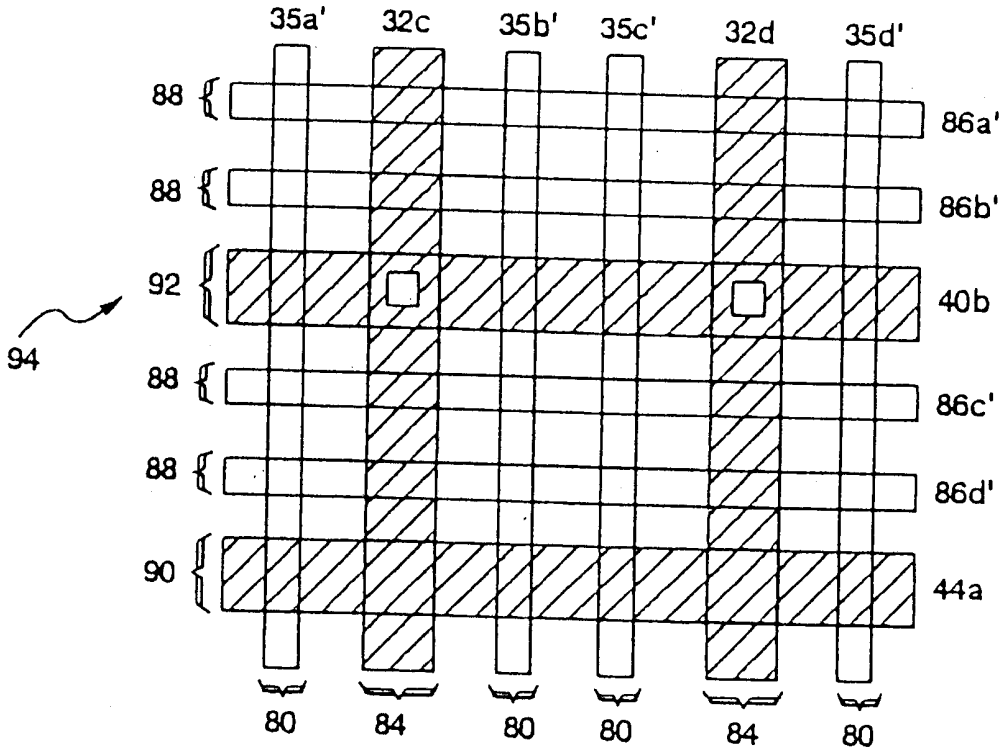
第 5 圖A



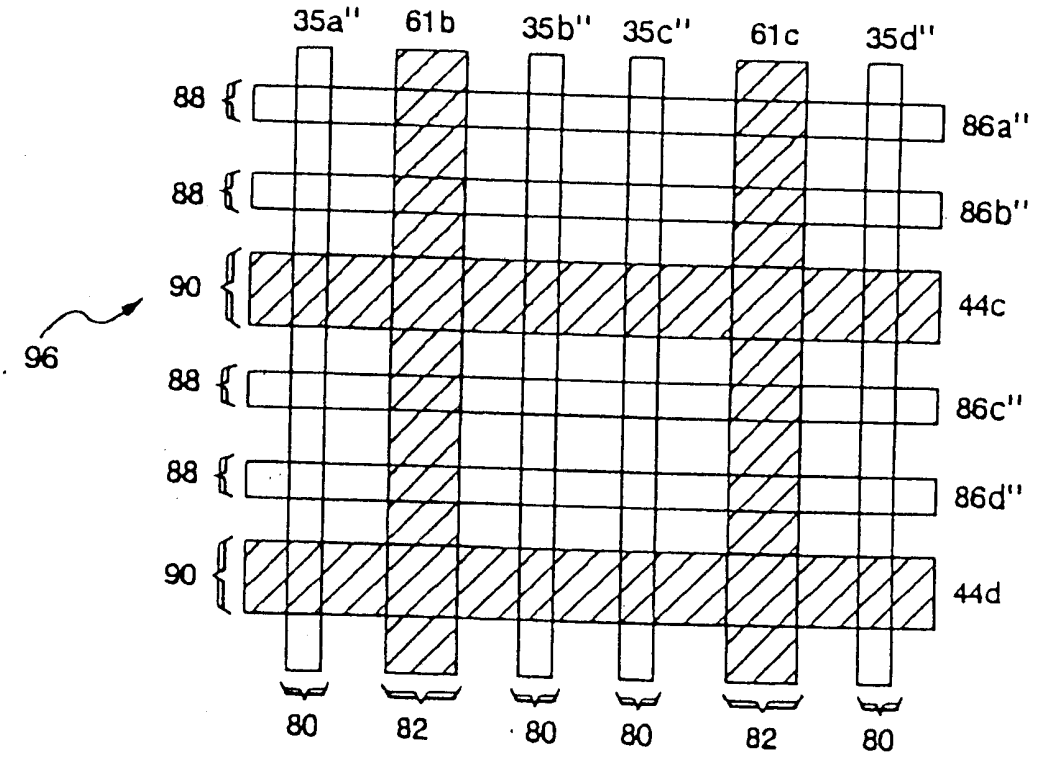
第 5 圖B


35a
32b
35b
35c
61a
35d
88
88
92
88
88
90
86a
86b
40b
86c
86d
44a
76
62
80
84
80
80
82
80

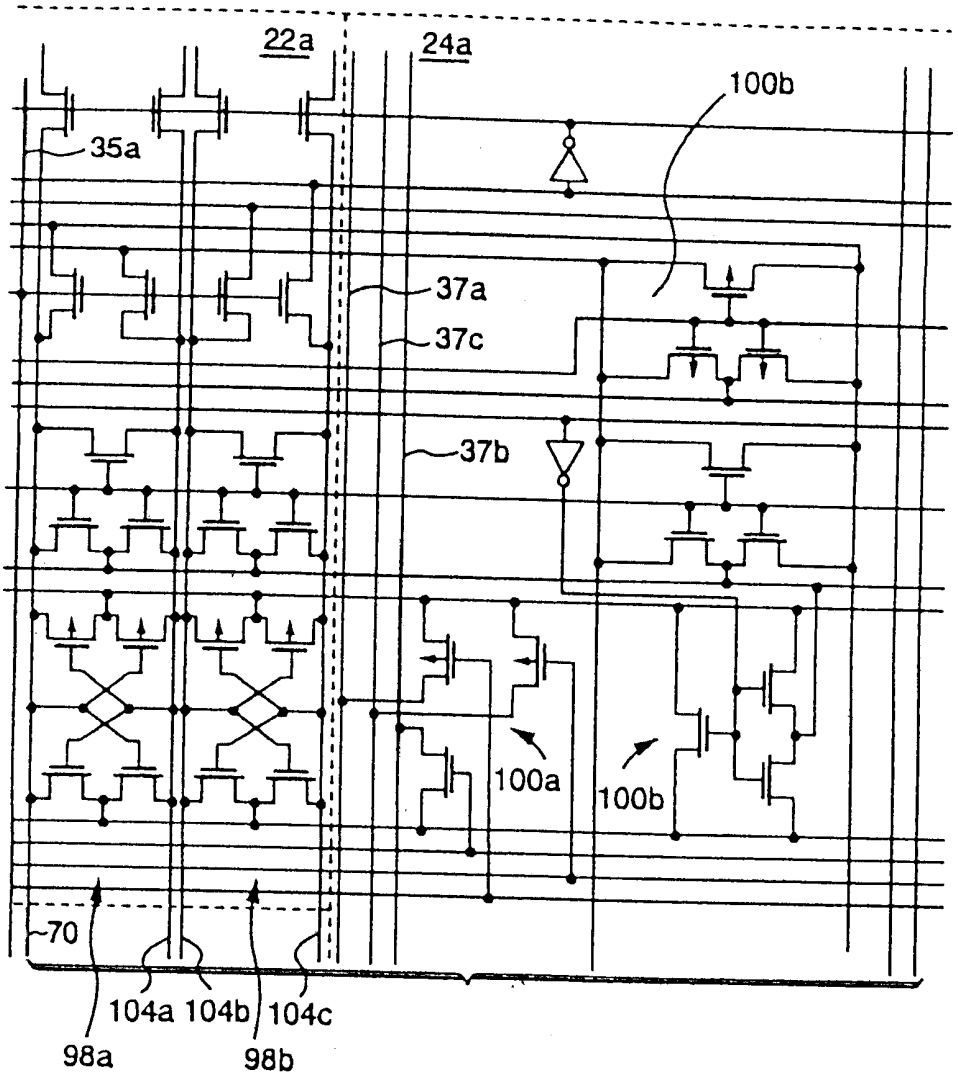
第 6 圖A


35a'
32c
35b'
35c'
32d
35d'
88
88
92
88
88
90
86a'
86b'
40b
86c'
86d'
44a
94
80
84
80
80
84
80

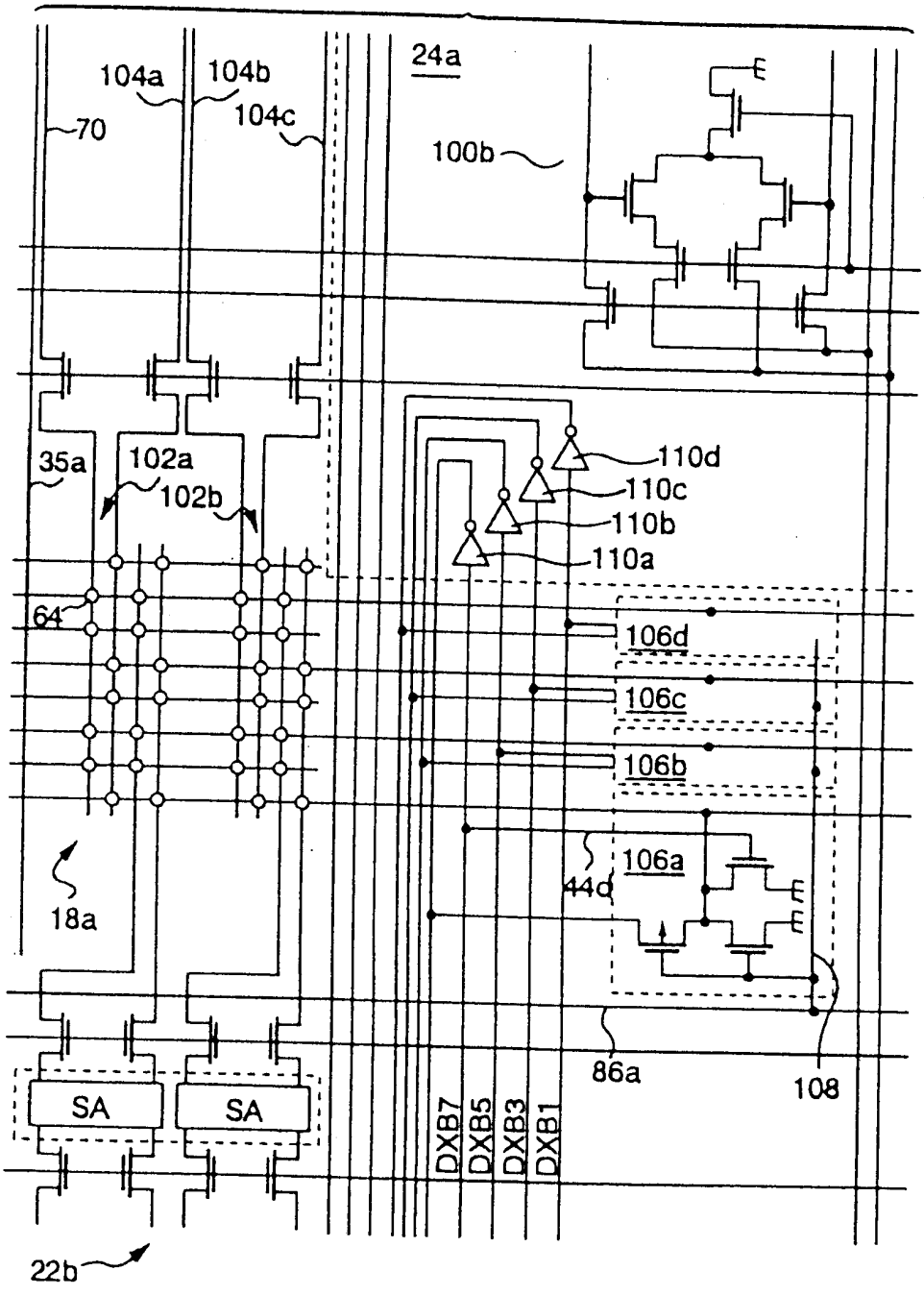
第 6 圖B


35a''
61b
35b''
35c''
61c
35d''
88
88
90
88
88
90
86a''
86b''
44c
86c''
86d''
44d
96
80
82
80
80
82
80

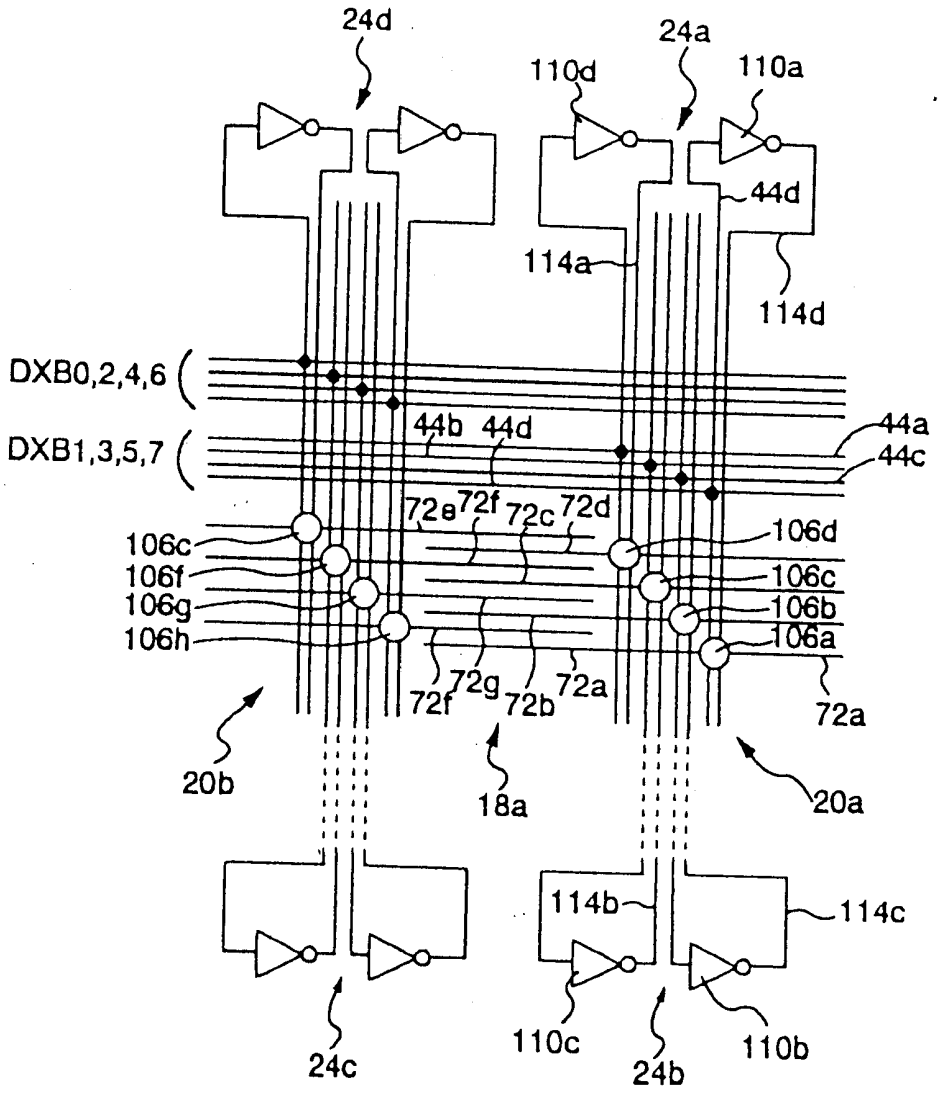
第 6 圖C


22a
24a
100b
35a
37a
37c
37b
100a
100b
70
104a
104b
104c
98a
98b

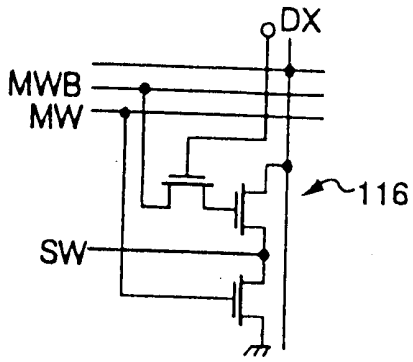
第 7 圖A


104a
104b
104c
70
24a
100b
E
35a
102a
102b
110d
110c
110b
110a
64
106d
106c
106b
106a
44d
18a
SA
SA
DXB7
DXB5
DXB3
DXB1
86a
108
22b

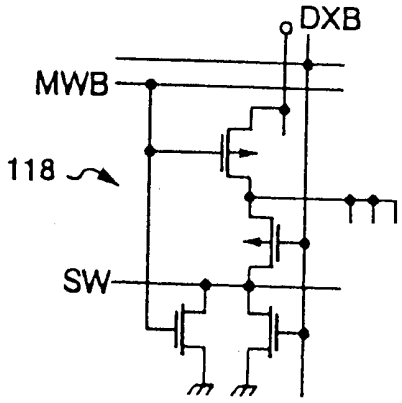
第7図B


24d
24a
110d
110a
44d
114a
114d
DXB0,2,4,6
DXB1,3,5,7
44b
44d
44a
44c
72e
72f
72c
72d
106c
106f
106g
106h
106d
106c
106b
106a
72f
72g
72b
72a
72a
20b
18a
20a
114b
114c
24c
110c
24b
110b

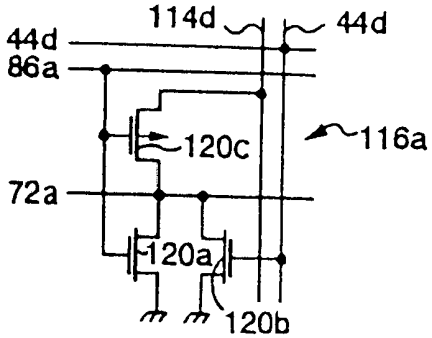
第 8 圖



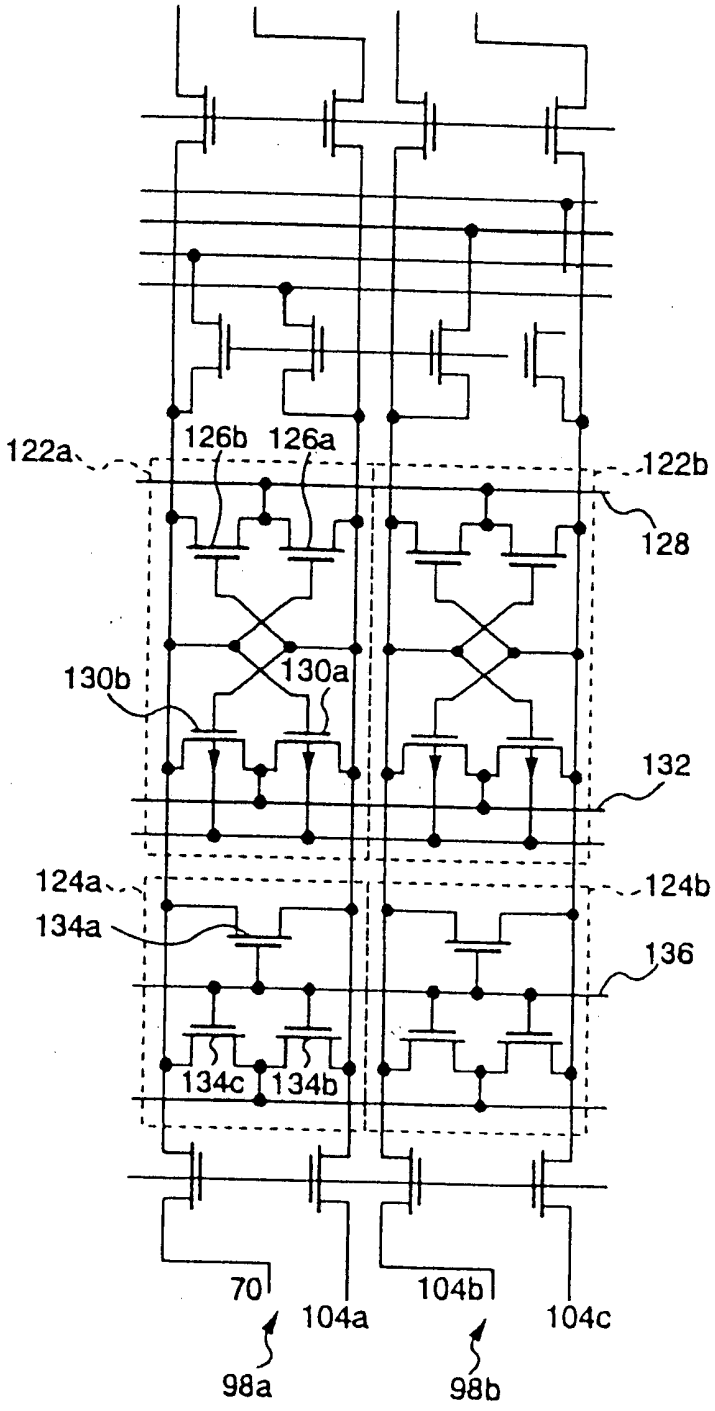
第 9 圖A



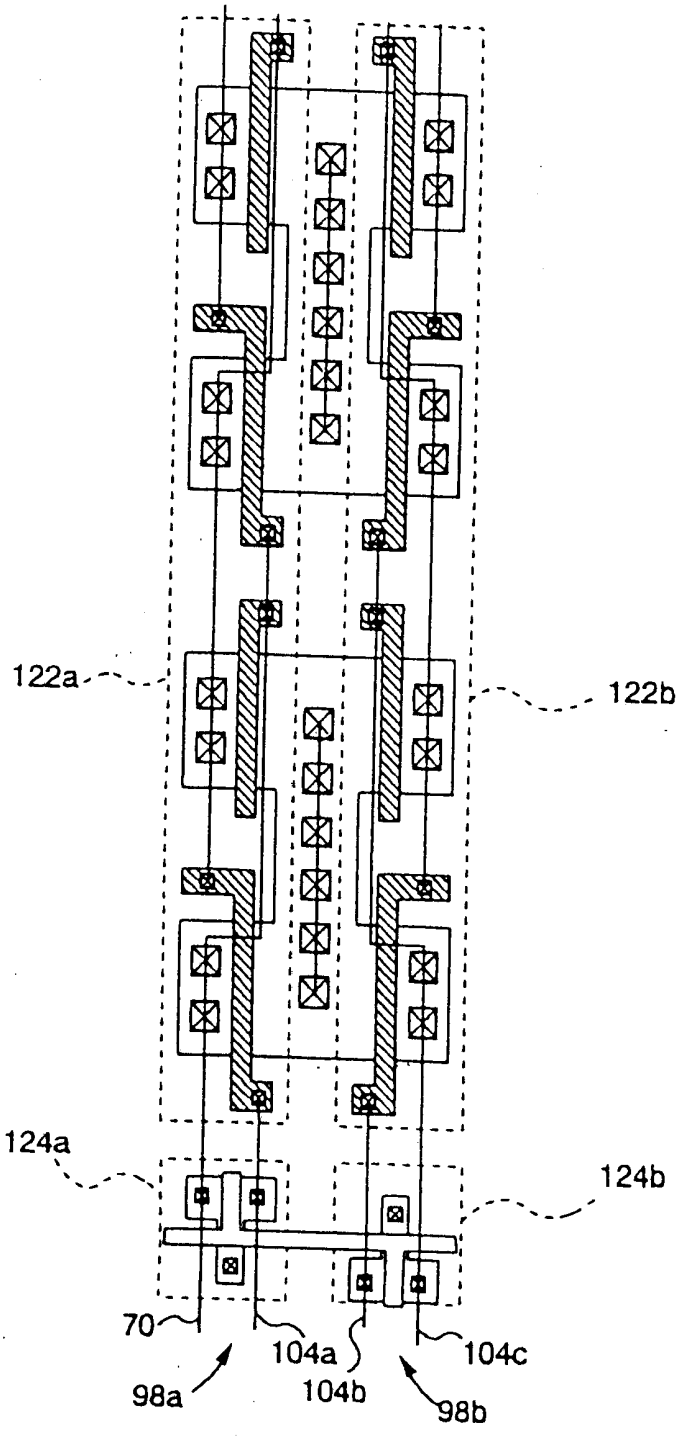
第 9 圖B



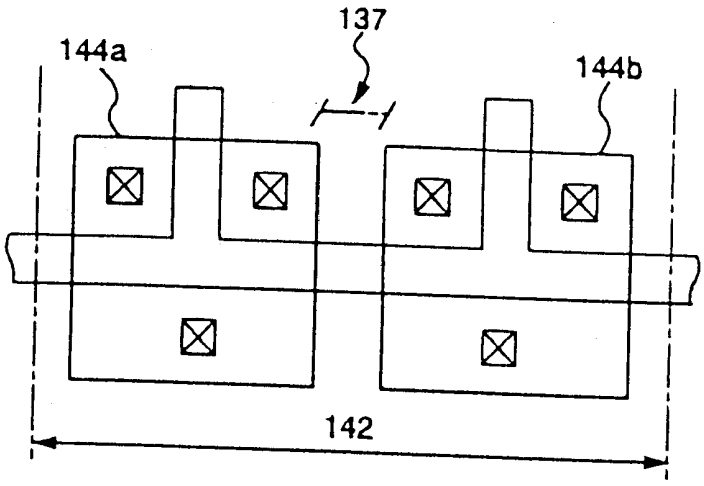
第 9 圖C


122a
126b
126a
122b
128
130b
130a
132
124a
124b
134a
136
134c
134b
70
104a
104b
104c
98a
98b

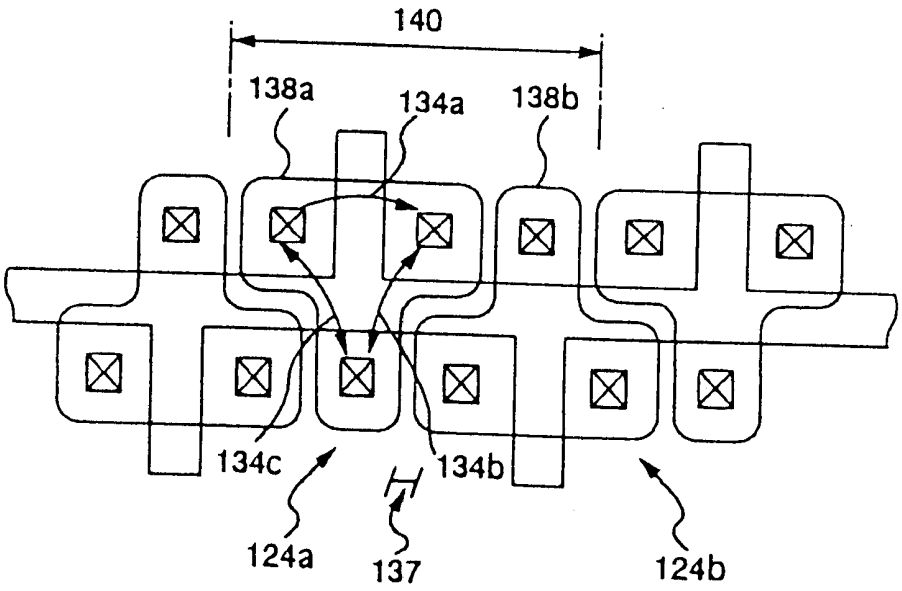
第10圖A



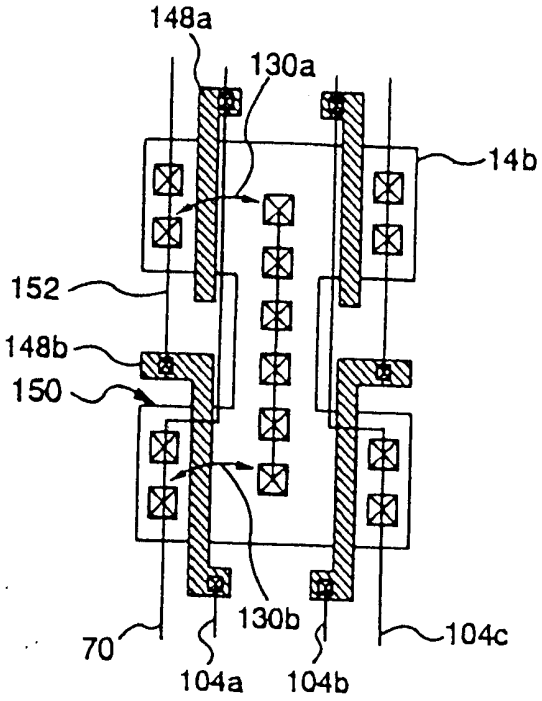
第10圖B



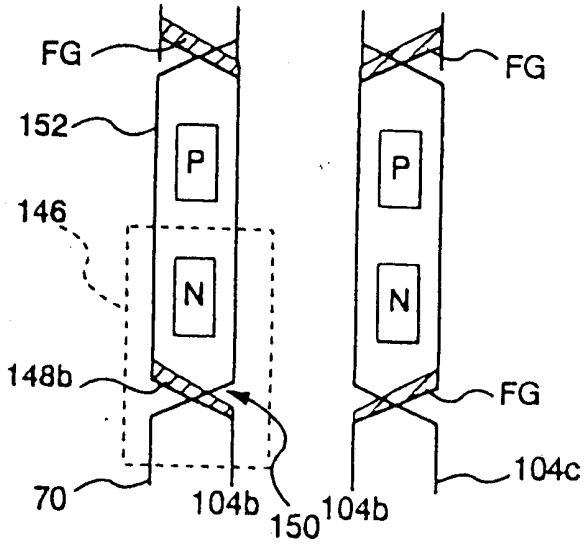
第11圖A



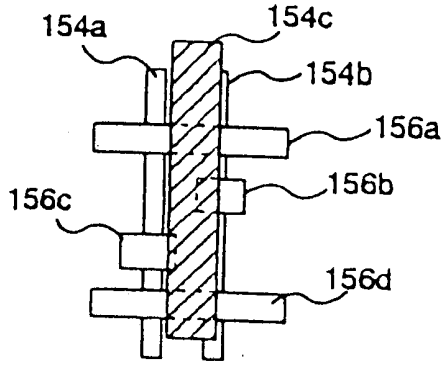
第11圖B


148a
130a
14b
152
148b
150
130b
70
104a
104b
104c

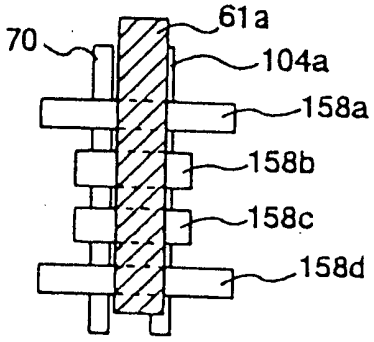
第12圖A


FG
FG
152
P
P
146
N
N
148b
FG
104c
70
104b
150
104b

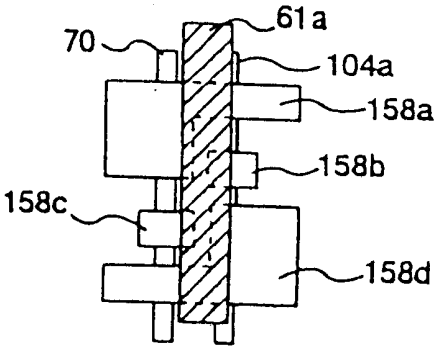
第12圖B



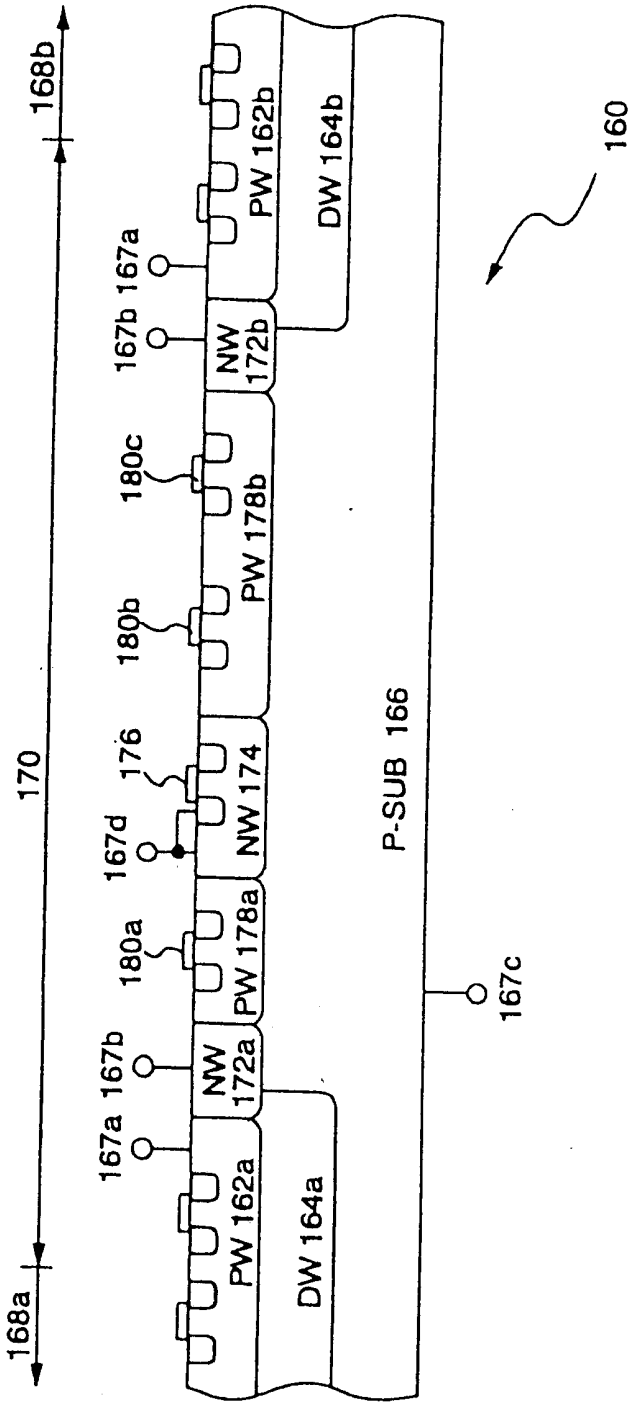
第13圖A



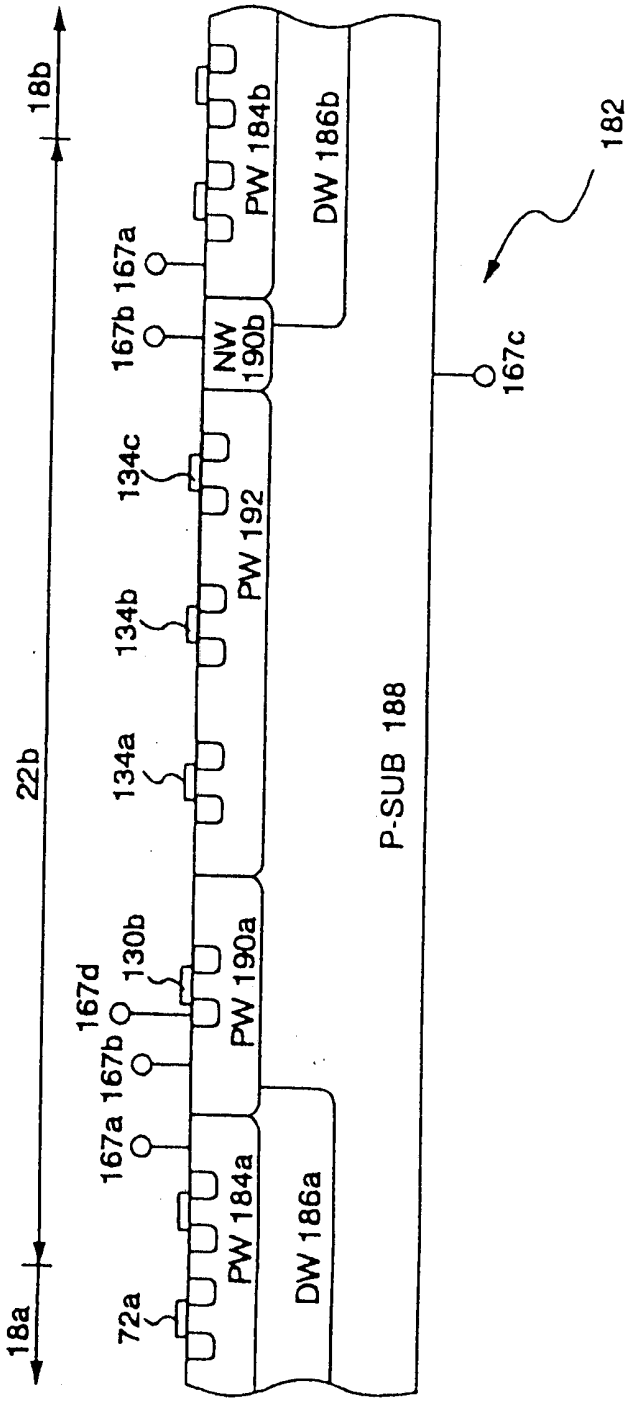
第13圖B



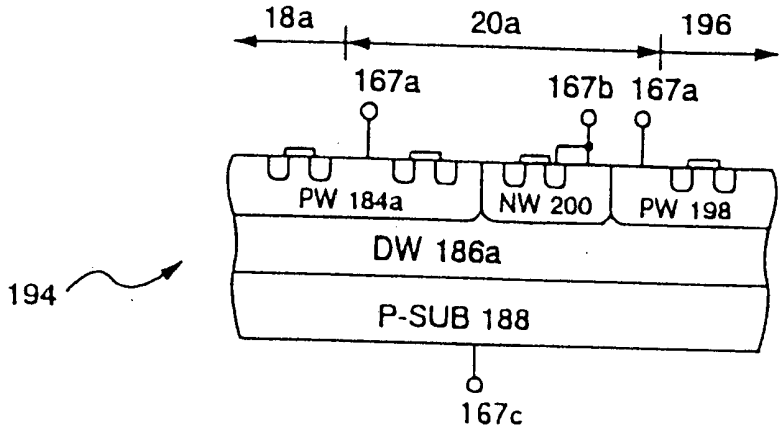
第13圖C


168b
170
168a
167a
167b
167a
167b
167d
176
180a
180b
180c
PW 162a
NW 172a
PW 178a
NW 174
PW 178b
NW 172b
PW 162b
DW 164a
DW 164b
P-SUB 166
167c
160

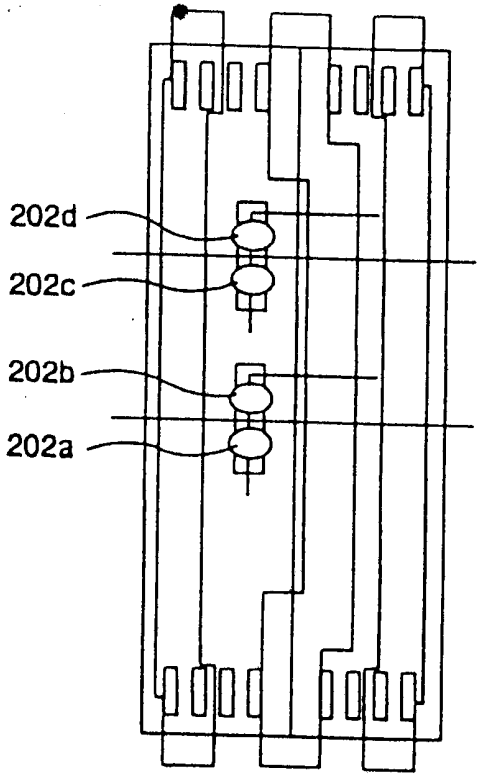
第14圖A


18b
22b
18a
72a
167a
167b
167d
130b
134a
134b
134c
167a
167b
167c
182
PW 184a
DW 186a
PW 190a
PW 192
NW 190b
PW 184b
DW 186b
P-SUB 188

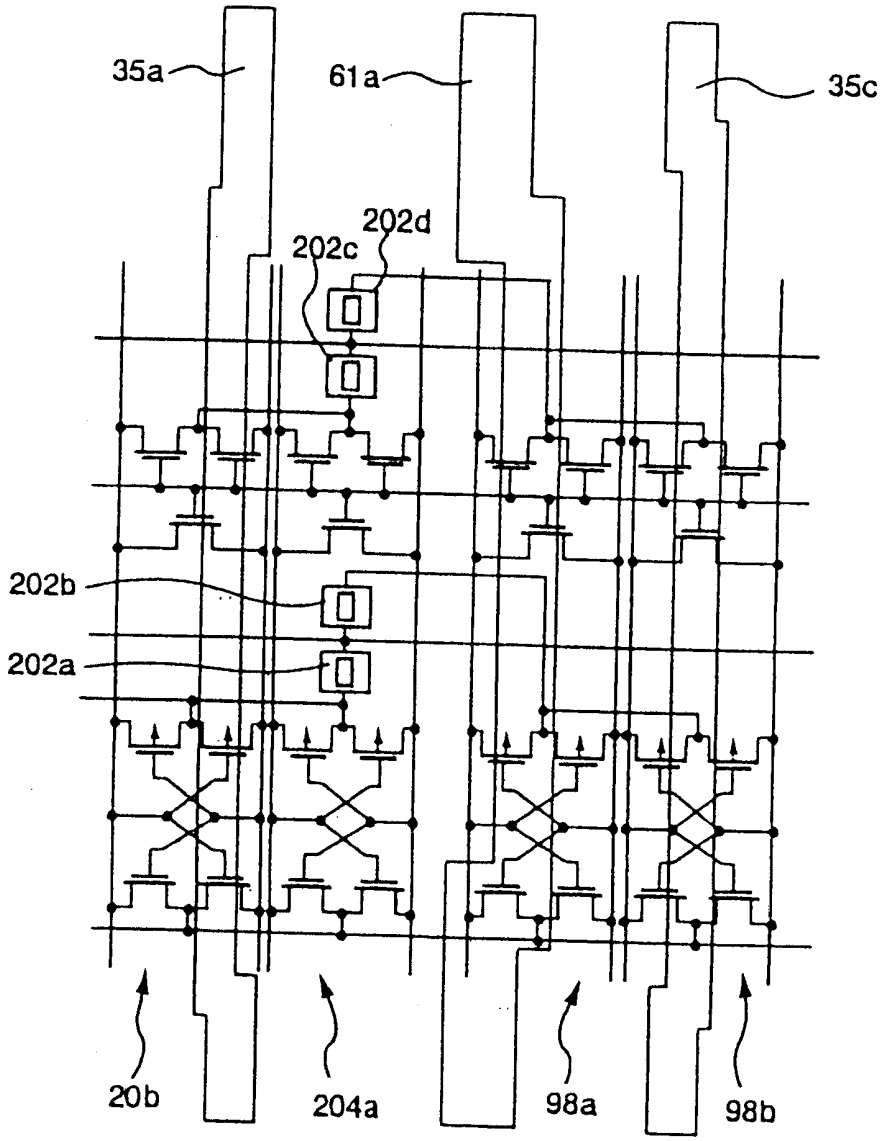
第14圖B


18a
20a
196
167a
167b
167a
PW 184a
NW 200
PW 198
DW 186a
194
P-SUB 188
167c

第14圖C


202d
202c
202b
202a

第15圖A



第15圖B

年 月 日修正
86.7.17補充

A8
B8
C8
D8

六、申請專利範圍

第85114179號專利申請案

中文申請專利範圍修正本

民國86年7月修正

1．一種半導體記憶裝置，其特徵爲包括：具有主面之半導體基板；在該半導體基板主面上行列狀的配置許多記憶格而構成之記憶格陣列；連接於配置在該記憶格陣列領域內之許多記憶格，並延伸至行方向之許多位元線；連接於配置在該記憶格陣列領域內之許多記憶格，並延伸至列方向之許多字線；靠近該記憶格陣列領域，而且具有許許多ＭＯＳＦＥＴ之第１周邊電路領域，形成在記憶格陣列領域外之領域之該半導體基板之主面上，而且從外部供給一定電位之電源墊片；形成在該記憶格陣列領域上，在該位元線及字線上延伸至該行方向之第１電源配線；及由與該第１電源配線之層不同層之導體層所構成，在該記憶格陣列領域上該位元線及字線上延伸至該列方向之第２電源配線，該第１電源配線及該第２電源配線在該記憶格陣列領域上具有兩者之交叉部分，該第１電源配線與該第２電源配線在該交叉部分互相連接，該電源配線或第２電源配線中之一方連接於該電源墊片，而該一定電位從該電源墊片經由該第１電源配線及第２電源配線供給該第１周邊電路領域之前後之許多ＭＯＳＦＥＴ。

2．如申請專利範圍第１項之裝置，其中該第１電源配線係由較該第２電源配線更上層之導體層所形成，形成該第１電源配線之導體層之膜厚大於形成該第２電源配線

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

之導體層之膜厚。

3．如申請專利範圍第1項之裝置，其中又包括具有列方向鄰接於該記憶格領域，在該行方向鄰接於該第1周邊電路領域之許多ＭＯＳＦＥＴ之第2周邊電路領域，及在該第1周邊電路領域內與該位元線大致上成爲平行，並延伸至該第2周邊電路領域之第3電源配線，該第2電源配線延伸至該第2周邊電路領域而與該第3電源配線交叉，該第2電源配線與該第3電源配線在該交叉部分互相連接。

4．如申請專利範圍第3項之裝置，其中該第3電源配線係由與該第1電源配線同一層之導體層所構成，並且連接於該第1周邊電路領域內之ＭＯＳＦＥＴ。

5．如申請專利範圍第4項之裝置，其中該第1電源配線之配線寬度大於該第3電源配線之配線寬度。

6．如申請專利範圍第5項之裝置，其中又包括將該第1電源配線及第3電源配線與該第2電源配線以電氣方式分離之絕緣膜，爲了連接該第1電源配線與該第2電源配線而形成於該絕緣膜之第1穿孔之孔徑大於爲了連接該第2電源配線與該第3電源配線而形成於該絕緣膜之第2穿孔之孔徑。

7．如申請專利範圍第6項之裝置，其中該記憶格係由串聯之1個ＭＯＳＦＥＴ與1個電容器元件所構成，該電容器元件係形成於該ＭＯＳＦＥＴ上部。

8．如申請專利範圍第4項之裝置，其中又包括在該

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

行方向鄰接於該記憶格陣列領域，在該列方向鄰接於該第1周邊電路領域之偵測放大器領域，該第1周邊電路領域之ＭＯＳＦＥＴ構成偵測放大器驅動器。

9．如申請專利範圍第8項之裝置，其中由與該第2電源配線同一層之導體所形成之許多信號線在該偵測放大器領域內延伸至該列方向。

10．如申請專利範圍第4項之裝置，其中在該第2周邊電路領域形成有副解碼器，該副解碼器輸入延伸至該列方向之主字線及副解碼器控制線而輸出該字線。

11．如申請專利範圍第10項之裝置，其中該主字線及副解碼器控制線係由與該第2電源配線同一層之導體層所形成。

12．如申請專利範圍第11項之裝置，其中該第2電源配線之配線寬度大於該主字線之配線寬度。

13．如申請專利範圍第11項之裝置，其中又包括在該記憶格陣列領域上延伸至列方向，並且由與該第2電源配線同一層之導體層所形成之第4電源配線，該副解碼器控制線在該記憶格陣列領域之中央部延伸至列方向，該第2電源配線及該第4電源配線在該副解碼器控制線兩側延伸至該列方向。

14．如申請專利範圍第13項之裝置，其中該第4電源配線與該第1電源配線在該記憶格陣列領域上具有交叉部，該第4電源配線與該第1電源配線在該交叉部互相連接。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

15. 如申請專利範圍第1項之裝置，其中又包括在該記憶格陣列領域上延伸至行方向，由與該第1電源配線同一層之導體層所形成之許多列選擇線，及從該許多列選擇線中選擇一定之列選擇線之列解碼器，該第1電源配線之配線寬度大於該列選擇線之配線寬度。

16. 如申請專利範圍第15項之裝置，其中又包括在該記憶格陣列領域上延伸至行方向，由與該第1電源配線同一層之導體層所形成，而與該列選擇線不同之許多信號線。

17. 如申請專利範圍第16項之裝置，其中又包括在該記憶格陣列領域上延伸至行方向，由與該第1電源配線同一層之導體層所形成之第5電源配線。

18. 如申請專利範圍第17項之裝置，其中該許多信號線在該記憶格陣列領域之中央部延伸至行方向，該第1電源配線及該第5電源配線在該許多信號線兩側延伸至該行方向。

19. 一種半導體記憶裝置，其特徵爲包括：半導體基板；形成於該半導體基板上，具有分別配置於延伸至行方向之許多位元線，延伸至列方向之許多字線，及該位元線與該字線之交叉部分之許多記憶格之副陣列；在該行方向鄰接於該副陣列之第1周邊電路領域；在該列方向鄰接於該副陣列之第2周邊電路領域；設在該第1與第2周邊電路領域互相交叉之領域之第3周邊電路領域；在該位元線及字線上延伸至該行方向，形成於該副陣列及該第1周

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

邊電路領域上，由第1導體層形成之許多第1電源配線；由與該第1導體層不同層之第2導體層所形成，在該副陣列之該位元線及字線上延伸至該列方向，形成於該副陣列及該第2周邊電路領域上之許多第2電源配線；及延伸至該第2及第3周邊電路領域上，由該第1導體層形成之第3電源配線，該第1電源配線及該第2電源配線在該副陣列上具有交叉部，而該第1與第2電源配線在該交叉部互相連接，該第2電源配線與該第3電源配線在該第2周邊電路領域上具有交叉部，而該第2與第3電源配線在該交叉部互相連接，該第1與第2電源配線之配線寬度大於該第3電源配線之配線寬度。

20. 如申請專利範圍第19項之裝置，其中該第3周邊電路領域具有許多ＭＩＳＦＥＴ，該ＭＩＳＴＥＴ連接於該第3電源配線。

21. 如申請專利範圍第20項之裝置，其中由該第2導體層形成之許多信號配線在該第1周邊電路領域延伸至該列方向。

22. 如申請專利範圍第21項之裝置，其中又包括設在該第1導體層與該第2導體層之絕緣膜，在該絕緣膜上，於該第1電源配線與該第2電源配線之交叉部形成有第1穿孔，在該第2電源配線與與第3電源配線之交叉部形成有第2穿孔，該第1穿孔之孔徑大於該第2穿孔之孔徑。

23. 如申請專利範圍第22項之裝置，其中該記憶

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

格係由串聯之1個ＭＯＳＦＥＴ與1個電容器元件所構成，該電容器元件係形成於該ＭＯＳＦＥＴ上。

２４．如申請專利範圍第２１項之裝置，其中該第1導體層係較該第2導體層更上層之導體層，該第1導層之膜厚大於該第2導體層之膜厚。

２５．如申請專利範圍第１９項之裝置，其中在該第2周邊電路領域內形成有副解碼器，該副解碼器以延伸至該列方向之主字線及副解碼器控制線爲輸入，以該字線爲輸出。

２６．如申請專利範圍第２５項之裝置，其中該主字線與副解碼器控制線係由該第2導體層形成，該第2電源配線之配線寬度大於該主字線之配線寬度。

２７．如申請專利範圍第２６項之裝置，其中該副解碼器控制線在該副陣列之中央部延伸至列方向，該第2電源配線在副解碼器控制線兩側延伸至該列方向。

２８．一種半導體記憶裝置，主要具有形成於半導體基板上之許多記憶格，連接於許多記憶格之相補型第1及第2位元線，串聯於該相補型第1與第2位元線間之第1及第2ＭＩＳＦＥＴ，及連接於該相補型第1與第2位元線間之第3ＭＩＳＦＥＴ，其特徵爲包括：形成於該半導體基板主面，形成該第1，第2，及第3ＭＩＳＦＥＴ之活性領域；形成於該活性領域內之第1，第2及第3半導體領域；位於該第1，第2，第3半導體領域與該第1，第2位元線間之絕緣膜；形成於該絕緣膜上，用來連接該

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

第１半導體領域與該第１位元線之第１穿孔；用來連接該第２半導體領域與該第２位元線之第２穿孔；位於該第３半導體領域上之第３穿孔；及位於該第１與第２半導體領域之間，該第２與第３半導體領域之間，及第３與第１半導體領域之間，形成一體之該第１，第２，第３ＭＩＳＦＥＴ之閘極，該第１，第２及第３穿孔形成三角形，而對應於鄰接之相補型位元線之該三角形成爲點對稱之位置關係。

２９．如申請專利範圍第２８項之裝置，其中該活性領域具有Ｔ字型平面形狀。

３０．如申請專利範圍第２９項之裝置，其中該閘極具有Ｔ字型平面形狀。

３１．如申請專利範圍第３０項之裝置，其中在該第３半導體領域供給一定之固定電位。

３２．一種半導體記憶裝置，其特徵爲包括：構成偵測放大器，具有成爲吸極及源極之第１及第２半導體領域及閘極之第１、第２ＭＩＳＦＥＴ；位於該第１、第２ＭＩＳＦＥＴ兩側之第１記憶體陣列及第２記憶體陣列；延伸至該第１記憶體陣列內之相補型第１及第２位元線；及延伸至該第２記憶體內之相補型第３及第４位元線，該第１，第２，第３及第４位元線係由同一層之導體層所構成，該第１位元線連接於該１ＭＩＳＦＥＴ之第１半導體領域，經由該第２ＭＩＳＦＥＴ之閘極連接於該第３位元線，該第２位元線連接於該第１ＭＩＳＦＥＴ之閘極及該

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

第２ＭＩＳＦＥＴ第１半導體領域，該第２位元線與該第４位元線連續的成爲一體。

３３．一種半導體記憶裝置，其特徵爲包括：具有資料線，記憶格，主字線，及對應於該主字線之第１及第２副字線之記憶體陣列；具有連接於該第１副字線之輸出端子及連接於該主字線之第１輸入端子之第１副解碼器；具有連接於該第２副字線之輸出端子及連接於該主字線之第１輸入端子之第２副解碼器；連接於該第１副解碼器之第２輸入端子而產生需要供給於該第１副字線之選擇位準電壓之第１驅動電路；及連接於該第２副解碼器之第２輸入端子而產生需要供給於該第２副字線之選擇位準電壓之第２驅動電路，該第１記憶體陣列係形成於第１領域內，該第１及第２副解碼器係形成在鄰接於該第１領域之第２領域內，該第１及第２驅動電路形成在鄰接於該第２領域之第３領域內。

３４．如申請專利範圍第３３項之裝置，其中又具有連接於該資料線之偵測放大器，該偵測放大器係形成在鄰接於該第１及第３領域之第４領域內。

３５．如申請專利範圍第３４項之裝置，其中該第１、第２、第３及第４領域爲四角形領域，而延伸該第２及第４領域而出現之交叉領域爲該第３領域。

３６．如申請專利範圍第３４項之裝置，其中又包括用來傳送需要供給於該第１驅動電路之輸入端子之第１選擇信號之第１信號線，及用來傳送需要供給於該第２驅動

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

電路之輸入端子之第2選擇信號之第2信號線，該第1及第2信號線與該主字線及該第1及第2副字線一起在該第1領域內延伸至同一方向。

37. 如申請專利範圍第36項之裝置，其中該第1及第2副解碼器分別包括：

（a）具有連接於該第1輸入端子之閘極，及設在該第2輸入端子與該輸出端子之間之源極及吸極通路之第1MOSFET；

（b）具有連接於該第1輸入端子之閘極，及設在該輸出端子與接地電位之間之源極及吸極通路之第2MOSFET；及

（c）具有並聯於該第2MOSFET之源極及吸極通路之源極及吸極通路之第3MOSFET。

38. 如申請專利範圍第37項之裝置，其中該第1及第2驅動電路係倒相器。

39. 如申請專利範圍第38項之裝置，其中該第1MOSFET爲p通道型，該第2及第3MOSFET係n通道型。

40. 如申請專利範圍第39項之裝置，其中該第3MOSFET之間閘寬度小於第2MOSFET之閘極寬度。

41. 如申請專利範圍第40項之裝置，其中該第1或第2副字線中被選擇之副字線之電壓高於該資料線之高位準電壓。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

42. 一種半導體記憶裝置，其特徵爲包括：具有資料線、記憶格、主字線、及對應於該主字線之許多副字線之記憶體陣列；對應於該許多副字線之許多副解碼器；及對應於該許多副解碼器之許多驅動電路，該許多副解碼器分別具有（a）具備連接於對應之1條副字線之吸極，及連接於該主字線之閘極之p通道型第1MOSFET；

（b）具備接受地電位之源極，連接於該第1MOSFET之吸極之吸極，及連接於該主字線之閘極之n通道型第2MOSFET；及

（c）具備設在該第2MOSFET之吸極與源極之間之源極及吸極通路之第3MOSFET，

該許多驅動電路分別具有連接於對應之副解碼器之該第3MOSFET之閘極之輸入端子及連接於該第1MOSFET之源極之輸出端子，該記憶體陣列係形成於該第1領域內，該許多副解碼器係形成在鄰接於第1領域之第2領域內，該許多驅動電路係形成在鄰接於該第2領域之第3領域內。

43. 如申請專利範圍第42項之裝置，其中該第3MOSFET係n通道型，許多許驅動電路係倒相器。

44. 如申請專利範圍第43項之裝置，其中被選擇之副字線之電壓高於該資料線之高位準電壓。

45. 如申請專利範圍第44項之裝置，其中又包括連接於該資料線之偵測放大器，該偵測放大器係形成在鄰接於第1及第3領域之第4領域內。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

46. 如申請專利範圍第45項之裝置，其中該第1、第2、第3及第4領域爲四角形領域，而延長該第2，及第4領域而出現交叉領域爲該第3領域。

47. 如申請專利範圍第46項之裝置，其中該第3MOSFE之閘極寬度小於該第2MOSFET之閘極寬度。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）