



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0026200
(43) 공개일자 2023년02월24일

(51) 국제특허분류(Int. Cl.)
H03F 1/26 (2006.01) H03F 1/56 (2006.01)
H03F 3/217 (2006.01)
(52) CPC특허분류
H03F 1/26 (2013.01)
H03F 1/565 (2013.01)
(21) 출원번호 10-2021-0108315
(22) 출원일자 2021년08월17일
심사청구일자 2021년08월17일

(71) 출원인
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)
(72) 발명자
김창우
서울특별시 성동구 독서당로 218, 108동 1501호(옥수동, 옥수삼성아파트)
(74) 대리인
김연권

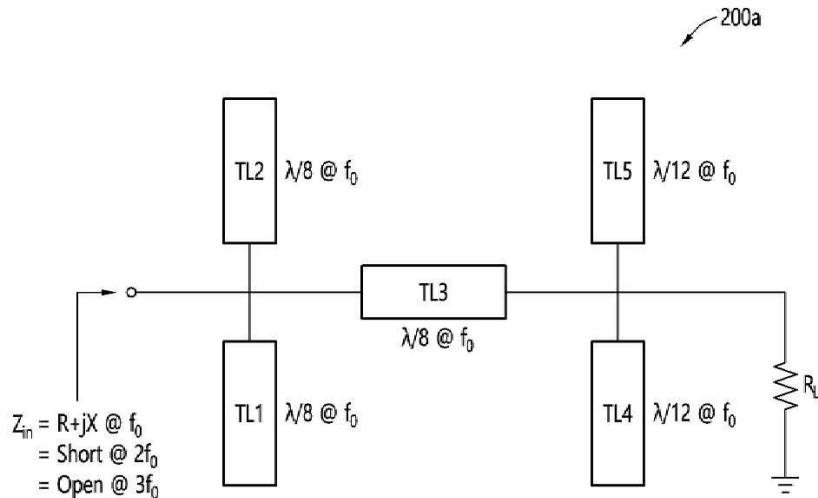
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 병렬 스텝을 이용한 고조파 트랩 회로 및 이를 포함하는 F급 전력 증폭기

(57) 요약

개방 스텝을 이용한 고조파 트랩 회로는 입력 신호를 수신하는 입력단, 고조파가 제거된 신호를 출력하는 출력단, 일단이 상기 입력단에 연결되고 타단이 개방된 제1 전송선로, 상기 입력단에 일단이 연결되고 타단이 개방된 제2 전송선로, 상기 입력단에 일단이 연결되고 타단이 상기 출력단에 연결되는 제3 전송선로, 상기 출력단에 일단이 연결되고 타단이 개방된 제4 전송선로, 및 상기 출력단에 일단이 연결되고 타단이 개방된 제5 전송선로를 포함할 수 있다.

대표도 - 도3



(52) CPC특허분류

H03F 3/217 (2013.01)

H03F 2200/423 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711108332
과제번호	2019R1F1A1052728
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	기본연구
연구과제명	CMOS 기반 삼중 대역 무선전력전송 수신부 IC칩에 대한 연구
기 여 율	1/2
과제수행기관명	경희대학교 산학협력단
연구기간	2020.03.01 ~ 2021.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1711125809
과제번호	2016-0-00291-006
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	정보통신방송혁신인재양성(R&D)
연구과제명	LOS/NLOS 환경에서 3차원 선택적 공간 무선전력전송 기술 연구
기 여 율	1/2
과제수행기관명	경희대학교 산학협력단
연구기간	2020.01.01 ~ 2021.12.31

명세서

청구범위

청구항 1

입력 신호를 수신하는 입력단;
고조파가 제거된 신호를 출력하는 출력단;
일단이 상기 입력단에 연결되고 타단이 개방된 제1 전송선로;
상기 입력단에 일단이 연결되고 타단이 개방된 제2 전송선로;
상기 입력단에 일단이 연결되고 타단이 상기 출력단에 연결되는 제3 전송선로;
상기 출력단에 일단이 연결되고 타단이 개방된 제4 전송선로; 및
상기 출력단에 일단이 연결되고 타단이 개방된 제5 전송선로를 포함하는
개방 스텝을 이용한 고조파 트랩 회로.

청구항 2

제1항에 있어서,
상기 제1 전송선로, 상기 제2 전송선로, 및 상기 제3 전송선로의 물리적 길이는 기본 주파수에서 $\lambda/8$ 인 것을 특징으로 하는
개방 스텝을 이용한 고조파 트랩 회로.

청구항 3

제2항에 있어서,
상기 제4 전송선로, 및 상기 제5 전송선로의 물리적 길이는 기본 주파수에서 $\lambda/12$ 인 것을 특징으로 하는
개방 스텝을 이용한 고조파 트랩 회로.

청구항 4

제3항에 있어서,
상기 입력단에 상기 기본 주파수의 2배의 주파수를 갖는 신호가 입력될 때,
상기 입력단에서 바라본 상기 제1 전송선로의 등가 임피던스는 0옴[Ω]이고,
상기 입력단에서 바라본 상기 제2 전송선로의 등가 임피던스는 0옴[Ω]인 것을 특징으로 하는
개방 스텝을 이용한 고조파 트랩 회로.

청구항 5

제3항에 있어서,
상기 입력단에 상기 기본 주파수의 3배의 주파수를 갖는 신호가 입력될 때,
상기 출력단에서 바라본 상기 제4 전송선로의 등가 임피던스는 0옴[Ω]이고,
상기 출력단에서 바라본 상기 제5 전송선로의 등가 임피던스는 0옴[Ω]인 것을 특징으로 하는
개방 스텝을 이용한 고조파 트랩 회로.

청구항 6

제5항에 있어서,

상기 입력단에 상기 기본 주파수의 3배의 주파수를 갖는 신호가 입력될 때,

상기 입력단에서 바라본 상기 제1 전송선로와 상기 제2 전송선로의 합성 임피던스는 $-jZ_0[\Omega]$ 이고,

상기 입력단에서 바라본 상기 제3 전송선로, 상기 제4 전송선로, 및 상기 제5 전송선로의 합성 임피던스는 $+jZ_0[\Omega]$ 이며,

상기 제1 전송선로와 상기 제2 전송선로의 상기 합성 임피던스는 상기 제3 전송선로, 상기 제4 전송선로, 및 상기 제5 전송선로의 상기 합성 임피던스와 병렬 연결된 것을 특징으로 하는

개방 스텝을 이용한 고조파 트랩 회로.

청구항 7

입력 임피던스를 매칭하는 입력 정합 회로;

기본 주파수의 정수배 주파수를 가지는 고조파 전력 성분을 제거하는 고조파 트랩 회로; 및

출력 임피던스를 매칭하는 출력 정합 회로를 포함하고,

상기 고조파 트랩 회로는,

입력 신호를 수신하는 입력단;

고조파가 제거된 신호를 출력하는 출력단;

일단이 상기 입력단에 연결되고 타단이 개방된 제1 전송선로;

상기 입력단에 일단이 연결되고 타단이 개방된 제2 전송선로;

상기 입력단에 일단이 연결되고 타단이 상기 출력단에 연결되는 제3 전송선로;

상기 출력단에 일단이 연결되고 타단이 개방된 제4 전송선로; 및

상기 출력단에 일단이 연결되고 타단이 개방된 제5 전송선로를 포함하는 것을 특징으로 하는

F급 전력 증폭기.

청구항 8

입력 신호를 수신하는 입력단;

고조파가 제거된 신호를 출력하는 출력단;

일단이 상기 입력단에 연결되고 타단이 단락된 제1 전송선로;

상기 입력단에 일단이 연결되고 타단이 단락된 제2 전송선로;

상기 입력단에 일단이 연결되고 타단이 상기 출력단에 연결되는 제3 전송선로;

상기 출력단에 일단이 연결되고 타단이 단락된 제4 전송선로; 및

상기 출력단에 일단이 연결되고 타단이 단락된 제5 전송선로를 포함하는

단락 스텝을 이용한 고조파 트랩 회로.

청구항 9

제8항에 있어서,

상기 제1 전송선로, 상기 제2 전송선로, 및 상기 제3 전송선로의 물리적 길이는 기본 주파수에서 $\lambda/4$ 인 것을 특징으로 하는

단락 스텝을 이용한 고조파 트랩 회로.

청구항 10

제2항에 있어서,

상기 제4 전송선로, 및 상기 제5 전송선로의 물리적 길이는 기본 주파수에서 $\lambda/6$ 인 것을 특징으로 하는 단락 스틱을 이용한 고조파 트랩 회로.

청구항 11

제3항에 있어서,

상기 입력단에 상기 기본 주파수의 2배의 주파수를 갖는 신호가 입력될 때,

상기 입력단에서 바라본 상기 제1 전송선로의 등가 임피던스는 0Ω 이고,

상기 입력단에서 바라본 상기 제2 전송선로의 등가 임피던스는 0Ω 인 것을 특징으로 하는

단락 스틱을 이용한 고조파 트랩 회로.

청구항 12

제3항에 있어서,

상기 입력단에 상기 기본 주파수의 3배의 주파수를 갖는 신호가 입력될 때,

상기 출력단에서 바라본 상기 제4 전송선로의 등가 임피던스는 0Ω 이고,

상기 출력단에서 바라본 상기 제5 전송선로의 등가 임피던스는 0Ω 인 것을 특징으로 하는

단락 스틱을 이용한 고조파 트랩 회로.

청구항 13

제5항에 있어서,

상기 입력단에 상기 기본 주파수의 3배의 주파수를 갖는 신호가 입력될 때,

상기 입력단에서 바라본 상기 제1 전송선로와 상기 제2 전송선로의 합성 임피던스는 $-jZ_0\Omega$ 이고,

상기 입력단에서 바라본 상기 제3 전송선로, 상기 제4 전송선로, 및 상기 제5 전송선로의 합성 임피던스는 $+jZ_0\Omega$ 이며,

상기 제1 전송선로와 상기 전송선로의 상기 합성 임피던스는 상기 제3전송선로, 제4 전송선로, 및 제5 전송선로의 상기 합성 임피던스와 병렬 연결된 것을 특징으로 하는

단락 스틱을 이용한 고조파 트랩 회로.

청구항 14

입력 임피던스를 매칭하는 입력 정합 회로;

기본 주파수의 정수배 주파수를 가지는 고조파 전력 성분을 제거하는 고조파 트랩 회로; 및

출력 임피던스를 매칭하는 출력 정합 회로를 포함하고,

상기 고조파 트랩 회로는,

입력 신호를 수신하는 입력단;

고조파가 제거된 신호를 출력하는 출력단;

일단이 상기 입력단에 연결되고 타단이 단락된 제1 전송선로;

상기 입력단에 일단이 연결되고 타단이 단락된 제2 전송선로;

상기 입력단에 일단이 연결되고 타단이 상기 출력단에 연결되는 제3 전송선로;

상기 출력단에 일단이 연결되고 타단이 단락된 제4 전송선로; 및

상기 출력단에 일단이 연결되고 타단이 단락된 제5 전송선로를 포함하는 것을 특징으로 하는

F급 전력 증폭기.

발명의 설명

기술 분야

[0001] 본 발명은 F급 전력 증폭기에 관한 것으로, 보다 상세하게는 병렬 스텝을 이용하여 고조파를 제어하는 고조파 트랩 회로 및 이를 포함하는 F급 전력 증폭기에 관한 것이다.

배경 기술

[0002] 전력 증폭기는 무선 통신 시스템 송신단에서 가장 중요한 부분 중의 하나이다. 이에 따라, 전력 증폭기의 효율 향상 및 선형성 증가를 위한 다양한 방법들이 제안되고 있다. 특히 전력 증폭기의 낮은 효율은 열 방출로 인한 방열 시스템 가동, 전력 손실, 기지국 운용 비용 증가, 신뢰성 열화 등의 문제점을 발생시키기 때문에 효율 향상은 전력 증폭기에서 무엇보다 중요한 요소 중의 하나이다.

[0003] 전력 증폭기는 복수의 트랜지스터를 포함할 수 있다. 트랜지스터는 비선형 디바이스이므로, 전력 증폭기에서 전력을 증폭할 때, 기본 주파수를 가지는 기본파 전력 성분 이외에도 기본 주파수의 정수배 주파수를 가지는 고조파 전력 성분이 생성될 수 있다. 이러한 고조파 전력 성분은 전력 증폭기에 불필요한 전력 성분이므로, 고조파 전력 성분이 생성됨으로써 전력 증폭기의 전력 효율이 감소될 수 있다. 따라서, 전력 증폭기의 효율 향상을 위해서는 고조파 전력 성분이 제거되어야 한다.

[0004] 한편, 전력 증폭기 구현의 난이도가 높은 경우, 복잡한 회로 구조에 의한 노이즈 신호가 발생할 수 있고, 전력 증폭기의 제조 비용이 증가하여 생산성이 낮아지는 문제가 있다. 따라서, 전력 증폭기는 간단한 회로 구조로 고조파 전력 성분을 제거할 수 있도록 설계될 필요가 있다.

선행기술문헌

발명의 내용

해결하려는 과제

[0005] 본 발명의 일 목적은 병렬 스텝을 이용하여 복잡도를 최소화한 고효율 고조파 트랩 회로 및 이를 포함하는 F급 전력 증폭기를 제공하는 것이다.

[0006] 본 발명의 다른 목적은 병렬 스텝을 이용하여 제조 비용을 최소화한 고조파 트랩 회로 및 이를 포함하는 F급 전력 증폭기를 제공하는 것이다.

[0007] 다만, 본 발명이 해결하고자 하는 과제는 상기 언급된 과제에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0008] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 개방 스텝을 이용한 고조파 트랩 회로는 입력 신호를 수신하는 입력단, 고조파가 제거된 신호를 출력하는 출력단, 일단이 상기 입력단에 연결되고 타단이 개방된 제1 전송선로, 상기 입력단에 일단이 연결되고 타단이 개방된 제2 전송선로, 상기 입력단에 일단이 연결되고 타단이 상기 출력단에 연결되는 제3 전송선로, 상기 출력단에 일단이 연결되고 타단이 개방된 제4 전송선로, 및 상기 출력단에 일단이 연결되고 타단이 개방된 제5 전송선로를 포함할 수 있다.

[0009] 일 실시예에서, 상기 제1 전송선로, 상기 제2 전송선로, 및 상기 제3 전송선로의 물리적 길이는 기본 주파수에서 $\lambda/8$ 일 수 있다.

[0010] 일 실시예에서, 상기 제4 전송선로, 및 상기 제5 전송선로의 물리적 길이는 기본 주파수에서 $\lambda/12$ 일 수 있다.

[0011] 일 실시예에서, 상기 입력단에 상기 기본 주파수의 2배의 주파수를 갖는 신호가 입력될 때, 상기 입력단에서 바라본 상기 제1 전송선로의 등가 임피던스는 0옴[Ω]이고, 상기 입력단에서 바라본 상기 제2 전송선로의 등가 임피던스는 0옴[Ω]일 수 있다.

- [0012] 일 실시예에서, 상기 입력단에 상기 기본 주파수의 3배의 주파수를 갖는 신호가 입력될 때, 상기 출력단에서 바라본 상기 제4 전송선로의 등가 임피던스는 0Ω 이고, 상기 출력단에서 바라본 상기 제5 전송선로의 등가 임피던스는 0Ω 일 수 있다.
- [0013] 일 실시예에서, 상기 입력단에 상기 기본 주파수의 3배의 주파수를 갖는 신호가 입력될 때, 상기 입력단에서 바라본 상기 제1 전송선로와 상기 제2 전송선로의 합성 임피던스는 $-jZ_0[\Omega]$ 이고, 상기 입력단에서 바라본 상기 제3 전송선로, 상기 제4 전송선로, 및 상기 제5 전송선로의 합성 임피던스는 $+jZ_0[\Omega]$ 이며, 상기 입력단에서 바라본 상기 제1 전송선로와 상기 제2 전송선로의 상기 합성 임피던스는 상기 제3 전송선로, 상기 제4 전송선로, 및 상기 제5 전송선로의 상기 합성 임피던스와 병렬 연결될 수 있다.
- [0014] 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 F급 전력 증폭기는 입력 임피던스를 매칭하는 입력 정합 회로, 기본 주파수의 정수배 주파수를 가지는 고조파 전력 성분을 제거하는 고조파 트랩 회로, 및 출력 임피던스를 매칭하는 출력 정합 회로를 포함할 수 있다. 여기서, 상기 고조파 트랩 회로는 입력 신호를 수신하는 입력단, 고조파가 제거된 신호를 출력하는 출력단, 일단이 상기 입력단에 연결되고 타단이 개방된 제1 전송선로, 상기 입력단에 일단이 연결되고 타단이 개방된 제2 전송선로, 상기 입력단에 일단이 연결되고 타단이 상기 출력단에 연결되는 제3 전송선로, 상기 출력단에 일단이 연결되고 타단이 개방된 제4 전송선로, 및 상기 출력단에 일단이 연결되고 타단이 개방된 제5 전송선로를 포함할 수 있다.
- [0015] 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 단락 스텝을 이용한 고조파 트랩 회로는 입력 신호를 수신하는 입력단, 고조파가 제거된 신호를 출력하는 출력단, 일단이 상기 입력단에 연결되고 타단이 단락된 제1 전송선로, 상기 입력단에 일단이 연결되고 타단이 단락된 제2 전송선로, 상기 입력단에 일단이 연결되고 타단이 상기 출력단에 연결되는 제3 전송선로, 상기 출력단에 일단이 연결되고 타단이 단락된 제4 전송선로, 및 상기 출력단에 일단이 연결되고 타단이 단락된 제5 전송선로를 포함할 수 있다.
- [0016] 일 실시예에서, 상기 제1 전송선로, 상기 제2 전송선로, 및 상기 제3 전송선로의 물리적 길이는 기본 주파수에서 $\lambda/4$ 일 수 있다.
- [0017] 일 실시예에서, 상기 제4 전송선로, 및 상기 제5 전송선로의 물리적 길이는 기본 주파수에서 $\lambda/6$ 일 수 있다.
- [0018] 일 실시예에서, 상기 입력단에 상기 기본 주파수의 2배의 주파수를 갖는 신호가 입력될 때, 상기 입력단에서 바라본 상기 제1 전송선로의 등가 임피던스는 0Ω 이고, 상기 입력단에서 바라본 상기 제2 전송선로의 등가 임피던스는 0Ω 일 수 있다.
- [0019] 일 실시예에서, 상기 입력단에 상기 기본 주파수의 3배의 주파수를 갖는 신호가 입력될 때, 상기 출력단에서 바라본 상기 제4 전송선로의 등가 임피던스는 0Ω 이고, 상기 출력단에서 바라본 상기 제5 전송선로의 등가 임피던스는 0Ω 일 수 있다.
- [0020] 일 실시예에서, 상기 입력단에 상기 기본 주파수의 3배의 주파수를 갖는 신호가 입력될 때, 상기 입력단에서 바라본 상기 제1 전송선로와 상기 제2 전송선로의 합성 임피던스는 $-jZ_0[\Omega]$ 이고, 상기 입력단에서 바라본 상기 제3 전송선로, 상기 제4 전송선로, 및 상기 제5 전송선로의 합성 임피던스는 $+jZ_0[\Omega]$ 이며, 상기 입력단에서 바라본 상기 제1 전송선로와 상기 전송선로의 상기 합성 임피던스는 상기 제3 전송선로, 제4 전송선로, 및 제5 전송선로의 상기 합성 임피던스와 병렬 연결될 수 있다.
- [0021] 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 F급 전력 증폭기는 입력 임피던스를 매칭하는 입력 정합 회로, 기본 주파수의 정수배 주파수를 가지는 고조파 전력 성분을 제거하는 고조파 트랩 회로, 및 출력 임피던스를 매칭하는 출력 정합 회로를 포함할 수 있다. 여기서, 상기 고조파 트랩 회로는 입력 신호를 수신하는 입력단, 고조파가 제거된 신호를 출력하는 출력단, 일단이 상기 입력단에 연결되고 타단이 단락된 제1 전송선로, 상기 입력단에 일단이 연결되고 타단이 단락된 제2 전송선로, 상기 입력단에 일단이 연결되고 타단이 상기 출력단에 연결되는 제3 전송선로, 상기 출력단에 일단이 연결되고 타단이 단락된 제4 전송선로, 및 상기 출력단에 일단이 연결되고 타단이 단락된 제5 전송선로를 포함할 수 있다.
- 발명의 효과**
- [0022] 본 발명의 실시예들에 따른 고조파 트랩 회로 및 이를 포함하는 F급 전력 증폭기는 개방 스텝 또는 단락 스텝을 이용하여 회로의 복잡도를 최소화할 수 있다. 따라서, 고조파 트랩 회로 및 이를 포함하는 F급 전력 증폭기는 전력 증폭 효율이 증가할 수 있다.

[0023] 또한, 본 발명의 실시예들에 따른 고조파 트랩 회로 및 이를 포함하는 F급 전력 증폭기는 병렬 스텝을 이용하므로, RLC 소자를 이용하여 고조파 트랩 회로를 구현하는 경우 대비 제조 비용이 감소할 수 있다.

[0024] 다만, 본 발명의 효과는 상술한 효과에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

- [0025] 도 1은 본 발명에 따른 F급 전력 증폭기의 블록도이다.
- 도 2는 이상적인 F급 전력 증폭기의 전압 파형과 전류 파형을 나타내는 그래프이다.
- 도 3은 개방 스텝을 이용한 고조파 트랩 회로의 블록도이다.
- 도 4는 도 3의 고조파 트랩 회로를 실질적으로 구현한 도면이다.
- 도 5는 도 3의 고조파 트랩 회로의 전달 특성을 나타내는 도면이다.
- 도 6은 단락 스텝을 이용한 고조파 트랩 회로의 블록도이다.
- 도 7은 도 6의 고조파 트랩 회로를 실질적으로 구현한 도면이다.
- 도 8은 도 6의 고조파 트랩 회로의 전달 특성을 나타내는 도면이다.
- 도 9는 병렬 스텝을 이용한 고조파 트랩 회로가 적용된 경우와 적용되지 않은 경우, F급 전력 증폭기의 효율을 비교한 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 발명의 개념에 따른 실시예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시예들에 한정되지 않는다.
- [0027] 본 발명의 개념에 따른 실시예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시예들을 특정한 개시형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 변경, 균등물, 또는 대체물을 포함한다.
- [0028] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 구성요소들은 용어들에 의해 한정되어서는 안 된다. 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만, 예를 들면 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.
- [0029] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 표현들, 예를 들면 "~사이에"와 "바로~사이에" 또는 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0030] 본 명세서에서 사용한 용어는 단지 특정한 실시예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0031] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의

미로 해석되지 않는다.

[0032] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 특허출원의 범위가 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.

[0033] 도 1은 본 발명에 따른 F급 전력 증폭기의 블록도이고, 도 2는 이상적인 F급 전력 증폭기의 전압 파형과 전류 파형을 나타내는 그래프이다.

[0034] 도 1 및 2를 참조하면, 본 발명에 따른 F급 전력 증폭기는 입력 정합 회로(100), 고조파 트랩 회로(200), 및 출력 정합 회로(300)를 포함할 수 있다. 구체적으로 F급 전력 증폭기는 입력 임피던스를 매칭하는 입력 정합 회로(100), 2차 고조파 및 3차 고조파를 제거하는 고조파 트랩 회로(200), 및 출력 임피던스를 매칭하는 출력 정합 회로(300)를 포함할 수 있다.

[0035] 예를 들어, 입력 정합 회로(100)는 F급 전력 증폭기의 전력 입력단에 배치되고, 입력 임피던스를 매칭할 수 있다. 고조파 트랩 회로(200)는 입력 정합 회로(100)와 출력 정합 회로(300) 사이에 배치되고, 입력 전력 중 기본파 전력 성분에 대한 2차 고조파 및 3차 고조파를 제거할 수 있다. 출력 정합 회로(300)는 F급 전력 증폭기의 전력 출력단에 배치되고, 출력 임피던스를 매칭할 수 있다.

[0036] 본 발명의 실시예들에 따른 F급 전력 증폭기는 시간 축에서 전류 파형과 전압 파형이 오버랩(overlap)되지 않게 함으로써, 이론적으로 DC 전력 소모를 0으로 만들 수 있다. F급 전력 증폭기에서 소모되는 DC 전력이 없으므로, 공급된 DC 전력은 100% RF 전력으로 변환 가능할 수 있다. 예를 들어, F급 전력 증폭기의 출력 신호는 사인 반파의 전류 파형과 구형파 모양의 전압 파형이 서로 겹치지 않으면서 주기적으로 반복될 수 있다. 이 때, F급 전력 증폭기의 출력 신호 중 전류 파형은 수식1과 같이 푸리에 급수로 표현될 수 있고, F급 전력 증폭기의 출력 신호 중 전압 파형은 수식2와 같이 푸리에 급수로 표현될 수 있다.

[0037] [수식1]

$$I_d = i_{dpeak} \left(\frac{1}{\pi} + \frac{1}{2} \sin \omega_0 t - \frac{2}{\pi} \sum_{n=2,4,6...}^{\infty} \frac{1}{n^2 - 1} \cos n\omega_0 t \right)$$

[0038]

[0039] [수식2]

$$V_d = v_{dpeak} \left(\frac{1}{2} - \frac{2}{\pi} \sin \omega_0 t - \frac{2}{\pi} \sum_{n=3,5,7...}^{\infty} \frac{1}{n} \sin n\omega_0 t \right)$$

[0040]

[0041] 수식1 및 수식2에서 보듯이, 전류 파형은 짝수 차수의 고조파 성분과 DC값으로 구성되어 있고, 전압 파형은 홀수 차수의 고조파 성분과 DC값으로 구성되어 있는 것을 알 수 있다. 즉, F급 전력 증폭기의 고조파 트랩 회로(200)(Harmonic Trap Circuit)가 짝수 차수 고조파에서 임피던스를 단락(short)시키고, 홀수 차수 고조파에서 임피던스를 개방(open)시키는 경우, 각각의 고조파에서 전류 파형과 전압 파형이 서로 겹치지 않게 되어 고조파에서 소모되는 전력이 제거되므로, F급 전력 증폭기는 효율이 향상될 수 있다. 한편, 고조파 트랩 회로(200)의 임피던스 매칭은 RLC 소자(lumped RLC)를 이용한 임피던스 매칭 방식, 또는 전송선로의 병렬 스텝(shunt stub)을 이용한 임피던스 매칭 방식으로 구현될 수 있다.

[0042] 본 발명의 실시예들에 따른 F급 전력 증폭기는 전송선로의 병렬 스텝을 이용한 임피던스 매칭 방식으로 구현될 수 있다. 구체적으로, 고조파 트랩 회로(200)는 전송선로의 병렬 스텝을 이용하여 임피던스 매칭됨으로써, 짝수 차수 고조파에서 임피던스를 단락시키고, 홀수 차수 고조파에서 임피던스를 개방시킬 수 있다.

[0043] 고조파 트랩 회로(200)는 제1 전송선로(TL1), 제2 전송선로(TL2), 제3 전송선로(TL3), 제4 전송선로(TL4), 및 제5 전송선로(TL5)를 포함할 수 있다. 제1 전송선로(TL1), 제2 전송선로(TL2), 제3 전송선로(TL3), 제4 전송선로(TL4), 및 제5 전송선로(TL5)는 마이크로스트립 선로(microstrip line)일 수 있다. 제1 전송선로(TL1), 제2 전송선로(TL2), 제4 전송선로(TL4), 및 제5 전송선로(TL5)는 병렬 스텝일 수 있다. 제3 전송선로(TL3)는 고조파 트랩 회로(200)의 입력단과 고조파 트랩 회로(200)의 출력단을 연결하는 직렬(series) 전송선로일 수 있다.

[0044] 예를 들어, 고조파 트랩 회로(200)는 입력 신호를 수신하는 입력단, 고조파가 제거된 신호를 출력하는 출력단,

일단(제1 단)이 상기 입력단에 연결되고 타단(제2 단)이 개방된 제1 전송선로(TL1), 상기 입력단에 일단(제1 단)이 연결되고 타단(제2 단)이 개방된 제2 전송선로(TL2), 상기 입력단에 일단(제1 단)이 연결되고 타단(제2 단)이 상기 출력단에 연결되는 제3 전송선로(TL3), 상기 출력단에 일단(제1 단)이 연결되고 타단(제2 단)이 개방된 제4 전송선로(TL4), 및 상기 출력단에 일단(제1 단)이 연결되고 타단(제2 단)이 개방된 제5 전송선로(TL5)를 포함할 수 있다.

[0045] 다른 예를 들어, 고조파 트랩 회로(200)는 입력 신호를 수신하는 입력단, 고조파가 제거된 신호를 출력하는 출력단, 일단(제1 단)이 상기 입력단에 연결되고 타단(제2 단)이 단락된 제1 전송선로(TL1), 상기 입력단에 일단(제1 단)이 연결되고 타단(제2 단)이 단락된 제2 전송선로(TL2), 상기 입력단에 일단(제1 단)이 연결되고 타단(제2 단)이 상기 출력단에 연결되는 제3 전송선로(TL3), 상기 출력단에 일단(제1 단)이 연결되고 타단(제2 단)이 단락된 제4 전송선로(TL4), 및 상기 출력단에 일단(제1 단)이 연결되고 타단(제2 단)이 단락된 제5 전송선로(TL5)를 포함할 수 있다.

[0046] 이와 같이, 본 발명에 따른 고조파 트랩 회로(200) 및 이를 포함하는 F급 전력 증폭기는 개방 스텝 또는 단락 스텝을 이용하여 회로의 복잡도를 최소화할 수 있다. 따라서, 고조파 트랩 회로(200) 및 이를 포함하는 F급 전력 증폭기는 전력 증폭 효율이 증가할 수 있다. 또한, 본 발명의 실시예들에 따른 고조파 트랩 회로(200) 및 이를 포함하는 F급 전력 증폭기는 병렬 스텝을 이용하므로, RLC 소자를 이용하여 고조파 트랩 회로(200)를 구현하는 경우 대비 제조 비용이 감소될 수 있다.

[0047] 도 3은 개방 스텝을 이용한 고조파 트랩 회로(200a)의 블록도이고, 도 4는 도 3의 고조파 트랩 회로(200a)를 실질적으로 구현한 도면이며, 도 5는 도 3의 고조파 트랩 회로(200)의 전달 특성을 나타내는 도면이다.

[0048] 도 3 내지 5를 참조하면, 고조파 트랩 회로(200a)는 개방 스텝을 이용하여 구현될 수 있다. 구체적으로, 고조파 트랩 회로(200a)는 1개의 직렬 전송선로와 4개의 개방 스텝 전송선로로 구현될 수 있다.

[0049] 고조파 트랩 회로(200a)는 입력단에 연결되는 제1 단, 및 개방된 제2 단을 포함하고 물리적 길이가 기본 주파수(f_0)에서 $\lambda/8$ 인 제1 전송선로(TL1)를 포함할 수 있다. 예를 들어, 제1 전송선로(TL1)의 임피던스 크기는 100옴[Ω]일 수 있다. 제1 전송선로(TL1)는 입력단에 개방 스텝으로 연결되므로, 기본 주파수(f_0)의 2배인 주파수에서 제1 전송선로(TL1)는 전기적 길이가 $\lambda/4$ 일 수 있다. 따라서, 고조파 트랩 회로(200a)의 입력단에 기본 주파수(f_0)의 2배의 주파수를 갖는 신호가 입력될 때, 입력단에서 바라본 제1 전송선로(TL1)의 등가 임피던스는 0옴[Ω]일 수 있다. 즉, 고조파 트랩 회로(200a)의 입력단에 기본 주파수(f_0)의 2배의 주파수를 갖는 신호가 입력될 때, 입력단에서 바라본 제1 전송선로(TL1)는 단락될 수 있다.

[0050] 고조파 트랩 회로(200a)는 상기 입력단에 연결되는 제1 단, 및 개방된 제2 단을 포함하고, 물리적 길이가 기본 주파수(f_0)에서 $\lambda/8$ 인 제2 전송선로(TL2)를 포함할 수 있다. 예를 들어, 제2 전송선로(TL2)의 임피던스 크기는 100옴[Ω]일 수 있다. 제2 전송선로(TL2)는 입력단에 개방 스텝으로 연결되므로, 기본 주파수(f_0)의 2배인 주파수에서 제2 전송선로(TL2)는 전기적 길이가 $\lambda/4$ 일 수 있다. 따라서, 고조파 트랩 회로(200a)의 입력단에 기본 주파수(f_0)의 2배의 주파수를 갖는 신호가 입력될 때, 입력단에서 바라본 제2 전송선로(TL2)의 등가 임피던스는 0옴[Ω]일 수 있다. 즉, 고조파 트랩 회로(200a)의 입력단에 기본 주파수(f_0)의 2배의 주파수를 갖는 신호가 입력될 때, 입력단에서 바라본 제2 전송선로(TL2)는 단락될 수 있다.

[0051] 한편, 제1 전송선로(TL1)와 제2 전송선로(TL2)는 입력단에 병렬 연결됨으로써, 전기적 균형을 유지할 수 있다. 예를 들어, 임피던스 크기가 100옴[Ω]인 제1 전송선로(TL1)와 임피던스 크기가 100옴[Ω]인 제2 전송선로(TL2)를 합성하는 경우, 상기 합성 임피던스의 크기는 50옴[Ω]이 될 수 있다. 고조파 트랩 회로(200a)는 입력단에 제1 전송선로(TL1)와 제2 전송선로(TL2)가 대칭적으로 병렬 연결된 구조를 포함함으로써, 입력되는 전력 성분의 전기적 균형을 유지할 수 있다.

[0052] 고조파 트랩 회로(200a)는 상기 입력단에 연결되는 제1 단, 및 출력단에 연결되는 제2 단을 포함하고 물리적 길이가 기본 주파수(f_0)에서 $\lambda/8$ 인 제3 전송선로(TL3)를 포함할 수 있다. 예를 들어, 제3 전송 선로의 임피던스 크기는 50옴[Ω]일 수 있다. 제3 전송선로(TL3)는 입력단과 출력단을 연결하는 직렬(series) 전송선로일 수 있다.

[0053] 고조파 트랩 회로(200a)는 상기 출력단에 연결되는 제1 단, 및 개방된 제2 단을 포함하고, 물리적 길이가 기본 주파수(f_0)에서 $\lambda/12$ 인 제4 전송선로(TL4)를 포함할 수 있다. 예를 들어, 제4 전송선로(TL4)의 임피던스 크기는 100옴[Ω]일 수 있다. 제4 전송선로(TL4)는 출력단에 개방 스텝으로 연결되므로, 기본 주파수(f_0)의 3배인 주파수에서 제4 전송선로(TL4)는 전기적 길이가 $\lambda/4$ 일 수 있다. 따라서, 고조파 트랩 회로(200a)의 입력단에

기본 주파수(f_0)의 3배의 주파수를 갖는 신호가 입력될 때, 출력단에서 바라본 제4 전송선로(TL4)의 등가 임피던스는 0Ω 일 수 있다. 즉, 고조파 트랩 회로(200a)의 입력단에 기본 주파수(f_0)의 3배의 주파수를 갖는 신호가 입력될 때, 출력단에서 바라본 제4 전송선로(TL4)는 단락될 수 있다.

[0054] 고조파 트랩 회로(200a)는 상기 출력단에 연결되는 제1 단, 및 개방된 제2 단을 포함하고, 물리적 길이가 기본 주파수(f_0)에서 $\lambda/12$ 인 제5 전송선로(TL5)를 포함할 수 있다. 예를 들어, 제5 전송선로(TL5)의 임피던스 크기는 100Ω 일 수 있다. 제5 전송선로(TL5)는 출력단에 개방 스텝으로 연결되므로, 기본 주파수(f_0)의 3배인 주파수에서 제5 전송선로(TL5)는 전기적 길이가 $\lambda/4$ 일 수 있다. 따라서, 고조파 트랩 회로(200a)의 입력단에 기본 주파수(f_0)의 3배의 주파수를 갖는 신호가 입력될 때, 출력단에서 바라본 제5 전송선로(TL5)의 등가 임피던스는 0Ω 일 수 있다. 즉, 고조파 트랩 회로(200a)의 입력단에 기본 주파수(f_0)의 3배의 주파수를 갖는 신호가 입력될 때, 출력단에서 바라본 제4 전송선로(TL4)는 단락될 수 있다.

[0055] 한편, 제4 전송선로(TL4)와 제5 전송선로(TL5)는 출력단에 병렬 연결됨으로써, 전기적 균형을 유지할 수 있다. 예를 들어, 임피던스 크기가 100Ω 인 제4 전송선로(TL4)와 임피던스 크기가 100Ω 인 제5 전송선로(TL5)를 합성하는 경우, 상기 합성 임피던스의 크기는 50Ω 이 될 수 있다. 고조파 트랩 회로(200a)는 출력단에 제4 전송선로(TL4)와 제5 전송선로(TL5)가 대칭적으로 병렬 연결된 구조를 포함함으로써, 출력되는 전력 성분의 전기적 균형을 유지할 수 있다.

[0056] 일 실시예에서, 입력단에 기본 주파수(f_0)의 2배의 주파수를 갖는 신호가 입력되는 경우, 개방 스텝을 이용한 고조파 트랩 회로(200a)의 입력단에서 바라본 등가 임피던스는 0Ω 일 수 있다. 즉, 입력단에 기본 주파수(f_0)의 2배의 주파수를 갖는 신호가 입력되는 경우, 개방 스텝을 이용한 고조파 트랩 회로(200a)의 입력단에서 바라본 등가 회로는 단락 회로일 수 있다. 구체적으로, 입력단에 기본 주파수(f_0)의 2배의 주파수를 갖는 신호가 입력되는 경우, 입력단에서 바라본 제1 전송선로(TL1)의 등가 임피던스 및 제2 전송선로(TL2)의 등가 임피던스는 0Ω 이므로, 고조파 트랩 회로(200a)의 입력단에서 바라본 등가 회로는 단락 회로일 수 있다. 따라서, 도 5에서 보듯이, 개방 스텝을 이용한 고조파 트랩 회로(200a)에서, 기본 주파수(f_0)의 2배인 주파수를 가지는 2차 고조파 전력 성분이 제거될 수 있다.

[0057] 일 실시예에서, 입력단에 기본 주파수(f_0)의 3배의 주파수를 갖는 신호가 입력되는 경우, 개방 스텝을 이용한 고조파 트랩 회로(200a)의 출력단에서 바라본 등가 임피던스는 0Ω 일 수 있다. 즉, 입력단에 기본 주파수(f_0)의 3배의 주파수를 갖는 신호가 입력되는 경우, 개방 스텝을 이용한 고조파 트랩 회로(200a)의 출력단에서 바라본 등가 회로는 단락 회로일 수 있다. 구체적으로, 입력단에 기본 주파수(f_0)의 3배의 주파수를 갖는 신호가 입력되는 경우, 출력단에서 바라본 제4 전송선로(TL4)의 등가 임피던스 및 제5 전송선로(TL5)의 등가 임피던스는 0 이므로, 고조파 트랩 회로(200a)의 출력단에서 바라본 등가 회로는 단락 회로일 수 있다. 이 경우, 고조파 트랩 회로(200a)의 입력단에서 바라본 제1 전송선로(TL1)와 제2 전송선로(TL2)의 합성 임피던스는 $-jZ_0[\Omega]$ (예를 들어, $-j50\Omega$)일 수 있다. 고조파 트랩 회로(200a)의 입력단에서 바라본 제3 전송선로(TL3), 제4 전송선로(TL4), 및 제5 전송선로(TL5)의 합성 임피던스는 $+jZ_0[\Omega]$ (예를 들어, $+j50\Omega$)일 수 있다. 여기서, 상기 제1 전송선로(TL1)와 상기 전송선로의 상기 합성 임피던스는 상기 제3 전송선로, 제4 전송선로(TL4), 및 제5 전송선로(TL5)의 상기 합성 임피던스와 병렬 연결될 수 있다. 여기서, 병렬 연결된 두 개의 합성 임피던스를 다시 합성하면, 최종 합성 임피던스의 분모는 $(-jZ_0+jZ_0)[\Omega]$ (예를 들어, $-j50+j50\Omega$)이 되므로, 고조파 트랩 회로(200a)의 입력단에서 바라본 등가 회로는 개방 회로일 수 있다. 따라서, 도 5에서 보듯이, 개방 스텝을 이용한 고조파 트랩 회로(200a)에서, 기본 주파수(f_0)의 3배인 주파수를 가지는 3차 고조파 전력 성분이 제거될 수 있다.

[0058] 이와 같이, 개방 스텝을 이용한 고조파 트랩 회로(200a)는 짝수 차수 고조파에 대해 입력단에서 바라본 등가 임피던스를 단락(short)시키고, 홀수 차수 고조파에 대해 입력단에서 바라본 등가 임피던스를 개방(open)시킬 수 있다. 즉, 개방 스텝을 이용한 고조파 트랩 회로(200a)는 1개의 전송선로와 4개의 개방 스텝 전송선로를 이용하여 F급 전력 증폭기를 구현할 수 있다.

[0059] 도 6은 단락 스텝을 이용한 고조파 트랩 회로(200b)의 블록도이고, 도 7은 도 6의 고조파 트랩 회로(200b)를 실질적으로 구현한 도면이며, 도 8은 도 6의 고조파 트랩 회로(200b)의 전달 특성을 나타내는 도면이다.

[0060] 도 6 내지 8을 참조하면, 고조파 트랩 회로(200b)는 단락 스텝을 이용하여 구현될 수 있다. 구체적으로, 고조파 트랩 회로(200b)는 1개의 직렬 전송선로와 4개의 단락 스텝 전송선로로 구현될 수 있다.

[0061] 고조파 트랩 회로(200b)는 입력단에 연결되는 제1 단, 및 단락된 제2 단을 포함하고 물리적 길이가 기본 주파수

(f0)에서 $\lambda/4$ 인 제1 전송선로(TL1)를 포함할 수 있다. 예를 들어, 제1 전송선로(TL1)의 임피던스 크기는 100옴[Ω]일 수 있다. 제1 전송선로(TL1)는 입력단에 단락 스텝으로 연결되므로, 기본 주파수(f0)의 2배인 주파수에서 제1 전송선로(TL1)는 전기적 길이가 $\lambda/2$ 일 수 있다. 따라서, 고조파 트랩 회로(200b)의 입력단에 기본 주파수(f0)의 2배의 주파수를 갖는 신호가 입력될 때, 입력단에서 바라본 제1 전송선로(TL1)의 등가 임피던스는 0옴[Ω]일 수 있다. 즉, 고조파 트랩 회로(200b)의 입력단에 기본 주파수(f0)의 2배의 주파수를 갖는 신호가 입력될 때, 입력단에서 바라본 제1 전송선로(TL1)는 단락될 수 있다.

[0062] 고조파 트랩 회로(200b)는 상기 입력단에 연결되는 제1 단, 및 단락된 제2 단을 포함하고, 물리적 길이가 기본 주파수(f0)에서 $\lambda/4$ 인 제2 전송선로(TL2)를 포함할 수 있다. 예를 들어, 제2 전송선로(TL2)의 임피던스 크기는 100옴[Ω]일 수 있다. 제2 전송선로(TL2)는 입력단에 단락 스텝으로 연결되므로, 기본 주파수(f0)의 2배인 주파수에서 제2 전송선로(TL2)는 전기적 길이가 $\lambda/2$ 일 수 있다. 따라서, 고조파 트랩 회로(200b)의 입력단에 기본 주파수(f0)의 2배의 주파수를 갖는 신호가 입력될 때, 입력단에서 바라본 제2 전송선로(TL2)의 등가 임피던스는 0옴[Ω]일 수 있다. 즉, 고조파 트랩 회로(200b)의 입력단에 기본 주파수(f0)의 2배의 주파수를 갖는 신호가 입력될 때, 입력단에서 바라본 제2 전송선로(TL2)는 단락될 수 있다.

[0063] 한편, 제1 전송선로(TL1)와 제2 전송선로(TL2)는 입력단에 병렬 연결됨으로써, 전기적 균형을 유지할 수 있다. 예를 들어, 임피던스 크기가 100옴[Ω]인 제1 전송선로(TL1)와 임피던스 크기가 100옴[Ω]인 제2 전송선로(TL2)를 합성하는 경우, 상기 합성 임피던스의 크기는 50옴[Ω]이 될 수 있다. 고조파 트랩 회로(200b)는 입력단에 제1 전송선로(TL1)와 제2 전송선로(TL2)가 대칭적으로 병렬 연결된 구조를 포함함으로써, 입력되는 전력 성분의 전기적 균형을 유지할 수 있다.

[0064] 고조파 트랩 회로(200b)는 상기 입력단에 연결되는 제1 단, 및 출력단에 연결되는 제2 단을 포함하고 물리적 길이가 기본 주파수(f0)에서 $\lambda/4$ 인 제3 전송선로(TL3)를 포함할 수 있다. 예를 들어, 제3 전송 선로의 임피던스 크기는 50옴[Ω]일 수 있다. 제3 전송선로(TL3)는 입력단과 출력단을 연결하는 직렬(series) 전송선로일 수 있다.

[0065] 고조파 트랩 회로(200b)는 상기 출력단에 연결되는 제1 단, 및 단락된 제2 단을 포함하고, 물리적 길이가 기본 주파수(f0)에서 $\lambda/6$ 인 제4 전송선로(TL4)를 포함할 수 있다. 예를 들어, 제4 전송선로(TL4)의 임피던스 크기는 100옴[Ω]일 수 있다. 제4 전송선로(TL4)는 출력단에 단락 스텝으로 연결되므로, 기본 주파수(f0)의 3배인 주파수에서 제4 전송선로(TL4)는 전기적 길이가 $\lambda/2$ 일 수 있다. 따라서, 고조파 트랩 회로(200b)의 입력단에 기본 주파수(f0)의 3배의 주파수를 갖는 신호가 입력될 때, 출력단에서 바라본 제4 전송선로(TL4)의 등가 임피던스는 0옴[Ω]일 수 있다. 즉, 고조파 트랩 회로(200b)의 입력단에 기본 주파수(f0)의 3배의 주파수를 갖는 신호가 입력될 때, 출력단에서 바라본 제4 전송선로(TL4)는 단락될 수 있다.

[0066] 고조파 트랩 회로(200b)는 상기 출력단에 연결되는 제1 단, 및 단락된 제2 단을 포함하고, 물리적 길이가 기본 주파수(f0)에서 $\lambda/6$ 인 제5 전송선로(TL5)를 포함할 수 있다. 예를 들어, 제5 전송선로(TL5)의 임피던스 크기는 100옴[Ω]일 수 있다. 제5 전송선로(TL5)는 출력단에 단락 스텝으로 연결되므로, 기본 주파수(f0)의 3배인 주파수에서 제5 전송선로(TL5)는 전기적 길이가 $\lambda/2$ 일 수 있다. 따라서, 고조파 트랩 회로(200b)의 입력단에 기본 주파수(f0)의 3배의 주파수를 갖는 신호가 입력될 때, 출력단에서 바라본 제5 전송선로(TL5)의 등가 임피던스는 0옴[Ω]일 수 있다. 즉, 고조파 트랩 회로(200b)의 입력단에 기본 주파수(f0)의 3배의 주파수를 갖는 신호가 입력될 때, 출력단에서 바라본 제4 전송선로(TL4)는 단락될 수 있다.

[0067] 한편, 제4 전송선로(TL4)와 제5 전송선로(TL5)는 출력단에 병렬 연결됨으로써, 전기적 균형을 유지할 수 있다. 예를 들어, 임피던스 크기가 100옴[Ω]인 제4 전송선로(TL4)와 임피던스 크기가 100옴[Ω]인 제5 전송선로(TL5)를 합성하는 경우, 상기 합성 임피던스의 크기는 50옴[Ω]이 될 수 있다. 고조파 트랩 회로(200b)는 출력단에 제4 전송선로(TL4)와 제5 전송선로(TL5)가 대칭적으로 병렬 연결된 구조를 포함함으로써, 출력되는 전력 성분의 전기적 균형을 유지할 수 있다.

[0068] 일 실시예에서, 입력단에 기본 주파수(f0)의 2배의 주파수를 갖는 신호가 입력되는 경우, 단락 스텝을 이용한 고조파 트랩 회로(200b)의 입력단에서 바라본 등가 임피던스는 0옴[Ω]일 수 있다. 즉, 입력단에 기본 주파수(f0)의 2배의 주파수를 갖는 신호가 입력되는 경우, 단락 스텝을 이용한 고조파 트랩 회로(200b)의 입력단에서 바라본 등가 회로는 단락 회로일 수 있다. 구체적으로, 입력단에 기본 주파수(f0)의 2배의 주파수를 갖는 신호가 입력되는 경우, 입력단에서 바라본 제1 전송선로(TL1)의 등가 임피던스 및 제2 전송선로(TL2)의 등가 임피던스는 0옴[Ω]이므로, 고조파 트랩 회로(200b)의 입력단에서 바라본 등가 회로는 단락 회로일 수 있다. 따라서, 도 8에서 보듯이, 단락 스텝을 이용한 고조파 트랩 회로(200b)에서, 기본 주파수(f0)의 2배인 주파수를 가지는

2차 고조파 전력 성분이 제거될 수 있다.

[0069] 일 실시예에서, 입력단에 기본 주파수(f_0)의 3배의 주파수를 갖는 신호가 입력되는 경우, 단락 스텝을 이용한 고조파 트랩 회로(200b)의 출력단에서 바라본 등가 임피던스는 0Ω 일 수 있다. 즉, 입력단에 기본 주파수(f_0)의 3배의 주파수를 갖는 신호가 입력되는 경우, 단락 스텝을 이용한 고조파 트랩 회로(200b)의 출력단에서 바라본 등가 회로는 단락 회로일 수 있다. 구체적으로, 입력단에 기본 주파수(f_0)의 3배의 주파수를 갖는 신호가 입력되는 경우, 출력단에서 바라본 제4 전송선로(TL4)의 등가 임피던스 및 제5 전송선로(TL5)의 등가 임피던스는 0이므로, 고조파 트랩 회로(200b)의 출력단에서 바라본 등가 회로는 단락 회로일 수 있다. 이 경우, 고조파 트랩 회로(200b)의 입력단에서 바라본 제1 전송선로(TL1)와 제2 전송선로(TL2)의 합성 임피던스는 $-jZ_0[\Omega]$ (예를 들어, $-j50\Omega$)일 수 있다. 고조파 트랩 회로(200b)의 입력단에서 바라본 제3 전송선로(TL3), 제4 전송선로(TL4), 및 제5 전송선로(TL5)의 합성 임피던스는 $+jZ_0[\Omega]$ (예를 들어, $+j50\Omega$)일 수 있다. 여기서, 상기 제1 전송선로(TL1)와 상기 전송선로의 상기 합성 임피던스는 상기 제3전송선로, 제4 전송선로(TL4), 및 제5 전송선로(TL5)의 상기 합성 임피던스와 병렬 연결될 수 있다. 여기서, 병렬 연결된 두 개의 합성 임피던스를 다시 합성하면, 최종 합성 임피던스의 분모는 $(-jZ_0+jZ_0) [\Omega]$ (예를 들어, $-j50+j50\Omega$)이 되므로, 고조파 트랩 회로(200b)의 입력단에서 바라본 등가 회로는 개방 회로일 수 있다. 따라서, 도 8에서 보듯이, 단락 스텝을 이용한 고조파 트랩 회로(200b)에서, 기본 주파수(f_0)의 3배인 주파수를 가지는 3차 고조파 전력 성분이 제거될 수 있다.

[0070] 이와 같이, 단락 스텝을 이용한 고조파 트랩 회로(200b)는 짝수 차수 고조파에 대해 입력단에서 바라본 등가 임피던스를 단락(short)시키고, 홀수 차수 고조파에 대해 입력단에서 바라본 등가 임피던스를 개방(open)시킬 수 있다. 즉, 단락 스텝을 이용한 고조파 트랩 회로(200b)는 1개의 전송선로와 4개의 단락 스텝 전송선로를 이용하여 F급 전력 증폭기를 구현할 수 있다.

[0071] 도 9는 병렬 스텝을 이용한 고조파 트랩 회로(200)가 적용된 경우와 적용되지 않은 경우, F급 전력 증폭기의 효율을 비교한 그래프이다.

[0072] 도 9를 참조하면, 본 발명의 개방 스텝을 이용한 고조파 트랩 회로(200a) 또는 단락 스텝을 이용한 고조파 트랩 회로(200b)를 이용하는 경우(예컨대, 실선), 고조파 트랩 회로(200a, 200b)를 이용하지 않는 경우(예컨대, 점선) 대비 입력 전력에 따른 전력 증폭 효율이 전체적으로 상승한 것을 확인할 수 있다. 즉, 본 발명의 실시예들에 따른 고조파 트랩 회로(200) 및 이를 포함하는 F급 전력 증폭기는 개방 스텝 또는 단락 스텝을 이용하여 회로의 복잡도를 최소화함으로써, 고조파 트랩 회로(200) 및 이를 포함하는 F급 전력 증폭기의 전력 증폭 효율을 최대화할 수 있다. 또한, 본 발명의 실시예들에 따른 고조파 트랩 회로(200) 및 이를 포함하는 F급 전력 증폭기는 병렬 스텝을 이용하므로, RLC 소자를 이용하여 고조파 트랩 회로(200)를 구현하는 경우 대비 제조 비용이 감소되므로, 고조파 트랩 회로(200) 및 F급 전력 증폭기의 생산성이 증가할 수 있다.

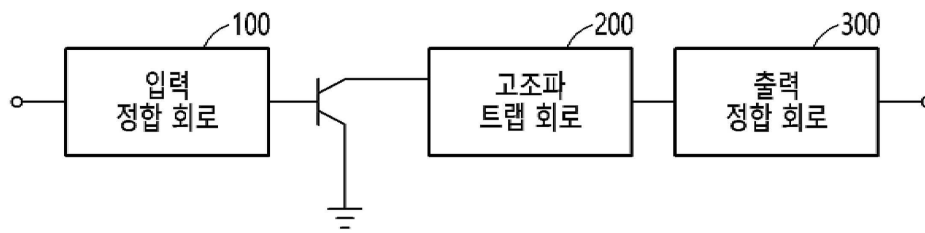
[0073] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들면, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 장치, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다. 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

부호의 설명

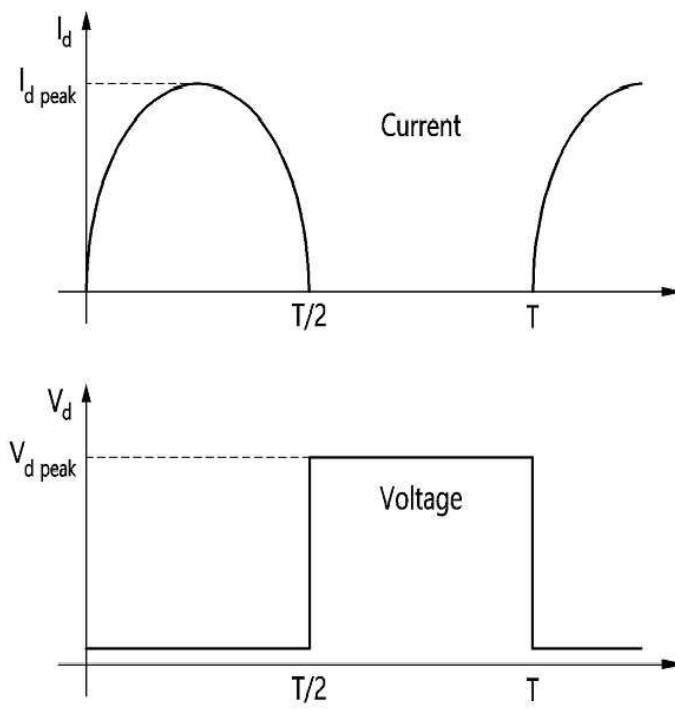
[0074] 100: 입력 정합 회로
200: 고조파 트랩 회로
200a: 개방 스텝을 이용한 고조파 트랩 회로
200b: 단락 스텝을 이용한 고조파 트랩 회로
300: 출력 정합 회로

도면

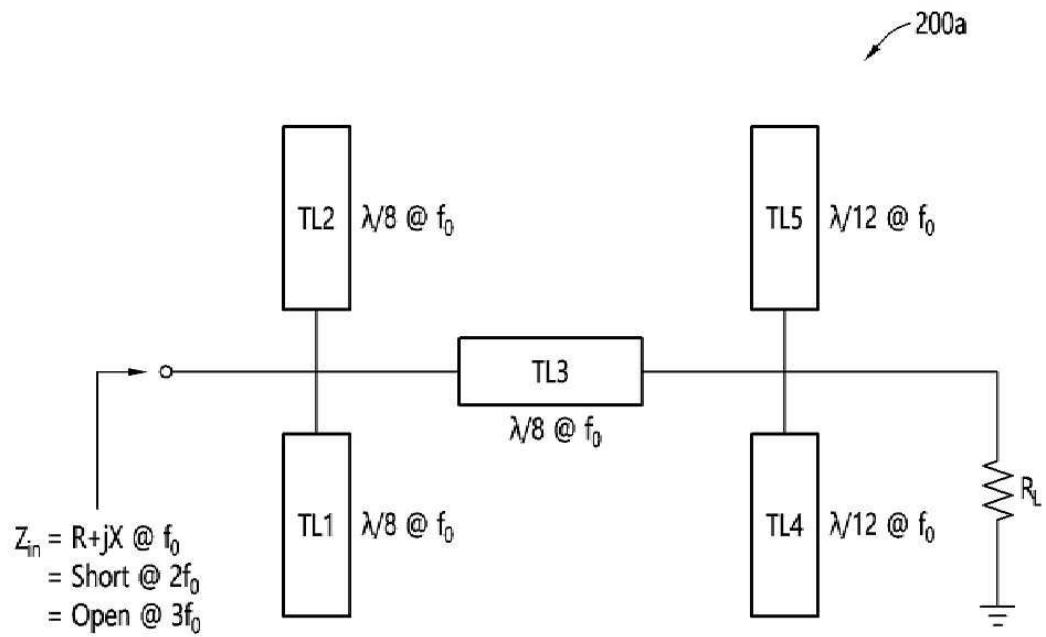
도면1



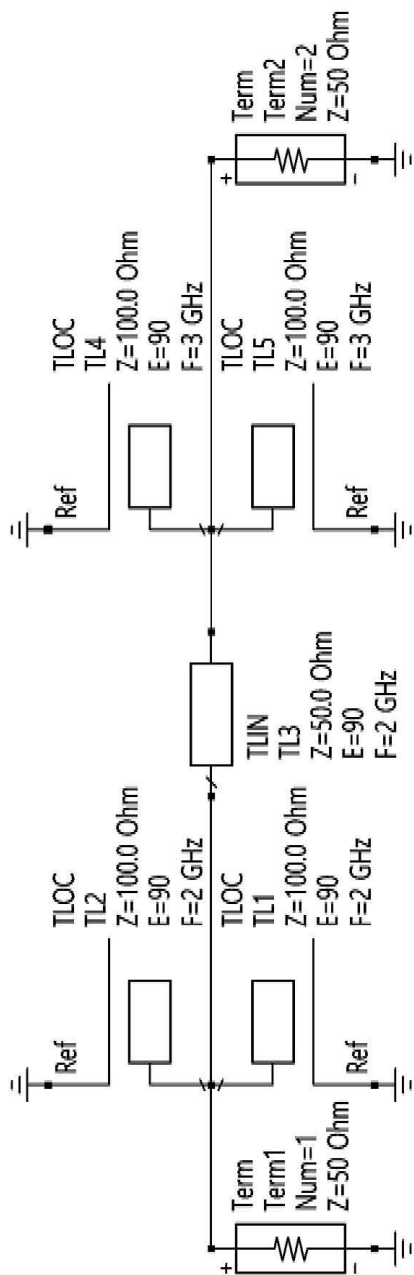
도면2



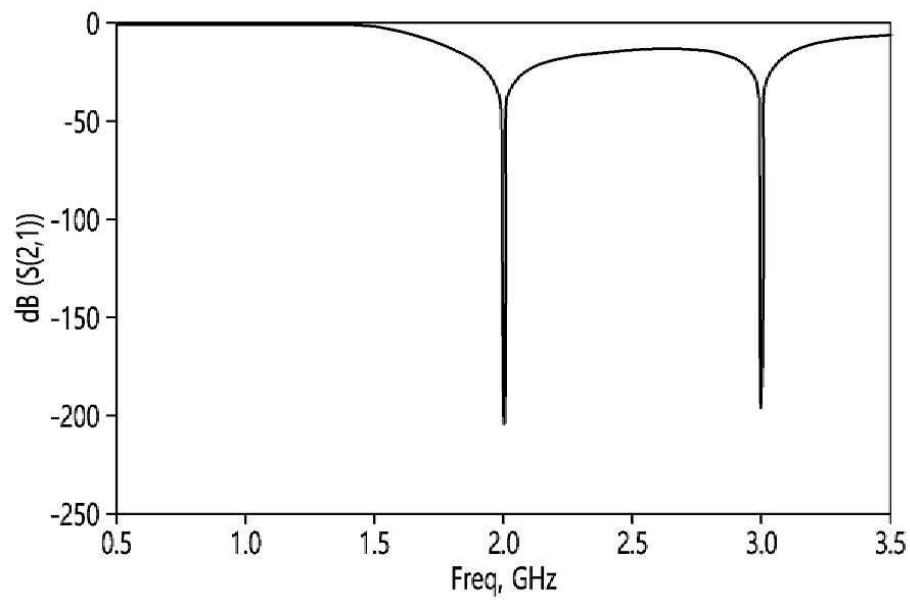
도면3



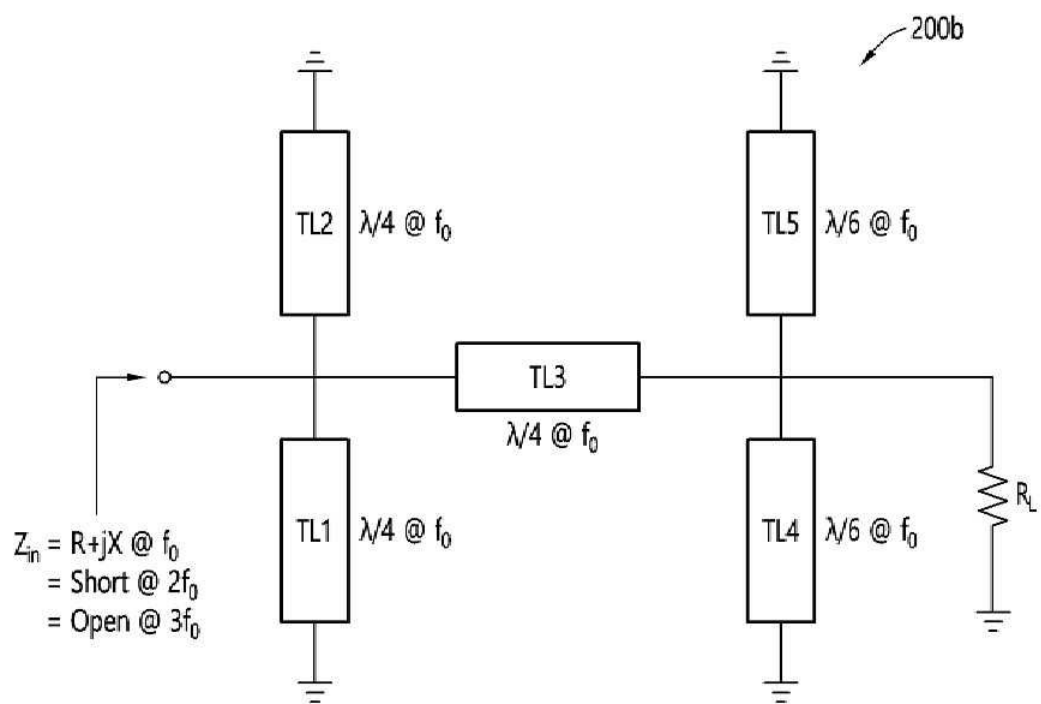
도면4



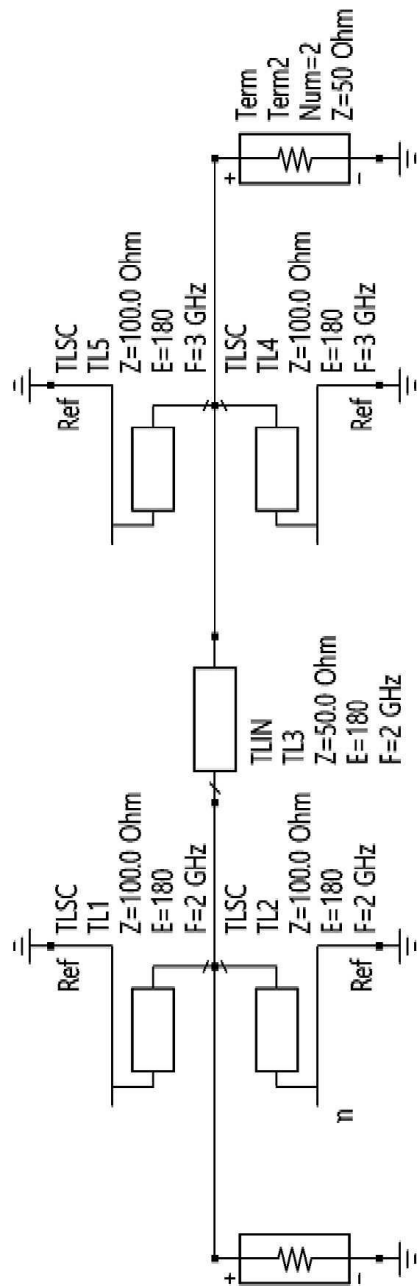
도면5



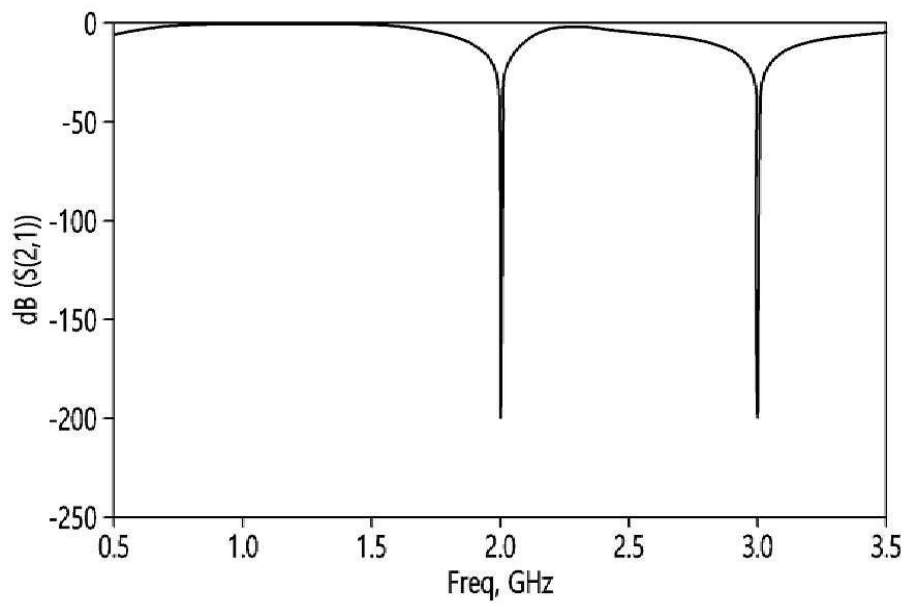
도면6



도면7



도면8



도면9

