

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成 17 年 12 月 22 日 (2005.12.22)

【公表番号】特表 2004-530243 (P2004-530243A)

【公表日】平成 16 年 9 月 30 日 (2004.9.30)

【年通号数】公開・登録公報 2004-038

【出願番号】特願 2002-578510 (P2002-578510)

【国際特許分類第 7 版】

G 1 1 C 29/00

G 0 1 R 31/28

G 1 1 C 11/401

G 1 1 C 11/413

【F I】

G 1 1 C 29/00 6 7 1 Q

G 1 1 C 11/34 3 4 1 D

G 1 1 C 11/34 3 7 1 A

G 0 1 R 31/28 B

G 0 1 R 31/28 V

【手続補正書】

【提出日】平成 17 年 2 月 23 日 (2005.2.23)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 のビット線と第 2 のビット線に結合された第 1 のメモリセルと、
第 3 のビット線と第 4 のビット線に結合された第 2 のメモリセルと、
前記第 1 及び第 2 のメモリセルに結合され、該第 1 及び第 2 のメモリセルへのアクセスを可能にするアドレスデコードと、

前記第 1 及び第 3 のビット線に結合され、前記第 1 のビット線上の前記第 1 のメモリセルから及び前記第 3 のビット線の前記第 2 のメモリセルからデータが出力されたときに、前記第 1 のビット線の電圧レベルを前記第 3 のビット線の電圧レベルと比較する第 1 のコンパレータ回路と、

前記第 2 及び第 4 のビット線に結合され、前記第 1 のビット線及び第 3 ビット線上の出力であるデータの補数が、第 2 のビット線上の前記第 1 のメモリセルから及び前記第 4 のビット線上の第 2 のメモリセルから出力されたときに、前記第 2 のビット線の電圧レベルを前記第 4 のビット線の電圧レベルと比較する第 2 のコンパレータ回路とを備える装置。

【請求項 2】

第 1 及び第 2 のメモリセルに同じ値を書き込み、

第 1 のメモリセルを第 1 のビット線に結合し、

第 1 のメモリセルを第 2 のビット線に結合し、

第 2 のメモリセルを第 3 のビット線に結合し、

第 2 のメモリセルを第 4 のビット線に結合し、

前記第 1 及び第 3 のビット線を第 1 のコンパレータ回路の入力に結合し、

前記第 2 及び第 4 のビット線を第 2 のコンパレータ回路の入力に結合し、

前記第 1 のビット線を介して前記第 1 のメモリセルから、及び前記第 3 のビット線を介して前記第 2 のメモリセルから同じ値を読み出し、

前記第 2 のビット線を介して前記第 1 のメモリセルから、及び前記第 4 のビット線を介して前記第 2 のメモリセルから前記第 1 及び第 3 ビット線を介して読み出された値の補数である同じ値を読み出し、

前記第 1 及び第 3 のビット線の電圧レベルを比較し、かつ

前記第 2 及び第 4 のビット線の電圧レベルを比較する

ことを含む方法。

【請求項 3】

装置であって、

メモリアレイ内の第 1 のメモリセルに結合された第 1 のビット線と、

前記メモリアレイ内の第 2 のメモリセルに結合された第 2 のビット線と、

前記メモリアレイ内の第 1 のメモリセルに結合された第 3 のビット線と、

前記第 2 ビット線と第 3 ビット線に結合されたマルチプレクサと、

前記第 1 ビット線に接続された第 1 入力と、前記マルチプレクサに結合され、そのマルチプレクサによって選択されて第 2 ビット線か第 3 ビット線のいずれかが選択的に結合される第 2 入力とを有するコンパレータ回路と

を有する装置。