

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成17年12月22日(2005.12.22)

【公表番号】特表2004-530243(P2004-530243A)

【公表日】平成16年9月30日(2004.9.30)

【年通号数】公開・登録公報2004-038

【出願番号】特願2002-578510(P2002-578510)

【国際特許分類第7版】

G 1 1 C 29/00

G 0 1 R 31/28

G 1 1 C 11/401

G 1 1 C 11/413

【F I】

G 1 1 C 29/00 6 7 1 Q

G 1 1 C 11/34 3 4 1 D

G 1 1 C 11/34 3 7 1 A

G 0 1 R 31/28 B

G 0 1 R 31/28 V

【手続補正書】

【提出日】平成17年2月23日(2005.2.23)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1のビット線と第2のビット線に結合された第1のメモリセルと、

第3のビット線と第4のビット線に結合された第2のメモリセルと、

前記第1及び第2のメモリセルに結合され、該第1及び第2のメモリセルへのアクセスを可能にするアドレスデコーダと、

前記第1及び第3のビット線に結合され、前記第1のビット線上の前記第1のメモリセルから及び前記第3のビット線の前記第2のメモリセルからデータが出力されたときに、前記第1のビット線の電圧レベルを前記第3のビット線の電圧レベルと比較する第1のコンパレータ回路と、

前記第2及び第4のビット線に結合され、前記第1のビット線及び第3ビット線上の出力であるデータの補数が、第2のビット線上の前記第1のメモリセルから及び前記第4のビット線上の第2のメモリセルから出力されたときに、前記第2のビット線の電圧レベルを前記第4のビット線の電圧レベルと比較する第2のコンパレータ回路と

を備える装置。

【請求項2】

第1及び第2のメモリセルに同じ値を書き込み、

第1のメモリセルを第1のビット線に結合し、

第1のメモリセルを第2のビット線に結合し、

第2のメモリセルを第3のビット線に結合し、

第2のメモリセルを第4のビット線に結合し、

前記第1及び第3のビット線を第1のコンパレータ回路の入力に結合し、

前記第2及び第4のビット線を第2のコンパレータ回路の入力に結合し、

前記第1のビット線を介して前記第1のメモリセルから、及び前記第3のビット線を介して前記第2のメモリセルから同じ値を読み出し、

前記第2のビット線を介して前記第1のメモリセルから、及び前記第4のビット線を介して前記第2のメモリセルから前記第1及び第3ビット線を介して読み出された値の補数である同じ値を読み出し、

前記第1及び第3のビット線の電圧レベルを比較し、かつ

前記第2及び第4のビット線の電圧レベルを比較する

ことを含む方法。

【請求項3】

装置であつて、

メモリアレイ内の第1のメモリセルに結合された第1のビット線と、

前記メモリアレイ内の第2のメモリセルに結合された第2のビット線と、

前記メモリアレイ内の第1のメモリセルに結合された第3のビット線と、

前記第2ビット線と第3ビット線に結合されたマルチプレクサと、

前記第1ビット線に接続された第1入力と、前記マルチプレクサに結合され、そのマルチプレクサによって選択されて第2ビット線か第3ビット線のいずれかが選択的に結合される第2入力とを有するコンパレータ回路と

を有する装置。