



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0105390
(43) 공개일자 2013년09월25일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/336 (2006.01)
(21) 출원번호 10-2013-0024341
(22) 출원일자 2013년03월07일
심사청구일자 없음
(30) 우선권주장
JP-P-2012-056643 2012년03월14일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 순페이
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
다카하시 마사히로
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
황의만

전체 청구항 수 : 총 12 항

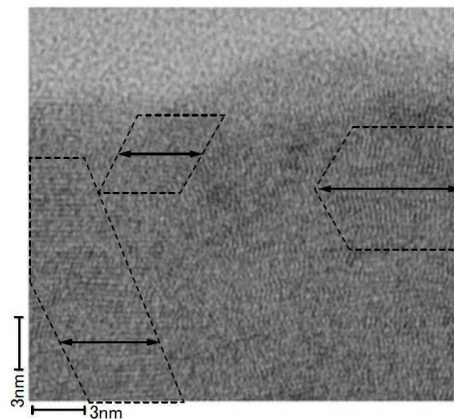
(54) 발명의 명칭 산화물 반도체막, 트랜지스터, 및 반도체 장치

(57) 요약

본 발명은, 트랜지스터의 전기 특성의 변동을 생기기 하기 어려운, 안정성이 높은 산화물 반도체막을 제공한다. 상기 산화물 반도체막을 채널 형성 영역에 사용한 트랜지스터, 상기 트랜지스터를 갖는 신뢰성이 높은 반도체 장치를 제공한다.

인듐을 포함하는 산화물 반도체막이며, c축이 산화물 반도체막 표면에 대략 수직인 결정부를 포함하고, 결정부에 있어서 c축에 수직인 면에서의 인듐 및 산소로 구성되는 결정 배열부의 길이가 1.5nm보다 긴 산화물 반도체막으로 한다. 또한, 상기 산화물 반도체막을 채널 형성 영역에 사용한 트랜지스터를 갖는 반도체 장치로 한다.

대표도 - 도1



특허청구의 범위

청구항 1

산화물 반도체막에 있어서,

상기 산화물 반도체막의 표면에 대략 수직인 c축을 갖는 결정부로서, 상기 결정부에서 상기 c축에 수직인 면에
서의 인듐 원자 및 산소 원자를 함유하는 결정 배열부를 포함하는 상기 결정부를 포함하고,

상기 결정 배열부의 길이가 1.5nm보다 긴, 산화물 반도체막.

청구항 2

제 1 항에 있어서,

상기 결정부는 갈륨 원자 및 아연 원자를 더 포함하는, 산화물 반도체막.

청구항 3

트랜지스터에 있어서,

상기 트랜지스터의 채널 형성 영역에서 제 1 항에 따른 상기 산화물 반도체막을 포함하는, 트랜지스터.

청구항 4

산화물 반도체막에 있어서,

상기 산화물 반도체막의 표면에 대략 수직인 c축을 갖는 결정부로서, 상기 결정부에서 상기 c축에 수직인 면에
서의 인듐 원자 및 산소 원자를 함유하는 결정 배열부를 포함하는 상기 결정부를 포함하고,

상기 결정 배열부의 길이가 2nm 이상 20nm 이하인, 산화물 반도체막.

청구항 5

제 4 항에 있어서,

상기 결정부는 갈륨 원자 및 아연 원자를 더 포함하는, 산화물 반도체막.

청구항 6

트랜지스터에 있어서,

상기 트랜지스터의 채널 형성 영역에서 제 4 항에 따른 상기 산화물 반도체막을 포함하는, 트랜지스터.

청구항 7

산화물 반도체막에 있어서,

복수의 결정부를 포함하고,

상기 복수의 결정부는 c축들이 배향되고,

상기 c축들 각각은 상기 산화물 반도체막의 표면에 대략 수직이고,

상기 복수의 결정부 각각에서 상기 c축에 수직인 면에서의 인듐 원자 및 산소 원자를 함유하는 결정 배열부의 길이가 1.5nm보다 긴, 산화물 반도체막.

청구항 8

제 7 항에 있어서,

상기 복수의 결정부 각각은 갈륨 원자 및 아연 원자를 더 포함하는, 산화물 반도체막.

청구항 9

트랜지스터에 있어서,

상기 트랜지스터의 채널 형성 영역에서 제 7 항에 따른 상기 산화물 반도체막을 포함하는, 트랜지스터.

청구항 10

산화물 반도체막에 있어서,

복수의 결정부를 포함하고,

상기 복수의 결정부는 c축들이 배향되고,

상기 c축들 각각은 상기 산화물 반도체막의 표면에 대략 수직이고,

상기 복수의 결정부 각각에서 상기 c축에 수직인 면에서의 상기 인듐 원자 및 산소 원자를 함유하는 결정 배열부의 길이가 2nm 이상 20nm 이하인, 산화물 반도체막.

청구항 11

제 10 항에 있어서,

상기 결정부는 갈륨 원자 및 아연 원자를 포함하는, 산화물 반도체막.

청구항 12

트랜지스터에 있어서,

상기 트랜지스터의 채널 형성 영역에서 제 10 항에 따른 상기 산화물 반도체막을 포함하는, 트랜지스터.

명세서

기술분야

[0001] 본 발명은 산화물 반도체막, 트랜지스터, 반도체 장치, 및 이들의 제작 방법에 관한 것이다.

[0002] 또한, 본 명세서 중에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키며, 전기 광학 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치이다.

배경기술

[0003] 절연 표면을 갖는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터(박막 트랜지스터(TFT)라고도 함)를 구

성하는 기술이 주목을 받고 있다. 이 트랜지스터는 집적 회로(IC)나 화상 표시 장치(표시 장치)와 같은 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용될 수 있는 반도체 박막으로서 실리콘계 반도체 재료가 널리 알려져 있다.

[0004] 또한, 최근에는 반도체 박막의 재료로서 산화물 반도체가 관심을 끌고 있다. 예를 들어, 기판 위에 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 어모퍼스 산화물(In-Ga-Zn-O계 어모퍼스 산화물)로 이루어진 반도체층을 사용한 트랜지스터가 기재되어 있다(특허문헌 1 참조).

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본국 특개 2011-181801호 공보

발명의 내용

해결하려는 과제

[0006] 그런데, 반도체 장치에 있어서 고신뢰성의 달성은, 제품화에 있어서 중요한 사항이고, 특히 반도체 장치의 전기 특성의 변동이나 저하는 신뢰성의 저하를 초래하는 요인이다.

[0007] 반도체 장치의 전기 특성의 변동에는, 트랜지스터의 채널 형성 영역에 사용하는 반도체막의 열이나 광 등에 대한 안정성이 크게 영향을 준다.

[0008] 그래서, 트랜지스터의 전기 특성의 변동을 생기게 하기 어려운, 안정성이 높은 산화물 반도체막을 제공하는 것을 과제 중 하나로 한다.

[0009] 상기 산화물 반도체막을 채널 형성 영역에 사용하여 전기적으로 안정된 특성을 갖는 트랜지스터를 제공하는 것을 과제 중 하나로 한다.

[0010] 상기 트랜지스터를 갖는 신뢰성이 높은 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

과제의 해결 수단

[0011] 본 명세서에서 기재하는 발명에 있어서, 산화물 반도체막은 c축이 표면에 대략 수직인 결정부를 포함하는 산화물 반도체막, CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막이다. 본 명세서에 있어서는, c축이 표면에 대략 수직인 결정부를 포함하는 산화물 반도체막을 CAAC-OS막이라고 한다.

[0012] 본 명세서에서 기재하는 발명의 구성의 일 형태는, 인듐을 포함하는 산화물 반도체막이며, c축이 표면에 대략 수직인 결정부를 포함하고, 결정부에 있어서 c축에 수직인 면에서의 인듐 및 산소로 구성되는 결정 배열부의 길이가 1.5nm보다 긴 산화물 반도체막이다.

[0013] 본 명세서에서 기재하는 발명의 구성의 다른 일 형태는, 인듐을 포함하는 산화물 반도체막이며, c축이 표면에 대략 수직인 결정부를 갖고, 결정부에 있어서 c축에 수직인 면에서의 인듐 및 산소로 구성되는 결정 배열부의 길이가 2nm 이상 20nm 이하인 산화물 반도체막이다.

[0014] 본 명세서에서 기재하는 발명의 구성의 다른 일 형태는, 인듐을 포함하는 산화물 반도체막이며, 복수의 결정부를 포함하고, 복수의 결정부는 c축 배향되고, c축은 산화물 반도체막의 표면에 대략 수직이고, 복수의 결정부에 있어서 c축에 수직인 면에서의 인듐 및 산소로 구성되는 결정 배열부의 길이가 1.5nm보다 긴 산화물 반도체막이다.

[0015] 본 명세서에서 기재하는 발명의 구성의 다른 일 형태는, 인듐을 포함하는 산화물 반도체막이며, 복수의 결정부를 포함하고, 복수의 결정부는 c축 배향되고, c축은 산화물 반도체막의 표면에 대략 수직이고, 복수의 결정부에 있어서 c축에 수직인 면에서의 인듐 및 산소로 구성되는 결정 배열부의 길이가 2nm 이상 20nm 이하인 산화물 반

도체막이다.

- [0016] 본 명세서에서 기재하는 발명의 구성의 다른 일 형태는, 상기 구성에 있어서 산화물 반도체막은 갈륨 및 아연을 포함하는 산화물 반도체막이다.
- [0017] 본 명세서에서 기재하는 발명의 구성의 다른 일 형태는, 상기에서 기재한 산화물 반도체막을 채널 형성 영역에 사용한 트랜지스터이다.
- [0018] 본 명세서에서 기재하는 발명의 구성의 다른 일 형태는, 상기에서 기재한 트랜지스터를 포함하는 회로를 갖는 반도체 장치이다.
- [0019] 본 명세서에서 기재하는 산화물 반도체막(CAAC-OS막)은, 비정질 산화물 반도체막과 비교하여 가열 처리를 행하여도 막 중의 금속 원소의 탈리가 생기기 어렵고, 광 응답성도 낮다. 따라서, 열 및 광에 대하여 안정성이 높다.
- [0020] 또한, 채널 형성 영역에 사용하는 산화물 반도체막은, 산소 결함으로 대표되는 막 중의 결함이 저감되어 있는 것이 바람직하다. 산소 결함으로 대표되는 결함은, 산화물 반도체막 중에서 캐리어의 공급원과 같이 기능하기 때문에, 산화물 반도체막의 전기 전도도가 변동되는 원인이 될 수 있다. 산소 결함의 양은, 전자 스핀 공명법(ESR: Electron Spin Resonance)에 의하여 산화물 반도체막 중의 고립 전자의 양을 스핀 밀도로서 측정함으로써 추정할 수 있다.
- [0021] 본 명세서에서 기재하는 산화물 반도체막(CAAC-OS막)은 스핀 밀도가 낮고, 비정질 산화물 반도체막과 비교하여 산소 결함의 양이 저감되어 있다.
- [0022] 따라서, 본 명세서에서 기재하는 산화물 반도체막(CAAC-OS막)을 채널 형성 영역에 사용한 트랜지스터는, 전기 전도도가 안정되어, 가열이나 광 조사에 대하여도 전기적으로 더 안정된 특성을 갖는다.
- [0023] 본 발명의 일 형태는 산화물 반도체막, 상기 산화물 반도체막을 적용할 수 있는 트랜지스터, 또는 상기 트랜지스터를 포함하여 구성되는 회로를 갖는 반도체 장치에 관한 것이다. 예를 들어, 산화물 반도체로 채널 형성 영역이 형성되는 트랜지스터, 또는 상기 트랜지스터를 포함하여 구성되는 회로를 갖는 반도체 장치에 관한 것이다. 예를 들어, LSI나, CPU나, 전원 회로에 탑재되는 파워 디바이스나, 메모리, 사이리스터, 컨버터, 이미지 센서 등을 포함하는 반도체 집적 회로, 액정 표시 패널로 대표되는 전기 광학 장치나, 발광 소자를 갖는 발광 표시 장치를 부품으로서 탑재한 전자 기기에 관한 것이다.

발명의 효과

- [0024] 트랜지스터의 전기 특성의 변동을 생기게 하기 어려운, 안정성이 높은 산화물 반도체막을 제공한다.
- [0025] 상기 산화물 반도체막을 채널 형성 영역에 사용하여 전기적으로 안정된 특성을 갖는 트랜지스터를 제공한다.
- [0026] 상기 트랜지스터를 갖고 신뢰성이 높은 반도체 장치를 제공한다.

도면의 간단한 설명

- [0027] 도 1은 실시예 시료의 TEM상을 도시한 도면.
- 도 2는 비교예 시료의 TEM상을 도시한 도면.
- 도 3은 결정부의 구조의 일 형태를 도시한 도면.
- 도 4(A) 및 도 4(B)는 실시예 시료 및 비교예 시료의 XRD 결과를 도시한 도면.
- 도 5(A) 내지 도 5(E)는 반도체 장치의 일 형태를 설명하는 단면도.
- 도 6(A) 내지 도 6(C)는 전자 기기를 도시한 도면.
- 도 7(A) 내지 도 7(C)는 전자 기기를 도시한 도면.
- 도 8(A) 내지 도 8(C)는 전자 기기를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하에서는 본 명세서에 기재하는 발명의 실시형태에 대하여 도면을 사용하여 상세하게 설명한다. 단, 본 명세서에 기재하는 발명은 이하의 설명에 한정되지 않고, 그 형태 및 상세한 내용을 다양하게 변경할 수 있음은 당업자라면 용이하게 이해된다. 또한, 본 명세서에 기재하는 발명은 이하에 제시하는 실시형태의 기재 내용에 한정되어 해석되는 것이 아니다. 또한, "제 1", "제 2"로서 붙여지는 서수사는 편의상 사용하는 것이며, 공정 순서 또는 적층 순서를 나타내는 것이 아니다. 또한, 본 명세서에서 발명을 특정하기 위한 사항으로서 고유한 명칭을 나타내는 것은 아니다.
- [0029] (실시형태 1)
- [0030] 본 명세서에 기재하는 발명에 따른 산화물 반도체막은, c축이 표면에 대략 수직인 결정부를 포함하는 산화물 반도체막(CAAC-OS막)이며, 결정부에 있어서 c축에 수직인 면에서의 인듐 및 산소로 구성되는 결정 배열부의 길이가 1.5nm보다 긴(바람직하게는 2nm 이상 20nm 이하인) 산화물 반도체막이다.
- [0031] 본 명세서에 기재하는 발명에 따른 산화물 반도체막은, 결정부에 있어서 적어도 1.5nm보다 길고(바람직하게는 2nm 이상 20nm 이하이고) c축에 수직인 면에서의 인듐 및 산소로 구성되는 결정 배열부가 확인되는 CAAC-OS막이다.
- [0032] 산화물 반도체막은, 예를 들어 비단결정을 가져도 좋다. 비단결정은 예를 들어 CAAC(C Axis Aligned Crystal), 다결정, 미결정, 비정질부를 갖는다. 비정질부는, 미결정, CAAC보다 결함 준위 밀도가 높다. 또한, 미결정은 CAAC보다 결함 준위 밀도가 높다. 또한, CAAC를 갖는 산화물 반도체를 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)라고 부른다.
- [0033] 산화물 반도체막은, 예를 들어 CAAC-OS를 가져도 좋다. CAAC-OS는 예를 들어 c축 배향하고, a축 또는/및 b축은 거시적으로 보면 정렬되어 있지 않다.
- [0034] 산화물 반도체막은 예를 들어 미결정을 가져도 좋다. 또한, 미결정을 갖는 산화물 반도체를 미결정 산화물 반도체라고 부른다. 미결정 산화물 반도체막은 예를 들어 1nm 이상 10nm 미만의 사이즈의 미결정(나노 결정이라고도 함)을 막 중에 포함한다.
- [0035] 산화물 반도체막은 예를 들어 비정질부를 가져도 좋다. 또한, 비정질부를 갖는 산화물 반도체를 비정질 산화물 반도체라고 부른다. 비정질 산화물 반도체막은 예를 들어 원자 배열이 무질서한 막이고, 결정 성분을 갖지 않는다. 또는 비정질 산화물 반도체막은 예를 들어 완전한 비정질이고, 결정부를 갖지 않는다.
- [0036] 또한, 산화물 반도체막이 CAAC-OS, 미결정 산화물 반도체, 비정질 산화물 반도체의 혼합막이어도 좋다. 혼합막은 예를 들어 비정질 산화물 반도체의 영역과, 미결정 산화물 반도체의 영역과, CAAC-OS의 영역을 갖는다. 또한, 혼합막은 예를 들어 비정질 산화물 반도체의 영역과, 미결정 산화물 반도체의 영역과, CAAC-OS의 영역의 적층 구조를 가져도 좋다.
- [0037] 또한, 산화물 반도체막은 예를 들어 단결정을 가져도 좋다.
- [0038] 산화물 반도체막은 복수의 결정부를 갖고, 상기 결정부의 c축이 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되어 있는 것이 바람직하다. 또한, 상이한 결정부들 사이에서 a축 및 b축의 방향이 각각 상이하여도 좋다. 이와 같은 산화물 반도체막의 일례로서는, CAAC-OS막이 있다.
- [0039] CAAC-OS막은 예를 들어 결정부를 갖는다. CAAC-OS막에 포함되는 결정부는 하나의 변이 100nm 미만의 입방체 내에 들어가는 크기인 경우가 많다. 또한, 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의한 관찰상에서는 CAAC-OS막에 명확한 입계(그레인 바운더리라고도 함)는 확인되지 않는다. 그래서, CAAC-OS막은 입계에 기인하는 전자 이동도의 저하가 억제된다.
- [0040] CAAC-OS막에 포함되는 결정부는, 예를 들어 c축이 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되고, 또 ab면에 수직인 방향에서 볼 때 금속 원자가 삼각형 또는 육각형으로 배열하며, c축에 수직인 방향에서 볼 때 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 또한, 상이한 결정부들 사이에서 a축 및 b축의 방향이 각각 상이하다. 즉, CAAC-OS막은 상이한 결정 성분간에서 c축은 정렬되어 있지만, a축 및 b축이 정렬되어 있지 않으므로 에피택셜 성장이 아닌 막이다. 본 명세서에

있어서, 단순히 "수직"이라고 기재한 경우, 80° 이상 100° 이하의 범위, 바람직하게는 85° 이상 95° 이하의 범위도 포함되는 것으로 한다. 또한, 단순히 "평행"이라고 기재한 경우에는 -10° 이상 10° 이하의 범위, 바람직하게는 -5° 이상 5° 이하의 범위도 포함되는 것으로 한다.

[0041] 또한, CAAC-OS막에 있어서 결정부의 분포가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 형성 과정에서 산화물 반도체막의 표면 측으로부터 결정 성장시키는 경우에는, 피형성면 근방보다 표면 근방에서 결정부가 차지하는 비율이 높은 경우가 있다.

[0042] CAAC-OS막에 포함되는 결정부의 c축은, CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, CAAC-OS막의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 다른 방향을 향하는 경우가 있다. 또한, 성막하였을 때 또는 성막 후에 가열 처리 등의 결정화 처리를 행하였을 때, 결정부는 형성된다. 따라서, 결정부의 c축은, CAAC-OS막이 형성되었을 때의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬된다.

[0043] CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기 특성의 변동이 작다. 따라서, 상기 트랜지스터는 신뢰성이 높다.

[0044] CAAC-OS막에 포함되는 결정부의 결정 구조의 일례에 대하여 도 3을 사용하여 설명한다. 또한, 특별한 언급이 없는 한, 도 3은 상방향을 c축 방향으로 하고, c축 방향과 직교하는 면을 ab면으로 한다. 본 실시형태에서는 인듐, 갈륨, 아연을 포함하는 산화물 반도체막의 결정부에 포함되는 In-Ga-Zn-O계의 결정 구조를 예로서 나타낸다. 도 3에 있어서, 회색의 구(球)는 인듐 원자를 나타내고, 백색의 구는 갈륨 원자 또는 아연 원자를 나타내고, 흑색의 구는 산소 원자를 나타내고, 화살표는 In-Ga-Zn-O계의 결정의 c축 방향을 나타낸다.

[0045] 도 3에 도시된 바와 같이, c축 방향으로 정렬된 In-Ga-Zn-O계의 결정 구조에 있어서, 인듐 및 산소(In-O)는 c축에 수직인 방향으로 연결되어 결정 배열되어 있다. 본 명세서에 기재된 발명에 따른 인듐, 갈륨, 아연을 포함하는 산화물 반도체막은, 결정부에 있어서 이 인듐 및 산소로 구성되는 결정 배열부의 길이가 적어도 1.5nm보다 긴(바람직하게는 2nm 이상 20nm 이하인) 막이다.

[0046] 본 명세서에 기재된 발명에 따른 산화물 반도체막에 사용되는 산화물 반도체로서는, 적어도 인듐(In)을 포함한다. 특히, 인듐(In)과 아연(Zn)을 포함하는 것이 바람직하다. 또한, 상기 산화물 반도체막을 사용한 트랜지스터의 전기 특성의 편차를 저감시키기 위한 스테빌라이저(stabilizer)로서, In과 Zn 등에 더하여 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 하프늄(Hf)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 알루미늄(Al)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 지르코늄(Zr)을 갖는 것이 바람직하다.

[0047] 또한, 다른 스테빌라이저로서, 란타노이드인, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 1종 또는 복수종을 가져도 좋다.

[0048] 예를 들어, 산화물 반도체로서 산화 인듐, 2원계 금속의 산화물인 In-Zn계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다.

[0049] 또한, 여기서는, 예를 들어, In-Ga-Zn계 산화물이란, In, Ga, 및 Zn을 주성분으로서 갖는 산화물을 뜻하고, In, Ga, 및 Zn의 비율은 불문한다. 또한, In과 Ga와 Zn 이외의 금속 원소가 들어 있어도 좋다.

[0050] 또한, 산화물 반도체로서, $\text{InMO}_3(\text{ZnO})_m(m>0)$, 또한 m은 정수가 아님)으로 표기되는 재료를 사용하여도 좋다. 또한, M은 Ga, Fe, Mn 및 Co로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 또한, 산화물 반도체로서, $\text{In}_2\text{SnO}_5(\text{ZnO})_n(n>0)$, 또한 n은 정수)으로 표기되는 재료를 사용하여도 좋다.

[0051] 예를 들어, 원자수비가 In:Ga:Zn= 1:1:1(= $1/3:1/3:1/3$), In:Ga:Zn= 2:2:1(= $2/5:2/5:1/5$), 또는 In:Ga:Zn= 3:1:2(= $1/2:1/6:1/3$)인 In-Ga-Zn계 산화물이나 그 근방의 조성을 갖는 산화물을 사용할 수 있다. 또는, 원자수비가 In:Sn:Zn= 1:1:1(= $1/3:1/3:1/3$), In:Sn:Zn= 2:1:3(= $1/3:1/6:1/2$) 또는 In:Sn:Zn= 2:1:5(=

1/4:1/8:5/8)인 In-Sn-Zn계 산화물이나 그 근방의 조성을 갖는 산화물을 사용하면 좋다.

[0052] 그러나, 인듐을 포함하는 산화물 반도체는 상술한 것에 한정되지 않고, 필요한 반도체 특성(이동도, 임계값, 편차 등)에 따라 적절한 조성을 갖는 것을 사용하면 좋다. 또한, 필요로 하는 반도체 특성을 얻기 위하여, 캐리어 농도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.

[0053] 또한, 예를 들어, In, Ga, Zn의 원자수비가 In:Ga:Zn= a:b:c(a+b+c= 1)인 산화물의 조성인, 원자수비가 In:Ga:Zn= A:B:C(A+B+C= 1)인 산화물의 조성의 근방인 것은, a, b, c가 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ 를 만족시키는 것을 의미한다. r로서는 예를 들어 0.05로 하면 좋다. 다른 산화물도 마찬가지다.

[0054] 또한, 산화물 반도체막을 구성하는 산소의 일부는 질소로 치환되어도 좋다.

[0055] 본 명세서에 기재된 발명에 따른 산화물 반도체막은, 스퍼터링법, MBE(Molecular Beam Epitaxy)법, CVD법, 펄스 레이저 퇴적법, ALD(Atomic Layer Deposition)법 등을 사용하여 형성할 수 있다. 또한, 산화물 반도체막은 스퍼터링 타겟 표면에 대하여 대략 수직으로 복수의 기관 표면이 세트된 상태에서 성막을 행하는 스퍼터링 장치를 사용하여 형성하여도 좋다. 또한, 제작 방법으로서 성막시에 가열하면서 표면에 대략 수직으로 c축 배향된 결정부를 형성하는 방법이나, 성막 후에 가열 처리 등의 결정화 처리를 행함으로써, 표면에 대략 수직으로 c축 배향된 결정부를 형성하는 방법, CAAC-OS막 위에 막을 형성함으로써 표면에 대략 수직으로 c축 배향된 결정부를 갖는 산화물 반도체막을 형성하는 방법 등을 사용할 수 있다.

[0056] CAAC-OS막은 예를 들어, 다결정인 산화물 반도체 스퍼터링용 타겟을 사용하여 스퍼터링법에 의하여 형성한다. 상기 스퍼터링용 타겟에 이온이 충돌하면, 스퍼터링용 타겟에 포함되는 결정 영역이 a-b면으로부터 벽개하고, a-b면에 평행한 면을 갖는 평판 형상 또는 펠릿 형상의 스퍼터링 입자로서 박리되는 경우가 있다. 이 경우, 평판 형상의 스퍼터링 입자가, 결정 상태를 유지한 상태에서 기관에 도달함으로써, CAAC-OS막을 형성할 수 있다.

[0057] 또한, CAAC-OS막을 형성하기 위하여, 이하의 조건을 적용하는 것이 바람직하다.

[0058] 성막시의 불순물 혼입을 저감시킴으로써, 불순물에 의하여 결정 상태가 무너지는 것을 억제할 수 있다. 예를 들어, 성막실 내에 존재하는 불순물의 농도(수소, 물, 이산화탄소, 및 질소 등)를 저감하면 좋다. 또한, 성막 가스 중의 불순물 농도를 저감시키면 좋다. 구체적으로는, 이슬점이 -80°C 이하, 바람직하게는 -100°C 이하인 성막 가스를 사용한다.

[0059] 또한, 성막시의 기관 가열 온도를 높임으로써, 기관 도달 후에 스퍼터링 입자의 마이그레이션이 일어난다. 구체적으로는, 기관 가열 온도를 100°C 이상 740°C 이하, 바람직하게는 200°C 이상 500°C 이하로 하여 성막한다. 성막시의 기관 가열 온도를 높임으로써, 평판 형상의 스퍼터링 입자가 기관에 도달한 경우, 기관 위에서 마이그레이션이 일어나고, 스퍼터링 입자의 평평한 면이 기관에 부착된다.

[0060] 또한, 성막 가스 중의 산소 비율을 높여, 전력을 최적화함으로써 성막시의 플라즈마 대미지를 경감시키면 바람직하다. 성막 가스 중의 산소 비율은 30vol% 이상, 바람직하게는 100vol%로 한다.

[0061] 스퍼터링용 타겟의 일례로서, In-Ga-Zn-O 화합물 타겟에 대해 이하에 나타낸다.

[0062] In_xO_y 분말, Ga_xO_y 분말, 및 ZnO_2 분말을 소정의 mol수로 혼합하고, 가압 처리를 행한 후 1000°C 이상 1500°C 이하의 온도로 가열 처리함으로써, 다결정인 In-Ga-Zn-O 화합물 타겟으로 제작한다. 또한, X, Y 및 Z는 임의의 정수이다. 여기서, 소정의 mol수 비율은 예를 들어, In_xO_y 분말, Ga_xO_y 분말, 및 ZnO_2 분말이 2:2:1, 8:4:3, 3:1:1, 1:1:1, 4:2:3, 또는 3:1:2이다. 또한, 분말의 종류, 및 그 혼합하는 mol수비는, 제작하는 스퍼터링용 타겟에 따라 적절히 변경하면 좋다.

[0063] 또한, 본 명세서에 기재된 발명에 따른 결정부를 갖는 산화물 반도체막에서는, 표면의 평탄성을 높이면 더 높은 이동도를 얻을 수 있다. 표면의 평탄성을 높이기 위해서는 평탄한 표면 위에 산화물 반도체막을 형성하는 것이 바람직하며, 구체적으로는 평균 면 거칠기(Ra)가 1nm 이하, 바람직하게는 0.3nm 이하, 보다 바람직하게는 0.1nm 이하의 표면 위에 형성하면 좋다.

[0064] 또한, Ra란 JIS B 0601:2001(ISO4287:1997)로 정의되는 산술 평균 거칠기를 곡면에 적용할 수 있도록 3차원으로 확장한 것이며, "기준면으로부터 지정면까지의 편차의 절대값을 평균한 값"으로 표현할 수 있고, 하기 수학적 식 1로 정의된다.

[0065] (수학식 1)

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

[0066]

[0067] 여기서, 지정면이란, 거칠기 측정의 대상이 되는 면이며, 좌표 $[(x_1, y_1, f(x_1, y_1)), (x_1, y_2, f(x_1, y_2)), (x_2, y_1, f(x_2, y_1)), (x_2, y_2, f(x_2, y_2))]$ 의 4점으로 연결된 사각형의 영역으로 하고, 지정면을 xy평면에 투영한 직사각형의 면적을 S_0 , 기준면의 높이(지정면의 평균의 높이)를 Z_0 로 한다. Ra 는 원자간력 현미경(AFM: Atomic Force Microscope)에 의하여 측정 가능하다.

[0068] 본 명세서에 기재된 산화물 반도체막(CAAC-OS막)은, 비정질 산화물 반도체막과 비교하여 가열 처리를 행하여도, 막 중의 금속 원소의 탈리가 생기기 어렵고, 광 응답성도 낮다. 따라서, 열 및 광에 대해서는 안정성이 높다.

[0069] 또한, 본 명세서에 기재된 산화물 반도체막(CAAC-OS막)은, 스핀 밀도가 낮고, 비정질 산화물 반도체막과 비교하여 산소 결함의 양이 저감되어 있다.

[0070] 따라서, 본 명세서에 기재된 산화물 반도체막(CAAC-OS막)을 채널 형성 영역에 사용한 트랜지스터는, 전기 전도도가 안정되고, 가열이나 광 조사에 대해서도 전기적으로 더 안정된 특성을 갖는다.

[0071] 따라서, 상기 산화물 반도체막을 채널 형성 영역에 사용한 트랜지스터를 갖는 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0072] 본 실시형태에 나타내는 구성, 방법 등은, 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 사용될 수 있다.

[0073] (실시형태 2)

[0074] 본 명세서에 기재된 발명에 따른 반도체 장치에 제공되는 트랜지스터는, 그 채널 형성 영역에 실시형태 1에서 나타난 c축이 표면에 대략 수직인 결정부를 포함하고, c축에 수직인 면에 있어서의 인듐 및 산소로 구성되는 결정 배열부의 길이가 1.5nm보다 긴(바람직하게는 2nm 이상 20nm 이하인) CAAC-OS막을 사용한다.

[0075] 본 명세서에 기재된 발명에 따른 반도체 장치에 제공되는 트랜지스터의 구조는 특별히 한정되지 않고, 예를 들어 톱 게이트 구조, 또는 보텀 게이트 구조의 스테거형 및 플래너형 등을 적용할 수 있다. 또한, 트랜지스터는 채널 형성 영역이 하나 형성되는 싱글 게이트 구조라도 좋고, 2개 형성되는 더블 게이트 구조 또는 3개 형성되는 트리플 게이트 구조 등의 멀티 게이트 구조라도 좋다. 또한, 채널 형성 영역의 상하에 게이트 절연막을 개재(介在)하여 배치된 2개의 게이트 전극층을 갖는 듀얼 게이트형이라도 좋다.

[0076] 본 명세서에 기재된 발명에 따른 반도체 장치에 제공되는 트랜지스터의 예를 도 5(A) 내지 도 5(E)에 도시하였다. 도 5(A) 내지 도 5(E)에 도시된 트랜지스터는, 산화물 반도체막(403)으로서 실시형태 1에 나타난 c축이 표면에 대략 수직인 결정부를 포함하고, c축에 수직인 면에 있어서의 인듐 및 산소로 구성되는 결정 배열부의 길이가 1.5nm보다 긴(바람직하게는 2nm 이상 20nm 이하인) CAAC-OS막을 사용한다.

[0077] 도 5(A)에 도시된 트랜지스터(410)는 보텀 게이트 구조의 트랜지스터의 하나이며, 역 스테거형 트랜지스터라고도 한다.

[0078] 트랜지스터(410)는, 절연 표면을 갖는 기판(400) 위에, 게이트 전극층(401), 게이트 절연막(402), 산화물 반도체막(403), 소스 전극층(405a), 및 드레인 전극층(405b)을 포함한다. 또한, 트랜지스터(410)를 덮어, 산화물 반도체막(403)에 적층하는 절연막(407)이 제공된다.

[0079] 도 5(B)에 도시된 트랜지스터(420)는 채널 보호형(채널 스톱형이라고도 함)이라고 불리는 보텀 게이트 구조 중 하나이며, 역 스테거형 트랜지스터라고도 한다.

[0080] 트랜지스터(420)는, 절연 표면을 갖는 기판(400) 위에, 게이트 전극층(401), 게이트 절연막(402), 산화물 반도체막(403), 산화물 반도체막(403)의 채널 형성 영역을 덮는 채널 보호층으로서 기능하는 절연막(427), 소스 전극층(405a), 및 드레인 전극층(405b)을 포함한다. 또한, 트랜지스터(420)를 덮는 절연막(407)이 제공되어 있다.

[0081] 도 5(C)에 도시된 트랜지스터(430)는 보텀 게이트형의 트랜지스터이며, 절연 표면을 갖는 기판인 기판(400) 위

에, 게이트 전극층(401), 게이트 절연막(402), 소스 전극층(405a), 드레인 전극층(405b), 및 산화물 반도체막(403)을 포함한다. 또한, 트랜지스터(430)를 덮으며, 산화물 반도체막(403)에 접하는 절연막(407)이 제공되어 있다.

[0082] 트랜지스터(430)에 있어서는, 게이트 절연막(402)은 기판(400) 및 게이트 전극층(401) 위에 접하여 제공되며, 게이트 절연막(402) 위에 소스 전극층(405a), 드레인 전극층(405b)이 접하여 제공되어 있다. 그리고, 게이트 절연막(402), 및 소스 전극층(405a), 드레인 전극층(405b) 위에 산화물 반도체막(403)이 제공되어 있다.

[0083] 도 5(D)에 도시된 트랜지스터(440)는, 톱 게이트 구조의 트랜지스터의 하나이다. 트랜지스터(440)는, 절연 표면을 갖는 기판(400) 위에, 절연막(437), 산화물 반도체막(403), 소스 전극층(405a), 및 드레인 전극층(405b), 게이트 절연막(402), 및 게이트 전극층(401)을 포함하고, 소스 전극층(405a), 드레인 전극층(405b)은 게이트 절연막(402), 절연막(407) 및 절연막(415)에 형성된 개구에 있어서 산화물 반도체막(403)과 전기적으로 접속되어 있다.

[0084] 도 5(E)에 도시된 트랜지스터(450)는, 톱 게이트 구조의 트랜지스터의 하나이다. 트랜지스터(450)는, 절연 표면을 갖는 기판(400) 위에, 절연막(437), 소스 전극층(405a), 드레인 전극층(405b), 산화물 반도체막(403), 게이트 절연막(402) 및 게이트 전극층(401)을 포함한다.

[0085] 절연 표면을 갖는 기판(400)에 사용할 수 있는 기판에 큰 제한은 없지만, 적어도, 나중의 가열 처리에 견딜 수 있을 정도의 내열성을 갖고 있는 것이 필요해진다. 예를 들어, 바륨 보로실리케이트 유리나 알루미늄 보로실리케이트 유리 등의 유리 기판 등 전자 공업용에 사용되는 각종 유리 기판을 사용할 수 있다. 또한 기판으로서 열 팽창 계수가 $25 \times 10^{-7}/^{\circ}\text{C}$ 이상 $50 \times 10^{-7}/^{\circ}\text{C}$ 이하(바람직하게는 $30 \times 10^{-7}/^{\circ}\text{C}$ 이상 $40 \times 10^{-7}/^{\circ}\text{C}$ 이하)이며, 변형점이 650°C 이상 750°C 이하(바람직하게는 700°C 이상 740°C 이하)인 기판을 사용하는 것이 바람직하다.

[0086] 제 5 세대($1000\text{mm} \times 1200\text{mm}$ 또는 $1300\text{mm} \times 1500\text{mm}$), 제 6 세대($1500\text{mm} \times 1800\text{mm}$), 제 7 세대($1870\text{mm} \times 2200\text{mm}$), 제 8 세대($2200\text{mm} \times 2500\text{mm}$), 제 9 세대($2400\text{mm} \times 2800\text{mm}$), 제 10 세대($2880\text{mm} \times 3130\text{mm}$) 등의 대형 유리 기판을 사용하는 경우, 반도체 장치의 제작 공정에서의 가열 처리 등으로 인하여 기판이 수축되어 미세한 가공이 어려워지는 경우가 있다. 따라서, 상술한 바와 같이 대형 유리 기판을 기판으로서 사용하는 경우, 수축이 적은 것을 사용하는 것이 바람직하다. 예를 들어, 기판으로서 바람직하게는 450°C , 더 바람직하게는 500°C 의 온도로 1시간의 가열 처리를 행한 후의 수축량이 20ppm 이하, 바람직하게는 10ppm 이하, 더 바람직하게는 5ppm 이하인 대형 유리 기판을 사용하면 좋다.

[0087] 또는, 기판(400)으로서 세라믹 기판, 석영 기판, 사파이어 기판 등을 사용할 수 있다. 또한, 실리콘이나 탄화실리콘 등의 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI 기판 등을 적용할 수도 있다. 이들 기판 위에 반도체 소자가 제공된 것을 사용하여도 좋다.

[0088] 또한, 기판(400)으로서, 가요성 기판을 사용하여 반도체 장치를 제작하여도 좋다. 가요성을 갖는 반도체 장치를 제작하기 위해서는 가요성 기판 위에 산화물 반도체막(403)을 포함하는 트랜지스터(440)를 직접 제작하여도 좋고, 다른 제작 기판에 산화물 반도체막(403)을 포함하는 트랜지스터(440)를 제작한 후, 상기 제작 기판으로부터 박리하고 가요성 기판에 이동 배치하여도 좋다. 또한, 제작 기판으로부터 박리하고, 가요성 기판에 이동 배치하기 위하여, 제작 기판과 산화물 반도체막을 포함하는 트랜지스터(440) 사이에 박리층을 제공하면 좋다.

[0089] 절연막(437)으로서, 플라즈마 CVD법 또는 스퍼터링법 등에 의하여, 산화 실리콘, 산화 질화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 산화 하프늄, 산화 갈륨 등의 산화물 절연막, 질화 실리콘, 질화 산화 실리콘, 질화 알루미늄, 질화 산화 알루미늄 등의 질화물 절연막, 또는 이들 혼합 재료를 사용하여 형성할 수 있다.

[0090] 게이트 전극층(401)은 몰리브덴, 티타늄, 탄탈, 텅스텐, 알루미늄, 구리, 크롬, 네오디뮴, 스칸듐 등의 금속 재료, 또는 이들을 주성분으로 하는 합금 재료를 사용하여 형성할 수 있다. 또한, 게이트 전극층(401)으로서 인 등의 불순물 원소를 도핑한 다결정 실리콘막으로 대표되는 반도체막, 니켈 실리사이드 등의 실리사이드막을 사용하여도 좋다. 게이트 전극층(401)은, 단층 구조로 하여도 좋고, 적층 구조로 하여도 좋다.

[0091] 또한, 게이트 전극층(401)은, 산화 인듐 산화 주석, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 산화 인듐 산화 아연, 산화 실리콘이 첨가된 인듐 주석 산화물 등의 도전성 재료를 적용할 수도 있다. 또한, 상기 도전성 재료와, 상기 금속 재료의 적층 구조로 할 수도 있다.

[0092] 또한, 게이트 전극층(401)으로서, 질소를 포함하는 금속 산화물, 구체적으로는 질소를 포함하는 In-Ga-Zn-O막이

나, 질소를 포함하는 In-Sn-O막이나, 질소를 포함하는 In-Ga-O막이나, 질소를 포함하는 In-Zn-O막이나, 질소를 포함하는 Sn-O막이나, 질소를 포함하는 In-O막이나, 금속 질화막(InN, SnN 등)을 사용할 수 있다.

[0093] 게이트 절연막(402)은 스퍼터링법 또는 성막 가스를 사용한 CVD법을 사용하여 형성할 수 있다. CVD법으로서는, LPCVD법, 플라즈마 CVD법 등을 사용하여 형성할 수 있고, 또한 다른 방법으로서는, 도포막을 사용한 방법 등도 사용할 수 있다.

[0094] 게이트 절연막(402)은 산화 실리콘막, 산화 갈륨막, 산화 알루미늄막, 질화 실리콘막, 산화 질화 실리콘막, 산화 질화 알루미늄막, 또는 질화 산화 실리콘막을 사용하여 형성할 수 있다.

[0095] 또한, 게이트 절연막(402)은 산화 하프늄, 산화 이트륨, 하프늄 실리케이트(HfSi_xO_y ($x>0$, $y>0$)), 질소가 첨가된 하프늄 실리케이트(HfSiO_xN_y ($x>0$, $y>0$)), 하프늄 알루미늄네이트(HfAl_xO_y ($x>0$, $y>0$)), 산화 란탄 등의 high-k 재료를 사용함으로써 게이트 누설 전류를 저감시킬 수 있다. 또한, 게이트 절연막(402)은 단층 구조와 적층 구조의 어느 쪽이라도 좋다.

[0096] 소스 전극층(405a) 및 드레인 전극층(405b)은, 예를 들어, Al, Cr, Cu, Ta, Ti, Mo 및 W로부터 선택된 원소를 포함하는 금속막, 또는 상술한 원소를 성분으로 하는 금속 질화물막(질화 티타늄막, 질화 몰리브덴막, 질화 텅스텐막)을 사용할 수 있다. 또한, Al, Cu 등의 금속막의 아래 측 또는 위 측의 한편 또는 쌍방에 Ti, Mo, W 등의 고용점 금속막 또는 이들의 금속 질화물막(질화 티타늄막, 질화 몰리브덴막, 질화 텅스텐막)을 적층시킨 구성으로 하여도 좋다. 또한, 소스 전극층(405a), 드레인 전극층(405b)에 사용하는 도전막으로서는, 도전성의 금속 산화물로 형성하여도 좋다. 도전성의 금속 산화물로서는 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐 산화 주석($\text{In}_2\text{O}_3\text{-SnO}_2$), 산화 인듐 산화 아연($\text{In}_2\text{O}_3\text{-ZnO}$) 또는 이들의 금속 산화물 재료에 산화 실리콘을 포함시킨 것을 사용할 수 있다.

[0097] 절연막(407), 절연막(415), 절연막(427)은, 플라즈마 CVD법, 스퍼터링법, 또는 증착법 등에 의하여 형성할 수 있다.

[0098] 절연막(407), 절연막(415), 절연막(427)으로서는, 예를 들어 산화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막, 산화 질화 알루미늄막, 또는 산화 갈륨막, 산화 하프늄막, 산화 마그네슘막, 산화 지르코늄막, 산화 란탄막, 산화 바륨막, 질화 실리콘막, 질화 산화 실리콘막, 질화 알루미늄막, 질화 산화 알루미늄막 등의 무기 절연막 등의 단층 또는 적층을 사용할 수 있다.

[0099] 또한, 트랜지스터 위에서 트랜지스터 기인의 표면 요철을 저감하기 위하여 평탄화 절연막을 형성하여도 좋다. 평탄화 절연막으로서는, 폴리이미드, 아크릴, 벤조사이클로부텐계 수지 등의 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 이외에 저유전율 재료(low-k 재료) 등을 사용할 수 있다. 또한, 이들 재료로 형성되는 복수의 절연막을 적층시킴으로써 평탄화 절연막을 형성하여도 좋다.

[0100] 본 명세서에 기재된 산화물 반도체막(CAAC-OS막)(403)은, 비정질 산화물 반도체막과 비교하여 가열 처리를 행하여도, 막 중의 금속 원소의 탈리가 생기기 어렵고, 광 응답성도 낮다. 따라서, 열 및 광에 대해서는 안정성이 높다.

[0101] 또한, 본 명세서에 기재된 산화물 반도체막(CAAC-OS막)(403)은, 스핀 밀도가 낮고, 비정질 산화물 반도체막과 비교하여 산소 결함의 양이 저감되어 있다.

[0102] 따라서, 본 명세서에 기재된 산화물 반도체막(CAAC-OS막)(403)을 채널 형성 영역에 사용한 트랜지스터(410), 트랜지스터(420), 트랜지스터(430), 트랜지스터(440), 트랜지스터(450)는, 전기 전도도가 안정되고, 가열이나 광 조사에 대해서도 전기적으로 더 안정된 특성을 갖는다.

[0103] 따라서, 상기 산화물 반도체막을 채널 형성 영역에 사용한 트랜지스터를 갖는 반도체 장치를 제공할 수 있다.

[0104] 본 실시형태에 나타내는 구성, 방법 등은, 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 사용할 수 있다.

[0105] (실시형태 3)

[0106] 본 실시형태에서 기재하는 발명의 일 형태인 트랜지스터는, 다양한 기능을 갖는 반도체 장치에 적용할 수 있다. 예를 들어, 기억 장치, CPU(Central Processing Unit), DSP(Digital Signal Processor), 커스텀 LSI,

FPGA(Field Programmable Gate Array) 등의 LSI에 적용할 수 있다.

- [0107] 본 명세서에서 기재하는 반도체 장치는, 다양한 전자 기기(게임기도 포함함)에 적용할 수 있다. 전자 기기로서는, 텔레비전, 모니터 등의 표시 장치, 조명 장치, 데스크탑형 또는 노트북형의 퍼스널 컴퓨터, 워드 프로세서, DVD(Digital Versatile Disc) 등의 기록 매체에 기억된 정지 화상 또는 동영상의 재생하는 화상 재생 장치, 포터블 CD 플레이어, 라디오, 테이프 레코더, 헤드폰 스테레오, 스테레오, 무선 전화 핸드셋, 트랜시버, 휴대 무선기, 휴대 전화, 자동차 전화, 휴대형 게임기, 계산기, 휴대 정보 단말, 전자 수첩, 전자 서적, 전자 번역기, 음성 입력 기기, 비디오 카메라, 디지털 스틸 카메라, 전기 면도기, 전자 렌지 등의 고주파 가열 장치, 전기 밥솥, 전기 세탁기, 전기 청소기, 에어컨디셔너 등의 공기조절 설비, 식기 세척기, 식기 건조기, 의류 건조기, 이불 건조기, 전기 냉장고, 전기 냉동고, 전기 냉동 냉장고, DNA 보존용 냉동고, 연기 감지기, 방사선 측정기, 투석 장치 등의 의료기기 등을 들 수 있다. 또한, 유도등, 신호기, 벨트 컨베이어, 엘리베이터, 에스컬레이터, 산업용 로봇, 전력 저장 시스템 등의 산업 기기도 들 수 있다. 또한, 석유를 사용한 엔진이나, 비수계 2차 전지로부터의 전력을 사용하여, 전동기로 추진하는 이동체 등도 전기 기기의 범주에 포함되는 것으로 한다. 상기 이동체로서 예를 들어, 전기 자동차(EV), 내연 기관과 전동기를 겸비한 하이브리드 자동차(HEV), 플러그-인 하이브리드 자동차(PHEV), 이들의 타이어 차륜이 무한 궤도로 대체된 장궤(裝軌) 차량, 전동 어시스트 자전거를 포함하는 원동기가 달린 자전거, 자동 이륜차, 전동 휠체어, 골프용 카트, 소형 또는 대형 선박, 잠수함, 헬리콥터, 항공기, 로켓, 인공 위성, 우주 탐사기, 혹성 탐사기, 우주선 등을 들 수 있다. 이들 전자 기기의 구체적인 예를 도 6(A) 내지 도 6(C)에 도시하였다.
- [0108] 도 6(A)는 표시부를 갖는 테이블(9000)을 도시한 것이다. 테이블(9000)은 하우징(9001)에 표시부(9003)가 내장되어 있으며, 표시부(9003)로 영상을 표시할 수 있다. 또한, 4개의 다리부(9002)에 의해 하우징(9001)을 지탱한 구성을 도시하였다. 또한, 전력을 공급하기 위한 전원 코드(9005)를 하우징(9001)에 갖는다.
- [0109] 본 명세서에서 기재하는 발명의 일 형태인 트랜지스터는, 표시부(9003)에 사용할 수 있고, 전자 기기에 높은 신뢰성을 부여할 수 있다.
- [0110] 표시부(9003)는 터치 입력 기능을 갖고, 테이블(9000)의 표시부(9003)에 표시된 표시 버튼(9004)을 손가락 등으로 터치함으로써, 화면을 조작하거나 정보를 입력할 수 있고, 또한 다른 가전 제품과의 통신을 가능하게 하거나, 또는 제어를 가능하게 함으로써, 화면 조작에 의하여 다른 가전 제품을 제어하는 제어 장치로 하여도 좋다. 예를 들어, 이미지 센서 기능을 갖는 반도체 장치를 사용하면 표시부(9003)에 터치 입력 기능을 갖게 할 수 있다.
- [0111] 또한 하우징(9001)에 제공된 힌지에 의하여, 표시부(9003)의 화면을 바닥에 대하여 수직으로 세울 수도 있으며, 텔레비전 장치로서도 이용할 수 있다. 좁은 방에서는 화면이 큰 텔레비전 장치를 설치하면 자유 공간이 좁아지지만, 테이블에 표시부가 내장되어 있으면 방의 공간을 유효하게 이용할 수 있다.
- [0112] 도 6(B)는 휴대 음악 플레이어이며, 본체(3021)에는 표시부(3023)와, 귀에 장착하기 위한 고정부(3022)와, 스피커, 조작 버튼(3024), 외부 메모리 슬롯(3025) 등이 제공되어 있다. 본 명세서에 있어서 기재된 발명의 일 형태인 트랜지스터, 또는 상기 트랜지스터를 사용한 메모리를 본체(3021)에 내장된 메모리나 CPU 등에 적용함으로써, 전력이 더 절약화된 휴대 음악 플레이어(PDA)로 할 수 있다.
- [0113] 또한, 도 6(B)에 도시된 휴대 음악 플레이어에 안테나나 마이크 기능이나 무선 기능을 갖게 하고, 휴대 전화와 연계시키면, 승용차 등을 운전하면서 와이어리스에 의한 핸드 프리로 회화도 가능하다.
- [0114] 도 6(C)는 컴퓨터이며, CPU를 포함한 본체(9201), 하우징(9202), 표시부(9203), 키보드(9204), 외부 접속 포트(9205), 포인팅 디바이스(9206) 등을 포함한다. 컴퓨터는 본 발명의 일 형태를 사용하여 제작되는 반도체 장치를 그 표시부(9203)에 사용함으로써 제작된다. 본 명세서에 있어서 기재되는 발명의 일 형태인 트랜지스터를 사용한 CPU를 이용하면, 전력이 더 절약화된 컴퓨터로 할 수 있다.
- [0115] 도 7(A) 및 도 7(B)는 폴더형의 태블릿형 단말이다. 도 7(A)는 열린 상태를 도시한 것이고 태블릿형 단말은 하우징(9630), 표시부(9631a), 표시부(9631b), 표시 모드 전환 스위치(9034), 전원 스위치(9035), 전력 절약 모드 전환 스위치(9036), 잠금 덮개(9033), 조작 스위치(9038)를 갖는다.
- [0116] 도 7(A) 및 도 7(B)에 도시된 바와 같은 휴대 기기에서는, 화상 데이터의 임시 기억 등에 메모리로서 SRAM 또는 DRAM이 사용되고 있다. 예를 들어, 본 명세서에 있어서 기재된 발명의 일 형태인 트랜지스터를 사용한 반도체 장치를 메모리로서 사용할 수 있다. 상기 반도체 장치를 메모리에 채용함으로써, 정보를 고속으로 기록 및 판

독할 수 있고, 기억된 내용을 오랜 기간에 걸쳐 유지할 수 있고, 또 소비 전력을 충분히 저감할 수 있다.

- [0117] 또한 표시부(9631a)는 일부분을 터치 패널의 영역(9632a)으로 할 수 있고, 표시된 조작 키(9638)에 터치함으로써 데이터를 입력할 수 있다. 또한 도면에서는 일례로서 표시부(9631a)에 있어서 영역의 반이 표시만 하는 기능을 갖는 구성이고 영역의 나머지 반이 터치 패널 기능을 갖는 구성을 도시하였지만, 이 구성에 한정되지 않는다. 표시부(9631a)의 모든 영역이 터치 패널의 기능을 갖는 구성으로 하여도 좋다. 예를 들어, 표시부(9631a)의 전체면에 키보드 버튼을 표시시킨 터치 패널로 하여, 표시부(9631b)를 표시 화면으로서 사용할 수 있다.
- [0118] 또한 표시부(9631b)에서도 표시부(9631a)와 마찬가지로 표시부(9631b)의 일부분을 터치 패널 영역(9632b)으로 할 수 있다. 또한 터치 패널의 키보드 표시 전환 버튼(9639)이 표시되어 있는 위치를 손가락이나 스타일러스 등으로 터치함으로써 표시부(9631b)에 키보드 버튼을 표시할 수 있다.
- [0119] 또한, 터치 패널 영역(9632a)과 터치 패널 영역(9632b)에 대하여 동시에 터치 입력을 행할 수도 있다.
- [0120] 또한, 표시 모드 전환 스위치(9034)는 세로 표시 또는 가로 표시 등의 표시 방향을 전환하며, 흑백 표시나 컬러 표시의 전환 등을 선택할 수 있다. 전력 절약 모드 전환 스위치(9036)는 태블릿형 단말에 내장된 광 센서로 검출되는 사용시의 외광의 광량에 따라 표시의 휘도를 최적으로 할 수 있다. 태블릿형 단말은 광 센서뿐만 아니라, 자이로 센서, 가속도 센서 등 기울기를 검출하는 센서와 같은, 다른 검출 장치를 내장하여도 좋다.
- [0121] 또한 도 7(A)에서는 표시부(9631b)와 표시부(9631a)의 표시 면적이 같은 예를 도시하였지만 특별히 한정되지 않고, 한쪽 크기와 다른 쪽 크기가 달라도 좋고 표시의 품질도 달라도 좋다. 예를 들어, 한쪽이 다른 쪽보다 고정세한 표시가 가능한 표시 패널로 하여도 좋다.
- [0122] 도 7(B)는 닫은 상태를 도시한 것이고, 태블릿형 단말은 하우징(9630), 태양 전지(9633), 충전 및 방전 제어 회로(9634), 배터리(9635), DCDC 컨버터(9636)를 갖는다. 또한, 도 7(B)에서는, 상기 충전 및 방전 제어 회로(9634)의 일례로서 배터리(9635), DCDC 컨버터(9636)를 갖는 구성에 대하여 도시하였다.
- [0123] 또한, 태블릿형 단말은 폴더형이기 때문에, 사용하지 않을 때는 하우징(9630)을 닫은 상태로 할 수 있다. 따라서, 표시부(9631a), 표시부(9631b)를 보호할 수 있기 때문에 내구성이 우수하며 장기 사용의 관점에서 보아도 신뢰성이 우수한 태블릿형 단말을 제공할 수 있다.
- [0124] 또한, 이 외에도 도 7(A) 및 도 7(B)에 도시된 태블릿형 단말은 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시하는 기능, 달력, 날짜 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 터치 입력으로 조작 또는 편집하는 터치 입력 기능, 각종 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능 등을 갖는 것이 가능하다.
- [0125] 태블릿형 단말의 표면에 장착된 태양 전지(9633)에 의하여, 터치 패널, 표시부, 또는 영상 신호 처리부 등에 전력을 공급할 수 있다. 한편, 태양 전지(9633)는, 하우징(9630)의 한면 또는 양면에 제공할 수 있고, 배터리(9635)의 충전을 효율적으로 행하는 구성으로 할 수 있으므로 적합하다. 또한, 배터리(9635)로서는 리튬 이온 전지를 사용하면, 소형화를 도모할 수 있는 등의 이점이 있다.
- [0126] 또한 도 7(C)에는, 도 7(B)에 도시된 충전 및 방전 제어 회로(9634)의 구성 및 동작에 대하여 블록도를 도시하여 설명한다. 도 7(C)에는 태양 전지(9633), 배터리(9635), DCDC 컨버터(9636), 컨버터(9637), 스위치 SW1 내지 스위치 SW3, 표시부(9631)에 대하여 도시하였고 배터리(9635), DCDC 컨버터(9636), 컨버터(9637), 스위치 SW1 내지 SW3이 도 7(B)에 도시된 충전 및 방전 제어 회로(9634)에 대응하는 부분이 된다.
- [0127] 우선, 외광을 이용하여 태양 전지(9633)에 의하여 발전되는 경우의 동작의 예에 대하여 설명한다. 태양 전지(9633)에 의하여 발전된 전력은 배터리(9635)를 충전하기 위한 전압이 되도록 DCDC 컨버터(9636)로 승압 또는 강압된다. 그리고, 표시부(9631)의 동작에 태양 전지(9633)로부터의 전력이 사용될 때는 스위치 SW1을 온 상태로 하여, 컨버터(9637)에 의하여 표시부(9631)에 필요한 전압으로 승압 또는 강압을 행한다. 또한, 표시부(9631)에 있어서 표시를 행하지 않을 때는, 스위치 SW 1을 오프로 하고, 스위치 SW 2를 온으로 하여 배터리(9635)를 충전하는 구성으로 하면 좋다.
- [0128] 또한, 태양 전지(9633)에 대해서는 발전 수단의 일례로서 도시하였지만, 특별히 한정되지 않고 압전 소자(피에조 소자)나 열전 변환 소자(펠티어 소자) 등의 다른 발전 수단에 의하여 배터리(9635)를 충전하는 구성이라도 좋다. 예를 들어, 무선(비접촉)으로 전력을 송수신하여 충전하는 무접점 전력 전송 모듈이나, 다른 충전 수단을 조합하여 행하는 구성으로 하여도 좋다.

- [0129] 도 8(A)에 있어서, 텔레비전 장치(8000)는 하우징(8001)에 표시부(8002)가 내장되어 있고, 표시부(8002)에 의하여 영상을 표시하고, 스피커부(8003)로부터 음성을 출력할 수 있다. 본 명세서에 기재된 발명의 일 형태인 트랜지스터를 표시부(8002)에 사용할 수 있다.
- [0130] 표시부(8002)에는 액정 표시 장치, 유기 EL 소자 등의 발광 소자를 각 화소에 구비한 발광 장치, 전기 영동 표시 장치, DMD(Digital Micromirror Device), PDP(Plasma Display Panel) 등의 반도체 표시 장치를 사용할 수 있다.
- [0131] 텔레비전 장치(8000)는 수신기나 모뎀 등을 구비하여도 좋다. 텔레비전 장치(8000)는 수신기에 의하여 일반적인 텔레비전 방송을 수신할 수 있으며, 추가로 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 일방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간 또는 수신자들간 등)의 정보 통신을 행할 수도 있다.
- [0132] 또한, 텔레비전 장치(8000)는 정보 통신을 행하기 위한 CPU나, 메모리를 구비하여도 좋다. 텔레비전 장치(8000)는 본 명세서에 기재된 발명의 일 형태인 트랜지스터를 사용한 메모리나 CPU를 사용할 수 있다.
- [0133] 도 8(A)에 있어서, 실내기(8200) 및 실외기(8204)를 갖는 에어 컨디셔너는, 본 명세서에 기재된 발명의 일 형태인 트랜지스터를 사용한 CPU를 적용한 전기 기기의 일례이다. 구체적으로, 실내기(8200)는 하우징(8201), 송풍구(8202), CPU(8203) 등을 갖는다. 도 8(A)에 있어서, CPU(8203)가 실내기(8200)에 설치되어 있는 경우를 예시하였지만, CPU(8203)는 실외기(8204)에 설치되어도 좋다. 또는, 실내기(8200)와 실외기(8204)의 양쪽 모두에 CPU(8203)가 설치되어 있어도 좋다. 본 명세서에 기재된 발명의 일 형태인 트랜지스터를 사용한 CPU는, 산화물 반도체를 사용한 CPU이기 때문에, 내열성이 우수하고, 신뢰성이 높은 에어 컨디셔너를 실현할 수 있다.
- [0134] 도 8(A)에 있어서, 전기 냉동 냉장고(8300)는, 산화물 반도체를 사용한 CPU를 구비한 전기 기기의 일례이다. 구체적으로 전기 냉동 냉장고(8300)는 하우징(8301), 냉장실용 도어(8302), 냉동실용 도어(8303), CPU(8304) 등을 갖는다. 도 8(A)에서는, CPU(8304)가 하우징(8301) 내부에 설치되어 있다. 본 명세서에 기재된 발명의 일 형태인 트랜지스터를 사용한 CPU를 전기 냉동 냉장고(8300)의 CPU(8304)에 적용함으로써 전력 절약을 도모할 수 있다.
- [0135] 도 8(B)에 있어서, 전기 기기의 일례인 전기 자동차의 예를 도시하였다. 전기 자동차(9700)에는, 2차 전지(9701)가 탑재되어 있다. 2차 전지(9701)의 전력은 제어 회로(9702)에 의하여 출력이 조정되고 구동 장치(9703)에 공급된다. 제어 회로(9702)는 도시하지 않은 ROM, RAM, CPU 등을 갖는 처리 장치(9704)에 의하여 제어된다. 본 명세서에 기재된 발명의 일 형태인 트랜지스터를 사용한 CPU를 전기 자동차(9700)의 CPU에 적용함으로써 전력 절약을 도모할 수 있다.
- [0136] 구동 장치(9703)는 직류 전동기 또는 교류 전동기 단체(單體), 또는 전동기와 내연 기관이 조합되어 구성된다. 처리 장치(9704)는 전기 자동차(9700) 운전자의 조작 정보(가속, 감속, 정지 등)나 주행시의 정보(오르막길인지 내리막길인지 등의 정보, 구동륜에 가해지는 부하 정보 등)의 입력 정보에 따라 제어 회로(9702)에 제어 신호를 출력한다. 제어 회로(9702)는 처리 장치(9704)의 제어 신호에 따라 2차 전지(9701)로부터 공급되는 전기 에너지를 조정하여 구동 장치(9703)의 출력을 제어한다. 교류 전동기가 탑재되어 있는 경우에는, 도시되지 않았지만, 직류를 교류로 변환시키는 인버터도 내장된다.
- [0137] 상술한 바와 같이, 본 실시형태에 기재된 구성이나 방법 등은 다른 실시형태에 기재된 구성이나 방법 등과 적절히 조합하여 사용할 수 있다.
- [0138] (실시예)
- [0139] 본 실시예에서는, 산화물 반도체막의 결정 상태에 대하여 관찰을 행하였다. 또한, 시료로서 실시예 시료 및 비교예 시료를 제작하였다.
- [0140] 유리 기판 위에 산화물 반도체막으로서 In:Ga:Zn= 1:1:1[원자수비]의 산화물 타깃을 사용한 스퍼터링법에 의하여, 막 두께 200nm의 In-Ga-Zn-O막을 형성하였다.
- [0141] 실시예 시료의 성막 조건은 산소(산소=100sccm) 분위기하, 압력 0.6Pa, 전원 전력 2kW, 기판 온도 170℃로 하였다.
- [0142] 비교예 시료의 성막 조건은 아르곤 및 산소(아르곤/산소=10sccm/90sccm) 분위기하, 압력 0.6Pa, 전원 전력 5kW, 기판 온도 170℃로 하였다.

- [0143] 상술한 공정으로 얻어진 실시예 시료, 및 비교예 시료에 있어서, 단면을 잘라내어 고분해능 투과 전자 현미경 (히타치하이테크놀로지 제조 "H9000-NAR": TEM)에 의하여, 가속 전압을 300kV로 한 조건으로, In-Ga-Zn-O막의 단면 관찰을 행하였다. 도 1은 실시예 시료의 배율 800만배의 TEM상을 도시한 것이고, 도 2는 비교예 시료의 배율 800만배의 TEM상을 도시한 것이다.
- [0144] 또한, 실시예 시료 및 비교예 시료에 있어서, In-Ga-Zn-O막의 X선 회절(XRD: X-Ray Diffraction) 측정을 행하였다. 도 4(A)는 out-of-plane법을 사용하여 XRD 스펙트럼을 측정한 실시예 시료의 결과를 도시한 것이고, 도 4(B)는 비교예 시료의 결과를 도시한 것이다. 도 4(A) 및 도 4(B)에 있어서, 세로 축은 X선 회절 강도(임의 단위)를 나타내고, 가로 축은 회전각 2θ (deg.)를 나타낸다. 또한, XRD 스펙트럼의 측정은, Bruker AXS사 제조의 X선 회절 장치 D8 ADVANCE를 사용하였다.
- [0145] 실시예 시료는, 도 1의 TEM상에 도시된 바와 같이, In-Ga-Zn-O막에 있어서 표면에 대략 수직인 c축을 갖고, c축에 수직의 방향으로 1.5nm보다 긴 층상의 결정부가 확인된다. 또한, 도 1에 있어서 결정부는, 점선으로 둘러싸인 영역이고, 실시예 시료의 In-Ga-Zn-O막에 있어서의 인듐 및 산소로 구성되는 결정 배열부의 길이는 도 1 중의 화살표의 길이이다. 또한, 도 4(A)에 도시된 바와 같이, XRD 스펙트럼에 있어서, $2\theta=31^\circ$ 근방에, InGaZnO₄ 결정의 (009)면에 있어서의 회절에 기인하는 피크가 나타났다.
- [0146] 한편, 도 2의 TEM상에 도시된 바와 같이, In-Ga-Zn-O막에 있어서 표면에 대략 수직인 c축을 갖는 결정이 확인되지 않았다. 또한, 도 4(B)에 도시된 바와 같이, XRD 스펙트럼에서도 상기 결정을 나타내는 피크가 보이지 않았다.
- [0147] 실시예 시료의 산화물 반도체막은 c축이 표면에 대략 수직인 결정부를 포함하고, 결정부에 있어서 c축에 수직인 면에 있어서의 인듐 및 산소로 구성되는 결정 배열부의 길이가 1.5nm보다 길다. 이와 같은 산화물 반도체막을 사용함으로써, 안정된 전기 특성을 갖는 트랜지스터, 신뢰성이 높은 반도체 장치를 제공할 수 있다.

부호의 설명

- [0148] 400: 기판
 401: 게이트 전극층
 402: 게이트 절연막
 403: 산화물 반도체막
 405a: 소스 전극층
 405b: 드레인 전극층
 407: 절연막
 410: 트랜지스터
 415: 절연막
 420: 트랜지스터
 427: 절연막
 430: 트랜지스터
 437: 절연막
 440: 트랜지스터
 450: 트랜지스터
 3021: 본체
 3022: 고정부
 3023: 표시부

3024: 조작 버튼
 3025: 외부 메모리 슬롯
 8000: 텔레비전 장치
 8001: 하우스징
 8002: 표시부
 8003: 스피커부
 8200: 실내기
 8201: 하우스징
 8202: 송풍구
 8203: CPU
 8204: 실외기
 8300: 전기 냉동 냉장고
 8301: 하우스징
 8302: 냉장실용 도어
 8303: 냉동실용 도어
 8304: CPU
 9000: 테이블
 9001: 하우스징
 9002: 다리부
 9003: 표시부
 9004: 표시 버튼
 9005: 전원 코드
 9033: 잠금 덮개
 9034: 스위치
 9035: 전원 스위치
 9036: 스위치
 9038: 조작 스위치
 9201: 본체
 9202: 하우스징
 9203: 표시부
 9204: 키보드
 9205: 외부 접속 포트
 9206: 포인팅 디바이스
 9630: 하우스징
 9631: 표시부
 9631a: 표시부

9631b: 표시부

9632a: 영역

9632b: 영역

9633: 태양 전지

9634: 충전 및 방전 제어 회로

9635: 배터리

9636: DCDC 컨버터

9637: 컨버터

9638: 조작 키

9639: 버튼

9700: 전기 자동차

9701: 2차 전지

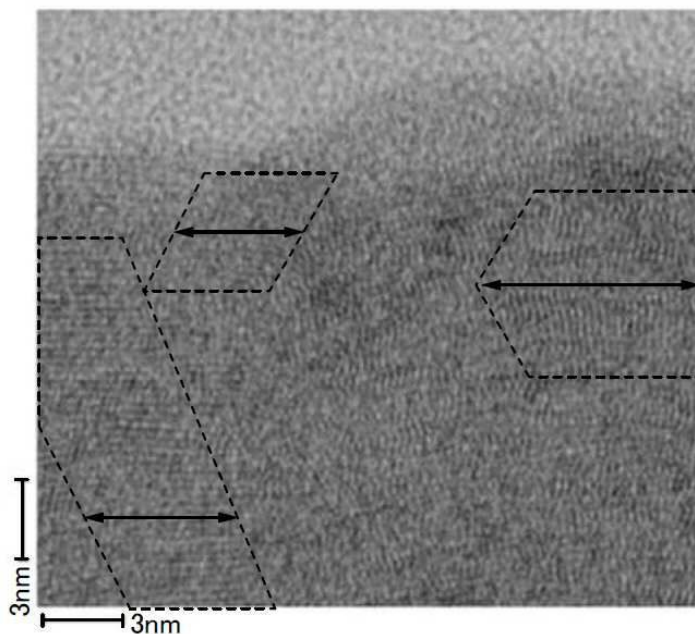
9702: 제어 회로

9703: 구동 장치

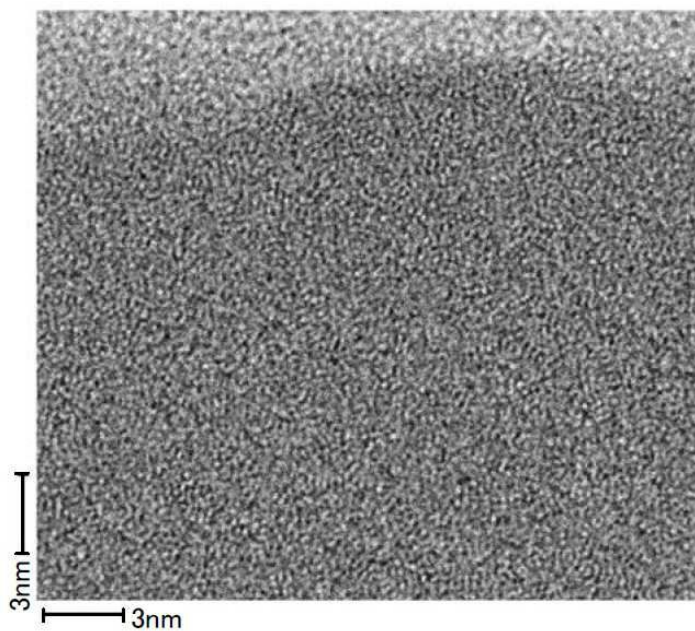
9704: 처리 장치

도면

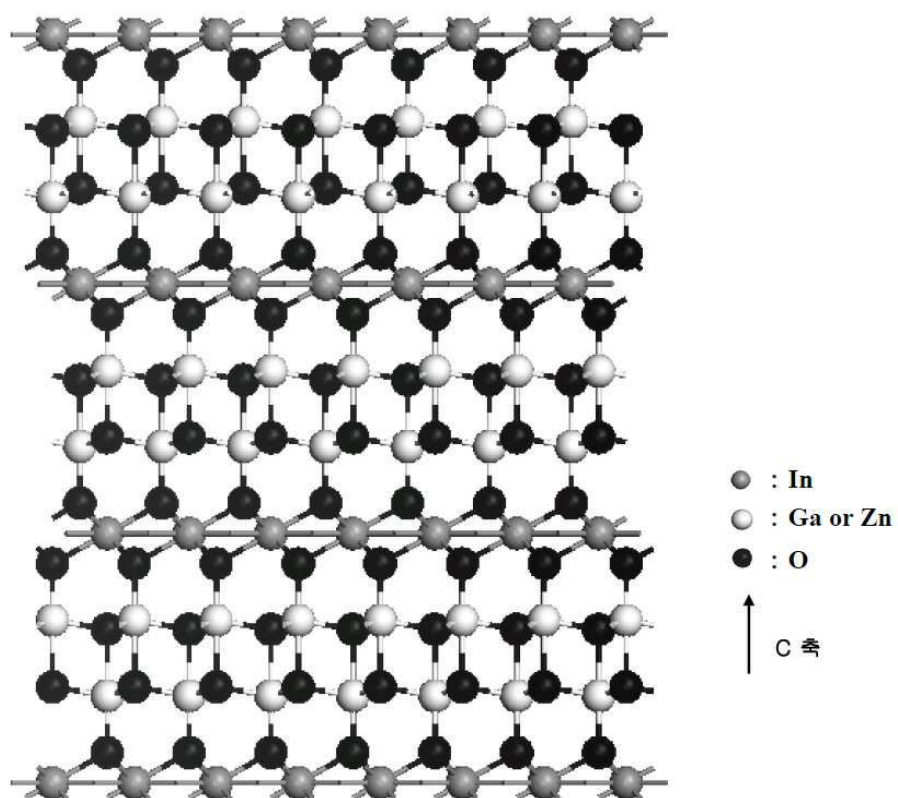
도면1



도면2

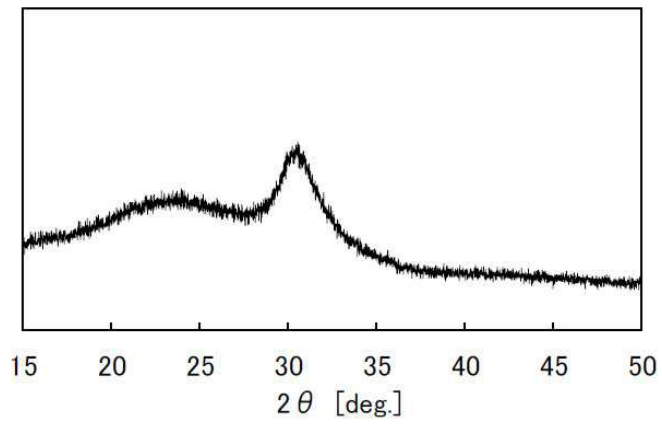


도면3

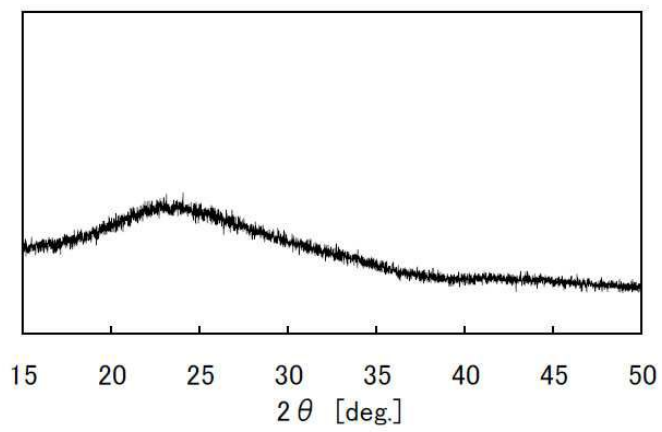


도면4

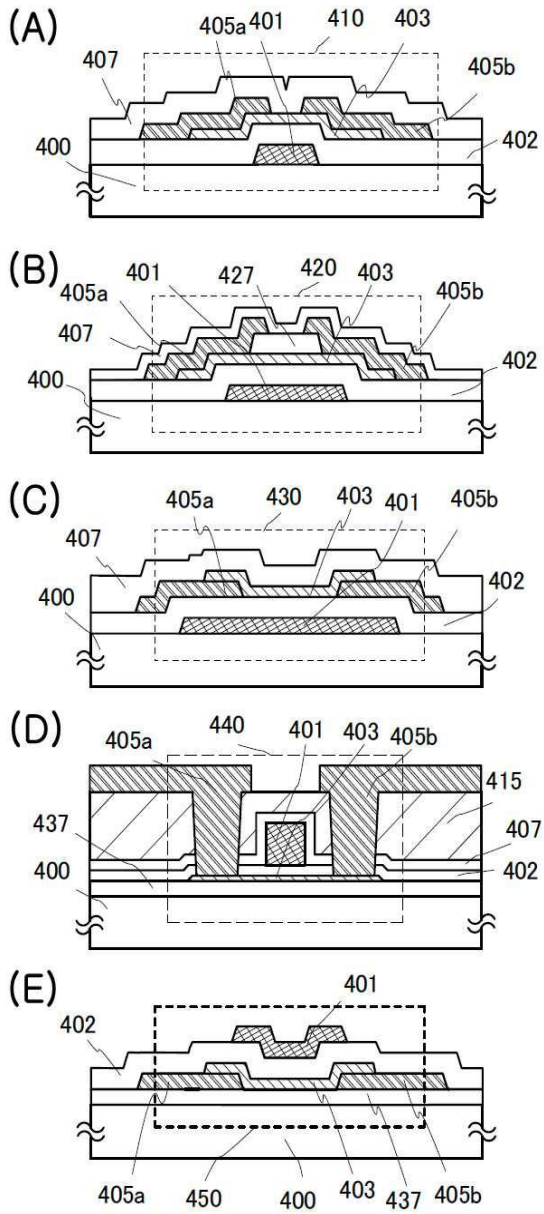
(A)



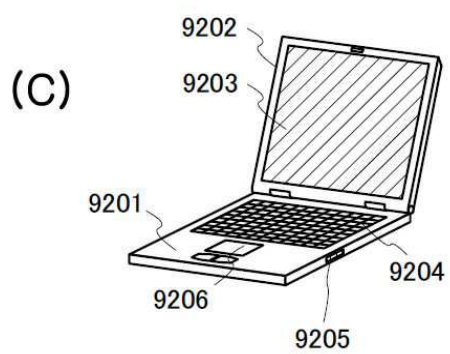
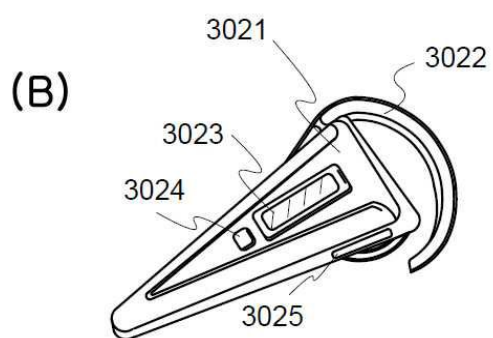
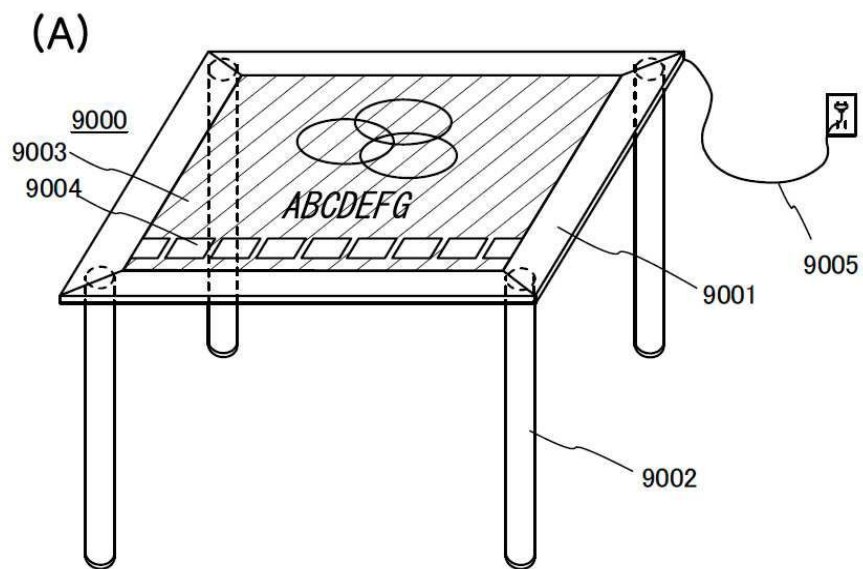
(B)



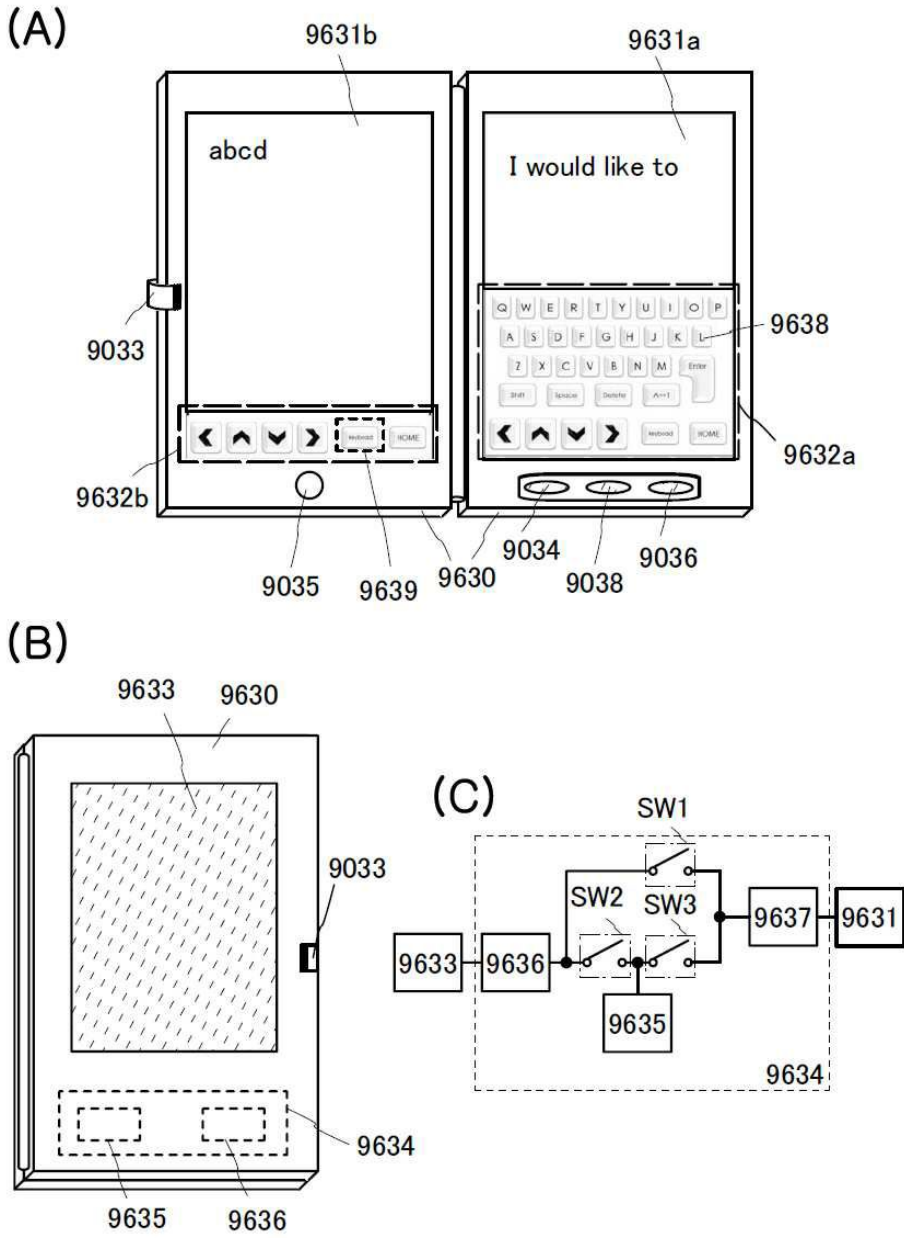
도면5



도면6



도면7



도면8

