

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-268317

(P2005-268317A)

(43) 公開日 平成17年9月29日(2005.9.29)

(51) Int.Cl.⁷

H01L 21/822

H01L 27/04

F I

H01L 27/04

H01L 27/04

P

V

テーマコード (参考)

5F038

審査請求 未請求 請求項の数 23 O L (全 53 頁)

(21) 出願番号 特願2004-74946 (P2004-74946)

(22) 出願日 平成16年3月16日 (2004.3.16)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(74) 代理人 100085464

弁理士 野口 繁雄

(72) 発明者 加藤 英記

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

(72) 発明者 森 方秀

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

Fターム(参考) 5F038 AR07 AR08 AR15 AR16 AV03

BB05 BB07 BH17 CA16 CD18

EZ14 EZ15 EZ17 EZ20

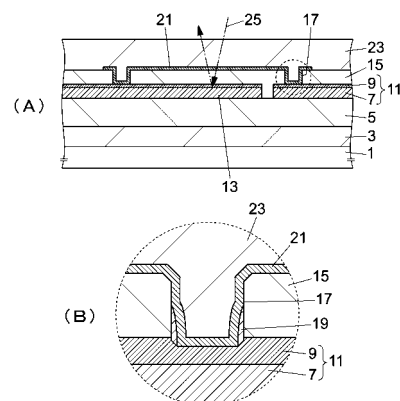
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】レーザトリミング処理時において金属薄膜抵抗体を切断又は変質させるのに十分な強度のレーザ光が照射されてもレーザ光が半導体基板に照射されるのを防止する。

【解決手段】半導体基板1上に他の層3, 5を介して形成された絶縁膜15と、絶縁膜15上に形成された金属薄膜抵抗体21と、金属薄膜抵抗体21下の領域で半導体基板1と絶縁膜15の間に配置された金属材料からなるレーザ光透過防止膜13を備えている。レーザトリミング処理時に照射されるレーザ光25はレーザ光透過防止膜13により半導体基板1とは反対側に反射される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板上に他の層を介して形成された絶縁膜と、
前記絶縁膜上に形成された金属薄膜抵抗体と、
前記金属薄膜抵抗体下の領域で前記半導体基板と前記絶縁膜の間に配置された金属材料
からなるレーザ光透過防止膜を備えた半導体装置。

【請求項 2】

前記絶縁膜下に形成された下層側絶縁膜と、前記下層側絶縁膜上に形成された金属配線
パターンと、前記金属配線パターン上の前記絶縁膜に形成された接続孔を備え、

前記金属薄膜抵抗体は前記絶縁膜上から前記接続孔内にわたって形成されて前記接続孔
内で前記金属配線パターンと電氣的に接続されている請求項 1 に記載の半導体装置。 10

【請求項 3】

前記接続孔の少なくとも上端部がテーパ状に形成されており、かつ、成分に少なくと
も前記金属配線パターン及び前記絶縁膜の材料ならびに Ar を含んでいる逆スパッタリ
ング残渣が前記接続孔の内壁に形成されている請求項 2 に記載の半導体装置。

【請求項 4】

前記金属配線パターンは、金属材料パターンと、前記金属材料パターンの少なくとも上
面に形成された高融点金属膜により構成されている請求項 2 又は 3 に記載の半導体装置。

【請求項 5】

前記絶縁膜下に形成された下層側絶縁膜と、前記下層側絶縁膜上に形成された金属配線
パターンと、前記金属配線パターン上の前記絶縁膜に形成された接続孔と、前記接続孔内
に形成された導電性プラグを備え、 20

前記金属薄膜抵抗体は前記絶縁膜上から前記導電性プラグ上にわたって形成されている
請求項 1 に記載の半導体装置。

【請求項 6】

前記金属配線パターンは最上層の金属配線パターンである請求項 2 から 5 のいずれかに
記載の半導体装置。

【請求項 7】

前記接続孔とは異なる領域で前記金属配線パターン上の前記絶縁膜に形成された第 2 接
続孔と、前記導電性プラグの形成と同時に前記第 2 接続孔内に形成された第 2 導電性プラ
グと、前記第 2 導電性プラグ上及び前記絶縁膜上に形成された第 2 金属配線パターンをさ
らに備え、 30

前記導電性プラグ及び前記第 2 導電性プラグは前記接続孔及び前記第 2 接続孔の内壁表
面に形成された第 1 導電性材料と前記第 1 導電性材料上に形成された第 2 導電性材料によ
って形成されており、

前記金属薄膜抵抗体下に形成されている前記接続孔において、前記第 1 導電性材料の上
端部は前記接続孔の上端部及び前記第 2 導電性材料の上面とは間隔をもって形成されてお
り、前記第 2 導電性材料の上面の外周部及び前記接続孔の上端部はテーパ形状に形成さ
れており、前記第 1 導電性材料上の、前記接続孔の内壁と前記第 2 導電性材料の間の空間
に、成分に少なくとも前記絶縁膜の材料、前記第 1 導電性材料及び Ar を含んでいる逆ス
パッタリング残渣が形成されている請求項 5 に記載の半導体装置。 40

【請求項 8】

前記第 2 金属配線パターンは最上層の金属配線パターンである請求項 7 に記載の半導体
装置。

【請求項 9】

前記レーザ光透過防止膜は前記下層側絶縁膜上に前記金属配線パターンと同じ材料で形
成されている請求項 2 から 8 のいずれかに記載の半導体装置。

【請求項 10】

前記レーザ光透過防止膜は前記金属配線パターンよりも下層側に形成されている請求項
2 から 8 のいずれかに記載の半導体装置。

【請求項 1 1】

前記絶縁膜上に形成された金属配線パターンを備え、

前記金属薄膜抵抗体は前記絶縁膜上から前記金属配線パターン上にわたって形成されている請求項 1 に記載の半導体装置。

【請求項 1 2】

前記金属配線パターンの側面に形成された絶縁性材料からなるサイドウォールをさらに備え、

前記金属薄膜抵抗体は前記絶縁膜上から前記サイドウォール表面を介して前記金属配線パターン上にわたって形成されている請求項 1 1 に記載の半導体装置。

【請求項 1 3】

前記サイドウォールの前記絶縁膜側の表面に、成分に少なくとも前記サイドウォールの材料及び Ar を含んでいる逆スパッタリング残渣が形成されている請求項 1 2 に記載の半導体装置。

【請求項 1 4】

前記絶縁膜下に形成された下層側絶縁膜と、前記下層側絶縁膜上に形成された金属配線パターンを備え、

前記絶縁膜は前記金属配線パターンの上面が露出する膜厚で前記下層側絶縁膜上に形成されており、

前記金属薄膜抵抗体は前記絶縁膜上から前記金属配線パターン上にわたって形成されている請求項 1 に記載の半導体装置。

【請求項 1 5】

前記金属配線パターンは、金属材料パターンと、前記金属材料パターンの少なくとも上面に形成された高融点金属膜により構成されている請求項 1 2 から 1 4 のいずれかに記載の半導体装置。

【請求項 1 6】

前記金属薄膜抵抗体は前記金属配線パターンと交差して形成されている請求項 1 1 から 1 5 のいずれかに記載の半導体装置。

【請求項 1 7】

前記金属配線パターンは最上層の金属配線パターンである請求項 1 1 から 1 6 のいずれかに記載の半導体装置。

【請求項 1 8】

前記金属薄膜抵抗体の膜厚は $5 \sim 1000 \text{ \AA}$ である請求項 2 から 1 7 のいずれかに記載の半導体装置。

【請求項 1 9】

前記絶縁膜は平坦化処理が施されている請求項 1 から 1 8 のいずれかに記載の半導体装置。

【請求項 2 0】

前記金属薄膜抵抗体の上面を覆う金属窒化膜を備え、前記金属薄膜抵抗体の上面と前記金属窒化膜の間には金属酸化膜は形成されていない請求項 1 から 1 9 のいずれかに記載の半導体装置。

【請求項 2 1】

2 個以上の抵抗素子による分割によって電圧出力を得、抵抗素子へのレーザ照射によって電圧出力を調整できる分割抵抗回路を備えた半導体装置において、

前記抵抗素子は、請求項 1 から 2 0 のいずれかに記載の金属薄膜抵抗体及びレーザ光透過防止膜を備えていることを特徴とする半導体装置。

【請求項 2 2】

入力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、前記分割抵抗回路からの分割電圧と前記基準電圧発生回路からの基準電圧を比較するための比較回路をもつ電圧検出回路を備えた半導体装置において、

前記分割抵抗回路として請求項 2 1 に記載の分割抵抗回路を備えていることを特徴とす

10

20

30

40

50

る半導体装置。

【請求項 23】

入力電圧の出力を制御する出力ドライバと、出力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、前記分割抵抗回路からの分割電圧と前記基準電圧発生回路からの基準電圧を比較し、比較結果に応じて前記出力ドライバの動作を制御するための比較回路をもつ定電圧発生回路を備えた半導体装置において、

前記分割抵抗回路として請求項 21 に記載の分割抵抗回路を備えていることを特徴とする半導体装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、半導体装置に関し、特に、絶縁膜上に形成された金属薄膜からなる金属薄膜抵抗体を備えた半導体装置に関するものである。

【背景技術】

【0002】

アナログ集積回路において、抵抗素子は重要な素子として多用されている。近年、抵抗素子の中でも金属薄膜からなる抵抗体（金属薄膜抵抗体と称す）がその抵抗値の温度依存性（以下 TCR という）の低さから注目を集めている。金属薄膜抵抗体の材料としては、例えばクロムシリコン（CrSi）やニッケルクロム（NiCr）、窒化タンタル（Ta₂N₅）、クロムシリサイド（CrSi₂）、窒化クロムシリサイド（CrSiN）、クロムシリコンオキシ（CrSiO₂）などが用いられる。

20

金属薄膜抵抗体を備えた半導体装置において、高集積化の要求を満たすために、より高いシート抵抗を目指し、1000 Å（オングストローム）以下という薄い膜厚で金属薄膜抵抗体を形成することが多い。

【0003】

また、半導体装置にあっては、物理的な装置完成後に性能の調整等のために、ヒューズ素子や抵抗素子にレーザ光を照射して切断又は変質させるレーザトリミング処理が行なわれる（例えば特許文献 1 参照。）。

しかし、レーザトリミング処理の実施時にレーザ光が酸化シリコン膜などの絶縁膜を透過して半導体基板、例えばシリコン基板に照射されると、レーザ光が照射された絶縁膜やシリコン基板が損傷し、半導体装置の信頼性が低下するという問題があった。また、半導体装置の性能を測定しながらトリミングを行なうトリミング処理（オンライントリミングと称す）において、レーザ光がシリコン基板に照射されることにより、シリコン基板に電子正孔対が発生する。このような電子正孔対は性能測定時のノイズとなり、正しく測定できず、高精度なトリミング処理ができないという問題もあった。

30

【0004】

このような不具合を低減すべく、抵抗素子の周囲にレーザ光の透過を阻止する被膜を配置する方法（例えば特許文献 2 参照。）や、ポリシリコンからなるヒューズとシリコン基板の間にポリシリコン、高融点金属又は高融点金属シリサイドにより形成したレーザ光遮蔽体を配置する方法（例えば特許文献 3 参照。）がある。

40

【0005】

また、従来、金属薄膜抵抗体の電氣的接続をとる方法として、以下のような方法がある。

- 1) 金属薄膜抵抗体に直接金属配線を接続する方法（例えば特許文献 4 参照。）。
- 2) 金属薄膜抵抗体を形成した後、層間絶縁膜を形成し、その層間絶縁膜に接続孔を形成し、接続孔を介して金属配線を接続する方法（例えば特許文献 5 及び特許文献 6 参照。）。
- 3) 金属薄膜抵抗体層上にバリヤ膜を形成し、そのバリヤ膜に金属配線を接続する方法（例えば特許文献 7 及び特許文献 8 参照。）。

50

4) 絶縁膜に形成された接続孔内に電極を形成し、上記絶縁膜上に抵抗膜を形成した後、上記抵抗膜を上記電極に接続するようにドライエッチングして抵抗体のパターンを形成する方法(例えば特許文献4参照。)

【0006】

上記1)～4)の金属薄膜抵抗体の電氣的接続をとる方法を以下に示す。

図35を参照して、1)金属薄膜抵抗体上に直接金属配線を形成する方法を説明する。

素子分離酸化膜3及びトランジスタ素子等(図示は省略)の形成が完了したウェハ状のシリコン基板1上に第1層目層間絶縁膜5を形成し、第1層目層間絶縁膜5上に金属薄膜抵抗体101を形成する。金属薄膜抵抗体101上を含む第1層目層間絶縁膜5上全面に配線用金属膜を形成し、その配線用金属膜をウェットエッチング技術によりパターンニングして第1層目金属配線パターン103を形成する。 10

一般的な半導体装置の製造工程では、配線用金属膜のエッチング処理にはドライエッチング技術が用いられるが、配線用金属膜の直下に膜厚が薄い金属薄膜抵抗体101が存在する状況下では、オーバーエッチングにより金属薄膜抵抗体101をエッチングしてしまうため、ドライエッチング技術を使用することができない。したがって、配線用金属膜をウェットエッチング技術によってパターンニングして第1層目金属配線パターン103を形成する必要がある。

【0007】

図36を参照して、2)金属薄膜抵抗体を形成した後、層間絶縁膜を形成し、その層間絶縁膜に接続孔を形成し、接続孔を介して金属配線を接続する方法について説明する。 20

シリコン基板1上に素子分離酸化膜3、第1層目層間絶縁膜5及び金属薄膜抵抗体101を形成した後、金属薄膜抵抗体101上を含む第1層目層間絶縁膜5上に、金属配線との層間絶縁膜となるCVD(chemical vapor deposition)酸化膜105を形成する。CVD酸化膜105上に、金属薄膜抵抗体101の両端部に対応して開口部をもつ、金属配線接続用の接続孔を形成するためのレジストパターンを形成し、ウェットエッチング技術により、そのレジストパターンをマスクにしてCVD酸化膜105を選択的に除去して接続孔107を形成する。レジストパターン除去後、接続孔107内を含むCVD酸化膜105上に、AlSiCu膜からなる配線用金属膜を形成し、その配線用金属膜をパターンニングして第1層目金属配線パターン109を形成する。

一般的な半導体装置の製造工程では、接続孔107の形成にはドライエッチング技術が 30
用いられるが、金属薄膜抵抗体101が1000Åより薄い場合には、接続孔107が金属薄膜抵抗体101を突き抜けるのを防止するのは困難であり、ウェットエッチング技術により接続孔107を形成する必要がある。

【0008】

図37を参照して、3)金属薄膜抵抗体層上にバリヤ膜を形成し、そのバリヤ膜に金属配線を接続する方法を説明する。

シリコン基板1上に素子分離酸化膜3、第1層目層間絶縁膜5及び金属薄膜抵抗体101を形成した後、金属薄膜抵抗体101上を含む第1層目層間絶縁膜5上に、金属配線とのバリヤ膜となるTiW等の高融点金属膜を形成し、さらにその上に配線用金属膜を形成し、その配線用金属膜をドライエッチング技術によりパターンニングして第1層目金属配線 40
パターン111を形成する。このとき、配線用金属膜下には上記高融点金属膜が形成されているので、ドライエッチング技術を用いても金属薄膜抵抗体101がエッチングされることはない。その後、ウェットエッチング技術により第1層目金属配線パターン111をマスクにして上記高融点金属膜を選択的に除去して高融点金属膜パターン113を形成する。ここで、金属薄膜抵抗体101の直上に上記高融点金属膜があるので、ドライエッチング技術による上記高融点金属膜のパターンニングは困難である。

【0009】

図38を参照して、4)絶縁膜に形成された接続孔内に電極を形成し、上記絶縁膜上に抵抗膜を形成した後、これを上記電極に接続するようにドライエッチングして抵抗体のパターンを形成する方法を説明する。ここでは接続孔下に設けられた金属配線パターンの 50

上層に金属配線パターンをさらに形成する場合について説明する。

シリコン基板 1 上に第 1 層目層間絶縁膜 5 を形成した後、第 1 層目層間絶縁膜 5 上に第 1 層目金属配線パターン 1 1 5 を形成する。第 1 層目層間絶縁膜 5 上に絶縁膜 1 1 7 を形成した後、金属薄膜抵抗体の両端部に対応して配置された第 1 層目金属配線パターン 1 1 5 上の絶縁膜 1 1 7 に第 1 接続孔 1 1 9 を形成し、第 1 接続孔 1 1 9 に導電性材料を埋め込んで導電性プラグ（電極）1 2 1 を形成する。このとき、第 1 層目金属配線パターン 1 1 5 と、後工程で形成される第 2 層目金属配線パターンを電氣的に接続するための接続孔は形成されていない。次に、絶縁膜 1 1 7 上全面に金属薄膜抵抗体用の金属薄膜を形成し、その金属薄膜をパターンニングして導電性プラグ 1 2 1 上及び絶縁膜 1 1 7 上に金属薄膜抵抗体 1 0 1 を形成する。

10

【0010】

絶縁膜 1 1 7 上全面に、後工程で形成される第 2 層目金属配線パターンをドライエッチング技術によりパターンニングする際に金属薄膜抵抗体 1 0 1 がエッチングされるのを防止するための絶縁膜 1 2 3 を形成する。金属薄膜抵抗体 1 0 1 の形成領域とは異なる領域で第 2 層目金属配線パターンと電氣的接続を取るために配置された第 1 層目金属配線パターン 1 1 5 上の絶縁膜 1 1 7 及び 1 2 3 に第 2 接続孔 1 2 5 を形成し、第 2 接続孔 1 2 5 に導電性材料を埋め込んで第 2 導電性プラグ 1 2 7 を形成する。第 2 導電性プラグ 1 2 7 の形成領域を含んで絶縁膜 1 2 3 上に第 2 層目金属配線パターン用の金属膜を形成し、その金属膜を写真製版技術及びドライエッチング技術にてパターンニングして、第 2 導電性プラグ 1 2 7 上及び絶縁膜 1 2 3 上に第 2 層目金属配線パターン 1 2 9 を形成する。

20

【0011】

また、金属薄膜抵抗体ではないが、最上層配線電極上に絶縁膜を介して形成され、かつその最上層配線電極と結線されている抵抗体を備えた半導体集積回路装置が開示されている（例えば特許文献 9 参照。）。

図 39 を参照して、このような構造を金属薄膜抵抗体に適用した場合について説明する。

【0012】

素子分離酸化膜 3 が形成されたシリコン基板 1 上に第 1 層目層間絶縁膜 5 を形成し、第 1 層目層間絶縁膜 5 上に第 1 層目金属配線パターン 1 1 5 を形成した後、第 1 層目金属配線パターン 1 1 5 上を含む第 1 層目層間絶縁膜 5 上全面に下地絶縁膜 1 3 1 を形成する。写真製版技術及びドライエッチング技術により、第 1 層目金属配線パターン 1 1 5 上の下地絶縁膜 1 3 1 に接続孔 1 3 3 を形成する。接続孔 1 3 3 の形成領域を含んで下地絶縁膜 1 3 1 上全面に金属薄膜抵抗体を形成するための金属薄膜を形成し、その金属薄膜を所定の形状にパターンニングして金属薄膜抵抗体 1 0 1 を形成する。

30

【0013】

また、金属薄膜抵抗体を備えた半導体装置として、半導体集積回路の絶縁膜上に金属薄膜抵抗を搭載する集積回路であって、金属薄膜抵抗の電極部分における金属薄膜抵抗と金属配線との接触が、金属配線の端部の端面及び上面の少なくとも一部分においてなされるよう構成されたものが開示されている（例えば特許文献 10 参照。）。

【0014】

図 40 を参照して、金属配線の端部の端面及び上面の少なくとも一部分において金属薄膜抵抗と金属配線との接触をとる方法について説明する。

40

素子分離酸化膜 3 が形成されたシリコン基板 1 上に第 1 層目層間絶縁膜 5 を形成し、第 1 層目層間絶縁膜 5 上に第 1 層目金属配線パターン 1 1 5 を形成し、第 1 層目金属配線パターン 1 1 5 上を含む第 1 層目層間絶縁膜 5 上全面にプラズマ窒化膜 1 3 5 を形成した後、プラズマ窒化膜 1 3 5 の一部分を取り除いて第 1 層目金属配線パターン 1 1 5 の端面及び上面の一部分を露出させる。その後、金属薄膜抵抗体用の金属薄膜を蒸着し、その金属薄膜をパターンニングして金属薄膜抵抗体 1 0 1 を形成する。

【0015】

【特許文献 1】特開平 8-124729 号公報

50

【特許文献2】特開昭56-58256号公報
【特許文献3】特開昭58-170号公報
【特許文献4】特開2002-124639号公報
【特許文献5】特開2002-261237号公報
【特許文献6】特許第2699559号公報
【特許文献7】特許第2932940号公報
【特許文献8】特許第3185677号公報
【特許文献9】特開昭58-148443号公報
【特許文献10】特開昭61-100956号公報
【発明の開示】
【発明が解決しようとする課題】
【0016】

10

図35から図40を参照して説明した従来技術のように、半導体基板上に絶縁膜を介して形成された金属薄膜抵抗体を備えた半導体装置において、金属薄膜抵抗体へのレーザトリミング処理の実施時に、レーザ光が酸化シリコン膜などの絶縁膜を透過して半導体基板、例えばシリコン基板に照射されると、レーザ光が照射された絶縁膜やシリコン基板が損傷し、半導体装置の信頼性が低下するという問題があった。また、オンライントリミングの実施時において、レーザ光がシリコン基板に照射されることにより、シリコン基板に電子正孔対が発生する。このような電子正孔対は性能測定時のノイズとなり、正しく測定できず、高精度なトリミング処理ができないという問題もあった。

20

このような不具合が発生させないようにするには、金属薄膜抵抗体を切断又は変質させる最小レーザパワーと半導体基板への影響がない最大のレーザパワーの間の強度にレーザパワーを設定しなければならないので、レーザパワーに関してマージンが少なく、安定したトリミング処理を行なうことができないという問題があった。

【0017】

そこで本発明は、レーザトリミング処理時において金属薄膜抵抗体を切断又は変質させるのに十分な強度のレーザ光が照射されてもレーザ光が半導体基板に照射されるのを防止することができる半導体装置を提供することを目的とするものである。

【課題を解決するための手段】

【0018】

30

本発明の半導体装置は、半導体基板上に他の層を介して形成された絶縁膜と、上記絶縁膜上に形成された金属薄膜抵抗体と、上記金属薄膜抵抗体下の領域で上記半導体基板と上記絶縁膜の間に配置された金属材料からなるレーザ光透過防止膜を備えているものである。

【0019】

ところで、金属薄膜抵抗体の電氣的接続をとる方法に関して、図35を参照して説明した上記1)の方法では、上述のように、金属薄膜抵抗体101上に直接第1層目金属配線パターン103を形成しているが、第1層目金属配線パターン103用の金属膜のパターニングをドライエッチング技術によっては行なうことができず、微細パターンの形成が困難であり、回路の高集積化の妨げになるという問題があった。

40

また、金属薄膜抵抗体101は一般的に酸化されやすく、金属薄膜抵抗体101の表面が酸化された状態で第1層目金属配線パターン103用の金属膜を形成しても、金属薄膜抵抗体101と第1層目金属配線パターン103の良好な電氣的接続を得ることができないという問題があった。一般的な半導体装置の製造工程では、シリコン基板表面等の自然酸化膜をフッ酸水溶液で除去することにより金属配線との良好な電氣的接続を得ることができるが、金属薄膜抵抗体101はフッ酸に少なからずエッチングされてしまうため、第1層目金属配線パターン103用の金属膜を形成する前にフッ酸による酸化膜除去処理を行なうと金属薄膜抵抗体101の抵抗値のバラツキを招く虞があった。

【0020】

また、図36を参照して説明した上記2)の方法では、金属薄膜抵抗体101の上に層

50

間絶縁膜 85 を形成することにより、第 1 層目金属配線パターン 109 用の金属膜のパターニングをドライエッチング技術により行なうことができる。

しかし、金属薄膜抵抗体 101 と第 1 層目金属配線パターン 109 を電氣的に接続するための接続孔 107 の形成については、上述のように、ウェットエッチング技術により開口する必要がある、微細化による高集積化の妨げとなる。さらに、接続孔 107 を形成するためのウェットエッチング処理においてフッ酸水溶液を使用するが、フッ酸により金属薄膜抵抗体 101 がエッチングされてしまうのを防止するには、金属薄膜抵抗体 101 上にバリヤ膜を形成及びパターニングする工程を新規に追加する等の対策が必要であり、工程数が増加するという問題があった。

【0021】

10

また、図 37 を参照して説明した上記 3) の方法では、第 1 層目金属配線パターン 111 用金属膜のエッチング処理をドライエッチング技術によって行なうことができ、さらに接続孔の形成も不要である。しかし、上述のように、金属薄膜抵抗体 101 の長さを実質的に決定する高融点金属膜パターン 113 を形成するための高融点金属膜のパターニングをウェットエッチング技術により行なう必要があるため、高融点金属膜パターン 113 は希望するエッチング領域よりも広くエッチングされてしまい、金属薄膜抵抗体 101 の実質的な長さがばらつき、結果的に抵抗値のバラツキを大きくしてしまうとともに、微細化が困難になるという問題があった。

さらに、高融点金属膜パターン 113 用の高融点金属膜の形成時には金属薄膜抵抗体 101 の表面は酸化されており、高融点金属膜パターン 113 との電氣的接続を良好なものとするためには、フッ酸水溶液による金属薄膜抵抗体 101 表面の酸化膜除去が必要となるが、高融点金属膜パターン 113 を形成する前にフッ酸による酸化膜除去処理を行なうと金属薄膜抵抗体 101 の抵抗値がばらつく原因となる虞があった。

20

【0022】

このように、図 35 から図 37 を参照して説明した上記方法 1) から 3) では、金属薄膜抵抗体の膜厚が薄いことに起因して、いずれかの工程でウェットエッチング処理が必要であり、微細化の妨げとなったり、抵抗値のバラツキを発生させる原因となったりしていた。

さらに、金属薄膜抵抗体が酸化されやすく、金属配線との良好な電氣的接続を形成することが困難なので、金属薄膜抵抗体専用のバリヤ膜形成工程の追加や、フッ酸水溶液による表面酸化膜除去処理が必要であり、工程数が増加したり、抵抗値のバラツキを生む原因となったりしていた。

30

【0023】

このような不具合をなくすために、本発明の半導体装置の第 1 態様では、金属薄膜抵抗体の下地膜である絶縁膜下に形成された下層側絶縁膜と、上記下層側絶縁膜上に形成された金属配線パターンと、上記金属配線パターン上の上記絶縁膜に形成された接続孔を備え、上記金属薄膜抵抗体は上記絶縁膜上から上記接続孔内にわたって形成されて上記接続孔内で上記金属配線パターンと電氣的に接続されているようにした。本願特許請求の範囲及び本明細書において、金属薄膜抵抗体の下地膜である絶縁膜は単層の絶縁膜であってもよいし、複数層の絶縁膜からなる積層膜であってもよい。

40

【0024】

また、金属配線パターン上の絶縁膜に形成された接続孔内に金属薄膜抵抗体の一部分を形成する場合、図 39 に示したように、接続孔 133 の内壁側面、特に接続孔 133 の底部側において金属薄膜抵抗体 101 のステップカバレッジ（段差被覆性）が悪くなり、金属薄膜抵抗体 101 と第 1 層目金属配線パターン 115 との接触抵抗が大きくなるとともにばらつくという問題があった。

【0025】

このような不具合をなくすために、上記第 1 態様において、上記接続孔の少なくとも上端部がテーパ状に形成されており、かつ、成分に少なくとも上記金属配線パターン及び上記絶縁膜の材料ならびに Ar（アルゴン）を含んでいる逆スパッタリング残渣が上記接

50

続孔の内壁に形成されているようにしてもよい。

このような逆スパッタリング残渣及び接続孔上端部のテーパ形状は、金属配線パターン上の上記絶縁膜に接続孔を形成した後、Arガスを用いた逆スパッタリング処理（以下Ar逆スパッタリング処理と称す）を施すことにより形成することができる。

【0026】

さらに、上記第1態様において、上記金属配線パターンは、金属材料パターンと、上記金属材料パターンの少なくとも上面に形成された高融点金属膜により構成されているようにしてもよい。

【0027】

本発明の半導体装置の第2態様は、上記絶縁膜下に形成された下層側絶縁膜と、上記下層側絶縁膜上に形成された金属配線パターンと、上記金属配線パターン上の上記絶縁膜に形成された接続孔と、上記接続孔内に形成された導電性プラグを備え、上記金属薄膜抵抗体は上記絶縁膜上から上記導電性プラグ上にわたって形成されているものである。

【0028】

本発明の半導体装置の上記第1態様及び上記第2態様において、上記金属配線パターンは最上層の金属配線パターンであるようにしてもよい。

【0029】

また、上記第2態様において、上記接続孔とは異なる領域で上記金属配線パターン上の上記絶縁膜に形成された第2接続孔と、上記導電性プラグの形成と同時に上記第2接続孔内に形成された第2導電性プラグと、上記第2導電性プラグ上及び上記絶縁膜上に形成された第2金属配線パターンをさらに備え、上記導電性プラグ及び上記第2導電性プラグは上記接続孔及び上記第2接続孔の内壁表面に形成された第1導電性材料と上記第1導電性材料上に形成された第2導電性材料によって形成されており、上記金属薄膜抵抗体下に形成されている上記接続孔において、上記第1導電性材料の上端部は上記接続孔の上端部及び上記第2導電性材料の上面とは間隔をもって形成されており、上記第2導電性材料の上面の外周部及び上記接続孔の上端部はテーパ形状に形成されており、上記第1導電性材料上の、上記接続孔の内壁と上記第2導電性材料の間の空間に、成分に少なくとも上記絶縁膜の材料、上記第1導電性材料及びArを含んでいる逆スパッタリング残渣が形成されているようにしてもよい。

上記テーパ形状及び上記逆スパッタリング残渣は、接続孔内と第2接続孔内に導電性材料が埋め込まれて導電性プラグと第2導電性プラグが形成され、さらに両導電性プラグ上及び絶縁膜上に第2金属配線パターン用の金属膜が形成された後、第2金属配線パターンを形成するために上記金属膜を選択的に除去する際に導電性プラグ上の金属膜、及び導電性プラグを構成する第1導電性材料の上部が除去され、導電性プラグの周囲に窪みが形成された状態で、上記絶縁膜に対してAr逆スパッタリング処理を行なうことにより形成することができる。

【0030】

さらに、上記第2金属配線パターンは最上層の金属配線パターンであるようにしてもよい。

【0031】

上記第1態様及び上記第2態様において、上記レーザ光透過防止膜は上記下層側絶縁膜上に上記金属配線パターンと同じ材料で形成されているようにしてもよい。

【0032】

また、上記第1態様及び上記第2態様において上記レーザ光透過防止膜は上記金属配線パターンよりも下層側に形成されているようにしてもよい。

【0033】

本発明の半導体装置の第3態様は、上記絶縁膜上に形成された金属配線パターンを備え、上記金属薄膜抵抗体は上記絶縁膜上から上記金属配線パターン上にわたって形成されているものである。

【0034】

10

20

30

40

50

上記第3態様において、上記金属配線パターンの側面に形成された絶縁性材料からなるサイドウォールをさらに備え、上記金属薄膜抵抗体は上記絶縁膜上から上記サイドウォール表面を介して上記金属配線パターン上にわたって形成されているようにしてもよい。

【0035】

さらに、上記第3態様において、上記サイドウォールの上記絶縁膜側の表面に、成分に少なくとも上記サイドウォールの材料及びArを含んでいる逆スパッタリング残渣が形成されているようにしてもよい。このような逆スパッタリング残渣は、金属配線パターン及びサイドウォールを形成した後にAr逆スパッタリング処理を施すことにより形成することができる。

【0036】

本発明の半導体装置の第4態様は、上記絶縁膜下に形成された下層側絶縁膜と、上記下層側絶縁膜上に形成された金属配線パターンを備え、上記絶縁膜は上記金属配線パターンの上面が露出する膜厚で上記下層側絶縁膜上に形成されており、上記金属薄膜抵抗体は上記絶縁膜上から上記金属配線パターン上にわたって形成されているものである。

【0037】

上記第3態様のうち上記金属配線パターンの側面に上記サイドウォールを備えている態様、及び上記第4態様において、上記金属配線パターンは、金属材料パターンと、上記金属材料パターンの少なくとも上面に形成された高融点金属膜により構成されているようにしてもよい。

【0038】

また、上記第3態様及び上記第4態様において、上記金属薄膜抵抗体は上記金属配線パターンと交差して形成されているようにしてもよい。ここで、「金属薄膜抵抗体は金属配線パターンと交差して形成されている」とは、上記第3態様では、金属薄膜抵抗体の一部分が金属配線パターンの一側面側の上記絶縁膜上から、金属配線パターン上を介して、上記一側面とは反対側の上記絶縁膜にわたって形成されていることを意味する。また、上記第4態様では、金属薄膜抵抗体の一部分が金属配線パターンの一側面近傍に形成された上記絶縁膜の表面から、金属配線パターン上を介して、上記一側面とは反対側の上記絶縁膜にわたって形成されていることを意味する。

【0039】

さらに、上記第3態様及び上記第4態様において、上記金属配線パターンは最上層の金属配線パターンであるようにしてもよい。

【0040】

本発明の半導体装置において、上記金属薄膜抵抗体の膜厚は5～1000Å、好ましくは20～500Åである例を挙げることができる。

【0041】

さらに、本発明の半導体装置において、上記絶縁膜は平坦化処理が施されているようにしてもよい。

【0042】

さらに、本発明の半導体装置において、上記金属薄膜抵抗体の上面を覆う金属窒化膜を備え、上記金属薄膜抵抗体の上面と上記金属窒化膜の間には金属酸化膜は形成されていないようにしてもよい。

【0043】

本発明の半導体装置が適用される半導体装置の一例として、2個以上の抵抗素子による分割によって電圧出力を得、抵抗素子へのレーザ照射によって電圧出力を調整できる分割抵抗回路を備えた半導体装置を挙げることができる。

【0044】

本発明の半導体装置が適用される半導体装置の他の例として、入力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、上記分割抵抗回路からの分割電圧と上記基準電圧発生回路からの基準電圧を比較するための比較回路をもつ電圧検出回路を備えた半導体装置を挙げることができる。その電圧検出

10

20

30

40

50

回路を構成する分割抵抗回路は、本発明の半導体装置を構成する金属薄膜抵抗体及びレーザ光透過防止膜が適用された抵抗素子を備えている。

【0045】

本発明の半導体装置が適用される半導体装置のさらに他の例として、入力電圧の出力を制御する出力ドライバと、出力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、上記分割抵抗回路からの分割電圧と上記基準電圧発生回路からの基準電圧を比較し、比較結果に応じて上記出力ドライバの動作を制御するための比較回路をもつ定電圧発生回路を備えた半導体装置を挙げることができる。その定電圧発生回路を構成する分割抵抗回路は、本発明の半導体装置を構成する金属薄膜抵抗体及びレーザ光透過防止膜が適用された抵抗素子を備えている。

10

【発明の効果】

【0046】

本発明の半導体装置では、金属薄膜抵抗体下の領域で、半導体基板と金属薄膜抵抗体の下地膜である絶縁膜の間に、金属材料からなるレーザ光透過防止膜を備えているようにしたので、レーザトリミング処理時において金属薄膜抵抗体を切断又は変質させるのに十分な強度のレーザ光を金属薄膜抵抗体に照射しても、金属薄膜抵抗体の下地膜である絶縁膜を透過したレーザ光はレーザ光透過防止膜により半導体基板とは反対側に反射されるので、レーザ光が半導体基板に照射されるのを防止することができる。これにより、例えば、トリミング処理時の半導体基板へのレーザ光の照射に起因する半導体装置の信頼性の低下を防止することができる。また、オンライントリミング処理時において、半導体基板へのレーザ光の照射に起因する電子正孔対の発生を防止して、高精度なトリミング処理を行なうことができる。

20

【0047】

本発明の半導体装置の第1態様では、上記レーザ光透過防止膜を備えた構成に加えて、金属薄膜抵抗体の下地膜である絶縁膜下に形成された下層側絶縁膜と、下層側絶縁膜上に形成された金属配線パターンと、金属配線パターン上の上記絶縁膜に形成された接続孔を備え、金属薄膜抵抗体は絶縁膜上から接続孔内にわたって形成されて接続孔内で金属配線パターンと電気的に接続されているようにした。

このような構成によれば、図35から図37を参照して説明した従来技術のようには、金属薄膜抵抗体を形成した後にウェットエッチング技術によるパターニングを行なう必要はない。さらに、金属薄膜抵抗体における金属配線パターンとの接触面が大気に暴露されることはないので、金属薄膜抵抗体に対する表面酸化膜除去処理及びエッチング防止用バリヤ膜形成を行なわなくても、金属薄膜抵抗体と金属配線パターンの良好な電気的接続を安定して得ることができる。これにより、金属薄膜抵抗体の膜厚に関わらず、工程数を増加させることなく、金属薄膜抵抗体の微細化及び抵抗値の安定化を実現することができる。

30

【0048】

また、上記第1態様において、上記接続孔の少なくとも上端部がテーパ状に形成されており、かつ、成分に少なくとも上記金属配線パターン及び上記絶縁膜の材料ならびにArを含んでいる逆スパッタリング残渣が上記接続孔の内壁に形成されているようにすれば、逆スパッタリング残渣の存在によって接続孔内での金属薄膜抵抗体のステップカバレッジを向上させることができ、金属薄膜抵抗体の配線パターンとの接触抵抗の安定化を実現することができる。さらに、接続孔の少なくとも上端部に形成されたテーパ状により、金属薄膜抵抗体用の金属薄膜形成時において接続孔の上端部近傍に堆積された金属薄膜のオーバーハングを防止して接続孔内への金属薄膜の堆積に及ぼす影響を低減することができる。金属薄膜のステップカバレッジ、ひいては金属薄膜抵抗体のステップカバレッジを向上させることができる。

40

また、従来、金属薄膜抵抗体は下地膜の組成や下地膜形成からの経過時間等に起因して抵抗値が変動するなど、下地膜の影響を受けてしまうという問題があった。上述のように、この態様における上記逆スパッタリング残渣及接続孔上端部のテーパ形状は、金属配

50

線パターン上の絶縁膜に接続孔を形成した後にA r逆スパッタリング処理を行なうことにより形成することができるが、金属薄膜抵抗体の金属薄膜を形成する前に金属薄膜抵抗体の下地膜に対してA r逆スパッタリング処理を施すことにより、金属薄膜抵抗体のシート抵抗の下地膜依存性の軽減及び経時変化の低減を図ることができるという効果もある。

金属薄膜抵抗体の下地膜にA r逆スパッタリング処理を施すことにより得られる効果については後述にて詳細に説明する。

【0049】

さらに、上記第1態様において、上記金属配線パターンは、金属材料パターンと、上記金属材料パターンの少なくとも上面に形成された高融点金属膜により構成されているようにすれば、金属薄膜抵抗体と金属材料パターンの間に高融点金属膜を介在させることができるので、金属薄膜抵抗体と金属配線パターンの接触抵抗のバラツキを低減することができる。さらに、一般に金属薄膜抵抗体と金属材料が直接接触している構造では300～400℃程度の比較的低温の熱処理により接触抵抗が大きく変動してしまうが、このような不具合をなくすることができる。

10

【0050】

本発明の半導体装置の第2態様では、半導体基板と金属薄膜抵抗体の下地膜である絶縁膜下に下層側絶縁膜と金属配線パターンを備え、さらに金属配線パターン上の上記絶縁膜に形成された接続孔と導電性プラグを備え、金属薄膜抵抗体は上記絶縁膜上から導電性プラグ上にわたって形成されているようにしたので、上記第1態様と同様に、金属薄膜抵抗体を形成した後にウェットエッチング技術によるパターンニングを行なう必要はなく、さらに、金属薄膜抵抗体における導電性プラグとの接触面が大気に暴露されることはないので金属薄膜抵抗体に対する表面酸化膜除去処理及びエッチング防止用バリヤ膜形成を行なわなくても金属薄膜抵抗体と導電性プラグの良好な電氣的接続を安定して得ることができる。これにより、金属薄膜抵抗体の膜厚に関わらず、工程数を増加させることなく、金属薄膜抵抗体の微細化及び抵抗値の安定化を実現することができる。

20

さらに、金属薄膜抵抗体は導電性プラグ上及び絶縁膜上に形成されているので、図39を参照して説明した、金属配線パターン上に形成された接続孔を介して金属薄膜抵抗体と金属配線パターンの電氣的接続を形成する場合のように、金属薄膜抵抗体のステップカバレッジの悪化による金属薄膜抵抗体の抵抗値変動及び電極との接触抵抗の増大はない。

【0051】

30

また、上記第1態様及び上記第2態様において、金属配線パターンは最上層の金属配線パターンであるようにすれば、例えば金属薄膜抵抗体のレイアウト変更を金属薄膜抵抗体及び最上層の配線パターンのレイアウト変更により実現できるなど、設計の自由度を向上させることができる。

また、最上層の金属配線パターンが形成された絶縁膜よりも上層側に金属薄膜抵抗体を配置することにより、金属薄膜抵抗体の上層には絶縁性材料からなる最終保護膜が形成され、金属薄膜抵抗体の上層に最終保護膜以外の絶縁膜も形成されている場合に比べて金属薄膜抵抗体上の絶縁性材料の膜厚を薄くして膜厚ばらつきを小さくすることができる。これにより、金属薄膜抵抗体にレーザ光を照射してトリミング処理を施す際に、金属薄膜抵抗体上の絶縁性材料でのレーザ光の干渉のばらつきを小さくして金属薄膜抵抗体に与えられるレーザエネルギーのばらつきを小さくすることができ、トリミングの正確性を向上させることができる。さらに、金属薄膜抵抗体上の絶縁性材料の膜厚を薄くすることにより、トリミング処理時のレーザ照射に起因する金属薄膜抵抗体の温度上昇などに対して放熱能力を向上させることができる。

40

【0052】

また、上記第2態様において、上記接続孔とは異なる領域で上記金属配線パターン上の上記絶縁膜に形成された第2接続孔と、上記導電性プラグの形成と同時に上記第2接続孔内に形成された第2導電性プラグと、上記第2導電性プラグ上及び上記絶縁膜上に形成された第2金属配線パターンをさらに備え、上記導電性プラグ及び上記第2導電性プラグは上記接続孔及び上記第2接続孔の内壁表面に形成された第1導電性材料と上記第1導電性

50

材料上に形成された第2導電性材料によって形成されており、上記金属薄膜抵抗体下に形成されている上記接続孔において、上記第1導電性材料の上端部は上記接続孔の上端部及び上記第2導電性材料の上面とは間隔をもって形成されており、上記第2導電性材料の上面の外周部及び上記接続孔の上端部はテーパ形状に形成されており、上記第1導電性材料上の、上記接続孔の内壁と上記第2導電性材料の間の空間に、成分に少なくとも上記絶縁膜の材料、上記第1導電性材料及びArを含んでいる逆スパッタリング残渣が形成されているようにすれば、

上記テーパ形状及び上記逆スパッタリング残渣が形成されていない場合に比べて、第1接続孔近傍における金属薄膜抵抗体のステップカバレッジを改善することができ、金属薄膜抵抗体の抵抗値の安定化及び精度の向上を図ることができる。

10

さらに、上記テーパ形状及び上記逆スパッタリング残渣は、上述のように、導電性プラグを構成する第1導電性材料の上部が除去されて導電性プラグの周囲に窪みが形成された状態で上記絶縁膜に対してAr逆スパッタリング処理を行なうことにより形成することができるが、金属薄膜抵抗体用の金属薄膜を形成する前に金属薄膜抵抗体の下地膜に対してAr逆スパッタリング処理を施すことにより、金属薄膜抵抗体のシート抵抗の下地膜依存性の軽減及び経時変化の低減を図ることができるという効果もある。金属薄膜抵抗体の下地膜にAr逆スパッタリング処理を施すことにより得られる効果については後述にて詳細に説明する。

【0053】

さらに、上記第2金属配線パターンは最上層の金属配線パターンであるようにすれば、上述した、金属配線パターンが最上層の金属配線パターンである場合と同様に、設計の自由度の向上、トリミングの正確性の向上、及び放熱能力の向上を図ることができる。

20

【0054】

さらに、上記第1態様及び上記第2態様において、レーザ光透過防止膜は下層側絶縁膜上に金属配線パターンと同じ材料で形成されているようにすれば、専用の工程を用いることなくレーザ光透過防止膜を形成することができ、製造工程の増加を防止することができる。ここで、レーザ光透過防止膜は金属配線パターンと連続して形成されていてもよいし、金属配線パターンとは分離されて形成されていてもよい。

【0055】

また、上記第1態様及び上記第2態様において、上記レーザ光透過防止膜は上記金属配線パターンよりも下層側に形成されているようにしても、半導体基板にレーザ光が照射されるのを防止することができる。

30

【0056】

本発明の半導体装置の第3態様では、金属薄膜抵抗体の下地膜である絶縁膜上に金属配線パターンが形成されており、金属薄膜抵抗体は上記絶縁膜上から金属配線パターン上にわたって形成されているようにしたので、この態様でも、金属薄膜抵抗体を形成した後にウェットエッチング技術によるパターンニングを行なう必要はない。さらに、金属薄膜抵抗体における金属配線パターンとの接触面が大気に暴露されることはないので、金属薄膜抵抗体に対する表面酸化膜除去処理及びエッチング防止用バリヤ膜形成を行なわなくても、金属薄膜抵抗体と配線パターンの良好な電氣的接続を安定して得ることができる。これにより、この態様でも、金属薄膜抵抗体の膜厚に関わらず、工程数を増加させることなく、金属薄膜抵抗体の微細化及び抵抗値の安定化を実現することができる。

40

さらに、金属薄膜抵抗体は上記絶縁膜上から金属配線パターン上にわたって形成されているので、金属配線パターン上に形成された接続孔を介して金属薄膜抵抗体と金属配線パターンの電氣的接続を形成する場合に比べて上記接続孔を形成する一連の工程を行なわなくてよいので、工程の短縮及び簡素化を実現でき、かつ上記接続孔を有するがゆえの金属薄膜抵抗体のステップカバレッジの悪化による金属薄膜抵抗体の抵抗値変動及び電極との接触抵抗の増大もない。

【0057】

さらに、上記第3態様において、金属配線パターンの側面に絶縁性材料からなるサイド

50

ウォールを備え、金属薄膜抵抗体は上記絶縁膜上からサイドウォール表面を介して金属配線パターン上にわたって形成されているようにすれば、金属配線パターン側面に起因する急峻な段差による金属薄膜抵抗体のステップカバレッジの悪化を防止することができ、金属薄膜抵抗体の抵抗値の安定化を実現することができる。

【0058】

さらに、サイドウォールの上記絶縁膜側の表面に、成分に少なくともサイドウォールの材料及びArを含んでいる逆スパッタリング残渣が形成されているようにすれば、逆スパッタリング残渣は金属配線パターン及びサイドウォールを形成した後にAr逆スパッタリング処理を施すことにより形成することができるが、金属薄膜抵抗体用の金属薄膜を形成する前に金属薄膜抵抗体の下地膜に対してAr逆スパッタリング処理を施すことにより、金属薄膜抵抗体のシート抵抗の下地膜依存性の軽減及び経時変化の低減を図ることができる。金属薄膜抵抗体の下地膜にAr逆スパッタリング処理を施すことにより得られる効果については後述にて詳細に説明する。

10

【0059】

本発明の半導体装置の第4態様では、金属薄膜抵抗体の下地膜である絶縁膜下に下層側絶縁膜と金属配線パターンを備え、上記絶縁膜は金属配線パターンの上面が露出する膜厚で下層側絶縁膜上に形成されており、金属薄膜抵抗体は上記絶縁膜上から金属配線パターン上にわたって形成されているようにしたので、この態様でも、金属薄膜抵抗体を形成した後にウェットエッチング技術によるパターンニングを行なう必要はない。さらに、金属薄膜抵抗体における金属配線パターンとの接触面が大気に暴露されることはないので、金属薄膜抵抗体に対する表面酸化膜除去処理及びエッチング防止用バリヤ膜形成を行なわなくても、金属薄膜抵抗体と配線パターンの良好な電氣的接続を安定して得ることができる。これにより、この態様でも、金属薄膜抵抗体の膜厚に関わらず、工程数を増加させることなく、金属薄膜抵抗体の微細化及び抵抗値の安定化を実現することができる。

20

【0060】

上記第3態様のうち金属配線パターンの側面にサイドウォールを備えている態様、及び上記第4態様において、金属配線パターンは、金属材料パターンと、金属材料パターンの少なくとも上面に形成された高融点金属膜により構成されているようにすれば、第1態様で金属配線パターンが金属材料パターンと高融点金属膜により構成されている場合と同様に、金属薄膜抵抗体と金属材料パターンの間に高融点金属膜を介在させて、金属薄膜抵抗体と金属配線パターンの接触抵抗のバラツキを低減して抵抗値の精度及び歩留りの向上を図ることができ、さらに、300～400℃程度の比較的低温の熱処理による接触抵抗が変動を防止することができる。

30

【0061】

上記第3態様及び上記第4態様において、上記金属薄膜抵抗体は上記金属配線パターンと交差して形成されているようにすれば、金属配線パターンと金属薄膜抵抗体の重ね合わせズレや金属薄膜抵抗体の端部の丸まりによる、電極と金属薄膜抵抗体の接触領域の変動をなくすことができ、さらに安定した接触抵抗を得ることができる。

【0062】

さらに、上記第3態様及び上記第4態様において、金属配線パターンは最上層の金属配線パターンであるようにすれば、上記第1態様及び上記第2態様において金属配線パターンが最上層の金属配線パターンである場合と同様に、設計の自由度の向上、トリミングの正確性の向上、及び放熱能力の向上を図ることができる。

40

【0063】

上記第1態様、上記第2態様、上記第3態様及び上記第4態様において、金属薄膜抵抗体の膜厚が5～1000Å、好ましくは20～500Åであっても、上記第1態様、上記第2態様、上記第3態様及び上記第4態様によれば、上述のように、金属薄膜抵抗体を形成した後にウェットエッチング技術によるパターンニングを行なう必要はなく、さらに、金属薄膜抵抗体の配線パターンとの接触面が大気に暴露されることはなく、金属薄膜抵抗体に対する表面酸化膜除去処理及びエッチング防止用バリヤ膜形成を行なわなくても、金属

50

薄膜抵抗体と配線パターンとの良好な電氣的接続を安定して得ることができるので、上記のような膜厚の金属薄膜抵抗体をもつ半導体装置に適用しても、工程数を増加させることなく、金属薄膜抵抗体の微細化及び抵抗値の安定化を実現することができる。

特に、上記逆スパッタリング残渣を備えている態様によれば、金属薄膜抵抗体のシート抵抗の下地膜依存性の軽減を図ることができるので、上記のような膜厚の金属薄膜抵抗体をもつ半導体装置に適用しても、金属薄膜抵抗体の抵抗値の安定化を実現することができる。

【0064】

さらに、本発明の半導体装置において、金属薄膜抵抗体の下地膜である絶縁膜は平坦化処理が施されているようにすれば、上記絶縁膜の段差に起因して金属薄膜抵抗体の抵抗値がばらつくのを防止することができる。

【0065】

さらに、本発明の半導体装置において、金属薄膜抵抗体の上面を覆う金属窒化膜を備え、金属薄膜抵抗体の上面と金属窒化膜の間には金属酸化膜は形成されていないようにすれば、金属薄膜抵抗体の上面の酸化をなくすことができ、金属薄膜抵抗体の抵抗値の安定化及び精度の向上を図ることができる。

【0066】

また、2個以上の抵抗による分割によって電圧出力を得、抵抗素子へのレーザ照射によって電圧出力を調整できる分割抵抗回路を備えた半導体装置において、分割抵抗回路を構成する抵抗素子は、本発明の半導体装置を構成する金属薄膜抵抗体及びレーザ光透過防止膜を備えるようにしたので、レーザトリミング処理時において金属薄膜抵抗体を切断又は変質させるのに十分な強度のレーザ光が照射されてもレーザ光が半導体基板に照射されるのを防止することができ、分割抵抗回路の出力電圧の精度の向上を図ることができる。

【0067】

また、入力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、上記分割抵抗回路からの分割電圧と上記基準電圧発生回路からの基準電圧を比較するための比較回路をもつ電圧検出回路を備えた半導体装置において、分割抵抗回路として本発明の半導体装置を構成する金属薄膜抵抗体及びレーザ光透過防止膜が適用された分割抵抗回路を備えているようにすれば、本発明が適用された分割抵抗回路では出力電圧の精度の向上を図ることができるので、電圧検出回路の電圧検出能力の精度の向上を図ることができる。

【0068】

また、入力電圧の出力を制御する出力ドライバと、出力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、上記分割抵抗回路からの分割電圧と上記基準電圧発生回路からの基準電圧を比較し、比較結果に応じて上記出力ドライバの動作を制御するための比較回路をもつ定電圧発生回路を備えた半導体装置において、分割抵抗回路として本発明の半導体装置を構成する金属薄膜抵抗体及びレーザ光透過防止膜が適用された分割抵抗回路を備えているようにすれば、本発明が適用された分割抵抗回路では出力電圧の精度の向上を図ることができるので、定電圧発生回路の出力電圧の安定化を図ることができる。

【発明を実施するための最良の形態】

【0069】

図1は第1態様の一実施例を示す断面図であり、(A)は金属薄膜抵抗体の形成領域を示す断面図、(B)は(A)の破線で囲まれた部分を拡大して示す拡大断面図である。以下に説明する実施例では同一基板上にトランジスタ素子や容量素子などが形成されているが、図ではそれらの素子の図示は省略する。

【0070】

シリコン基板1上に素子分離酸化膜3が形成されている。素子分離酸化膜3の形成領域を含むシリコン基板1上にBPSG(Borophospho silicate glass)膜又はPSG(phospho silicate glass)膜からなる第1層目層間絶縁膜(下層側絶縁膜)5が形成されてい

10

20

30

40

50

る。第1層目層間絶縁膜5上に、金属材料パターン7と金属材料パターン7表面に形成された高融点金属膜9からなる第1層目金属配線パターン11が形成されている。金属材料パターン7は例えばAlSiCu膜により形成されている。高融点金属膜9は例えばTiN膜により形成されており、反射防止膜兼バリヤ膜として機能するものである。第1層目金属配線パターン11の一部は金属薄膜抵抗体の形成領域に延伸して形成されてレーザ光透過防止膜13を構成している。

【0071】

第1層目金属配線パターン11及びレーザ光透過防止膜13の形成領域を含む第1層目層間絶縁膜5上に、例えば、下層側から順にプラズマCVD酸化膜、SiO₂膜、プラズマCVD酸化膜からなる第2層目層間絶縁膜（絶縁膜）15（図1では一体的に図示している。）が形成されている。第2層目層間絶縁膜15に、金属薄膜抵抗体の両端部及び第1層目金属配線パターン11に対応して接続孔17が形成されている。 10

【0072】

（B）に示すように、接続孔17の底面は高融点金属膜9の表面側の一部が除去されて形成されており、接続孔17の上端部はテーパ形状に形成されている。また、接続孔17の内壁には逆スパッタリング残渣19が形成されている。接続孔17の上端部のテーパ形状及び逆スパッタリング残渣19の（A）での図示は省略している。接続孔17の上端部のテーパ形状及び逆スパッタリング残渣19は、接続孔17が形成された第2層目層間絶縁膜15に対してAr逆スパッタリング処理が施されて形成されたものである。したがって、逆スパッタリング残渣19は成分に高融点金属膜9及び第2層目層間絶縁膜15の材料ならびにArを含んでおり、ここではTi、N、Si、O、Arを含んでいる。 20

【0073】

第2層目層間絶縁膜15上に、接続孔17、17間の領域から接続孔17内及び第1層目金属配線パターン11上にわたってCrSi薄膜抵抗体（金属薄膜抵抗体）21が形成されている。CrSi薄膜抵抗体21の両端部は接続孔17内で第1層目金属配線パターン11と電氣的に接続されている。CrSi薄膜抵抗体21下には第2層目層間絶縁膜15を介してレーザ光透過防止膜13が配置されている。

CrSi薄膜抵抗体21の形成領域を含む第2層目層間絶縁膜15上に、下層側がシリコン酸化膜、上層側がシリコン窒化膜からなる、最終保護膜としてのパッシベーション膜23（図1では一体的に図示している。）が形成されている。 30

【0074】

この実施例では、CrSi薄膜抵抗体21下の領域で第2層目層間絶縁膜15とシリコン基板1の間に金属材料からなるレーザ光透過防止膜13を備えているので、レーザトリミング処理時においてCrSi薄膜抵抗体21が切断又は変質されるのに十分な強度のレーザ光25をCrSi薄膜抵抗体21に照射しても、第2層目層間絶縁膜15を透過したレーザ光25はレーザ光透過防止膜13によりシリコン基板1とは反対側に反射され、レーザ光25がシリコン基板1に照射されるのを防止することができる。これにより、トリミング処理時のシリコン基板1へのレーザ光の照射に起因する半導体装置の信頼性の低下を防止することができる。さらに、オンライントリミング処理時において、シリコン基板1へのレーザ光の照射に起因する電子正孔対の発生を防止して、高精度なトリミング処理を行なうことができる。 40

【0075】

さらに、（B）に示すように、接続孔17の内壁に逆スパッタリング残渣19が形成されているので、接続孔17内でのCrSi薄膜抵抗体21のステップカバレッジが向上されている。これにより、CrSi薄膜抵抗体21の第1層目金属配線パターン11との接触抵抗の安定化を実現することができる。

さらに、接続孔17の上端部がテーパ状に形成されているので、CrSi薄膜抵抗体21を形成するためのCrSi薄膜形成時において接続孔17の上端部近傍に堆積されたCrSi薄膜のオーバーハングを防止して接続孔17内へのCrSi薄膜の堆積に及ぼす影響を低減することができ、CrSi薄膜のステップカバレッジ、ひいてはCrSi薄膜 50

抵抗体 21 のステップカバレッジを向上させることができる。

【0076】

図 2 は、図 1 を参照して説明した実施例を製造するための製造方法の一例を説明するための工程断面図である。図 3 はその製造方法において Ar 逆スパッタリング処理を施した後の接続孔近傍の状態を拡大して示す断面図である。図 2 では接続孔の内壁に形成されるサイドウォール及び接続孔の上端部のテーパ形状の図示を省略している。図 1 から図 3 を参照して、この製造方法の例を説明する。

【0077】

(1) 例えば常圧 CVD 装置を用いて、素子分離酸化膜 3 及びトランジスタ素子等（図示は省略）の形成が完了したウェハ状のシリコン基板 1 上に、BPSG 膜又は PSG 膜からなる第 1 層目層間絶縁膜 5 を約 8000 Å の膜厚に形成する。その後、リフロー等の熱処理を行なって第 1 層目層間絶縁膜 5 の表面を平坦化する。

【0078】

例えば DC マグネトロンスパッタリング装置を用いて、第 1 層目層間絶縁膜 5 上に、AlSiCu 膜からなる配線用金属膜を約 5000 Å の膜厚に形成し、さらにその上に、公知の技術である反射防止膜としての高融点金属膜、ここでは TiN 膜を約 800 Å の膜厚に、真空中で連続的に形成する。ここで、高融点金属膜は、最終的には後工程で配線用金属膜から形成される金属材料パターンと、金属薄膜抵抗体との接触抵抗を安定させるためのバリア膜としても機能するため、配線用金属膜と高融点金属膜を真空中で連続して形成することが好ましい。

【0079】

公知の写真製版技術及びエッチング技術により、高融点金属膜及び配線用金属膜をパターンニングして、金属配線パターン 7 及び高融点金属膜 9 からなる第 1 層目金属配線パターン 11 を形成する（図 2 (a) 参照）。この時、配線用金属膜上に、反射防止膜として機能する高融点金属膜が形成されているので、第 1 層目金属配線パターン 11 の形成領域を画定するためのレジストパターンの太りや細りなどを最小限に抑えることができる。第 1 層目金属配線パターン 11 の一部は金属薄膜抵抗体の形成領域に延伸して形成されてレーザ光透過防止膜 13 を構成している。

【0080】

また、この段階では金属薄膜抵抗体は形成されておらず、第 1 層目金属配線パターン 11 の下地膜は第 1 層目層間絶縁膜 5 により形成されているので、第 1 層目金属配線パターン 11 のパターンニングをドライエッチング技術により十分なオーバーエッチングをもって行なうことが可能であり、従来技術の問題点となっていたウェットエッチング技術によるパターンニングを適用する必要性は全く無く、回路の微細化に影響を与えることはない。

【0081】

(2) 例えばプラズマ CVD 法により、第 1 層目金属配線パターン 11 の形成領域を含む第 1 層目層間絶縁膜 5 上にプラズマ CVD 酸化膜を 6000 Å 程度の膜厚に形成する。公知の技術である SOG のコーティング処理及びエッチバック処理を行なうことにより、プラズマ CVD 酸化膜上に SOG 膜を形成して平坦化を行なう。さらに、SOG 膜からの成分の拡散を防止するためのプラズマ CVD 酸化膜を 2000 Å 程度の膜厚に形成する。これにより、下層側から順にプラズマ CVD 酸化膜、SOG 膜、プラズマ CVD 酸化膜からなる第 2 層目層間絶縁膜 15 を形成する（図 2 (b) 参照）。

【0082】

(3) 公知の写真製版技術により、金属薄膜抵抗体の両端部の形成予定領域及び第 1 層目金属配線パターン 11 に対応して第 2 層目層間絶縁膜 15 に接続孔を形成するためのレジストパターンを形成する。

例えば並行平板型プラズマエッチング装置により、RF パワー：700 W（ワット）、Ar：500 sccm（standard cc/分）、CHF₃：500 sccm、CF₄：500 sccm、圧力：3.5 Torr（トル）の条件で、レジストパターンをマスクにして第 2 層目層間絶縁膜 15 を選択的に除去して、第 2 層目層間絶縁膜 15 に接続孔 17 を形成

10

20

30

40

50

する。接続孔 17 の底部には、反射防止膜兼バリヤ膜としての高融点金属膜 9 が約 600 Å の膜厚で残存している。

その後、レジストパターンを除去する（図 2（c）参照）。

【0083】

ここで、接続孔 17 の形成後に、接続孔 17 の側壁等に付着しているエッチング時の副生成物除去工程を行なってもよい。また、接続孔 17 内部での金属薄膜抵抗体のステップカバレッジを改善する目的で、エッチング条件の変更によるテーパエッチングや、ウェットエッチング技術とドライエッチング技術を組み合わせたエッチング処理等により、接続孔 17 の形状の改善を行なってもよい。

【0084】

また、上記工程（3）において、プラズマエッチング条件を最適化することにより、第 2 層目層間絶縁膜 15 のエッチングレートに対する高融点金属膜 9 のエッチングレートをさらに低く抑えることは十分可能であり、接続孔 17 の底部に残る高融点金属膜 9 の膜厚をこの製造方法例よりも大きくすることもできる。さらに、高融点金属膜 9 の形成時点での膜厚を低く抑えつつ、接続孔 17 形成後の高融点金属膜 9 の残存膜厚を確保することもできる。このように、接続孔 17 を形成する上記工程（3）を金属薄膜抵抗体が形成されていない段階で行なうので、金属薄膜抵抗体の薄さに起因した制約を一切受けることなく接続孔 17 の加工が可能であり、ドライエッチング技術の適用による微細化の追求が十分に可能である。

【0085】

（4）例えばマルチチャンバースパッタリング装置の Ar スパッタエッチングチャンバーにて、真空中で、DC バイアス：1250 V、Ar：20 sccm、圧力：8.5 mTorr（ミリトル）、処理時間：20 秒の条件で、接続孔 17 内を含む第 2 層目層間絶縁膜 15 の表面に対して Ar 逆スパッタリング処理を行なう。このエッチング条件は、1000 °C、ウェット雰囲気中で形成した熱酸化膜を約 50 Å だけエッチングする条件と同等である。この処理を行なった後の接続孔 17 底部に残存する高融点金属膜 9 の膜厚は 500 Å 程度であった。

【0086】

続けて、Ar 逆スパッタリング処理完了後に真空状態を破らずに連続して金属薄膜抵抗体用の CrSi 薄膜（金属薄膜）27 を形成する。ここでは、半導体ウェハを Ar スパッタエッチングチャンバーから CrSi ターゲットが装着されたスパッタチャンバーに移送した後、Si / Cr = 80 / 20 wt %（重量パーセント）の CrSi ターゲットを使用し、DC パワー：0.7 KW（キロワット）、Ar：85 sccm、圧力：8.5 mTorr、処理時間：9 秒の条件で処理を行ない、接続孔 17 内を含む第 2 層目層間絶縁膜 15 上全面に CrSi 薄膜 27 を約 50 Å の膜厚に形成した（図 2（d）参照）。

【0087】

このように、金属薄膜抵抗体用の CrSi 薄膜 27 を形成する前に、接続孔 17 内を含む第 2 層目層間絶縁膜 15 に対して Ar 逆スパッタリング処理を行なうことにより、図 3 に示すように、接続孔 17 の内壁に、高融点金属膜 9 及び第 2 層目層間絶縁膜 15 の材料ならびに Ar を含む材料からなる逆スパッタリング残渣 19 を形成することができるとともに、接続孔 17 の上端部をテーパ形状に形成することができる。そして、逆スパッタリング残渣 19 の存在によって接続孔 17 内での CrSi 薄膜 27 のステップカバレッジを向上させることができ、さらに、接続孔 17 の上端部に形成されたテーパ状により、CrSi 薄膜 27 の形成時において接続孔 17 の上端部近傍に堆積された CrSi 薄膜 27 のオーバーハングを防止して接続孔 17 内への CrSi 薄膜 27 の堆積に及ぼす影響を低減することができ、CrSi 薄膜 27 のステップカバレッジを向上させることができる。

【0088】

さらに、上記 Ar 逆スパッタリング処理を行なうことにより、接続孔 17 底部の高融点金属膜 9 表面に形成されている極少量の自然酸化膜を除去することができ、第 1 層目金属

10

20

30

40

50

配線パターン11とCrSi薄膜27との良好な電氣的接続を形成することができる。

さらに、上記Ar逆スパッタリング処理を行なうことにより、後工程でCrSi薄膜27から形成されるCrSi薄膜抵抗体の下地膜依存性を改善できる。この効果については後述する。

【0089】

(5) 写真製版技術により、CrSi薄膜27上に金属薄膜抵抗体の形成領域を画定するためのレジストパターンを形成し、例えばRIE（反応性イオンエッチング）装置を用い、そのレジストパターンをマスクにしてCrSi薄膜27をパターンニングし、CrSi薄膜抵抗体21を形成し、その後、レジストパターンを除去する。ここで、CrSi薄膜抵抗体21は接続孔17内で第1層目金属配線パターン11と電氣的に接続されているので、従来技術のように金属薄膜抵抗体上面で電氣的接続をとるためにフッ酸水溶液によるCrSi薄膜抵抗体21の表面の金属酸化膜除去処理を行なう必要はない。

例えばプラズマCVD法により、CrSi薄膜抵抗体21の形成領域を含む第2層目層間絶縁膜15上に、パッシベーション膜23としてのシリコン酸化膜及びシリコン窒化膜を順次形成する。以上により、半導体装置の製造工程が完了する（図1参照）。

【0090】

このように、図1を参照して説明した実施例によれば、第1層目金属配線パターン11及び接続孔17を形成した後、CrSi薄膜抵抗体21を形成して接続孔17内でCrSi薄膜抵抗体21と第1層目金属配線パターン11の電氣的接続を形成するので、CrSi薄膜抵抗体21をパターンニングした後にウェットエッチング技術によるパターンニングを行なう必要はない。

【0091】

さらに、CrSi薄膜抵抗体21の第1層目金属配線パターン11との接触面が大気に暴露されることはないので、CrSi薄膜抵抗体21に対する表面酸化膜除去処理及びエッチング防止用バリヤ膜形成を行なわなくても、CrSi薄膜抵抗体21と第1層目金属配線パターン11の良好な電氣的接続を安定して得ることができる。

これにより、CrSi薄膜抵抗体21の膜厚に関わらず、工程数を増加させることなく、CrSi薄膜抵抗体21の微細化及び抵抗値の安定化を実現することができる。

【0092】

さらに、CrSi薄膜抵抗体21と金属材料パターン7の間にバリヤ膜として機能する高融点金属膜9を介在させているので、CrSi薄膜抵抗体21と第1層目金属配線パターン11の接触抵抗のバラツキを低減することができ、抵抗値の精度及び歩留りの向上を図ることができる。

【0093】

さらに、高融点金属膜9はバリヤ膜兼反射防止膜としても機能しており、従来技術に比べて製造工程を増加させることなく高融点金属膜9を形成することができるので、製造コストの増大を防止しつつ、金属薄膜抵抗体と金属配線パターンの接触抵抗を安定させることができる。

【0094】

図4及び図5を参照して、上記実施例と同様の構成で形成した金属薄膜抵抗体の特性について調べた結果を示す。図4は、金属薄膜抵抗体のシート抵抗と膜厚との関係を示し、縦軸はシート抵抗（ $\Omega/\square$ ）、横軸はCrSi膜厚（ $\text{\AA}$ ）を示す。図5は、金属薄膜抵抗体のシート抵抗のウェハ面内の63箇所での測定結果の標準偏差（ σ ）を平均値（AVE）で割った値（ σ/AVE ）とCrSi膜厚との関係を示し、縦軸は σ/AVE （%）、横軸はCrSi膜厚（ $\text{\AA}$ ）を示す。

【0095】

金属薄膜抵抗体の形成条件は次の通りである。

マルチチャンバースパッタリング装置を用いて、DCパワー：0.7KW、Ar：85sccm、圧力：8.5mTorr、ターゲット：Si/Cr=50/50wt%及び80/20wt%の2種について、体積時間を調整することにより、CrSi薄膜を25～

500 Åの膜厚にサンプルを作成した。なお、Si/Cr = 50/50 wt %のサンプルについては膜厚が500 Åのものは作成していない。

【0096】

また、CrSi薄膜形成前のAr逆スパッタリング処理は、上記マルチチャンバースパッタリング装置を用いて、DCバイアス：1250 V、Ar：20 sccm、圧力：8.5 mTorr、処理時間：160秒の条件で行なった。これは、1000℃、ウェット雰囲気中で形成した熱酸化膜を400 Åだけエッチング除去するのに相当する処理である。

また、本サンプルでは、金属薄膜抵抗体に接続する下層の金属配線として、膜厚が500 ÅのAlSiCu膜を用い、AlSiCu膜とCrSi薄膜間の接続孔底部にはAlSiCu膜上のTiN膜が形成されていない構造を採用した。

10

【0097】

シート抵抗の測定は、幅が0.5 μm（マイクロメートル）、長さが50 μmの帯状パターンを0.5 μm間隔で20本配置したうちの1本の金属薄膜抵抗体の両端に1 Vの電圧を印加して電流値を測定する2端子法にて行なった。

また、金属配線とCrSi薄膜抵抗体とをつなぐ接続孔の平面寸法は0.6 μm×0.6 μmであった。

【0098】

図4に示すように、ターゲット（Si/Cr = 50/50 wt %とSi/Cr = 80/20 wt %）の組成に関わらず、200 Å以上の膜厚から25 Åという極めて薄い膜厚まで、膜厚とシート抵抗の線形性が維持されており、従来技術では形成できないような微細な寸法の金属薄膜抵抗体を薄い膜厚に形成できることが分かる。

20

【0099】

また、ウェハ面内63箇所におけるシート抵抗のバラツキを示す図5を見ても、ターゲット（Si/Cr = 50/50 wt %とSi/Cr = 80/20 wt %）の両方とも、抵抗値のバラツキは膜厚の影響をほとんど受けておらず、抵抗値のバラツキも非常に小さく安定していることが分かる。このことから、接続孔内へのサイドウォールの形成方法としてAr逆スパッタリング処理を採用すれば、極めて微細な金属薄膜抵抗体パターンを金属薄膜抵抗体の膜厚に関係なく安定して形成できる。

【0100】

図6は、金属薄膜抵抗体用の金属薄膜を形成する前にAr逆スパッタリング処理を行なった場合及び行なわなかった場合のCrSi薄膜抵抗体のシート抵抗と金属薄膜抵抗体の下地膜を形成してから経過した時間との関係を示す図であり、(A)は行なった場合、(B)は行なわなかった場合を示す。図6において、縦軸はシート抵抗（Ω/□）、横軸は下地膜形成後経過時間（時間）を示す。

30

【0101】

図6のサンプルとして、下地膜としてプラズマCVD法によって2000 Åの膜厚に形成したプラズマSiN膜とプラズマNSG（non-doped silicate glass）膜の2つのシリコンウェハを準備し、これらのシリコンウェハに形成したCrSi薄膜抵抗体を用い、CrSi薄膜抵抗体のシート抵抗を4端子法によって測定した。

【0102】

下地膜のプラズマSiN膜は、並行平板型プラズマCVD装置を用いて、温度：360℃、圧力：5.5 Torr、RFパワー：200 W、SiH₄：70 sccm、N₂：3500 sccm、NH₃：40 sccmの条件で形成した。

プラズマNSG膜は、並行平板型プラズマCVD装置を用いて、温度：400℃、圧力：3.0 Torr、RFパワー：250 W、SiH₄：16 sccm、N₂O：1000 sccmの条件で形成した。

40

【0103】

CrSi薄膜抵抗体は、マルチチャンバースパッタリング装置を用いて、Si/Cr = 80/20 wt %のターゲット、DCパワー：0.7 KW、Ar：85 sccm、圧力：8.5 mTorr、体積時間：13秒の条件で処理を行なうことで、100 Åの膜厚に形

50

成した。

【0104】

A r 逆スパッタリング処理を行なったサンプルには、上記マルチチャンバースパッタリング装置を用いて、D C バイアス：1 2 5 0 V、A r：2 0 s c c m、圧力：8 . 5 m T o r r、処理時間：8 0 秒の条件で行なった。これは、1 0 0 0 ℃、ウェット雰囲気で形成した熱酸化膜を2 0 0 Å だけエッチング除去するのに相当する処理である。

【0105】

(B) に示すように、C r S i 薄膜の形成前に A r 逆スパッタリング処理を行っていない場合、下地膜の違い (S i N 膜上と N S G 膜上) によりシート抵抗が大きく異なっているのが分かる。さらに、下地膜を形成してから C r S i 薄膜抵抗体を形成するまでに経過した時間の影響を大きく受けているのが分かる。 10

これに対し、(A) に示すように、A r 逆スパッタリング処理を行なった場合、下地膜の種類及び経過時間ともに、C r S i 薄膜抵抗体のシート抵抗にほとんど影響を与えていないのが分かる。

【0106】

このことから、A r 逆スパッタリング処理を行なった後、真空中で連続して金属薄膜抵抗体用の金属薄膜を形成することにより、前工程からの経過時間や製品毎に異なる下地膜の違い等によって発生する抵抗値のバラツキを大幅に改善できることが分かる。

【0107】

図7は、A r 逆スパッタリング処理の量とシート抵抗の関係を示す図である。縦軸はシート抵抗 ($\Omega/\square$)、横軸はエッチング量 (熱酸化膜エッチング量換算) (Å) を示す。図7のサンプルについて、下地膜及び C r S i 薄膜抵抗体は図6のサンプル形成と同じ条件で形成したプラズマ N S G 膜及び C r S i 薄膜抵抗体を用いた。なお、成膜から1週間経過したプラズマ N S G 膜に対して A r 逆スパッタリング処理を行なった後、そのプラズマ N S G 膜上に C r S i 薄膜抵抗体を形成した。A r 逆スパッタリング処理の条件は、エッチング量以外は図6のサンプルと同じ条件で行なった。そして、ウェット雰囲気で形成した熱酸化膜エッチング量換算で 0 Å (A r 逆スパッタリング処理無し)、2 5 Å、5 0 Å、1 0 0 Å、2 0 0 Å、4 0 0 Å、1 0 0 0 Å となるように調整した。C r S i 薄膜抵抗体のシート抵抗を4端子法によって測定した。 20

【0108】

図7の結果から、A r 逆スパッタリング処理は、ウェット雰囲気で形成した熱酸化膜エッチング量換算で 2 5 Å 以上の膜厚分だけ行なえば、C r S i 薄膜抵抗体の抵抗値安定化の効果が得られることが分かった。なお、図7では A r 逆スパッタリング処理条件について熱酸化膜エッチング量換算で 1 0 0 0 Å の膜厚分だけエッチングしたものまでしかサンプルを製作していないが、熱酸化膜エッチング量換算で 1 0 0 0 Å よりも大きい膜厚分だけエッチングした場合であっても、金属薄膜抵抗体の形成領域に下地膜が残存しているのであれば、上記 A r 逆スパッタリング処理の効果が得られるものと予想できる。 30

【0109】

さらに、A r 逆スパッタリング処理の効果は下地の影響のみならず、C r S i 薄膜の抵抗値そのものの安定性にも影響を与えることが分かった。 40

図8は、C r S i 薄膜を形成した後に、温度 2 5 ℃、湿度 4 5 % の大気中に放置した時間と、形成直後のシート抵抗 (R_0) からのシート抵抗の変化率 ($\Delta R/R_0$) の関係を示す図であり、縦軸は $\Delta R/R_0$ (%)、横軸は放置時間 (時間) を示す。

【0110】

図8のサンプルについて、下地膜及び C r S i 薄膜抵抗体は図6のサンプル形成と同じ条件で形成したプラズマ N S G 膜及び C r S i 薄膜抵抗体を用いた。

A r 逆スパッタリング処理については、処理を行なわないもの (A r エッチ無し)、処理時間 4 0 秒で熱酸化膜換算：1 0 0 Å のもの (A r エッチ：1 0 0 Å)、処理時間 8 0 秒で熱酸化膜換算：2 0 0 Å のもの (A r エッチ：2 0 0 Å) の3種を準備した。

【0111】

A r 逆スパッタリング処理を行っていないサンプル（A r エッチ無）では、形成後から時間が経過するとともに抵抗値が上昇し、300時間以上放置した場合、3%以上も抵抗値が変動しているのが分かる。

これに対し、A r 逆スパッタリング処理を行なったサンプル（A r エッチ：100 Å、及びA r エッチ：200 Å）では、抵抗値の変化率は大幅に減少し、300時間以上放置しても、形成直後のシート抵抗±1%から外れることはなかった。

さらに、A r エッチ：100 ÅとA r エッチ：200 Åを比較すると、A r 逆スパッタリング処理量の大小の影響は小さく、わずかなエッチング量で効果があることが判明した。

【0112】

10

以上、図4から図8を参照して、下地膜のシート抵抗への影響や大気放置時間の影響に対するA r 逆スパッタリング処理の効果を説明したが、これらの効果は、サンプルとして使用した、ターゲットがSi/Cr=50/50wt%又は80/20wt%のCrSi薄膜抵抗に限定されるものではない。なお、Si/Cr=50/50~90/10wt%のターゲットで形成したCrSi薄膜及びCrSiN膜の全てで上記と同様の効果が観察されている。

また、A r 逆スパッタリング処理方法も今回使用したDCバイアススパッタエッチング法に限定されるものではない。

【0113】

図9は、接続孔形成時に接続孔底部に高融点金属膜を残存させたサンプルと完全に除去したサンプルについて熱処理に起因する金属薄膜抵抗と金属配線の接触抵抗の変動を調べた結果を示す図である。縦軸は熱処理前の接触抵抗値で規格化した値を示し、横軸は熱処理回数を示す。

20

【0114】

図9のサンプルとして、接続孔形成時のドライエッチング時間を調整することで、接続孔底部の高融点金属膜を500 Å程度残存させたサンプルと、完全に除去したサンプルを作成した。

高融点金属膜にはTiN膜を用いた。

CrSi薄膜抵抗は、Si/Cr=80/20wt%、DCパワー：0.7KW、A r：85sccm、圧力：8.5mTorr、体積時間：6秒の条件で50 Åの膜厚に形成した。

30

CrSi薄膜形成前のA r 逆スパッタリング処理は、DCバイアス：1250V、A r：20sccm、圧力：8.5mTorr、処理時間：160秒の条件で行なった。これは、1000℃、ウェット雰囲気中で形成した熱酸化膜を400 Åだけエッチング除去するのに相当する処理である。

接続孔の平面寸法は0.6 μm×0.6 μmであった。接触抵抗測定方法は4端子法を用いた。

【0115】

上記のサンプルについて、350℃、窒素雰囲気中で30分の熱処理を追加することで、接触抵抗がどのように変化するかを調べた。

40

TiN膜を接続孔底部に有するサンプル（TiN有）は、熱処理を2回追加してもほとんど熱処理前の接触抵抗から変化していない。これに対し、TiN膜を完全に除去したサンプル（TiN無）は、2回の熱処理追加によって接触抵抗が熱処理前に比べて20%以上変動している。このことは、TiN膜がCrSi薄膜と金属配線の相互作用による抵抗変動を防止するバリア膜としての機能を有することを意味している。

【0116】

CrSi薄膜抵抗と金属配線の間にTiN膜を存在させることにより、例えばシンタリングやCVDなど、製造工程で行なわれる熱処理による接触抵抗の変動を極めて小さくできるとともに、後工程である組立て作業で行なわれる半田処理などの熱処理での接触抵抗の変動を防止できる。これにより、設定通りの接触抵抗を安定して得ることができると

50

ともに、組立て前後の接触抵抗の変動を防止することができ、製品の高精度化や歩留の向上が可能となる。

【0117】

図1から図3を参照して説明した製造方法では、上記工程(1)において、第1層目金属配線パターン11用の金属膜と高融点金属膜を真空中で連続して形成しているが、製造方法はこれに限定されるものではない。

例えば、第1層目金属配線パターン11用の金属膜を形成し、一旦大気に暴露した後、高融点金属膜を形成した場合には、配線用金属膜表面に形成される自然酸化膜の影響で、上記金属膜と高融点金属膜との間で電氣的導通を確保することが困難になる。このようなときには、上記金属膜及び高融点金属膜をパターンニングして形成した金属材料パターン7及び高融点金属膜9からなる第1層目金属配線パターン11上の第2層目層間絶縁膜15に接続孔17を形成する段階で、接続孔17底部の高融点金属膜9を全部除去することによって、第1層目金属配線パターン11とCrSi薄膜抵抗体21間の電氣的接続を得ることができる。

10

【0118】

また、上記工程(1)において、反射防止膜兼バリヤ膜として機能する高融点金属膜を800Åの膜厚に形成しているが、製造方法はこれに限定されるものではない。

一般に、反射防止膜としての高融点金属膜は500Å以下の膜厚に形成されるが、接続孔17の底部にバリヤ膜としての高融点金属膜9を残存させたい場合には、接続孔17形成時のオーバーエッチング(上記工程(3)参照)や、金属薄膜形成時のAr逆スパッタリング処理(上記工程(4)参照)において、高融点金属膜9の膜ベリが若干生じてしまうため、バリヤ膜としての機能を安定的に得るために、500Å以上の膜厚に形成することが好ましい。

20

【0119】

ただし、上述したように、接続孔17形成用のエッチング条件やAr逆スパッタリング処理条件を最適化することにより、高融点金属膜9の膜厚が500Å以下でも高融点金属膜9の膜ベリを最小限に抑えてバリヤ膜としての機能を発揮させることは可能である。

【0120】

また、上記工程(4)において、CrSi薄膜27の形成直前にAr逆スパッタリング処理を行なっているが、バリヤ膜としての高融点金属膜9が接続孔17底部に残存している場合には、TiN膜からなる高融点金属膜9は大気に晒されてもAlSiCu膜ほど強固な自然酸化膜を形成しないため、上記Ar逆スパッタリング処理を行なわなくてもCrSi薄膜27と第1層目金属配線パターン11の電氣的接続を得ることができる。ただし、上述したように、CrSi薄膜27の形成直前にAr逆スパッタリング処理を行なうことによりCrSi薄膜抵抗体21の抵抗値の安定性を改善することができるので、上記Ar逆スパッタリング処理を行なうことが好ましい。

30

【0121】

また、上記の実施例では、第2層目層間絶縁膜15として、SOG膜の形成及びエッチバック技術を用いて平坦化したものを用いているが、金属薄膜抵抗体の下地となる絶縁膜はこれに限定されるものではない。金属薄膜抵抗体の下地となる絶縁膜としては、例えば公知の技術であるCMP(chemical mechanical polish)技術を用いて平坦化を行なった絶縁膜や、平坦化を行っていないプラズマCVD酸化膜、SOGを塗布した後に熱処理を施して平坦化したSOG膜、HDP(high-density-plasma)-CVD法により形成したCVD絶縁膜をエッチバックして平坦化したものなど、他の絶縁膜であってもよい。ただし、アナログ抵抗素子の中には、TCRのみならず、ペア性や比精度も重要となるような構成で使用されている場合も多いので、特に、本発明の半導体装置を構成する金属薄膜抵抗体をアナログ抵抗素子に適用する場合には、金属薄膜抵抗体の下地となる絶縁膜は平坦化処理が施されていることが好ましい。

40

【0122】

また、上記の実施例では、CrSi薄膜抵抗体21の上にパッシベーション膜23を形

50

成しているが、本発明はこれに限定されるものではなく、C r S i 薄膜抵抗体 2 1 の上に形成される絶縁膜は、例えば第 2 層目の金属配線を形成するための層間絶縁膜など、いかなる絶縁膜であってもよい。

【0123】

図 10 は第 1 態様の他の実施例を示す断面図であり、(A) は金属薄膜抵抗体の形成領域を示す断面図、(B) は (A) の破線で囲まれた部分を拡大して示す拡大断面図である。図 1 と同じ機能を果たす部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0124】

シリコン基板 1 上に素子分離酸化膜 3、第 1 層目層間絶縁膜 5、金属材料パターン 7 及び高融点金属膜 9 からなる第 1 層目金属配線パターン 1 1 及びレーザ光透過防止膜 1 3、ならびに第 2 層目層間絶縁膜 1 5 が形成されている。第 2 層目層間絶縁膜 1 5 に、金属薄膜抵抗体の両端部及び第 1 層目金属配線パターン 1 1 に対応して接続孔 1 7 が形成されている。接続孔 1 7 の内壁には逆スパッタリング残渣 1 9 が形成されている。接続孔 1 7 の上端部はテーパ形状に形成されている。 10

【0125】

第 2 層目層間絶縁膜 1 5 上に、接続孔 1 7、1 7 間の領域から接続孔 1 7 内及び第 1 層目金属配線パターン 1 1 上にわたって C r S i 薄膜抵抗体 2 1 が形成されている。C r S i 薄膜抵抗体 2 1 下には第 2 層目層間絶縁膜 1 5 を介してレーザ光透過防止膜 1 3 が配置されている。C r S i 薄膜抵抗体 2 1 の上面に C r S i N 膜 (金属窒化膜) 2 9 が形成されている。C r S i 薄膜抵抗体 2 1 と C r S i N 膜 2 9 の間には C r S i O は形成されていない。 20

C r S i 薄膜抵抗体 2 1 及び C r S i N 膜 2 9 の形成領域を含む第 2 層目層間絶縁膜 1 5 上にパッシベーション膜 2 3 が形成されている。

【0126】

この実施例においても、C r S i 薄膜抵抗体 2 1 下の領域で第 2 層目層間絶縁膜 1 5 とシリコン基板 1 の間に金属材料からなるレーザ光透過防止膜 1 3 を備えているので、レーザトリミング処理時において C r S i 薄膜抵抗体 2 1 が切断又は変質されるのに十分な強度のレーザ光 2 5 を C r S i 薄膜抵抗体 2 1 に照射しても、第 2 層目層間絶縁膜 1 5 を透過したレーザ光 2 5 はレーザ光透過防止膜 1 3 によりシリコン基板 1 とは反対側に反射され、レーザ光 2 5 がシリコン基板 1 に照射されるのを防止することができる。 30

【0127】

この実施例を製作するための製造方法を説明する。

図 2 (a) から (c) を参照して説明した上記工程 (1) から (3) と同じ工程により、素子分離酸化膜 3 の形成が完了したウェハ状のシリコン基板 1 上に、第 1 層目層間絶縁膜 5、金属配線パターン 7 及び高融点金属膜 9 からなる第 1 層目金属配線パターン 1 1 及びレーザ光透過防止膜 1 3、第 2 層目層間絶縁膜 1 5、ならびに接続孔 1 7 を形成する。

【0128】

図 2 (d) を参照して説明した上記工程 (4) と同じ条件により、例えばマルチチャンバースパッタリング装置の A r スパッタエッチングチャンバーにて、真空中で、層間絶縁膜 5 の表面に対して A r 逆スパッタリング処理を行なって逆スパッタリング残渣 1 9 及び接続孔 1 7 上端部のテーパ形状を形成し、続けて、A r 逆スパッタリング処理の完了後に真空を破らずに連続して金属薄膜抵抗体用の C r S i 薄膜を形成する。 40

【0129】

さらに、C r S i 薄膜の形成後、真空を破らずに連続して、C r S i 薄膜上に C r S i N 膜を形成する。例えば、C r S i 薄膜の形成で用いた S i / C r = 8 0 / 2 0 w t % の C r S i ターゲットを使用し、D C パワー：0.7 K W (キロワット)、A r + N₂ (アルゴンと窒素の混合ガス)：8 5 s c c m、圧力：8.5 m T o r r、処理時間：6 秒の条件で処理を行ない、C r S i 薄膜上に C r S i N 膜を約 5 0 Å の膜厚に形成する。次に、C r S i N 膜及び C r S i 薄膜をパターンニングして、C r S i N 膜 2 9 及び C r S i 薄膜 50

抵抗体 21 からなる積層パターンを形成する。

【0130】

図1から図3を参照して説明した上記製造方法と同様に、CrSi 薄膜抵抗体 21 は第1層目金属配線パターン 11 と電氣的に接続されているので、従来技術のようにフッ酸水溶液によるCrSi 薄膜抵抗体 21 の表面の金属酸化膜除去処理を行なう必要はない。さらに、CrSi 薄膜抵抗体 21 の上面はCrSiN膜 29 により覆われているので、大気など、酸素を含む雰囲気中に暴露されてもCrSi 薄膜抵抗体 21 の上面が酸化されることはない。

その後、第2層目層間絶縁膜 15 上にパッシベーション膜 23 を形成する。

【0131】

10

一般に、金属薄膜は酸素との反応性が高く、金属薄膜を大気に晒した状態で長時間放置すると抵抗値が変動してしまうことが知られている。

この実施例では、CrSi 薄膜抵抗体 21 の上面にCrSiN膜 29 を形成することにより、CrSi 薄膜抵抗体 21 の上面が大気に晒されてCrSi 薄膜抵抗体 21 の抵抗値が変動するのを防止している。ここで、CrSi 薄膜抵抗体 21 を形成するためのCrSi 薄膜が成膜された段階で、CrSi 薄膜と配線パターン 11 との電氣的接続は完了しているため、CrSi 薄膜 21 上に新たな薄膜が成膜されても、特性上何ら影響を与えるものではない。

【0132】

図11に、CrSiN膜形成用のガスのN₂分圧とCrSiN膜の抵抗率の関係を示す図であり、縦軸は抵抗率 ρ (mohm・cm (ミリオーーム・センチメートル))、横軸はN₂分圧 (%) を示す。ここでは、ターゲット：Si / Cr = 50 / 50 wt %、DCパワー：0.7 KW、Ar + N₂：85 sccm、圧力：8.5 mTorr、処理時間：6 秒の条件でAr + N₂ガスのN₂分圧を調整してCrSiN膜を形成した。

20

【0133】

N₂分圧を18%以上添加してリアクティブスパッタにより形成されたCrSiN膜は、N₂を全く添加しないガスを用いた場合 (N₂分圧が0%) に比べて10倍以上の高い抵抗率を示す。したがって、N₂分圧を18%以上に設定してCrSiN膜を成膜するようにすれば、CrSi 薄膜抵抗体上に直接CrSiN膜を形成しても、CrSi 薄膜抵抗体全体の抵抗値はCrSi 薄膜が決定することとなり、CrSiN膜は抵抗値にほとんど影響を与えない。ここで、N₂分圧の上限は90%程度である。N₂分圧を90%よりも大きく設定した場合、スパッタリング速度の大幅な低下を招き、生産効率が低下するので好ましくない。

30

なお、CrSiN膜は、N₂分圧を例えば6~11%程度添加してリアクティブスパッタにより形成するようにすれば、CrSiN膜自体を金属薄膜抵抗体として使用することも可能である。

【0134】

また、上記の実施例では、CrSi 薄膜抵抗体 21 上にCrSiN膜 29 を備えているが、CrSi 薄膜抵抗体 21 上にCVD系の絶縁膜、例えばシリコン窒化膜等を備えているようにしてもよい。しかし、一般的なマルチチャンバースパッタ装置にはCVDチャンバ 40

バーは接続されておらず、CVD系の絶縁膜を真空中で連続してCrSi 薄膜抵抗体 21 上に形成するためには、対応する新しい設備を購入する必要がある、製造コストに多大な影響を与えてしまう。

上記製造方法例のように、CrSi 薄膜抵抗体 21 用のCrSi 薄膜 27 上にCrSiN膜 29 を形成する構成であれば、新しい装置を購入すること無く、既存のマルチチャンバースパッタ装置を用いてCrSi 薄膜抵抗体 21 の耐酸化カバー膜となるCrSiN膜 29 を、真空状態を破ること無く形成することができる。

【0135】

図12は第1態様のさらに他の実施例を示す断面図であり、(A)は金属薄膜抵抗体の形成領域を示す断面図、(B)は(A)の破線で囲まれた部分を拡大して示す拡大断面図 50

である。図 1 と同じ機能を果たす部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0136】

この実施例が図 1 を参照して説明した実施例と異なる点は、金属材料パターン 7 及び高融点金属膜 9 からなるレーザ光透過防止膜 13 が第 1 層目金属配線パターン 11 とは分離して設けられていることである。その他の構造は図 1 を参照して説明した実施例と同じである。このような構造は、図 1 から図 3 を参照して説明した製造方法において第 1 層目金属配線パターン 11 及びレーザ光透過防止膜 13 をパターンニングするためのマスクを変更することにより、同様に形成することができる。

【0137】

図 13 は第 1 態様のさらに他の実施例を示す断面図であり、(A) は金属薄膜抵抗体の形成領域を示す断面図、(B) は (A) の破線で囲まれた部分を拡大して示す拡大断面図である。図 10 と同じ機能を果たす部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0138】

この実施例が図 10 を参照して説明した実施例と異なる点は、金属材料パターン 7 及び高融点金属膜 9 からなるレーザ光透過防止膜 13 が第 1 層目金属配線パターン 11 とは分離して設けられていることである。その他の構成は図 1 を参照して説明した実施例と同じである。

【0139】

図 12 及び図 13 に示した実施例においても、CrSi 薄膜抵抗体 21 下の領域で第 2 層目層間絶縁膜 15 とシリコン基板 1 の間に金属材料からなるレーザ光透過防止膜 13 を備えているので、レーザトリミング処理時において CrSi 薄膜抵抗体 21 が切断又は変質されるのに十分な強度のレーザ光 25 を CrSi 薄膜抵抗体 21 に照射しても、第 2 層目層間絶縁膜 15 を透過したレーザ光 25 はレーザ光透過防止膜 13 によりシリコン基板 1 とは反対側に反射され、レーザ光 25 がシリコン基板 1 に照射されるのを防止することができる。

【0140】

図 1、図 10、図 12 及び図 13 に示した実施例では、レーザ光透過防止膜 13 は CrSi 薄膜抵抗体 21 が電氣的に接続される第 1 層目金属配線パターン 11 と同じ材料により形成されているが、本発明の半導体装置の第 1 態様はこれに限定されるものではなく、レーザ光透過防止膜は、第 1 層目金属配線パターン 11 とは別途形成された、第 1 層目金属配線パターン 11 とは異なる金属材料により形成されているものであってもよい。

【0141】

また、上記の実施例では、レーザ光透過防止膜 13 と、CrSi 薄膜抵抗体 21 が電氣的に接続される第 1 層目金属配線パターン 11 はともに第 1 層目層間絶縁膜 5 上に形成されているが、レーザ光透過防止膜と、金属薄膜抵抗体が電氣的に接続される金属配線パターンは互いに異なる絶縁膜上に形成されていてもよい。

【0142】

図 14 は第 1 態様のさらに他の実施例を示す断面図であり、(A) は金属薄膜抵抗体の形成領域を示す断面図、(B) は (A) の破線で囲まれた部分を拡大して示す拡大断面図である。図 1 と同じ機能を果たす部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0143】

素子分離酸化膜 3 の形成領域を含むシリコン基板 1 上に第 1 層目層間絶縁膜 5 が形成されている。金属薄膜抵抗体下に対応する位置の第 1 層目層間絶縁膜 5 上に、金属材料パターン 7 と高融点金属膜 9 からなるレーザ光透過防止膜 13 が形成されている。図示しない領域の第 1 層目層間絶縁膜 5 上には金属材料パターン 7 と高融点金属膜 9 からなる第 1 層目金属配線パターンが形成されている。

【0144】

レーザ光透過防止膜 13 の形成領域を含む第 1 層目層間絶縁膜 5 上に、例えば、下層側から順にプラズマ CVD 酸化膜、SOG 膜、プラズマ CVD 酸化膜からなる第 2 層目層間絶縁膜（下層側絶縁膜）31（図 14 では一体的に図示している。）が形成されている。

第 2 層目層間絶縁膜 31 上に、金属材料パターン 33 と金属材料パターン 33 表面に形成された高融点金属膜 35 からなる第 2 層目金属配線パターン 37 が形成されている。金属材料パターン 33 は例えば AlSiCu 膜により形成されている。高融点金属膜 35 は例えば TiN 膜により形成されており、反射防止膜兼バリヤ膜として機能するものである。

【0145】

第 2 層目金属配線パターン 37 の形成領域を含む第 2 層目層間絶縁膜 31 上に、例えば、下層側から順にプラズマ CVD 酸化膜、SOG 膜、プラズマ CVD 酸化膜からなる第 3 層目層間絶縁膜（絶縁膜）39（図 14 では一体的に図示している。）が形成されている。第 3 層目層間絶縁膜 39 に、金属薄膜抵抗体の両端部及び第 2 層目金属配線パターン 37 に対応して接続孔 41 が形成されている。

【0146】

（B）に示すように、接続孔 41 の底面は高融点金属膜 35 の表面側の一部が除去されて形成されており、接続孔 41 の上端部はテーパ形状に形成されている。また、接続孔 41 の内壁には逆スパッタリング残渣 19 が形成されている。接続孔 41 の上端部のテーパ形状及び逆スパッタリング残渣 19 の（A）での図示は省略している。接続孔 41 の上端部のテーパ形状及び逆スパッタリング残渣 19 は、接続孔 41 が形成された第 3 層目層間絶縁膜 39 に対して Ar 逆スパッタリング処理が施されて形成されたものである。したがって、逆スパッタリング残渣 19 は成分に高融点金属膜 35 及び第 3 層目層間絶縁膜 39 の材料ならびに Ar を含んでおり、ここでは Ti、N、Si、O、Ar を含んでいる。

【0147】

第 3 層目層間絶縁膜 39 上に、接続孔 41、41 間の領域から接続孔 41 内及び第 2 層目金属配線パターン 37 上にわたって CrSi 薄膜抵抗体 21 が形成されている。CrSi 薄膜抵抗体 21 の両端部は接続孔 41 内で第 2 層目金属配線パターン 37 と電氣的に接続されている。CrSi 薄膜抵抗体 21 下には第 3 層目層間絶縁膜 39 及び第 2 層目層間絶縁膜 31 を介してレーザ光透過防止膜 13 が配置されている。

CrSi 薄膜抵抗体 21 の形成領域を含む第 3 層目層間絶縁膜 39 上にパッシベーション膜 23 が形成されている。

【0148】

この実施例では、CrSi 薄膜抵抗体 21 下の領域で第 3 層目層間絶縁膜 39 とシリコン基板 1 の間に金属材料からなるレーザ光透過防止膜 13 を備えているので、レーザトリミング処理時において CrSi 薄膜抵抗体 21 が切断又は変質されるのに十分な強度のレーザ光 25 を CrSi 薄膜抵抗体 21 に照射しても、第 3 層目層間絶縁膜 39 及び第 2 層目層間絶縁膜 31 を透過したレーザ光 25 はレーザ光透過防止膜 13 によりシリコン基板 1 とは反対側に反射され、レーザ光 25 がシリコン基板 1 に照射されるのを防止することができる。

【0149】

さらに、（B）に示すように、接続孔 41 の内壁に逆スパッタリング残渣 19 が形成され、接続孔 41 の上端部がテーパ状に形成されているので、図 1 に示した、接続孔 17 の内壁に逆スパッタリング残渣 19 が形成され、接続孔 17 の上端部がテーパ状に形成されている実施例と同様に、接続孔 41 近傍での CrSi 薄膜抵抗体 21 のステップカバレッジを向上させて CrSi 薄膜抵抗体 21 の金属配線パターン 37 との接触抵抗の安定化を実現することができる。

【0150】

この実施例の製造方法の例を説明すると、まず、図 2（a）を参照して説明した上記工程（1）と同様にして、素子分離酸化膜 3 が形成されたシリコン基板 1 上に第 1 層目層間

10

20

30

40

50

絶縁膜 5 及びレーザ光透過防止膜 13 を形成した後、図 2 (b) を参照して説明した上記工程 (2) と同様にして第 2 層目層間絶縁膜 31 を形成する。

図 2 (a) から (d) を参照して説明した上記工程 (1) から (4) において第 1 層目層間絶縁膜 5 上に金属材料パターン 7 及び高融点金属膜 9 からなる第 1 層目金属配線パターン 11、第 2 層目層間絶縁膜 15、接続孔 17、逆スパッタリング残渣 19 及び CrSi 薄膜 27 を形成したのと同様にして、第 2 層目層間絶縁膜 31 上に金属材料パターン 33 及び高融点金属膜 35 からなる第 2 層目金属配線パターン 37 ならびに第 3 層目層間絶縁膜 39 を形成し、第 3 層目層間絶縁膜 39 に接続孔 41 を形成し、Ar 逆スパッタリング処理により接続孔 41 の上端部のテーパ形状及び逆スパッタリング残渣 19 を形成し、CrSi 薄膜抵抗体 21 用の CrSi 薄膜を形成する。その後、CrSi 薄膜をパターンニングして CrSi 薄膜抵抗体 21 を形成し、さらにパッシベーション膜 23 を形成することにより、この実施例の製造工程が完了する。

10

【0151】

このように、この実施例においても、図 1 を参照して説明した実施例と同様に、CrSi 薄膜抵抗体 21 をパターンニングした後にウェットエッチング技術によるパターンニングを行なう必要がないことによる効果、CrSi 薄膜抵抗体 21 の金属配線パターン 37 との接触面が大气に暴露されることはないことによる効果、CrSi 薄膜抵抗体 21 と金属材料パターン 33 の間にバリヤ膜として機能する高融点金属膜 35 を介在させていることによる効果、及び、CrSi 薄膜抵抗体 21 用の CrSi 薄膜を形成する前に下地膜である第 3 層目層間絶縁膜 39 に Ar 逆スパッタリング処理を施すことによる効果を得ることができる。

20

【0152】

また、図 15 に示すように、図 10 を参照して説明した実施例と同様に、CrSi 薄膜抵抗体 21 の上面に CrSiN 膜 29 が形成されているようにしてもよい。この実施例でも CrSi 薄膜抵抗体 21 と CrSiN 膜 29 の間には CrSiO は形成されていない。CrSiN 膜 29 は図 10 を参照して説明した製造方法と同様にして形成することができる。

【0153】

図 16 は半導体装置の第 2 態様の一実施例を示す図であり、(A) は断面図、(B) は第 1 接続孔近傍を拡大して示す断面図、(C) は第 2 接続孔近傍を拡大して示す断面図である。図 1 と同じ機能を果たす部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

30

【0154】

シリコン基板 1 上に素子分離酸化膜 3 が形成され、素子分離酸化膜 3 の形成領域を含むシリコン基板 1 上に第 1 層目層間絶縁膜 5 が形成されている。第 1 層目層間絶縁膜 5 上に第 1 層目金属配線パターン 11 が形成されている。第 1 層目金属配線パターン 11 は例えば AlSiCu 膜からなる金属材料パターンとその金属材料パターン表面に形成された高融点金属膜、例えば TiN 膜により形成されているが、図 16 では金属材料パターンと高融点金属膜を一体的に示している。第 1 層目金属配線パターン 11 の一部は金属薄膜抵抗体の形成領域に延伸して形成されてレーザ光透過防止膜 13 を構成している。

40

【0155】

第 1 層目金属配線パターン 11 の形成領域を含む第 1 層目層間絶縁膜 5 上に、例えば、下層側から順にプラズマ CVD 酸化膜、SiO₂ 膜、プラズマ CVD 酸化膜からなる第 2 層目層間絶縁膜 (絶縁膜) 15 (図 16 では一体的に図示している。) が形成されている。第 2 層目層間絶縁膜 15 に、第 1 層目金属配線パターン 11 に対応して第 1 接続孔 43 及び第 2 接続孔 45 が形成されている。第 1 接続孔 43 は、第 1 層目金属配線パターン 11 と、第 2 層目層間絶縁膜 15 上に形成される金属薄膜抵抗体を電氣的に接続するためのものである。第 2 接続孔 45 は、第 1 層目金属配線パターン 11 と、第 2 層目層間絶縁膜 15 上に形成される第 2 層目金属配線パターンを電氣的に接続するためのものである。

【0156】

50

第1接続孔43内に導電性材料が埋め込まれて第1導電性プラグ47が形成されている。第2接続孔45内に導電性材料が埋め込まれて第2導電性プラグ49が形成されている。第1導電性プラグ47及び第2導電性プラグ49は、例えばチタンからなり、接続孔内壁表面に形成されたバリヤメタル（第1導電性材料）51と、バリヤメタル51上に形成されたタングステン（第2導電性材料）53により形成されている。（A）では、第1導電性プラグ47及び第2導電性プラグ49について、バリヤメタル51及びタングステン53を一体的に示している。

【0157】

（B）に示すように、第1接続孔43において、バリヤメタル51の上端部は第1接続孔43の上端部及びタングステン53の上面とは間隔をもって形成されている。タングステン53の上面の外周部及び第1接続孔43の上端部はテーパ形状（（A）での図示は省略）に形成されている。さらに、バリヤメタル51上の、第1接続孔43の内壁とタングステン53の間の空間に、成分に少なくとも第2層目層間絶縁膜15の材料、タングステン及びArを含む逆スパッタリング残渣55（（A）での図示は省略）が形成されている。

10

【0158】

（C）に示すように、第2接続孔45においては、バリヤメタル51、タングステン53及び第2層目層間絶縁膜15の上面が同じ高さに形成されており、第1接続孔43のようにはテーパ形状や逆スパッタリング残渣55は形成されていない。

【0159】

第1導電性プラグ47上及び第2層目層間絶縁膜15上にCrSi薄膜抵抗体（金属薄膜抵抗体）21が形成されている。CrSi薄膜抵抗体21の両端部は第1導電性プラグ47を介して第1層目金属配線パターン11と電氣的に接続されている。CrSi薄膜抵抗体21下には第2層目層間絶縁膜15を介してレーザ光透過防止膜13が配置されている。

20

【0160】

第2導電性プラグ49上及び第2層目層間絶縁膜15上に、最上層の金属配線パターンとしての第2層目金属配線パターン（第2金属配線パターン）57が形成されている。第2層目金属配線パターン57は第2導電性プラグ49を介して第1層目金属配線パターン11と電氣的に接続されている。

30

CrSi薄膜抵抗体21及び第2層目金属配線パターン57の形成領域を含む第2層目層間絶縁膜15上にパッシベーション膜23が形成されている。

【0161】

この実施例では、CrSi薄膜抵抗体21下の領域で第2層目層間絶縁膜15とシリコン基板1の間に金属材料からなるレーザ光透過防止膜13を備えているので、レーザトリミング処理時においてCrSi薄膜抵抗体21が切断又は変質されるのに十分な強度のレーザ光25をCrSi薄膜抵抗体21に照射しても、第2層目層間絶縁膜15を透過したレーザ光25はレーザ光透過防止膜13によりシリコン基板1とは反対側に反射され、レーザ光25がシリコン基板1に照射されるのを防止することができる。

【0162】

図17はこの実施例を製造するための製造方法の一例を説明するための工程断面図である。図17において、右側の破線円で囲まれた断面図は各工程での第1接続孔の状態を拡大して示すものである。図16及び図17を参照してこの製造方法の例を説明する。

40

【0163】

（1）公知の技術により、素子分離酸化膜3及びトランジスタ素子等（図示は省略）の形成が完了したウェハ状のシリコン基板1上に、BPSG膜又はPSG膜からなる第1層目層間絶縁膜5を約8000Åの膜厚に形成し、第1層目層間絶縁膜5上に膜厚が約5000ÅのAlSiCu膜及び膜厚が約800ÅのTiN膜からなる第1層目金属配線パターン11及びレーザ光透過防止膜13を形成する。第1層目金属配線パターン11及びレーザ光透過防止膜13の形成領域を含む第1層目層間絶縁膜5上に、下層側から順に、膜厚

50

が6000 Å程度のプラズマCVD酸化膜、SOG膜、膜厚が2000 Å程度のプラズマCVD酸化膜からなる第2層目層間絶縁膜15を形成する。

【0164】

公知の写真製版技術及びドライエッチング技術により、第1層目金属配線パターン11の所定の領域に対応して第2層目層間絶縁膜15に第1接続孔43及び第2接続孔45を形成する。

第1接続孔43及び第2接続孔45の内壁表面を含む第2層目層間絶縁膜15上全面に例えばチタンからなるバリヤメタル51を1000 Åの膜厚に形成し、さらにその上にタングステン53を7500 Åの膜厚に形成した後、エッチバック処理又はCMP処理を施して、不要なタングステン53及びバリヤメタル51を除去する。これにより、第1接続孔43内にバリヤメタル51及びタングステン53からなる第1導電性プラグ47を形成し、第2接続孔45内にバリヤメタル51及びタングステン53からなる第2導電性プラグ49を形成する（図17（a）参照）。 10

【0165】

（2）例えばDCマグネトロンスパッタリング装置を用いて、第2層目層間絶縁膜15上に、例えばAlSiCu膜からなる金属材料膜を約5000 Åの膜厚に形成し、続けて真空中で連続的に例えばTiN膜からなる高融点金属膜を約500 Åの膜厚に形成して配線用金属膜59を形成する（図17（b）参照）。

【0166】

（3）写真製版技術により、第2層目金属配線パターンの形成領域を画定するためのレジストパターン61を配線用金属膜59上に形成した後、ドライエッチング技術により、レジストパターン61をマスクにして配線用金属膜59をパターニングして第2層目金属配線パターン57を形成する（図17（c）参照）。このドライエッチングの際に、第1導電性プラグ47上の配線用金属膜59は除去されるが、第1導電性プラグ47を構成するバリヤメタル51の上部も除去されて第1導電性プラグ47の周囲に窪みが形成される（図17（c）の拡大図参照）。 20

このような窪みは、配線用金属膜59とタングステン53（第2導電性材料）のエッチング選択比が大きく、かつ配線用金属膜59とバリヤメタル51（第1導電性材料）のエッチング選択比が小さい場合に形成される。したがって、このような窪みは、この実施例での第1導電性プラグ47及び配線用金属膜59の材料の種類を用いた場合にのみ形成されるのではなく、金属配線用パターン用の金属膜に対して、第1導電性プラグを構成する第1導電性材料のエッチング選択比が小さく、かつ第1導電性プラグを構成する第2導電性材料のエッチング選択比が大きい場合に形成される。 30

【0167】

（4）レジストパターン61を除去した後、第1導電性プラグ47の形成領域を含んで第2層目層間絶縁膜15の表面に対してAr逆スパッタリング処理を行なう（図17（d）参照）。ここではマルチチャンバースパッタリング装置のArスパッタエッチングチャンバーにて、真空中で、DCバイアス：1250 V、Ar：20 sccm、圧力：8.5 mTorr（ミリトル）、処理時間：20秒の条件でAr逆スパッタリング処理を行なった。このエッチング条件は、1000 °C、ウェット雰囲気中で形成した熱酸化膜を約50 Å 40

だけエッチングする条件と同等である。

このAr逆スパッタリング処理により、第1接続孔43において、タングステン53の上面の外周部及び第1接続孔43の上端部がテーパ形状に形成され、さらに、バリヤメタル51上の、第1接続孔43の内壁と第タングステン53の間の空間に、成分に少なくとも第2層目層間絶縁膜15の材料、タングステン及びArを含む逆スパッタリング残渣55が形成される（図17（d）の拡大図参照）。 50

【0168】

（5）Ar逆スパッタリング処理の完了後に真空を破らずに連続して、金属薄膜抵抗体用のCrSi薄膜（金属薄膜）63を形成する。ここでは、半導体ウェハをArスパッタエッチングチャンバーからCrSiターゲットが装着されたスパッタチャンバーに移送した 50

後、Si/Cr = 80/20 wt % (重量パーセント) のCrSiターゲットを使用し、DCパワー：0.7 KW (キロワット)、Ar：85 sccm、圧力：8.5 mTorr、処理時間：9秒の条件で処理を行ない、第1導電性プラグ47の形成領域を含む第2層目層間絶縁膜15上全面にCrSi薄膜63を約50 Åの膜厚に形成した(図17(e)参照)。

【0169】

このように、金属薄膜抵抗体用のCrSi薄膜63を形成する前に、第2層目層間絶縁膜15に対してAr逆スパッタリング処理を行ない、第1接続孔43において、タングステン53の上面の外周部及び第1接続孔43の上端部をテーパ形状に形成し、バリヤメタル51上の、第1接続孔43の内壁と第タングステン53の間の空間に逆スパッタリング残渣55を形成することにより、第1接続孔43近傍におけるCrSi薄膜63のステップカバレッジを改善することができる。

10

さらに、図4から図8を参照して説明したように、上記Ar逆スパッタリング処理を行なうことにより、後工程でCrSi薄膜63から形成されるCrSi薄膜抵抗体の下地膜依存性を改善できる。

【0170】

(6) 写真製版技術により、CrSi薄膜63上に金属薄膜抵抗体の形成領域を画定するためのレジストパターン65を形成する。例えばRIE装置を用い、レジストパターン65をマスクにしてCrSi薄膜63をパターンニングし、CrSi薄膜抵抗体21を形成する(図17(f)参照)。

20

【0171】

(7) レジストパターン65を除去する。ここで、CrSi薄膜抵抗体21は第1導電性プラグ47を介して第1層目金属配線パターン11と電氣的に接続されているので、従来技術のように金属薄膜抵抗体上面で電氣的接続をとるためにフッ酸水溶液によるCrSi薄膜抵抗体21の表面の金属酸化膜除去処理を行なう必要はない。

その後、例えばプラズマCVD法により、CrSi薄膜抵抗体21の形成領域を含む第2層目層間絶縁膜15上に、パッシベーション膜23としてのシリコン酸化膜及びシリコン窒化膜を順次形成する。以上により、半導体装置の製造工程が完了する(図16参照)。

【0172】

このように、第1層目金属配線パターン11及び接続孔43、45を形成し、接続孔43、45内に導電性プラグ47、49を形成した後、CrSi薄膜抵抗体21を形成して、第1導電性プラグ47を介してCrSi薄膜抵抗体21と第1層目金属配線パターン11の電氣的接続を形成するので、CrSi薄膜抵抗体21をパターンニングした後にウェットエッチング技術によるパターンニングを行なう必要はない。

30

【0173】

さらに、CrSi薄膜抵抗体21の第1導電性プラグ47との接触面が大気に暴露されることはないので、CrSi薄膜抵抗体21に対する表面酸化膜除去処理及びエッチング防止用バリヤ膜形成を行なわなくても、CrSi薄膜抵抗体21と第1導電性プラグ47の良好な電氣的接続を安定して得ることができる。

40

これにより、CrSi薄膜抵抗体21の膜厚に関わらず、工程数を増加させることなく、CrSi薄膜抵抗体21の微細化及び抵抗値の安定化を実現することができる。

【0174】

さらに、CrSi薄膜抵抗体21を第1導電性プラグ47上及び第2層目層間絶縁膜15上に形成しているので、図39を参照して説明した、配線パターン上に形成された接続孔を介して金属薄膜抵抗体と配線パターンの電氣的接続を形成する場合のように、金属薄膜抵抗体のステップカバレッジの悪化による金属薄膜抵抗体の抵抗値変動及び電極との接触抵抗の増大もない。

【0175】

さらに、第1層目金属配線パターン11と第2層目金属配線パターン57の間を電氣的

50

に接続するための第2導電性プラグ49を第1導電性プラグ47と同時に形成しているので、図38を参照して説明した製造工程に比べて絶縁膜123の形成工程、ならびに第2接続孔125及び第2導電性プラグ127を形成するための専用の工程をなくすことができ、製造工程数を増加させずに、低コストかつ短工期でCrSi薄膜抵抗体21を形成することができる。

【0176】

図18は、半導体装置の第2態様の他の実施例を示す図であり、(A)は断面図、(B)は第1接続孔近傍を拡大して示す断面図、(C)は第2接続孔近傍を拡大して示す断面図である。図16と同じ機能を果たす部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

10

【0177】

この実施例が図16を参照して説明した上記実施例を異なる点は、CrSi薄膜抵抗体21の上面にCrSiN膜29が形成されていることである。CrSi薄膜抵抗体21とCrSiN膜29の間にはCrSiOは形成されていない。

【0178】

図18を参照して、CrSi薄膜抵抗体21の上面にCrSiN膜29を形成するための製造方法の例を説明すると、図17(a)から(e)を参照して説明した上記工程(1)から(5)と同じ工程により、素子分離酸化膜3の形成が完了したウェハ状のシリコン基板1上に、第1層間絶縁膜5、第1層目金属配線パターン11、第2層目層間絶縁膜15、接続孔43、45、導電性プラグ47、49、第2層目金属配線パターン57、逆スパッタリング残渣55及びCrSi薄膜を形成する。

20

CrSi薄膜の形成後、真空を破らずに連続して、CrSi薄膜上にCrSiN膜を形成する。ここでは、CrSi薄膜の形成で用いたSi/Cr=80/20wt%のCrSiターゲットを使用し、DCパワー：0.7KW(キロワット)、Ar+N₂(アルゴンと窒素の混合ガス)：85sccm、圧力：8.5mTorr、処理時間：6秒の条件で処理を行ない、CrSi薄膜上にCrSiN膜を約50Åの膜厚に形成した。

【0179】

次に、図17(f)を参照して説明した上記工程(6)と同様にして、写真製版技術及びドライエッチング技術によりCrSiN膜及びCrSi薄膜をパターンニングして、CrSiN膜29及びCrSi薄膜抵抗体21からなる積層パターンを形成する。

30

その後、CrSi薄膜抵抗体21及びCrSiN膜29の形成領域を含む第2層目層間絶縁膜15上に、パッシベーション膜29を形成する。

【0180】

この実施例でも、図10に示した実施例と同様に、CrSi薄膜抵抗体21の上面にCrSiN膜29を備えているので、CrSi薄膜抵抗体21の上面が大気に晒されてCrSi薄膜抵抗体21の抵抗値が変動するのを防止することができる。

【0181】

図16及び図18に示した実施例では、第1層目金属配線パターン11とレーザ光透過防止膜13は連続して形成されているが、図19及び図20に示すように、レーザ光透過防止膜13は第1層目金属配線パターン11とは分離して設けられているようにしてもよい。図19及び図20に示す構造においても、CrSi薄膜抵抗体21下の領域で第2層目層間絶縁膜15とシリコン基板1の間に金属材料からなるレーザ光透過防止膜13を備えているので、レーザトリミング処理時においてCrSi薄膜抵抗体21が切断又は変質されるのに十分な強度のレーザ光25をCrSi薄膜抵抗体21に照射しても、第2層目層間絶縁膜15を透過したレーザ光25はレーザ光透過防止膜13によりシリコン基板1とは反対側に反射され、レーザ光25がシリコン基板1に照射されるのを防止することができる。

40

【0182】

図16、図18、図19及び図20に示した実施例では、レーザ光透過防止膜13はCrSi薄膜抵抗体21が電氣的に接続される第1層目金属配線パターン11と同じ材料に

50

より形成されているが、本発明の半導体装置の第2態様はこれに限定されるものではなく、レーザ光透過防止膜は、第1層目金属配線パターン11とは別途形成された、第1層目金属配線パターン11とは異なる金属材料により形成されているものであってもよい。

【0183】

また、上記の実施例では、レーザ光透過防止膜13と、CrSi薄膜抵抗体21が電氣的に接続される第1層目金属配線パターン11はともに第1層目層間絶縁膜5上に形成されているが、レーザ光透過防止膜と、金属薄膜抵抗体が電氣的に接続される金属配線パターンは互いに異なる絶縁膜上に形成されていてもよい。

【0184】

例えば、図21及び図22に示すように、レーザ光透過防止膜13は第1層目層間絶縁膜5上に形成されており、CrSi薄膜抵抗体21は第3層目層間絶縁膜39上に形成されており、かつ、CrSi薄膜抵抗体21は第3層目層間絶縁膜39に形成された第1接続孔43内に充填された第1導電性プラグ47を介して、第2層目層間絶縁膜31上に形成された第2層目金属配線パターン57と電氣的に接続されているようにしてもよい。

【0185】

図21及び図22において、図16及び図18と同じ機能を果たす部分には同じ符号を付している。また、第2層目層間絶縁膜31及び第3層目層間絶縁膜39は例えば下層側から順にプラズマCVD酸化膜、SiO₂膜、プラズマCVD酸化膜からなるものである。また、符号67は最上層の金属配線パターンである、第3層目層間絶縁膜39上に形成された第3層目金属配線パターンを示している。第3層目金属配線パターン66は図17を参照して説明した製造方法での第2層目金属配線パターン57と同様にして形成することができる。

【0186】

図21及び図22に示した実施例では、CrSi薄膜抵抗体21下の領域で第3層目層間絶縁膜39とシリコン基板1の間に金属材料からなるレーザ光透過防止膜13を備えているので、レーザトリミング処理時においてCrSi薄膜抵抗体21が切断又は変質されるのに十分な強度のレーザ光25をCrSi薄膜抵抗体21に照射しても、第3層目層間絶縁膜39及び第2層目層間絶縁膜31を透過したレーザ光25はレーザ光透過防止膜13によりシリコン基板1とは反対側に反射され、レーザ光25がシリコン基板1に照射されるのを防止することができる。

【0187】

また、図16から図22を参照して説明した実施例では、第1導電性プラグ47及び第2導電性プラグ49として、チタンからなるバリヤメタル51及びタングステン53からなるものを用いているが、本発明において第1導電性プラグ及び第2導電性プラグはこれに限定されるものではない。例えば、第1導電性材料（バリヤメタル）としてチタン以外の材料、TiW、TiN、W、WSiなどを用いることができる。また、第2導電性材料としてタングステン以外の材料、Cu、Al、WSiなどを用いることができる。ただし、第1導電性材料及び第2導電性材料はここに挙げた材料に限定されるものではない。

【0188】

図23は半導体装置の第3態様の一実施例における金属薄膜抵抗体の形成領域を示す図であり、(A)は平面図、(B)は(A)のA-A位置での断面図、(C)は(B)の破線で囲まれた部分を拡大して示す拡大断面図である。(A)でのパッシベーション膜の図示は省略している。図14と同じ機能を果たす部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0189】

シリコン基板1上に素子分離酸化膜3が形成されている。素子分離酸化膜3の形成領域を含むシリコン基板1上に第1層目層間絶縁膜5が形成されている。第1層目層間絶縁膜5上に、金属材料パターン7と高融点金属膜9からなるレーザ光透過防止膜13が形成されている。図示しない他の領域では、第1層目層間絶縁膜5上に金属材料パターン7と高融点金属膜9からなる第1層目金属配線パターンが形成されている。

レーザ光透過防止膜 13 の形成領域を含んで第 1 層目層間絶縁膜 5 上に第 2 層目層間絶縁膜 31 が形成されている。第 2 層目層間絶縁膜 31 上に、金属材料パターン 33 と高融点金属膜 35 からなる第 2 層目金属配線パターン 37 が形成されている。

【0190】

第 2 層目金属配線パターン 37 の側面に絶縁性材料、例えば CVD 酸化膜からなるサイドウォール 67 が形成されている。サイドウォール 67 の第 2 層目層間絶縁膜 31 側の表面に逆スパッタリング残渣 69 ((A) 及び (B) での図示は省略) が形成されている。逆スパッタリング残渣 69 は第 2 層目金属配線パターン 37 及びサイドウォール 67 が形成された後に第 2 層目層間絶縁膜 31 に対して Ar 逆スパッタリング処理が施されて形成されたものである。逆スパッタリング残渣 69 は成分に少なくとも第 2 層目層間絶縁膜 31 及びサイドウォール 67 の材料ならびに Ar を含んでいる。 10

【0191】

対向する一对の第 2 層目金属配線パターン 37 間のサイドウォール 67 の表面、逆スパッタリング残渣 69 の表面及び第 2 層目層間絶縁膜 31 上に帯状の CrSi 薄膜抵抗体 21 が形成されている。CrSi 薄膜抵抗体 21 の両端部は、一对の第 2 層目金属配線パターン 37 において対向する側面とは反対側の側面に形成されたサイドウォール 67 及び逆スパッタリング残渣 69 の表面ならびに第 2 層目層間絶縁膜 31 上に延伸して形成されており、CrSi 薄膜抵抗体 21 と第 2 層目金属配線パターン 37 は互いに交差して形成されている。

CrSi 薄膜抵抗体 21 の形成領域を含む第 2 層目層間絶縁膜 31 上に最終保護膜としてのパッシベーション膜 23 ((A) での図示は省略) が形成されている。 20

【0192】

この実施例では、CrSi 薄膜抵抗体 21 下の領域で第 2 層目層間絶縁膜 31 とシリコン基板 1 の間に金属材料からなるレーザ光透過防止膜 13 を備えているので、レーザトリミング処理時において CrSi 薄膜抵抗体 21 が切断又は変質されるのに十分な強度のレーザ光 25 を CrSi 薄膜抵抗体 21 に照射しても、第 2 層目層間絶縁膜 31 を透過したレーザ光 25 はレーザ光透過防止膜 13 によりシリコン基板 1 とは反対側に反射され、レーザ光 25 がシリコン基板 1 に照射されるのを防止することができる。

【0193】

図 24 はこの実施例の製造方法例を説明するための工程断面図である。図 23 及び図 24 を参照してこの実施例を説明する。 30

【0194】

(1) 図 2 (a) を参照して説明した上記工程 (1) と同様にして、素子分離酸化膜 3 及びトランジスタ素子等 (図示は省略) の形成が完了したウェハ状のシリコン基板 1 上に第 1 層目層間絶縁膜 5 を形成し、第 1 層目層間絶縁膜 5 上に金属材料パターン 7 及び高融点金属膜 9 からなるレーザ光透過防止膜 13 を形成する。

図 2 (b) を参照して説明した上記工程 (2) で第 2 層目層間絶縁膜 15 を形成したのと同様にして、第 1 層目層間絶縁膜 5 上全面に、下層側から順に CVD 酸化膜、SOG 膜、CVD 酸化膜からなる第 2 層目層間絶縁膜 31 を形成する。

【0195】

図 2 (a) を参照して説明した上記工程 (1) で第 1 層目金属配線パターン 11 を形成したのと同様にして、第 2 層目層間絶縁膜 31 上に金属材料パターン 33 及び高融点金属膜 35 からなる第 2 層目金属配線パターン 37 を形成する (図 24 (a) 参照。)。 40

この段階では、従来技術のように金属薄膜抵抗体は形成されておらず、第 2 層目金属配線パターン 37 の下地膜は第 2 層目層間絶縁膜 31 により形成されているので、高融点金属膜及び配線用金属膜のパターニングをドライエッチング技術により十分なオーバーエッチングをもって行なうことが可能であり、従来技術の問題点となっていたウェットエッチング技術によるパターニングを適用する必要性は全く無く、回路の微細化に影響を与えることはない。

【0196】

(2) 例えばプラズマCVD法により、第2層目金属配線パターン37の形成領域を含む第2層目層間絶縁膜31上にプラズマCVD酸化膜を2000Å程度の膜厚に形成した後、エッチバック処理を行なって、第2層目金属配線パターン37の側面にプラズマCVD酸化膜からなるサイドウォール67を形成する(図24(b)参照。)

【0197】

(3) 例えばマルチチャンバースパッタリング装置のArスパッタエッチングチャンバーにて、真空中で、DCバイアス：1250V、Ar：20sccm、圧力：8.5mTorr(ミリトル)、処理時間：20秒の条件で、第2層目金属配線パターン37及びサイドウォール67の形成領域を含んで第2層目層間絶縁膜31に対してAr逆スパッタリング処理を行なう。このエッチング条件は、1000℃、ウェット雰囲気中で形成した熱酸化膜を約50Åだけエッチングする条件と同等である。このAr逆スパッタリング処理により、サイドウォール67の第2層目層間絶縁膜31側の表面に逆スパッタリング残渣69(図23(C)参照。)が形成される。

【0198】

続けて、Arスパッタエッチング完了後に真空状態を破らずに連続して金属薄膜抵抗体のCrSi薄膜を形成する。ここでは、半導体ウェハをArスパッタエッチングチャンバーからCrSiターゲットが装着されたスパッタチャンバーに移送した後、Si/Cr=80/20wt%(重量パーセント)のCrSiターゲットを使用し、DCパワー：0.7KW(キロワット)、Ar：85sccm、圧力：8.5mTorr、処理時間：9秒の条件で処理を行ない、第1層目金属配線パターン11及びサイドウォール67、67の形成領域を含む第2層目層間絶縁膜31上全面にCrSi薄膜を約50Åの膜厚に形成した。

【0199】

写真製版技術により、CrSi薄膜上に金属薄膜抵抗体の形成領域を画定するためのレジストパターンを形成する。例えばRIE装置を用い、そのレジストパターンをマスクにしてCrSi薄膜をパターニングしてCrSi薄膜抵抗体21を形成する(図24(c)参照。)。その後、上記レジストパターンを除去する。ここで、CrSi薄膜抵抗体21は第2層目金属配線パターン37の一部分と電氣的に接続されているので、従来技術のように金属薄膜抵抗体上面で電氣的接続をとるためにフッ酸水溶液によるCrSi薄膜抵抗体21の表面の金属酸化膜除去処理を行なう必要はない。

【0200】

(4) 例えばプラズマCVD法により、第2層目層間絶縁膜31上全面にパッシベーション膜23としてのシリコン酸化膜及びシリコン窒化膜を順次形成する。以上により、半導体装置の製造工程が完了する(図23参照。)

【0201】

このように、CrSi薄膜抵抗体21を形成した後にウェットエッチング技術によるパターニングを行なう必要はなく、さらに、CrSi薄膜抵抗体21における第2層目金属配線パターン37との接触面が大気に暴露されることはないので、CrSi薄膜抵抗体21に対する表面酸化膜除去処理及びエッチング防止用バリヤ膜形成を行なわなくても、CrSi薄膜抵抗体21と第2層目金属配線パターン37の良好な電氣的接続を安定して得ることができる。これにより、CrSi薄膜抵抗体21の膜厚に関わらず、工程数を増加させることなく、CrSi薄膜抵抗体21の微細化及び抵抗値の安定化を実現することができる。

【0202】

さらに、CrSi薄膜抵抗体21は第2層目金属配線パターン37の上面からサイドウォール67及び逆スパッタリング残渣69の表面を介して第2層目層間絶縁膜31上にわたって形成されているので、配線パターン上に形成された接続孔を介して金属薄膜抵抗体と配線パターンの電氣的接続を形成する場合に比べて上記接続孔を形成する一連の工程を行なわなくてよいので、工程の短縮及び簡素化を実現でき、かつ上記接続孔を有するがゆえの金属薄膜抵抗体のステップカバレッジの悪化による金属薄膜抵抗体の抵抗値変動及び

電極との接触抵抗の増大もない。

【0203】

さらに、第2層目金属配線パターン37の側面にサイドウォール67が形成されているので、配線パターン11の側面に起因する急峻な段差によるCrSi薄膜抵抗体21のステップカバレッジの悪化を防止することができる。

このように、第2層目金属配線パターン37との接触抵抗も含めてCrSi薄膜抵抗体21の抵抗値の安定化を実現することができる。

【0204】

さらに、CrSi薄膜抵抗体21の両端部は第2層目金属配線パターン37と交差して形成されているようにしたので、第2層目金属配線パターン37とCrSi薄膜抵抗体21の重ね合わせズレやCrSi薄膜抵抗体21の端部の丸まりによる、第2層目金属配線パターン37とCrSi薄膜抵抗体21の接触領域の変動をなくすことができ、さらに安定した接触抵抗を得ることができる。

【0205】

さらに、CrSi薄膜抵抗体21と金属材料パターン33の間にバリヤ膜として機能する高融点金属膜35を介在させているので、CrSi薄膜抵抗体21と第2層目金属配線パターン37の接触抵抗のバラツキを低減することができ、抵抗値の精度及び歩留りの向上を図ることができる。

さらに、高融点金属膜35はバリヤ膜兼反射防止膜としても機能しており、従来技術に比べて製造工程を増加させることなく高融点金属膜35を形成することができるので、製造コストの増大を防止しつつ、金属薄膜抵抗体と配線パターンの接触抵抗を安定させることができる。

【0206】

さらに、CrSi薄膜抵抗体21用のCrSi薄膜の形成直前にAr逆スパッタリング処理が施されていることにより、図4から図8を参照して説明したように、CrSi薄膜抵抗体21の下地膜依存性を改善できる。

【0207】

図25は、半導体装置の第3態様の他の実施例を示す図であり、(A)は平面図、(B)は(A)のB-B位置での断面図、(C)は(B)の破線で囲まれた部分を拡大して示す拡大断面図である。(A)でのパッシベーション膜の図示は省略している。図23と同じ機能を果たす部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0208】

この実施例が図23を参照して説明した上記実施例を異なる点は、CrSi薄膜抵抗体21の上面にCrSiN膜29が形成されていることである。CrSi薄膜抵抗体21とCrSiN膜29の間にはCrSiOは形成されていない。CrSiN膜29は図10を参照して説明した製造方法例と同様にして形成することができる。

【0209】

この実施例でも、図10に示した実施例と同様に、CrSi薄膜抵抗体21の上面にCrSiN膜29を備えているので、CrSi薄膜抵抗体21の上面が大気に晒されてCrSi薄膜抵抗体21の抵抗値が変動するのを防止することができる。

【0210】

図23及び図25に示した実施例では、第2層目金属配線パターン37の側面にサイドウォール67を備えているが、本発明の半導体装置の第3態様は、図26及び図27に示すように、第2層目金属配線パターン37の側面にサイドウォールは形成されていない構成であってもよい。図26及び図27において、符号71は、CrSi薄膜抵抗体21用のCrSi薄膜形成直前にAr逆スパッタリング処理が施されて形成された逆スパッタリング残渣を示す。逆スパッタリング残渣71は成分に少なくとも高融点金属35及び第2層目層間絶縁膜31の材料ならびにArを含んでいる。また、Ar逆スパッタリング処理により、高融点金属35の上端部はテーパ形状に形成されている。逆スパッタリング残渣71及び高融点金属35のテーパ形状により、CrSi薄膜抵抗体21のステップカ

10

20

30

40

50

バレージが改善されている。また、C r S i 薄膜抵抗体 2 1 用の C r S i 薄膜形成直前に A r 逆スパッタリング処理が施されていることにより、C r S i 薄膜抵抗体 2 1 の下地膜依存性を改善できる。

【0211】

図 2 8 は半導体装置の第 4 態様の一実施例における金属薄膜抵抗体の形成領域を示す図であり、(A) は平面図、(B) は (A) の E - E 位置での断面図、(C) は (B) の破線で囲まれた部分を拡大して示す拡大断面図である。(A) でのパッシベーション膜の図示は省略している。図 2 3 と同じ機能を果たす部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0212】

シリコン基板 1 上に素子分離酸化膜 3、第 1 層目層間絶縁膜 5、金属材料パターン 7 及び高融点金属膜 9 からなるレーザ光透過防止膜 1 3、第 2 層目層間絶縁膜 3 1、ならびに、金属材料パターン 3 3 及び高融点金属膜 3 5 からなる第 2 層目金属配線パターン 3 7 が形成されている。

【0213】

第 2 層目層間絶縁膜 3 1 上に、例えば下層側がプラズマ C V D 酸化膜、上層側が S O G 膜からなり、両膜が堆積された後にエッチバック処理又は C M P 処理が施されて第 2 層目金属配線パターン 3 7 の上面が露出する膜厚に形成された下地絶縁膜 (絶縁膜) 7 3 が形成されている。図 2 8 では下地絶縁膜 7 3 を構成するプラズマ C V D 酸化膜及び S O G 膜を一体的に示している。ここで、下地絶縁膜 7 3 はプラズマ C V D 酸化膜及び S O G 膜からなるものに限定されるものではなく、第 2 層目層間絶縁膜 3 1 上に第 2 層目金属配線パターン 3 7 の上面が露出する膜厚に形成された絶縁膜であればよく、材料などは限定されるものではない。

【0214】

対向する一対の第 2 層目金属配線パターン 3 7 間の下地絶縁膜 7 3 上に帯状の C r S i 薄膜抵抗体 2 1 が形成されている。C r S i 薄膜抵抗体 2 1 の両端部は、一対の第 2 層目金属配線パターン 3 7 において対向する側面とは反対側の側面近傍に形成された下地絶縁膜 7 3 上に延伸して形成されており、C r S i 薄膜抵抗体 2 1 と第 2 層目金属配線パターン 3 7 は互いに交差して形成されている。

C r S i 薄膜抵抗体 2 1 の形成領域を含む層間絶縁膜 5 上にパッシベーション膜 2 3 (A) での図示は省略) が形成されている。

【0215】

図 2 9 はこの実施例の製造方法例を説明するための工程断面図である。図 2 8 及び図 2 9 を参照してこの実施例を説明する。

【0216】

(1) 図 2 (a) を参照して説明した上記工程 (1) と同様にして、素子分離酸化膜 3 及びトランジスタ素子等 (図示は省略) の形成が完了したウェハ状のシリコン基板 1 上に第 1 層目層間絶縁膜 5 を形成し、第 1 層目層間絶縁膜 5 上に金属材料パターン 7 及び高融点金属膜 9 からなるレーザ光透過防止膜 1 3 を形成する。図 2 (b) を参照して説明した上記工程 (2) で第 2 層目層間絶縁膜 1 5 を形成したのと同様にして、第 1 層目層間絶縁膜 5 上全面に、下層側から順に C V D 酸化膜、S O G 膜、C V D 酸化膜からなる第 2 層目層間絶縁膜 3 1 を形成する。図 2 (a) を参照して説明した上記工程 (1) で第 1 層目金属配線パターン 1 1 を形成したのと同様にして、第 2 層目層間絶縁膜 3 1 上に金属材料パターン 3 3 及び高融点金属膜 3 5 からなる第 2 層目金属配線パターン 3 7 を形成する。

【0217】

例えばプラズマ C V D 法により、第 2 層目金属配線パターン 3 7 の形成領域を含む第 2 層目層間絶縁膜 3 1 上にプラズマ C V D 酸化膜を 2 0 0 0 Å 程度の膜厚に形成した後、公知の技術である S O G のコーティング処理を行なって S O G 膜を形成し、下地絶縁膜 7 3 を形成する。このとき、第 2 層目金属配線パターン 3 7 の上面は下地絶縁膜 7 3 により覆われている (図 2 9 (a) 参照。)

10

20

30

40

50

【0218】

(2) 下地絶縁膜73に対して、第2層目金属配線パターン37の上面が露出するまでエッチバック処理又はCMP処理を行なう(図29(b)参照。)

【0219】

(3) 図2(d)を参照して説明した上記工程(4)でのAr逆スパッタリング処理及びCrSi薄膜成膜と同じ条件で、第2層目金属配線パターン37の形成領域を含んで第2層目層間絶縁膜31に対してAr逆スパッタリング処理を行ない、続けて、Arスパッタエッチング完了後に真空状態を破らずに連続して金属薄膜抵抗体のCrSi薄膜を形成する。

写真製版技術により、CrSi薄膜上に金属薄膜抵抗体の形成領域を画定するためのレジストパターンを形成する。例えばRIE装置を用い、そのレジストパターンをマスクにしてCrSi薄膜をパターニングしてCrSi薄膜抵抗体21を形成する。その後、上記レジストパターンを除去する(図29(c)参照。)

【0220】

(4) 例えばプラズマCVD法により、第2層目層間絶縁膜31上全面にパッシベーション膜23としてのシリコン酸化膜及びシリコン窒化膜を順次形成する。以上により、半導体装置の製造工程が完了する(図28参照。)

【0221】

このように、図28に示した実施例でも、CrSi薄膜抵抗体21を形成した後にウェットエッチング技術によるパターニングを行なう必要はなく、さらに、CrSi薄膜抵抗体21における第2層目金属配線パターン37との接触面が大気に暴露されることはない。CrSi薄膜抵抗体21と第2層目金属配線パターン37の良好な電氣的接続を安定して得ることができ、CrSi薄膜抵抗体21の膜厚に関わらず、工程数を増加させることなく、CrSi薄膜抵抗体21の微細化及び抵抗値の安定化を実現することができる。

【0222】

さらに、図23を参照して説明した実施例と同様に、CrSi薄膜抵抗体21と第2層目金属配線パターン37を電氣的に接続するための接続孔は必要ないので、そのような接続孔を形成する場合に比べて、工程の短縮及び簡素化を実現でき、かつ上記接続孔を有するがゆえの金属薄膜抵抗体のステップカバレッジの悪化による金属薄膜抵抗体の抵抗値変動及び電極との接触抵抗の増大もない。

【0223】

さらに、第2層目金属配線パターン37の側面に下地絶縁膜73が形成されているので、第2層目金属配線パターン37の側面に起因する急峻な段差によるCrSi薄膜抵抗体21のステップカバレッジの悪化を防止することができる。

このように、第2層目金属配線パターン37との接触抵抗も含めてCrSi薄膜抵抗体21の抵抗値の安定化を実現することができる。

【0224】

さらに、CrSi薄膜抵抗体21の両端部は第2層目金属配線パターン37と交差して形成されているようにしたので、第2層目金属配線パターン37とCrSi薄膜抵抗体21の重ね合わせズレやCrSi薄膜抵抗体21の端部の丸まりによる、第2層目金属配線パターン37とCrSi薄膜抵抗体21の接触領域の変動をなくすことができ、さらに安定した接触抵抗を得ることができる。

【0225】

さらに、CrSi薄膜抵抗体21と金属材料パターン33の間にバリヤ膜として機能する高融点金属膜35を介在させているので、CrSi薄膜抵抗体21と第2層目金属配線パターン37の接触抵抗のバラツキを低減することができ、抵抗値の精度及び歩留りの向上を図ることができる。

さらに、高融点金属膜35はバリヤ膜兼反射防止膜としても機能しており、従来技術に比べて製造工程を増加させることなく高融点金属膜35を形成することができるので、製

造コストの増大を防止しつつ、金属薄膜抵抗体と金属配線パターンの接触抵抗を安定させることができる。

さらに、上記Ar逆スパッタリング処理を行なうことにより、第2層目金属配線パターン37を構成する高融点金属膜35上面の絶縁性物質を除去することができるとともに、後工程で形成されるCrSi薄膜抵抗体21の下地膜依存性を改善できる。

【0226】

図30は、半導体装置の第4態様の他の実施例を示す図であり、(A)は平面図、(B)は(A)のF-F位置での断面図、(C)は(B)の破線で囲まれた部分を拡大して示す拡大断面図である。(A)でのパッシベーション膜の図示は省略している。図28と同じ機能を果たす部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

10

【0227】

この実施例が図28を参照して説明した上記実施例を異なる点は、CrSi薄膜抵抗体21の上面にCrSiN膜29が形成されていることである。CrSi薄膜抵抗体21とCrSiN膜29の間にはCrSiOは形成されていない。CrSiN膜29は図10を参照して説明した実施例と同様にして形成することができる。

【0228】

この実施例でも、図10に示した実施例と同様に、CrSi薄膜抵抗体21の上面にCrSiN膜29を備えているので、CrSi薄膜抵抗体21の上面が大気に晒されてCrSi薄膜抵抗体21の抵抗値が変動するのを防止することができる。

【0229】

20

図23、図25、図26、図27、図28及び図30に示した実施例では、CrSi薄膜抵抗体21と第2層目金属配線パターン37は互いに交差して設けられているが、本発明はこれに限定されるものではなく、金属薄膜抵抗体の端部が金属配線パターン上に配置されていてもよいし、金属薄膜抵抗体の下に金属配線パターンの端部が配置されていてもよい。

また、金属薄膜抵抗体と金属配線パターンは互いに直交する方向に配置されている必要はなく、金属薄膜抵抗体と金属配線パターンは互いに平行に配置されているなど、金属薄膜抵抗体と金属配線パターンの形状、向き及び配置は実施例に限定されるものではない。

【0230】

また、上記の実施例では、金属配線パターンの上面に形成された高融点金属膜9, 33としてTiN膜を用いた例を挙げているが、金属配線パターンを構成する高融点金属膜はこれに限定されるものではなく、例えばTiWやWSiなど、他の高融点金属膜を用いてもよい。

30

【0231】

また、図1から図30に示した上記の実施例及びサンプルでは、金属薄膜抵抗体の材料としてCrSiを用いた例を示しているが、本発明はこれに限定されるものではなく、金属薄膜抵抗体の材料としては、例えばNiCr、Ta₂N、CrSi₂、CrSiN、CrSi、CrSiOなど、他の材料を用いてもよい。

【0232】

また、上記の実施例では、1層、2層又は3層の金属配線パターンを備えた半導体装置に本発明を適用しているが、本発明はこれに限定されるものではなく、4層以上の金属配線パターンを備えた多層金属配線構造の半導体装置に本発明を適用することもできる。その場合、金属薄膜抵抗体の電氣的接続を得るための、金属薄膜抵抗体の下層の金属配線は何層目の金属配線パターンであってもよい。

40

また、金属薄膜抵抗体下に配置されるレーザ光透過防止膜は、金属薄膜抵抗体下の領域であれば、いかなる層の金属配線パターンと同時に形成されたものであってもよい。また、レーザ光透過防止膜は金属配線パターンとは別途形成された金属材料からなるものであってもよい。

【0233】

また、図1、図10、図12、図13、図14、図15、図23、図25、図26、図

50

27、図28及び図30に示した実施例では、CrSi薄膜抵抗体21と電氣的に接続される第1層目金属配線パターン11又は第2層目金属配線パターン37を最上層の金属配線パターンとし、図16、図18、図19、図20、図21及び図22に示した実施例では、CrSi薄膜抵抗体21と同じ層に形成される第2層目金属配線パターン57又は第3層目金属配線パターン66を最上層の金属配線パターンとしている。

これにより、例えばCrSi薄膜抵抗体21のレイアウト変更をCrSi薄膜抵抗体21及び最上層の金属配線パターンのレイアウト変更により実現できるなど、設計の自由度を向上させることができる。

【0234】

また、CrSi薄膜抵抗体21の上層には、膜厚が薄いCrSiN膜29を除いて、絶縁性材料からなるパッシベーション膜23が形成されているので、金属薄膜抵抗体の上層に最終保護膜以外の絶縁膜も形成されている場合に比べて、CrSi薄膜抵抗体21上の絶縁性材料の膜厚を薄くして膜厚ばらつきを小さくすることができる。これにより、CrSi薄膜抵抗体21にレーザ光を照射してトリミング処理を施す際に、CrSi薄膜抵抗体21上の絶縁性材料でのレーザの干渉のばらつきを小さくしてCrSi薄膜抵抗体21に与えられるレーザエネルギーのばらつきを小さくすることができ、トリミングの正確性を向上させることができる。さらに、トリミング処理時のレーザ照射に起因するCrSi薄膜抵抗体21の温度上昇などに対して放熱能力を向上させることができる。

【0235】

また、上記の実施例では、金属配線パターン11、37、57として、金属材料パターンの上面に高融点金属膜が形成されたものを用いているが、本発明はこれに限定されるものではなく、金属配線パターンとして上面に高融点金属膜が形成されていない金属材料パターンからなるものを用いてもよい。この場合、金属材料パターンとして例えばAl系合金を用いた場合には、金属材料パターン表面に強固な自然酸化膜が形成されるので、接続孔形成後で金属薄膜抵抗体用の金属薄膜を形成する前に、接続孔底部の金属材料パターン表面の自然酸化膜を除去する工程を行なうことが好ましい。その自然酸化膜除去工程は、金属薄膜抵抗体の抵抗値の経時的変化抑制を目的とした上記Ar逆スパッタリング処理を兼ねて行なってもよい。また、金属配線パターンはAl系合金を含むものに限定されるものではなく、いわゆるダマシン法により形成されたCu配線など、他の金属材料からなる金属配線パターンであってもよい。

【0236】

本発明の半導体装置を構成する金属薄膜抵抗体は、例えばアナログ回路を備えた半導体装置に適用することができる。以下に、本発明にかかる金属薄膜抵抗体を備えたアナログ回路を備えた半導体装置の実施例について説明する。

【0237】

図31はアナログ回路である定電圧発生回路を備えた半導体装置の一実施例を示す回路図である。

直流電源75からの電源を負荷77に安定して供給すべく、定電圧発生回路79が設けられている。定電圧発生回路79は、直流電源75が接続される入力端子(Vbat)81、基準電圧発生回路(Vref)83、演算増幅器(比較回路)85、出力ドライバを構成するPチャネルMOSトランジスタ(以下、PMOSと略記する)87、分割抵抗素子R1、R2及び出力端子(Vout)89を備えている。

【0238】

定電圧発生回路79の演算増幅器85では、出力端子がPMOS87のゲート電極に接続され、反転入力端子(−)に基準電圧発生回路83から基準電圧Vrefが印加され、非反転入力端子(+)に出力電圧Voutを抵抗素子R1とR2で分割した電圧が印加され、抵抗素子R1、R2の分割電圧が基準電圧Vrefに等しくなるように制御される。

【0239】

図32は、アナログ回路である電圧検出回路を備えた半導体装置の一実施例を示す回路図である。

10

20

30

40

50

電圧検出回路 9 1 において、符号 8 5 は演算増幅器で、その反転入力端子（－）に基準電圧発生回路 8 3 が接続され、基準電圧 V_{ref} が印加される。入力端子（ V_{sens} ）9 3 から入力される測定すべき端子の電圧が分割抵抗素子 R_1 と R_2 によって分割されて演算増幅器 8 5 の非反転入力端子（＋）に入力される。演算増幅器 8 5 の出力は出力端子（ V_{out} ）9 5 を介して外部に出力される。

【0 2 4 0】

電圧検出回路 9 1 では、測定すべき端子の電圧が高く、分割抵抗素子 R_1 と R_2 により分割された電圧が基準電圧 V_{ref} よりも高いときは演算増幅器 8 5 の出力が H レベルを維持し、測定すべき端子の電圧が降下してきて分割抵抗素子 R_1 と R_2 により分割された電圧が基準電圧 V_{ref} 以下になってくると演算増幅器 8 5 の出力が L レベルになる。

10

【0 2 4 1】

一般に、図 3 1 に示した定電圧発生回路や図 3 2 に示した電圧検出回路では、製造プロセスのバラツキに起因して基準電圧発生回路からの基準電圧 V_{ref} が変動するので、その変動に対応すべく、例えば分割抵抗素子として抵抗素子へのレーザ照射により抵抗値を調整可能な抵抗素子回路（分割抵抗回路と称す）を用いて、分割抵抗素子の抵抗値を調整している。

【0 2 4 2】

図 3 3 は、本発明の金属薄膜抵抗体が適用される分割抵抗回路の一例を示す回路図である。図 3 4 は、その分割抵抗回路における粗調整用抵抗素子及び微調整用抵抗素子のレイアウト例を示すレイアウト図である。

20

【0 2 4 3】

図 3 3 に示すように、抵抗素子 R_{bottom} 、粗調整用抵抗素子 9 7、微調整用抵抗素子 9 9、抵抗素子 R_{top} が直列に接続されている。

図 3 4 に示すように、粗調整用抵抗素子 9 7 は複数の帯状の金属薄膜抵抗体 2 1 a が並列に接続されたものである。微調整用抵抗素子 9 9 は板状の金属薄膜抵抗体 2 1 a により構成されている。金属薄膜抵抗体 2 1 a、2 1 b 下に絶縁膜（図示は省略）を介してレーザ光透過防止膜 1 3 が配置されている。金属薄膜抵抗体 2 1 a、2 1 b としては、本発明を構成する金属薄膜抵抗体が用いられる。

【0 2 4 4】

このような分割抵抗回路では、図 3 4 に示すように、例えばレーザ光軌跡 2 5 a で示すように任意の本数の金属薄膜抵抗体 2 1 a を切断又は変質させて絶縁させ、レーザ光軌跡 2 5 b で示すように金属薄膜抵抗体 2 1 b の任意の領域を切断又は変質させることにより、所望の直列抵抗値を得ることができる。

30

【0 2 4 5】

本発明の半導体装置を構成する金属薄膜抵抗体及びレーザ光透過防止膜によれば、レーザトリミング処理時において金属薄膜抵抗体を切断又は変質させるのに十分な強度のレーザ光が照射されてもレーザ光が半導体基板に照射されるのを防止することができ、図 3 3 に示した分割抵抗回路の出力電圧の精度の向上を図ることができる。

【0 2 4 6】

図 3 3 に示した分割抵抗回路を図 3 1 に示した定電圧発生回路の分割抵抗素子 R_1 、 R_2 に適用する場合、例えば抵抗素子 R_{bottom} 端を接地し、抵抗素子 R_{top} 端を P M O S 8 7 のドレインに接続する。さらに、抵抗素子 R_{bottom} 、微調整用抵抗素子 9 9 間の端子 N o d e L、又は抵抗素子 R_{top} 、粗調整用抵抗素子 9 7 間の端子 N o d e M を演算増幅器 8 5 の非反転入力端子に接続する。

40

本発明を構成する金属薄膜抵抗体及びレーザ光透過防止膜を適用した分割抵抗回路によって分割抵抗素子 R_1 、 R_2 の出力電圧の精度を向上させることができるので、定電圧発生回路 7 9 の出力電圧の安定性を向上させることができる。

【0 2 4 7】

また、図 3 3 に示した分割抵抗回路を図 3 2 に示した電圧検出回路の分割抵抗素子 R_1 、 R_2 に適用する場合、例えば抵抗素子 R_{bottom} 端を接地し、抵抗素子 R_{top} 端を入力端

50

子 9 3 に接続する。さらに、抵抗素子 R_{bottom}、微調整用抵抗素子 9 9 間の端子 N o d e L、又は抵抗素子 R_{top}、粗調整用抵抗素子 9 7 間の端子 N o d e M を演算増幅器 8 5 の非反転入力端子に接続する。

本発明を構成する金属薄膜抵抗体及びレーザ光透過防止膜を適用した分割抵抗回路によって分割抵抗素子 R₁、R₂ の出力電圧の精度を向上させることができるので、電圧検出回路 9 1 の電圧検出能力の精度を向上させることができる。

【0248】

図 3 1 から図 3 4 を参照して、本発明を構成する金属薄膜抵抗体及びレーザ光透過防止膜を適用した分割抵抗回路が適用される半導体装置の例を説明したが、このような分割抵抗回路が適用される半導体装置は定電圧発生回路を備えた半導体装置及び電圧検出回路を備えた半導体装置に限定されるものではなく、分割抵抗回路を備えた半導体装置であれば適用することができる。

10

また、本発明を構成する金属薄膜抵抗体及びレーザ光透過防止膜が適用される半導体装置は分割抵抗回路を備えた半導体装置に限定されるものではなく、金属薄膜抵抗体を備えた半導体装置であれば、本発明を適用することができる。

【0249】

以上、本発明の実施例を説明したが、本発明はこれらに限定されるものではなく、寸法、形状、材料、配置などは一例であり、特許請求の範囲に記載された本発明の範囲内で種々の変更が可能である。

【図面の簡単な説明】

20

【0250】

【図 1】第 1 態様の一実施例を示す断面図であり、(A) は金属薄膜抵抗体の形成領域を示す断面図、(B) は (A) の破線で囲まれた部分を拡大して示す拡大断面図である。

【図 2】同実施例を製造するための製造方法の一例を説明するための工程断面図である。

【図 3】図 2 の製造方法において A r 逆スパッタリング処理を施した後の接続孔近傍の状態を拡大して示す断面図である。

【図 4】本発明により形成した金属薄膜抵抗体のシート抵抗と膜厚との関係を示す図であり、縦軸はシート抵抗 ($\Omega/\square$)、横軸は C r S i 膜厚 ($\text{\AA}$) を示す。

【図 5】本発明により形成した金属薄膜抵抗体のシート抵抗のウェハ面内の 6 3 箇所での測定結果の標準偏差 (σ) を平均値 (A V E) で割った値 ($\sigma/A V E$) と膜厚との関係を示す図であり、縦軸は $\sigma/A V E$ (%)、横軸は C r S i 膜厚 ($\text{\AA}$) を示す。

30

【図 6】金属薄膜抵抗体用の金属薄膜を形成する前に A r 逆スパッタリング処理を行なった場合及び行なわなかった場合の C r S i 薄膜抵抗体のシート抵抗と金属薄膜抵抗体の下地膜を形成してから経過した時間との関係を示す図であり、(A) は行なった場合、(B) は行なわなかった場合を示し、縦軸はシート抵抗 ($\Omega/\square$)、横軸は下地膜形成後経過時間 (時間) を示す。

【図 7】A r 逆スパッタリング処理の量とシート抵抗の関係を示す図であり、縦軸はシート抵抗 ($\Omega/\square$)、横軸はエッチング量 (熱酸化膜エッチング量換算) ($\text{\AA}$) を示す。

【図 8】金属薄膜抵抗体用の C r S i 薄膜を形成した後に、温度 2 5 °C、湿度 4 5 % の大気中に放置した時間と、形成直後のシート抵抗からのシート抵抗の変化率 ($\Delta R/R_0$) の関係を示す図であり、縦軸は $\Delta R/R_0$ (%)、横軸は放置時間 (時間) を示す。

40

【図 9】接続孔形成時に接続孔底部に高融点金属膜を残存させたサンプルと完全に除去したサンプルについて熱処理に起因する金属薄膜抵抗と金属配線の接触抵抗の変動を調べた結果を示す図であり、縦軸は熱処理前の接触抵抗値で規格化した値、横軸は熱処理回数を示す。

【図 1 0】第 1 態様の他の実施例を示す断面図であり、(A) は金属薄膜抵抗体の形成領域を示す断面図、(B) は (A) の破線で囲まれた部分を拡大して示す拡大断面図である。

【図 1 1】C r S i N 膜形成用のガスの N₂ 分圧と C r S i N 膜の抵抗率の関係を示す図であり、縦軸は抵抗率 ρ (mohm · cm)、横軸は N₂ 分圧 (%) を示す。

50

【図 1 2】第 1 態様のさらに他の実施例を示す断面図であり、(A) は金属薄膜抵抗体の形成領域を示す断面図、(B) は (A) の破線で囲まれた部分を拡大して示す拡大断面図である。

【図 1 3】第 1 態様のさらに他の実施例を示す断面図であり、(A) は金属薄膜抵抗体の形成領域を示す断面図、(B) は (A) の破線で囲まれた部分を拡大して示す拡大断面図である。

【図 1 4】第 1 態様のさらに他の実施例を示す断面図であり、(A) は金属薄膜抵抗体の形成領域を示す断面図、(B) は (A) の破線で囲まれた部分を拡大して示す拡大断面図である。

【図 1 5】第 1 態様のさらに他の実施例を示す断面図であり、(A) は金属薄膜抵抗体の形成領域を示す断面図、(B) は (A) の破線で囲まれた部分を拡大して示す拡大断面図である。 10

【図 1 6】半導体装置の第 2 態様の一実施例を示す図であり、(A) は断面図、(B) は第 1 接続孔近傍を拡大して示す断面図、(C) は第 2 接続孔近傍を拡大して示す断面図である。

【図 1 7】同実施例を製造するための製造方法の一例を説明するための工程断面図である。

【図 1 8】半導体装置の第 2 態様の他の実施例を示す図であり、(A) は断面図、(B) は第 1 接続孔近傍を拡大して示す断面図、(C) は第 2 接続孔近傍を拡大して示す断面図である。 20

【図 1 9】半導体装置の第 2 態様のさらに他の実施例を示す図であり、(A) は断面図、(B) は第 1 接続孔近傍を拡大して示す断面図、(C) は第 2 接続孔近傍を拡大して示す断面図である。

【図 2 0】半導体装置の第 2 態様のさらに他の実施例を示す図であり、(A) は断面図、(B) は第 1 接続孔近傍を拡大して示す断面図、(C) は第 2 接続孔近傍を拡大して示す断面図である。

【図 2 1】半導体装置の第 2 態様のさらに他の実施例を示す図であり、(A) は断面図、(B) は第 1 接続孔近傍を拡大して示す断面図、(C) は第 2 接続孔近傍を拡大して示す断面図である。

【図 2 2】半導体装置の第 2 態様のさらに他の実施例を示す図であり、(A) は断面図、(B) は第 1 接続孔近傍を拡大して示す断面図、(C) は第 2 接続孔近傍を拡大して示す断面図である。 30

【図 2 3】第 3 態様の一実施例における金属薄膜抵抗体の形成領域を示す図であり、(A) は平面図、(B) は (A) の A-A 位置での断面図、(C) は (B) の破線で囲まれた部分を拡大して示す拡大断面図である。

【図 2 4】同実施例を製造するための製造方法の一例を説明するための工程断面図である。

【図 2 5】第 3 態様の他の実施例における金属薄膜抵抗体の形成領域を示す図であり、(A) は平面図、(B) は (A) の B-B 位置での断面図、(C) は (B) の破線で囲まれた部分を拡大して示す拡大断面図である。 40

【図 2 6】第 3 態様のさらに他の実施例における金属薄膜抵抗体の形成領域を示す図であり、(A) は平面図、(B) は (A) の C-C 位置での断面図、(C) は (B) の破線で囲まれた部分を拡大して示す拡大断面図である。

【図 2 7】第 3 態様のさらに他の実施例における金属薄膜抵抗体の形成領域を示す図であり、(A) は平面図、(B) は (A) の D-D 位置での断面図、(C) は (B) の破線で囲まれた部分を拡大して示す拡大断面図である。

【図 2 8】第 4 態様の一実施例における金属薄膜抵抗体の形成領域を示す図であり、(A) は平面図、(B) は (A) の E-E 位置での断面図、(C) は (B) の破線で囲まれた部分を拡大して示す拡大断面図である。

【図 2 9】同実施例を製造するための製造方法の一例を説明するための工程断面図である 50

。

【図 3 0】第 4 態様の他の実施例における金属薄膜抵抗体の形成領域を示す図であり、（A）は平面図、（B）は（A）の F-F 位置での断面図、（C）は（B）の破線で囲まれた部分を拡大して示す拡大断面図である。

【図 3 1】アナログ回路である定電圧発生回路を備えた半導体装置の一実施例を示す回路図である。

【図 3 2】アナログ回路である電圧検出回路を備えた半導体装置の一実施例を示す回路図である。

【図 3 3】分割抵抗回路の一例を示す回路図である。

【図 3 4】同分割抵抗回路における粗調整用抵抗素子及び微調整用抵抗素子のレイアウト例を示すレイアウト図である。 10

【図 3 5】従来の半導体装置を示す断面図である。

【図 3 6】他の従来の半導体装置を示す断面図である。

【図 3 7】さらに他の従来の半導体装置を示す断面図である。

【図 3 8】さらに他の従来の半導体装置を適用した場合の不具合を説明するための断面図である。

【図 3 9】さらに他の従来の半導体装置を適用した場合の不具合を説明するための断面図である。

【図 4 0】さらに他の従来の半導体装置を示す断面図である。

【符号の説明】 20

【0 2 5 1】

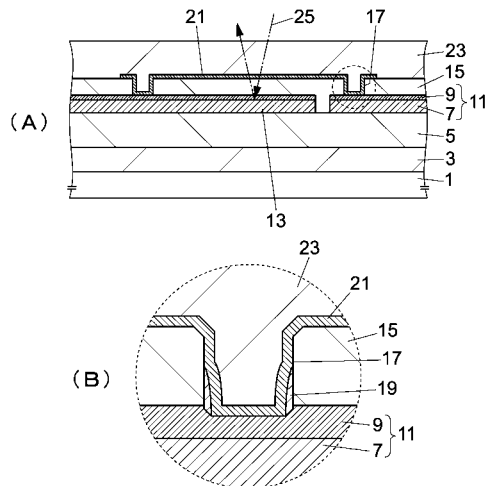
- 1 シリコン基板
- 3 素子分離酸化膜
- 5 第 1 層目層間絶縁膜
- 7 金属材料パターン
- 9 高融点金属膜
- 1 1 第 1 層目金属配線パターン
- 1 3 レーザ光透過防止膜
- 1 5 第 2 層目層間絶縁膜
- 1 7 接続孔 30
- 1 9 逆スパッタリング残渣
- 2 1 C r S i 薄膜抵抗体
- 2 1 a, 2 1 b 金属薄膜抵抗体
- 2 3 パッシベーション膜
- 2 5 レーザ光
- 2 5 a, 2 5 b レーザ光軌跡
- 2 7 C r S i 薄膜
- 2 9 C r S i N 膜
- 3 1 第 2 層目層間絶縁膜
- 3 3 金属材料パターン 40
- 3 5 高融点金属膜
- 3 7 第 2 層目金属配線パターン
- 3 9 第 3 層目層間絶縁膜
- 4 1 接続孔
- 4 3 第 1 接続孔
- 4 5 第 2 接続孔
- 4 7 第 1 導電性プラグ
- 4 9 第 2 導電性プラグ
- 5 1 バリヤメタル（第 1 導電性材料）
- 5 3 タングステン（第 2 導電性材料） 50

5 5 逆スパッタリング残渣
 5 7 第2層目金属配線パターン
 5 9 配線用金属膜
 6 1, 6 5 レジストパターン
 6 3 C r S i 薄膜
 6 6 第3層目金属配線パターン
 6 7 サイドウォール
 6 9, 7 1 逆スパッタリング残渣
 7 3 下地絶縁膜
 7 5 直流電源
 7 7 負荷
 7 9 定電圧発生回路
 8 1 入力端子
 8 3 基準電圧発生回路
 8 5 演算増幅器
 8 7 PチャネルMOSトランジスタ
 8 9 出力端子
 9 1 電圧検出回路
 9 3 入力端子
 9 5 出力端子
 9 7 粗調整用抵抗素子
 9 9 微調整用抵抗素子
 R 1, R 2 分割抵抗素子
 R_{bottom}, R_{top} 抵抗素子
 N o d e L, N o d e M 端子

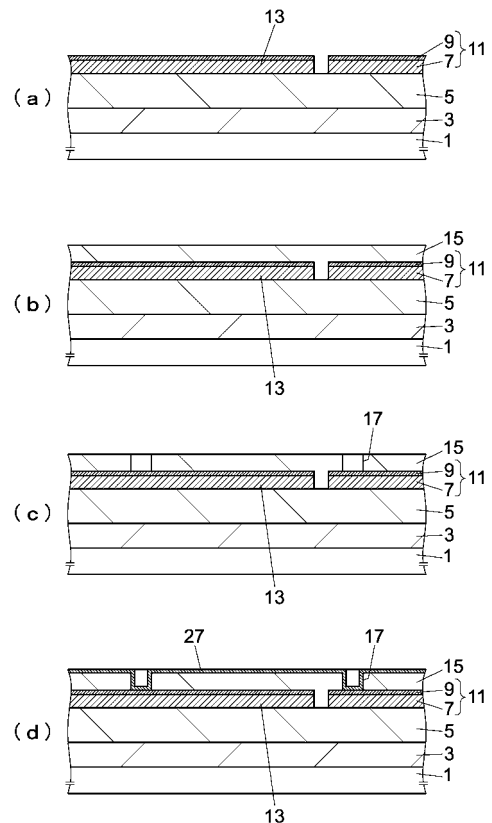
10

20

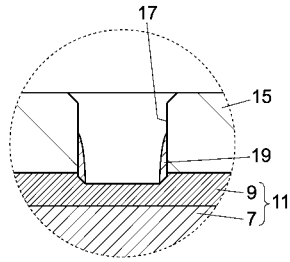
【図 1】



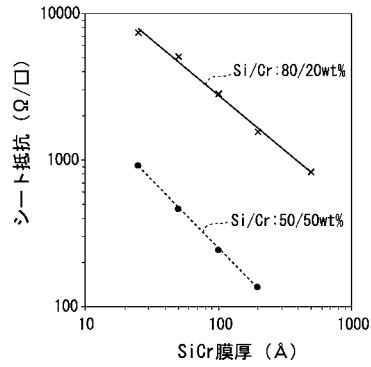
【図 2】



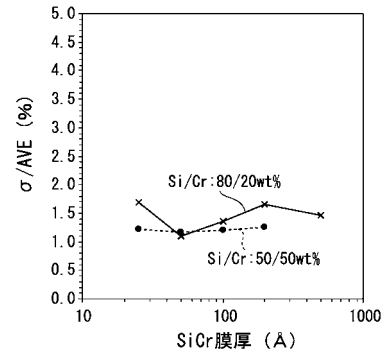
【図 3】



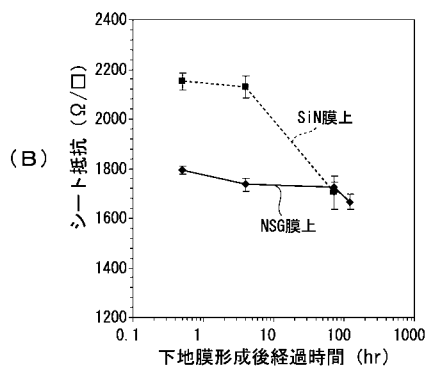
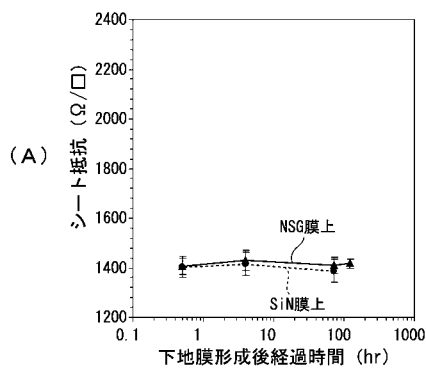
【図 4】



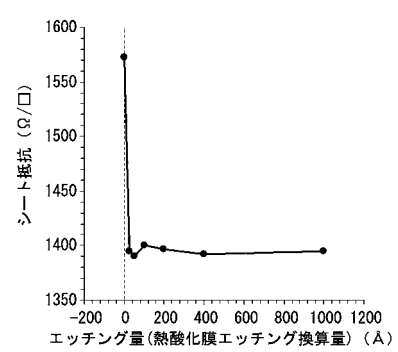
【図 5】



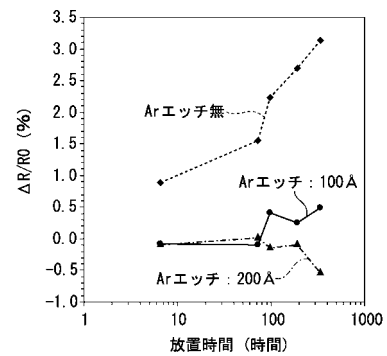
【図 6】



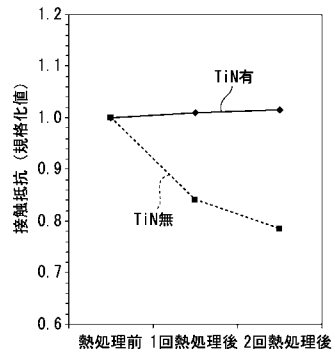
【図 7】



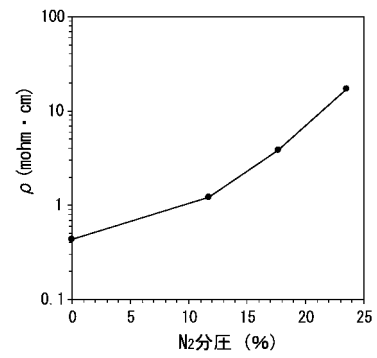
【図 8】



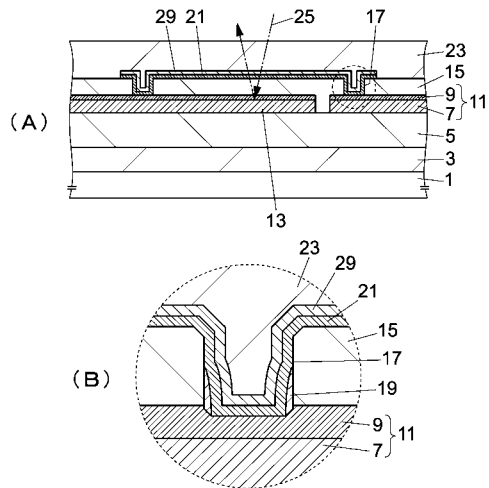
【図 9】



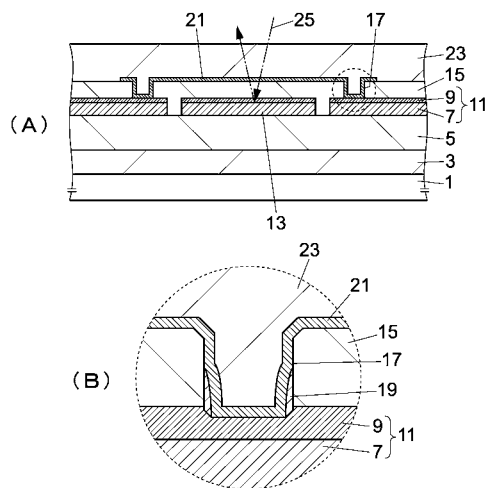
【図 11】



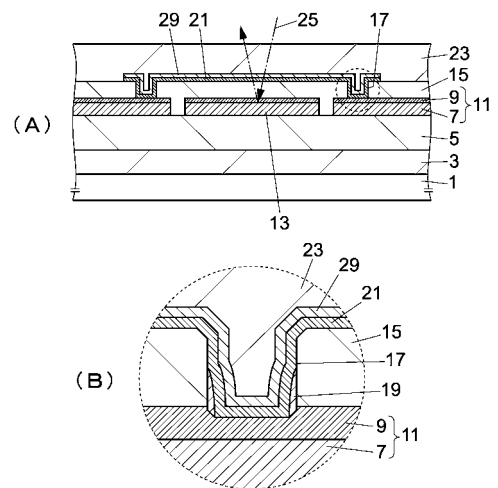
【図 10】



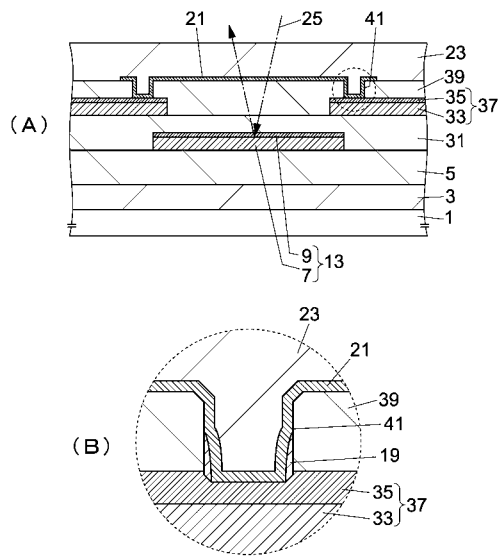
【図 12】



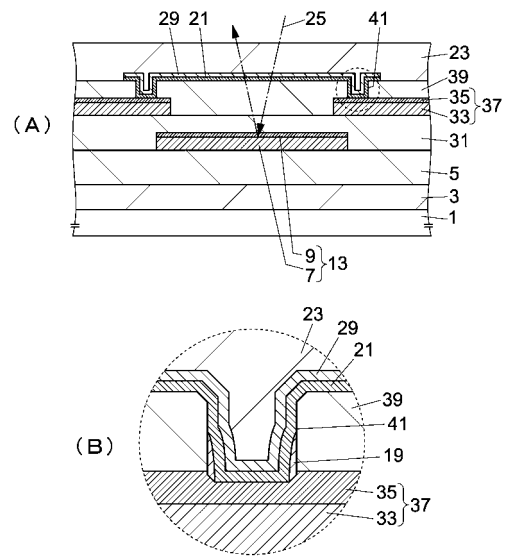
【図 13】



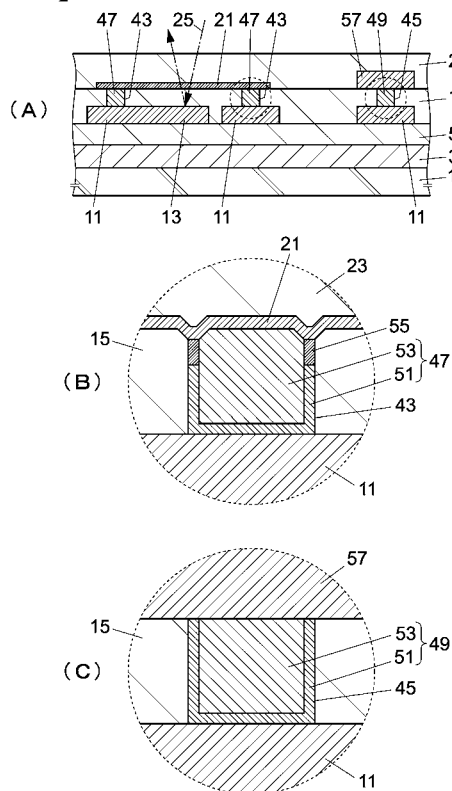
【図 1 4】



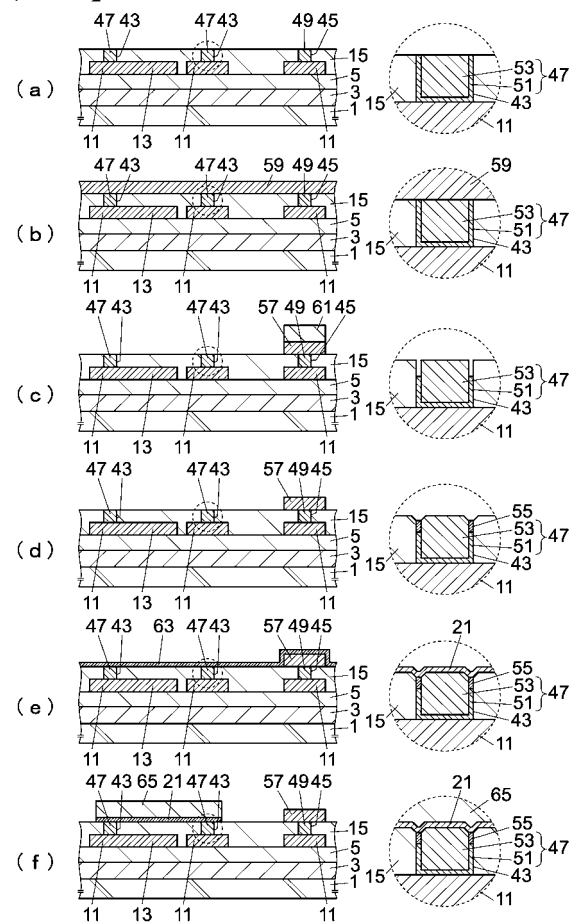
【図 1 5】



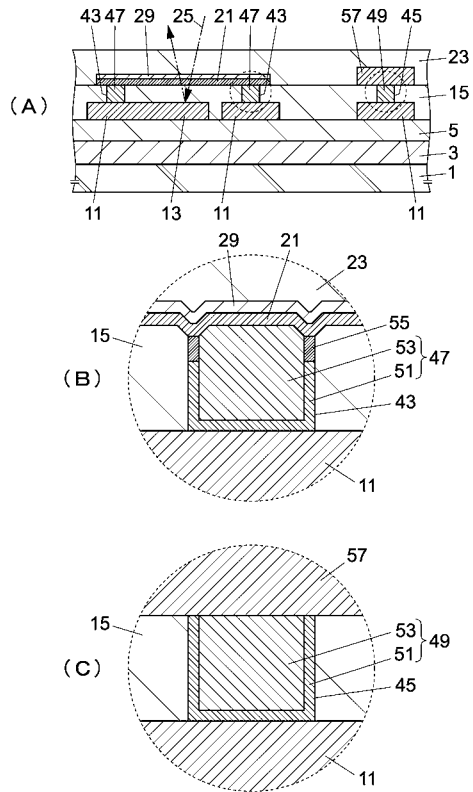
【図 1 6】



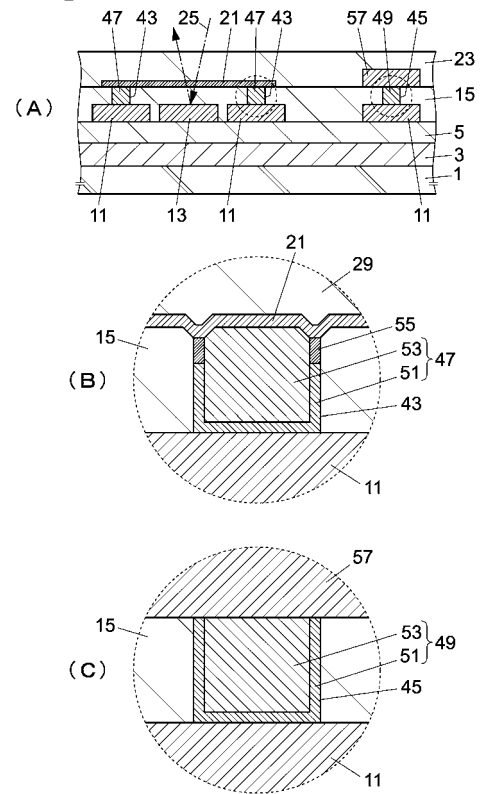
【図 1 7】



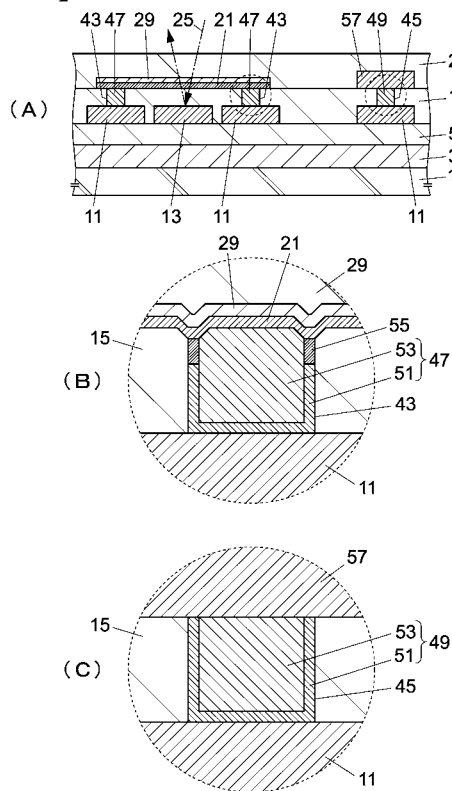
【図 18】



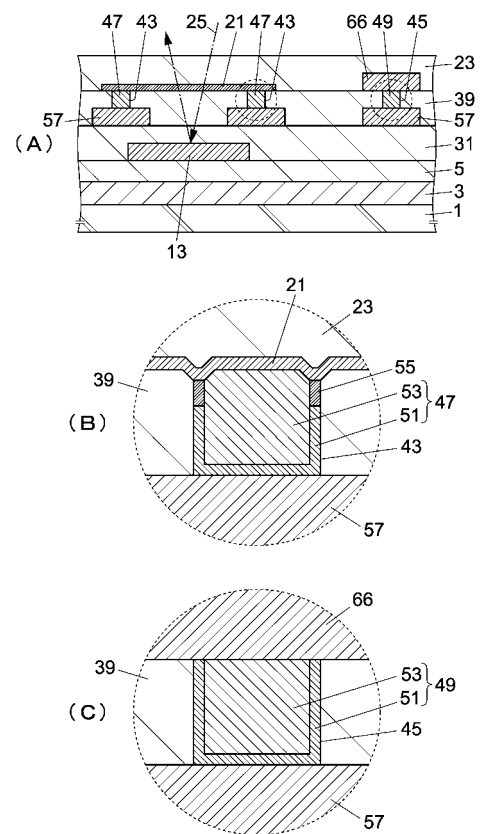
【図 19】



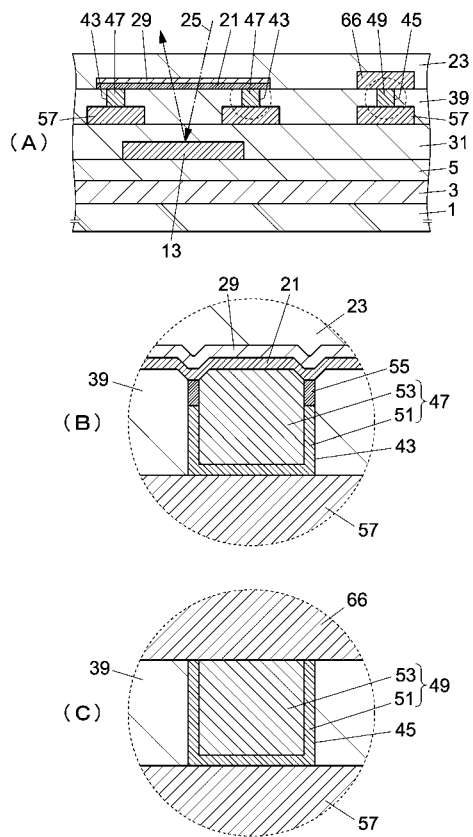
【図 20】



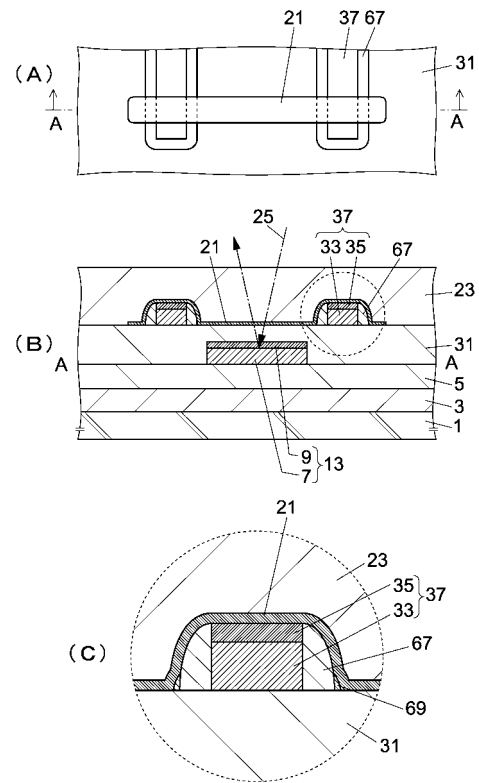
【図 21】



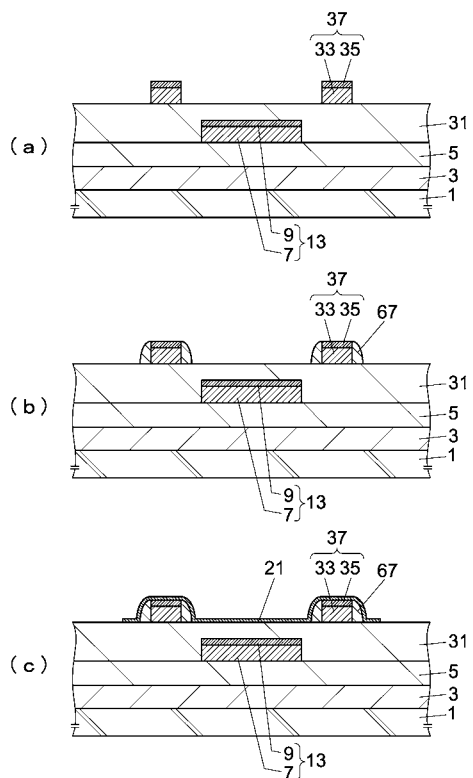
【図 2 2】



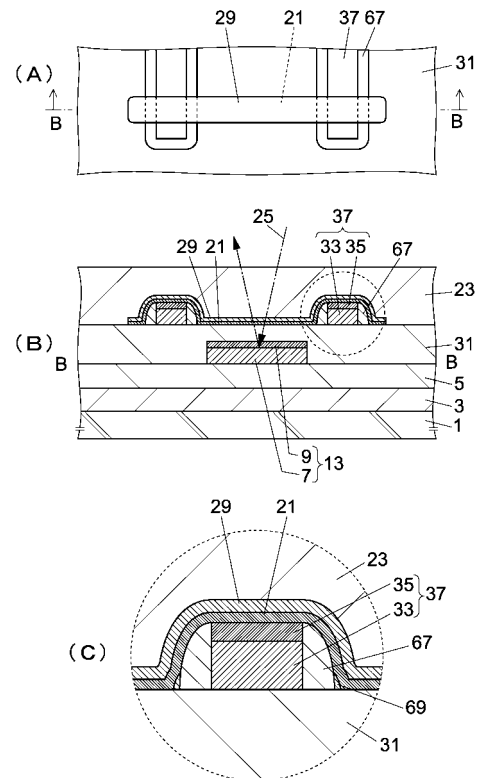
【図 2 3】



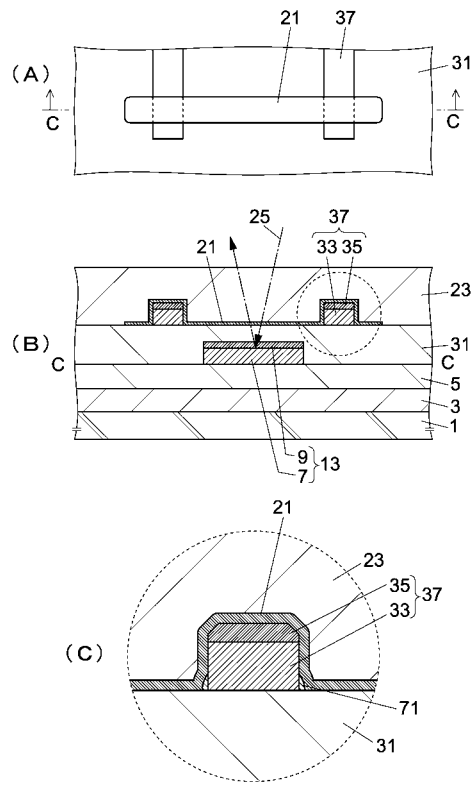
【図 2 4】



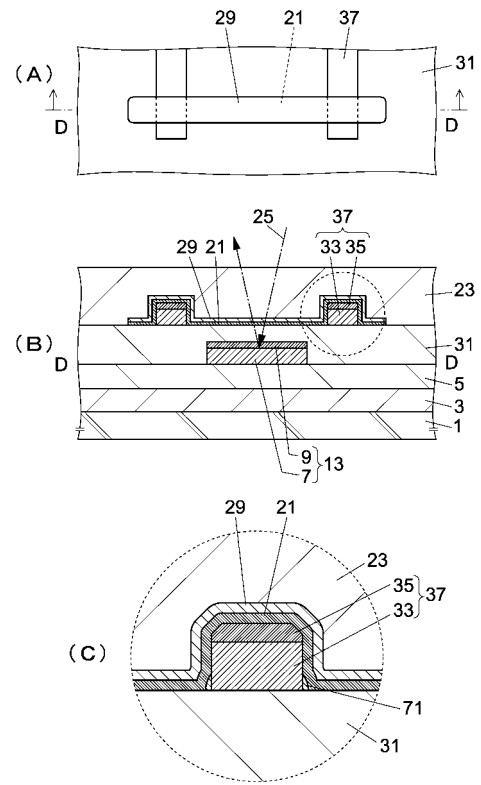
【図 2 5】



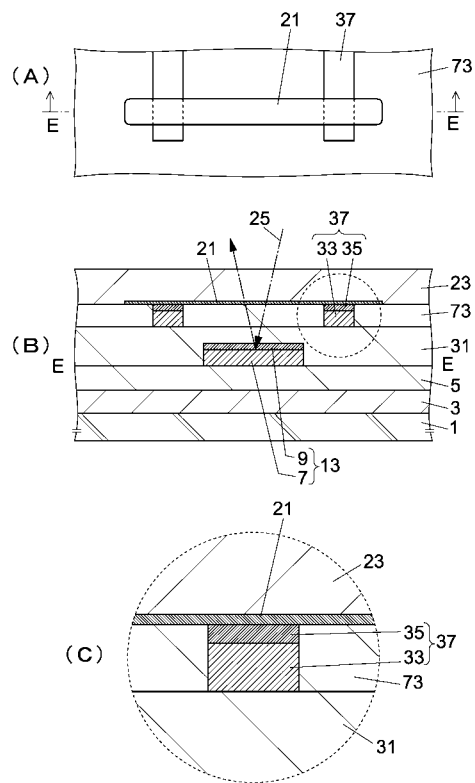
【図 2 6】



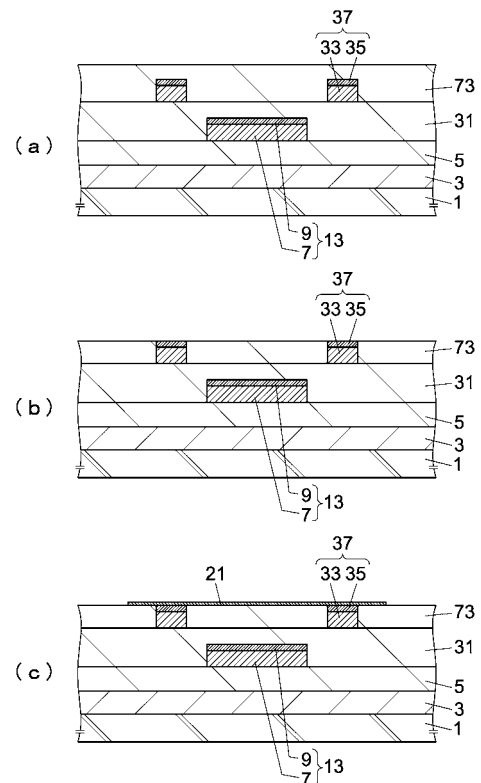
【図 2 7】



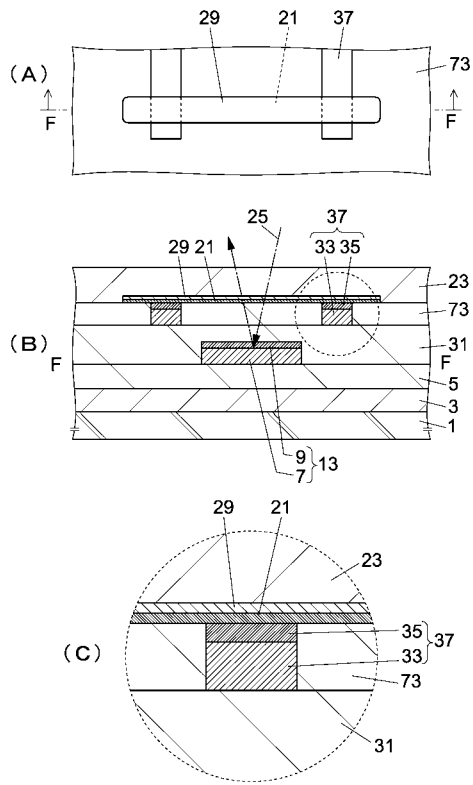
【図 2 8】



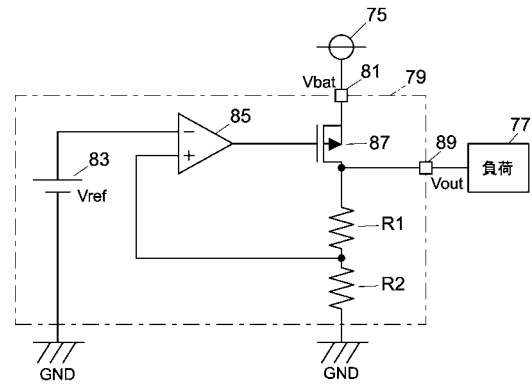
【図 2 9】



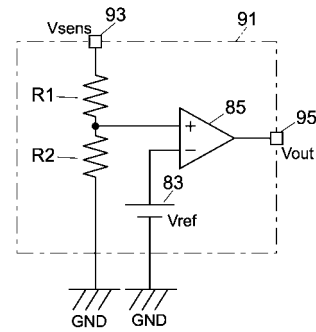
【図 30】



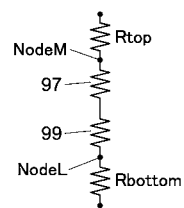
【図 31】



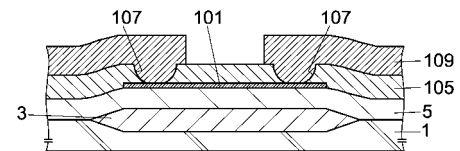
【図 32】



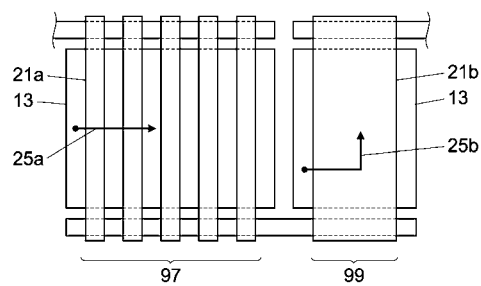
【図 33】



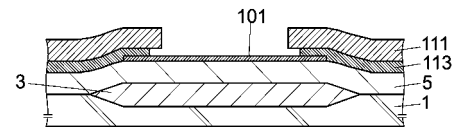
【図 36】



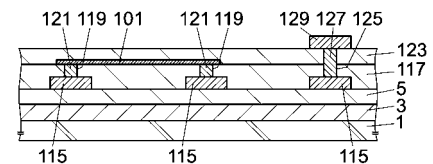
【図 34】



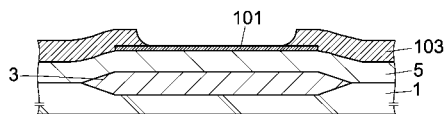
【図 37】



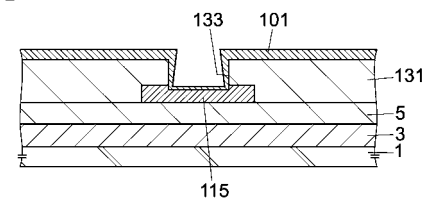
【図 38】



【図 35】



【図 39】



【図 40】

