

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6058346号
(P6058346)

(45) 発行日 平成29年1月11日(2017.1.11)

(24) 登録日 平成28年12月16日(2016.12.16)

(51) Int.Cl.	F I
G09G 3/3233 (2016.01)	G09G 3/3233
G09G 3/20 (2006.01)	G09G 3/20 624B
H01L 51/50 (2006.01)	G09G 3/20 611H
H05B 33/14 (2006.01)	G09G 3/20 641C
	G09G 3/20 642A
請求項の数 8 (全 109 頁) 最終頁に続く	

(21) 出願番号	特願2012-227571 (P2012-227571)	(73) 特許権者	000153878
(22) 出願日	平成24年10月15日(2012.10.15)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2013-137509 (P2013-137509A)		神奈川県厚木市長谷398番地
(43) 公開日	平成25年7月11日(2013.7.11)	(72) 発明者	木村 肇
審査請求日	平成27年9月18日(2015.9.18)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2011-228418 (P2011-228418)		半導体エネルギー研究所内
(32) 優先日	平成23年10月18日(2011.10.18)		
(33) 優先権主張国	日本国(JP)	審査官	西島 篤宏
(31) 優先権主張番号	特願2011-261317 (P2011-261317)		
(32) 優先日	平成23年11月30日(2011.11.30)	(56) 参考文献	特開2009-134110(JP, A)
(33) 優先権主張国	日本国(JP))
			特開2005-164891(JP, A)
)
			特開2004-246204(JP, A)
)
			最終頁に続く

(54) 【発明の名称】 半導体装置及び表示装置

(57) 【特許請求の範囲】

【請求項1】

トランジスタと、第1の配線と、第2の配線と、第3の配線と、第4の配線と、第1のスイッチと、第2のスイッチと、第3のスイッチと、第1の容量素子と、第2の容量素子と、を有し、

前記第1のスイッチは、前記第1の配線と前記第1の容量素子の第1電極との間の導通または非導通を選択する機能を有し、

前記第1の容量素子の第1電極は、前記第2の容量素子の第1電極と電気的に接続され、

前記第1の容量素子の第2電極は、前記トランジスタのゲートと電気的に接続され、
前記第2の容量素子の第2電極は、前記トランジスタのソースまたはドレインの一方と電気的に接続され、

前記トランジスタのソースまたはドレインの一方は、前記第4の配線に電気的に接続され、

前記トランジスタのソースまたはドレインの他方は、前記第3の配線に電気的に接続され、

前記第2のスイッチは、前記第2の配線と前記トランジスタのゲートとの間の導通または非導通を選択する機能を有し、

前記第3のスイッチは、前記第1の容量素子の第1電極と前記トランジスタのソースまたはドレインの一方との間の導通または非導通を選択する機能を有する半導体装置であっ

10

20

て、

第 1 の期間と、前記第 1 の期間の後の第 2 の期間と、を有し、

前記第 1 の期間において、前記第 1 のスイッチをオン状態、前記第 2 のスイッチをオン状態、前記第 3 のスイッチをオン状態とし、かつ、前記トランジスタをオン状態とするように前記第 1 の配線の電位乃至前記第 4 の配線の電位を制御し、

前記第 2 の期間において、前記第 1 のスイッチをオフ状態、前記第 2 のスイッチをオン状態、前記第 3 のスイッチをオン状態とし、かつ、前記第 1 の容量素子に蓄積されている電荷が前記トランジスタを介して放出されるように前記第 2 の配線の電位乃至前記第 4 の配線の電位を制御することで、前記トランジスタのゲート電圧を前記トランジスタの閾値電圧に応じた大きさの電圧とする半導体装置。

10

【請求項 2】

トランジスタと、第 1 の配線と、第 2 の配線と、第 3 の配線と、第 4 の配線と、第 1 のスイッチと、第 2 のスイッチと、第 3 のスイッチと、第 1 の容量素子と、第 2 の容量素子と、を有し、

前記第 1 のスイッチは、前記第 1 の配線と前記第 1 の容量素子の第 1 電極との間の導通または非導通を選択する機能を有し、

前記第 1 の容量素子の第 1 電極は、前記第 2 の容量素子の第 1 電極と電氣的に接続され、

前記第 1 の容量素子の第 2 電極は、前記トランジスタのゲートと電氣的に接続され、

前記第 2 の容量素子の第 2 電極は、前記トランジスタのソースまたはドレインの一方と電氣的に接続され、

20

前記トランジスタのソースまたはドレインの一方は、前記第 4 の配線に電氣的に接続され、

前記トランジスタのソースまたはドレインの他方は、前記第 3 の配線に電氣的に接続され、

前記第 2 のスイッチは、前記第 2 の配線と前記トランジスタのゲートとの間の導通または非導通を選択する機能を有し、

前記第 3 のスイッチは、前記第 1 の容量素子の第 1 電極と前記トランジスタのソースまたはドレインの一方との間の導通または非導通を選択する機能を有する半導体装置であって、

30

第 1 の期間と、前記第 1 の期間の後の第 2 の期間と、前記第 2 の期間の後の第 3 の期間と、を有し、

前記第 1 の期間において、前記第 1 のスイッチをオン状態、前記第 2 のスイッチをオン状態、前記第 3 のスイッチをオン状態とし、かつ、前記トランジスタをオン状態とするように前記第 1 の配線の電位乃至前記第 4 の配線の電位を制御し、

前記第 2 の期間において、前記第 1 のスイッチをオフ状態、前記第 2 のスイッチをオン状態、前記第 3 のスイッチをオン状態とし、かつ、前記第 1 の容量素子に蓄積されている電荷が前記トランジスタを介して放出されるように前記第 2 の配線の電位乃至前記第 4 の配線の電位を制御することで、前記トランジスタのゲート電圧を前記トランジスタの閾値電圧に応じた大きさの電圧とし、

40

前記第 3 の期間において、前記第 1 のスイッチをオン状態、前記第 2 のスイッチをオフ状態、かつ、前記第 3 のスイッチをオフ状態とすることで、前記第 1 の容量素子の第 1 電極に前記第 1 の配線の電位を供給する半導体装置。

【請求項 3】

トランジスタと、第 1 の配線と、第 2 の配線と、第 3 の配線と、第 1 のスイッチと、第 2 のスイッチと、第 3 のスイッチと、第 1 の容量素子と、第 2 の容量素子と、負荷と、を有し、

前記第 1 のスイッチは、前記第 1 の配線と前記第 1 の容量素子の第 1 電極との間の導通または非導通を選択する機能を有し、

前記第 1 の容量素子の第 1 電極は、前記第 2 の容量素子の第 1 電極と電氣的に接続され

50

、
前記第 1 の容量素子の第 2 電極は、前記トランジスタのゲートと電氣的に接続され、
前記第 2 の容量素子の第 2 電極は、前記負荷と電氣的に接続され、且つ前記トランジスタのソースまたはドレインの一方と電氣的に接続され、
前記トランジスタのソースまたはドレインの他方は、前記第 3 の配線に電氣的に接続され、

前記第 2 のスイッチは、前記第 2 の配線と前記トランジスタのゲートとの間の導通または非導通を選択する機能を有し、

前記第 3 のスイッチは、前記第 1 の容量素子の第 1 電極と前記トランジスタのソースまたはドレインの一方との間の導通または非導通を選択する機能を有する半導体装置であって、

10

第 1 の期間と、前記第 1 の期間の後の第 2 の期間と、を有し、

前記第 1 の期間において、前記第 1 のスイッチをオン状態、前記第 2 のスイッチをオン状態、前記第 3 のスイッチをオン状態とし、かつ、前記トランジスタをオン状態とするように前記第 1 の配線の電位乃至前記第 3 の配線の電位を制御し、

前記第 2 の期間において、前記第 1 のスイッチをオフ状態、前記第 2 のスイッチをオン状態、前記第 3 のスイッチをオン状態とし、かつ、前記第 1 の容量素子に蓄積されている電荷が前記トランジスタを介して放出されるように前記第 2 の配線の電位及び前記第 3 の配線の電位を制御することで、前記トランジスタのゲート電圧を前記トランジスタの閾値電圧に応じた大きさの電圧とする半導体装置。

20

【請求項 4】

トランジスタと、第 1 の配線と、第 2 の配線と、第 3 の配線と、第 1 のスイッチと、第 2 のスイッチと、第 3 のスイッチと、第 1 の容量素子と、第 2 の容量素子と、負荷と、を有し、

前記第 1 のスイッチは、前記第 1 の配線と前記第 1 の容量素子の第 1 電極との間の導通または非導通を選択する機能を有し、

前記第 1 の容量素子の第 1 電極は、前記第 2 の容量素子の第 1 電極と電氣的に接続され、

、
前記第 1 の容量素子の第 2 電極は、前記トランジスタのゲートと電氣的に接続され、
前記第 2 の容量素子の第 2 電極は、前記負荷と電氣的に接続され、且つ前記トランジスタのソースまたはドレインの一方と電氣的に接続され、

30

前記トランジスタのソースまたはドレインの他方は、前記第 3 の配線に電氣的に接続され、

前記第 2 のスイッチは、前記第 2 の配線と前記トランジスタのゲートとの間の導通または非導通を選択する機能を有し、

前記第 3 のスイッチは、前記第 1 の容量素子の第 1 電極と前記トランジスタのソースまたはドレインの一方との間の導通または非導通を選択する機能を有する半導体装置であって、

第 1 の期間と、前記第 1 の期間の後の第 2 の期間と、前記第 2 の期間の後の第 3 の期間と、を有し、

40

前記第 1 の期間において、前記第 1 のスイッチをオン状態、前記第 2 のスイッチをオン状態、前記第 3 のスイッチをオン状態とし、かつ、前記トランジスタをオン状態とするように前記第 1 の配線の電位乃至前記第 3 の配線の電位を制御し、

前記第 2 の期間において、前記第 1 のスイッチをオフ状態、前記第 2 のスイッチをオン状態、前記第 3 のスイッチをオン状態とし、かつ、前記第 1 の容量素子に蓄積されている電荷が前記トランジスタを介して放出されるように前記第 2 の配線の電位及び前記第 3 の配線の電位を制御することで、前記トランジスタのゲート電圧を前記トランジスタの閾値電圧に応じた大きさの電圧とし、

前記第 3 の期間において、前記第 1 のスイッチをオン状態、前記第 2 のスイッチをオフ状態、かつ、前記第 3 のスイッチをオフ状態とすること、前記第 1 の容量素子の第 1 電

50

極に前記第 1 の配線の電位を供給する半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれかーにおいて、

前記トランジスタが有する半導体膜は、酸化物半導体を有する半導体装置。

【請求項 6】

トランジスタと、第 1 の配線と、第 2 の配線と、第 3 の配線と、第 1 のスイッチと、第 2 のスイッチと、第 3 のスイッチと、第 1 の容量素子と、第 2 の容量素子と、発光素子と、を有し、

前記第 1 のスイッチは、前記第 1 の配線と前記第 1 の容量素子の第 1 電極との間の導通または非導通を選択する機能を有し、

前記第 1 の容量素子の第 1 電極は、前記第 2 の容量素子の第 1 電極と電氣的に接続され、

前記第 1 の容量素子の第 2 電極は、前記トランジスタのゲートと電氣的に接続され、

前記第 2 の容量素子の第 2 電極は、前記発光素子と電氣的に接続され、且つ前記トランジスタのソースまたはドレインの一方と電氣的に接続され、

前記トランジスタのソースまたはドレインの他方は、前記第 3 の配線に電氣的に接続され、

前記第 2 のスイッチは、前記第 2 の配線と前記トランジスタのゲートとの間の導通または非導通を選択する機能を有し、

前記第 3 のスイッチは、前記第 1 の容量素子の第 1 電極と前記トランジスタのソースまたはドレインの一方との間の導通または非導通を選択する機能を有する半導体装置であって、

第 1 の期間と、前記第 1 の期間の後の第 2 の期間と、を有し、

前記第 1 の期間において、前記第 1 のスイッチをオン状態、前記第 2 のスイッチをオン状態、前記第 3 のスイッチをオン状態とし、かつ、前記トランジスタをオン状態とするように前記第 1 の配線の電位乃至前記第 3 の配線の電位を制御し、

前記第 2 の期間において、前記第 1 のスイッチをオフ状態、前記第 2 のスイッチをオン状態、前記第 3 のスイッチをオン状態とし、かつ、前記第 1 の容量素子に蓄積されている電荷が前記トランジスタを介して放出されるように前記第 2 の配線の電位及び前記第 3 の配線の電位を制御することで、前記トランジスタのゲート電圧を前記トランジスタの閾値電圧に応じた大きさの電圧とする表示装置。

【請求項 7】

トランジスタと、第 1 の配線と、第 2 の配線と、第 3 の配線と、第 1 のスイッチと、第 2 のスイッチと、第 3 のスイッチと、第 1 の容量素子と、第 2 の容量素子と、発光素子と、を有し、

前記第 1 のスイッチは、前記第 1 の配線と前記第 1 の容量素子の第 1 電極との間の導通または非導通を選択する機能を有し、

前記第 1 の容量素子の第 1 電極は、前記第 2 の容量素子の第 1 電極と電氣的に接続され、

前記第 1 の容量素子の第 2 電極は、前記トランジスタのゲートと電氣的に接続され、

前記第 2 の容量素子の第 2 電極は、前記発光素子と電氣的に接続され、且つ前記トランジスタのソースまたはドレインの一方と電氣的に接続され、

前記トランジスタのソースまたはドレインの他方は、前記第 3 の配線に電氣的に接続され、

前記第 2 のスイッチは、前記第 2 の配線と前記トランジスタのゲートとの間の導通または非導通を選択する機能を有し、

前記第 3 のスイッチは、前記第 1 の容量素子の第 1 電極と前記トランジスタのソースまたはドレインの一方との間の導通または非導通を選択する機能を有する半導体装置であって、

第 1 の期間と、前記第 1 の期間の後の第 2 の期間と、前記第 2 の期間の後の第 3 の期間

10

20

30

40

50

と、を有し、

前記第 1 の期間において、前記第 1 のスイッチをオン状態、前記第 2 のスイッチをオン状態、かつ、前記第 3 のスイッチをオン状態とし、かつ、前記トランジスタをオン状態とするように前記第 1 の配線の電位乃至前記第 3 の配線の電位を制御し、

前記第 2 の期間において、前記第 1 のスイッチをオフ状態、前記第 2 のスイッチをオン状態、前記第 3 のスイッチをオン状態とし、かつ、前記第 1 の容量素子に蓄積されている電荷が前記トランジスタを介して放出されるように前記第 2 の配線の電位及び前記第 3 の配線の電位を制御することで、前記トランジスタのゲート電圧を前記トランジスタの閾値電圧に応じた大きさの電圧とし、

前記第 3 の期間において、前記第 1 のスイッチをオン状態、前記第 2 のスイッチをオフ状態、かつ、前記第 3 のスイッチをオフ状態とすることで、前記第 1 の容量素子の第 1 電極に前記第 1 の配線の電位を供給する表示装置。

10

【請求項 8】

請求項 6 または 7 において、

前記トランジスタが有する半導体膜は、酸化物半導体を有する表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置、発光装置、または、表示装置に関する。または、それらの駆動方法、または、それらの製造方法に関する。半導体装置としては、例えば、トランジスタなどの能動素子等を有する半導体装置が挙げられる。発光装置としては、例えば、エレクトロルミネッセンス素子（以下、EL 素子という）等の発光素子を有する発光装置が挙げられる。表示装置としては、例えば、EL 素子等の発光素子、または表示素子を有する表示装置が挙げられる。特に、本発明は、トランジスタの特性のばらつきの影響が低減された半導体装置、発光装置、表示装置、または、それらの駆動方法に関する。

20

【背景技術】

【0002】

発光素子を用いた表示装置は視認性が高く、薄型化に最適であると共に、視野角にも制限が無い場合、CRT (cathode ray tube) や液晶表示装置に替わる表示装置として注目されている。発光素子を用いたアクティブマトリクス型の表示装置は、具体的に提案されている構成がメーカーによって異なるが、通常、少なくとも発光素子と、画素へのビデオ信号の入力を制御するトランジスタ（スイッチング用トランジスタ）と、該発光素子に供給する電流値を制御するトランジスタ（駆動用トランジスタ）とが、各画素に設けられている。

30

【0003】

例えば、画素に設ける上記トランジスタをすべて同じ導電型とすることで、トランジスタの作製工程において、半導体膜に一導電性を付与する不純物元素の添加などの工程を、一部省略することができる。下記の特許文献 1 には、n チャネル型トランジスタのみで画素が構成される表示装置について記載されている。

【先行技術文献】

40

【特許文献】

【0004】

【特許文献 1】特開 2003 - 195810 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、発光装置や表示装置等の半導体装置では、トランジスタのドレイン電流が発光素子に供給されるため、画素間においてトランジスタの特性などにばらつきが生じると、発光素子等の表示素子の輝度にもそのばらつきが反映されてしまう。従って、例えば、閾値電圧のばらつきを見越してトランジスタのドレイン電流の電流値を補正することができ

50

る画素構成の提案は、半導体装置の質向上を図る上で、重要な課題である。

【 0 0 0 6 】

上述の問題に鑑み、本発明の一態様は、トランジスタの特性のばらつきの影響が抑えられる、半導体装置、発光装置、または、表示装置を提供することを課題の一つとする。または、本発明の一態様は、トランジスタの特性の劣化の影響が抑えられる、半導体装置、発光装置、または、表示装置を提供することを課題の一つとする。または、本発明の一態様は、トランジスタの閾値電圧のばらつきによる輝度のばらつきが抑えられる、半導体装置、発光装置、または、表示装置を提供することを課題の一つとする。または、本発明の一態様は、トランジスタの移動度のばらつきによる輝度のばらつきが抑えられる、半導体装置、発光装置、または、表示装置を提供することを課題の一つとする。または、本発明の一態様は、トランジスタがノーマリオフ型であっても正常に動作する、半導体装置、発光装置、または、表示装置を提供することを課題の一つとする。または、本発明の一態様は、トランジスタがノーマリオフ型であっても、トランジスタのしきい値電圧を取得できる、半導体装置、発光装置、または、表示装置を提供することを課題の一つとする。または、本発明の一態様は、質の良い表示を行う半導体装置、発光装置、または、表示装置を提供することを課題の一つとする。または、本発明の一態様は、ムラの少ない表示を行う半導体装置、発光装置、または、表示装置を提供することを課題の一つとする。または、本発明の一態様は、少ないトランジスタ数で、所望の回路を実現できるような、半導体装置、発光装置、または、表示装置を提供することを課題の一つとする。または、本発明の一態様は、少ない配線数で、所望の回路を実現できるような、半導体装置、発光装置、また
は、表示装置を提供することを課題の一つとする。または、本発明の一態様は、発光素子の劣化の影響が抑えられる半導体装置、発光装置、または、表示装置を提供することを課題の一つとする。または、本発明の一態様は、少ない工程数で製造される半導体装置、発光装置、または、表示装置を提供することを課題の一つとする。

10

20

【 0 0 0 7 】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、特許請求の範囲などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

30

【 0 0 0 8 】

本発明の半導体装置の一態様は、トランジスタと、第1の配線と、第2の配線と、第1のスイッチと、第2のスイッチと、第3のスイッチと、第1の容量素子と、第2の容量素子と、を少なくとも有する。第1のスイッチは、第1の配線と第1の容量素子の一对の電極のうちの一方との間の導通または非導通を選択する機能を有する。第1の容量素子の一对の電極のうちの一方は、第2の容量素子の一对の電極のうちの一方と電気的に接続される。第1の容量素子の一对の電極のうちの他方は、トランジスタのゲートと電気的に接続される。第2の容量素子の一对の電極のうちの他方は、トランジスタのソース及びドレインの一方と電気的に接続される。第2のスイッチは、第2の配線と、トランジスタのゲートとの間の導通または非導通を選択する機能を有する。第3のスイッチは、第1の容量素子の一对の電極のうちの一方と、トランジスタのソース及びドレインの一方との間の導通または非導通を選択する機能を有する。

40

【 0 0 0 9 】

上記構成の半導体装置では、閾値電圧のばらつきを見越してトランジスタ（以下、駆動用トランジスタという場合がある）のソースとゲート間に印加される電圧を補正することができる。こうして、トランジスタのドレイン電流を補正することができる。

【 0 0 1 0 】

本発明の半導体装置の一態様は、トランジスタと、負荷と、第1の配線と、第2の配線と、第1のスイッチと、第2のスイッチと、第3のスイッチと、第1の容量素子と、第2の容量素子と、を少なくとも有する。第1のスイッチは、第1の配線と第1の容量素子の一

50

対の電極のうち的一方との間の導通または非導通を選択する機能を有する。第1の容量素子の一对の電極のうち的一方は、第2の容量素子の一对の電極のうち的一方と電氣的に接続される。第1の容量素子の一对の電極のうちの他方は、トランジスタのゲートと電氣的に接続される。第2の容量素子の一对の電極のうちの他方は、負荷と、トランジスタのソース及びドレインの一方とに、電氣的に接続される。第2のスイッチは、第2の配線と、トランジスタのゲートとの間の導通または非導通を選択する機能を有する。第3のスイッチは、第1の容量素子の一对の電極のうち的一方と、トランジスタのソース及びドレインの一方との間の導通または非導通を選択する機能を有する。

【0011】

上記構成の半導体装置では、閾値電圧のばらつきを見越してトランジスタ（以下、駆動用トランジスタという場合がある）のソースとゲート間に印加される電圧を補正することができる。こうして、トランジスタのドレイン電流を補正することができる。そして、当該ドレイン電流を負荷に供給することができる。

10

【0012】

負荷は、任意の素子や回路を用いることができる。例えば、負荷は、EL素子等の発光素子とすることができる。EL素子等の発光素子は、発光素子のアノードとカソード間を流れる電流の電流値に比例した輝度で発光する。

【0013】

負荷として発光素子を用いる場合、一例としては、以下の（タイプA）または（タイプB）の構成とすることができる。

20

【0014】

（タイプA）

上記本発明の一態様に係る半導体装置では、トランジスタ（駆動用トランジスタ）のソース及びドレインの一方は、発光素子のアノードと電氣的に接続された構成とすることができる。この場合、当該トランジスタはnチャネル型トランジスタとする。そして、本発明の一態様に係る半導体装置は、第1の配線の電位を制御する機能を有する手段（例えば、駆動回路）を有し、当該手段（駆動回路）は、第1の配線の電位が発光素子のカソードの電位以下となるような期間を有するように、第1の配線の電位を制御する。

【0015】

（タイプB）

30

上記本発明の一態様に係る半導体装置では、トランジスタ（駆動用トランジスタ）のソース及びドレインの一方は、発光素子のカソードと電氣的に接続された構成とすることができる。この場合、当該トランジスタはpチャネル型トランジスタとする。そして、本発明の一態様に係る半導体装置は、第1の配線の電位を制御する機能を有する手段（例えば、駆動回路）を有し、当該手段（駆動回路）は、第1の配線の電位が発光素子のアノードの電位以上となるような期間を有するように、第1の配線の電位を制御する。

【0016】

第1のスイッチ乃至第3のスイッチそれぞれは、トランジスタを用いて構成することができる。当該トランジスタは、駆動用トランジスタと同じ導電型のトランジスタとすることができる。

40

【0017】

上記本発明の一態様に係る半導体装置は、チャネル形成領域に酸化物半導体を含むトランジスタを用いて構成することができる。または、チャネル形成領域に単結晶シリコンを含むトランジスタを用いて構成することができる。または、チャネル形成領域に多結晶シリコンを含むトランジスタを用いて構成することができる。または、チャネル形成領域に非晶質シリコンを含むトランジスタを用いて構成することができる。

【0018】

つまり、トランジスタとして、様々な構造のトランジスタを用いることが出来る。よって、用いるトランジスタの種類に限定はない。トランジスタの一例としては、単結晶シリコンを有するトランジスタ、または、非晶質シリコン、多結晶シリコン、微結晶（マイクロ

50

クリスタル、ナノクリスタル、セミアモルファスとも言う)シリコンなどに代表される非単結晶半導体膜を有する薄膜トランジスタ(TFT)などを用いることが出来る。

【0019】

なお、トランジスタの一例としては、化合物半導体(例えば、SiGe、GaAsなど)、又は酸化物半導体(例えば、ZnO、InGaZnO、インジウム亜鉛酸化物、ITO(インジウム錫酸化物)、SnO、TiO、AlZnSnO(AZTO)、InSnZnOなど)などを有するトランジスタ又は、これらの化合物半導体又は酸化物半導体を薄膜化した薄膜トランジスタなどを用いることが出来る。これらにより、製造温度を低くできるので、例えば、室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えばプラスチック基板又はフィルム基板などに直接トランジスタを形成することが出来る。なお、これらの化合物半導体又は酸化物半導体を、トランジスタのチャネル部分に用いるだけでなく、それ以外の用途で用いることも出来る。例えば、これらの化合物半導体又は酸化物半導体を配線、抵抗素子、画素電極、又は透光性を有する電極などとして用いることができる。それらをトランジスタと同時に成膜又は形成することが可能なため、コストを低減できる。

10

【0020】

なお、トランジスタの一例としては、有機半導体やカーボンナノチューブを有するトランジスタ等を用いることができる。

【0021】

なお、トランジスタの一例としては、ゲート電極が2個以上のマルチゲート構造のトランジスタを用いることができる。マルチゲート構造にすると、チャネル形成領域が直列に接続されるため、複数のトランジスタが直列に接続された構造となる。よって、マルチゲート構造により、オフ電流の低減、トランジスタの耐圧向上(信頼性の向上)を図ることができる。または、マルチゲート構造により、飽和領域で動作する時に、ドレインとソースとの間の電圧が変化しても、ドレインとソースとの間の電流があまり変化せず、傾きがフラットである電圧・電流特性を得ることができる。傾きがフラットである電圧・電流特性を利用すると、理想的な電流源回路、又は非常に高い抵抗値をもつ能動負荷を実現することが出来る。その結果、特性のよい差動回路又はカレントミラー回路などを実現することが出来る。

20

【0022】

なお、トランジスタの一例としては、チャネルの上下にゲート電極が配置されている構造のトランジスタを適用することができる。チャネルの上下にゲート電極が配置される構造にすることにより、複数のトランジスタが並列に接続されたような回路構成となる。よって、チャネル領域が増えるため、電流値の増加を図ることができる。または、チャネルの上下にゲート電極が配置されている構造にすることにより、空乏層ができやすくなるため、S値の改善を図ることができる。

30

【0023】

なお、トランジスタの一例としては、チャネル形成領域の上にゲート電極が配置されている構造、チャネル形成領域の下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構造、チャネル形成領域を複数の領域に分けた構造、チャネル形成領域を並列に接続した構造、又はチャネル形成領域が直列に接続する構造などのトランジスタを用いることができる。

40

【0024】

なお、トランジスタの一例としては、LDD領域を設けた構造を適用できる。LDD領域を設けることにより、オフ電流の低減、又はトランジスタの耐圧向上(信頼性の向上)を図ることができる。または、LDD領域を設けることにより、飽和領域で動作する時に、ドレインとソースとの間の電圧が変化しても、ドレイン電流があまり変化せず、傾きがフラットな電圧・電流特性を得ることができる。

【0025】

なお、明細書の中の図面や文章において規定されていない内容について、その内容を除く

50

ことを規定した発明を構成することが出来る。または、ある値について、上限値と下限値などで示される数値範囲が記載されている場合、その範囲を任意に狭めることで、または、その範囲の中の一点を除くことで、その範囲を一部除いて発明を規定することができる。これらにより、例えば、従来技術が本発明の技術的範囲に入らないことを規定することができる。

【0026】

具体例としては、ある回路において、第1乃至第5のトランジスタを用いている回路図が記載されているとする。その場合、その回路が、第6のトランジスタを有していないことを発明として規定することが可能である。または、その回路が、容量素子を有していないことを規定することが可能である。さらに、その回路が、ある特定の接続構造を有している第6のトランジスタを有していない、と規定して発明を構成することができる。または、その回路が、ある特定の接続構造を有している容量素子を有していない、と規定して発明を構成することができる。例えば、ゲートが第3のトランジスタのゲートと接続されている第6のトランジスタを有していない、と発明を規定することが可能である。または、例えば、第1の電極が第3のトランジスタのゲートと接続されている容量素子を有していない、と発明を規定することが可能である。

10

【0027】

別の具体例としては、ある値について、例えば、「ある電圧が、3V以上10V以下であることが好適である」と記載されているとする。その場合、例えば、ある電圧が、-2V以上1V以下である場合を除く、と発明を規定することが可能である。または、例えば、ある電圧が、13V以上である場合を除く、と発明を規定することが可能である。なお、例えば、その電圧が、5V以上8V以下であると発明を規定することも可能である。なお、例えば、その電圧が、概略9Vであると発明を規定することも可能である。なお、例えば、その電圧が、3V以上10V以下であるが、9Vである場合を除くと発明を規定することも可能である。

20

【0028】

別の具体例としては、ある値について、例えば、「ある電圧が、10Vであることが好適である」と記載されているとする。その場合、例えば、ある電圧が、-2V以上1V以下である場合を除く、と発明を規定することが可能である。または、例えば、ある電圧が、13V以上である場合を除く、と発明を規定することが可能である。

30

【0029】

別の具体例としては、ある物質の性質について、例えば、「ある膜は、絶縁膜である」と記載されているとする。その場合、例えば、その絶縁膜が、有機絶縁膜である場合を除く、と発明を規定することが可能である。または、例えば、その絶縁膜が、無機絶縁膜である場合を除く、と発明を規定することが可能である。

【0030】

別の具体例としては、ある積層構造について、例えば、「AとBとの間に、ある膜が設けられている」と記載されているとする。その場合、例えば、その膜が、4層以上の積層膜である場合を除く、と発明を規定することが可能である。または、例えば、Aとその膜との間に、導電膜が設けられている場合を除く、と発明を規定することが可能である。

40

【発明の効果】

【0031】

本発明の一態様では、駆動用トランジスタの閾値電圧に応じてソースとゲート間に印加される電圧を定めることができる。こうして、トランジスタの特性のばらつきの影響が抑えられる、半導体装置、発光装置、または、表示装置を提供することができる。または、トランジスタの特性の劣化の影響が抑えられる、半導体装置、発光装置、または、表示装置を提供することができる。または、トランジスタの閾値電圧のばらつきによる輝度のばらつきが抑えられる、半導体装置、発光装置、または、表示装置を提供することができる。または、トランジスタの移動度のばらつきによる輝度のばらつきが抑えられる、半導体装置、発光装置、または、表示装置を提供することができる。または、本発明の一態様は、

50

トランジスタがノーマリオフ型であっても正常に動作する、半導体装置、発光装置、または、表示装置を提供することができる。または、本発明の一態様は、トランジスタがノーマリオフ型であっても、トランジスタのしきい値電圧を取得できる、半導体装置、発光装置、または、表示装置を提供することができる。または、質の良い表示を行う半導体装置、発光装置、または、表示装置を提供することができる。または、ムラの少ない表示を行う半導体装置、発光装置、または、表示装置を提供することができる。または、少ないトランジスタ数で、所望の回路を実現できるような、半導体装置、発光装置、または、表示装置を提供することができる。または、少ない配線数で、所望の回路を実現できるような、半導体装置、発光装置、または、表示装置を提供することができる。または、発光素子の劣化の影響が抑えられる半導体装置、発光装置、または、表示装置を提供することができる。または、少ない工程数で製造される半導体装置、発光装置、または、表示装置を提供することができる。

10

【図面の簡単な説明】

【0032】

【図1】半導体装置の構成を示す図。

【図2】半導体装置の構成を示す図。

【図3】半導体装置の構成を示す図。

【図4】半導体装置の構成を示す図。

【図5】タイミングチャートと半導体装置の動作を示す図。

【図6】半導体装置の動作を示す図。

20

【図7】半導体装置の動作を示す図。

【図8】半導体装置の構成を示す図。

【図9】半導体装置の構成を示す図。

【図10】半導体装置の構成を示す図。

【図11】半導体装置の構成を示す図。

【図12】半導体装置の構成を示す図。

【図13】半導体装置の構成を示す図。

【図14】半導体装置の構成を示す図。

【図15】半導体装置の構成を示す図。

【図16】半導体装置の構成を示す図。

30

【図17】タイミングチャートと半導体装置の動作を示す図。

【図18】半導体装置の動作を示す図。

【図19】半導体装置の動作を示す図。

【図20】タイミングチャートと半導体装置の動作を示す図。

【図21】半導体装置の構成を示す図。

【図22】半導体装置の構成を示す図。

【図23】半導体装置の構成を示す図。

【図24】半導体装置の構成を示す図。

【図25】半導体装置の構成を示す図。

【図26】半導体装置の構成を示す図。

40

【図27】半導体装置の構成を示す図。

【図28】半導体装置の構成を示す図。

【図29】半導体装置の構成を示す図。

【図30】半導体装置の構成を示す図。

【図31】半導体装置の構成を示す図。

【図32】半導体装置の構成を示す図。

【図33】半導体装置の構成を示す図。

【図34】半導体装置の構成を示す図。

【図35】半導体装置の動作を示す図。

【図36】半導体装置の動作を示す図。

50

【図 3 7】半導体装置の構成を示す図。	
【図 3 8】半導体装置の構成を示す図。	
【図 3 9】半導体装置の構成を示す図。	
【図 4 0】半導体装置の構成を示す図。	
【図 4 1】半導体装置の構成を示す図。	
【図 4 2】半導体装置の構成を示す図。	
【図 4 3】半導体装置の構成を示す図。	
【図 4 4】半導体装置の構成を示す図。	
【図 4 5】半導体装置の構成を示す図。	
【図 4 6】半導体装置の構成を示す図。	10
【図 4 7】半導体装置の構成を示す図。	
【図 4 8】半導体装置の構成を示す図。	
【図 4 9】半導体装置の構成を示す図。	
【図 5 0】半導体装置の構成を示す図。	
【図 5 1】半導体装置の構成を示す図。	
【図 5 2】半導体装置の構成を示す図。	
【図 5 3】半導体装置の構成を示す図。	
【図 5 4】半導体装置の構成を示す図。	
【図 5 5】半導体装置の構成を示す図。	
【図 5 6】半導体装置の構成を示す図。	20
【図 5 7】半導体装置の構成を示す図。	
【図 5 8】半導体装置の構成を示す図。	
【図 5 9】半導体装置の構成を示す図。	
【図 6 0】半導体装置の構成を示す図。	
【図 6 1】半導体装置の構成を示す図。	
【図 6 2】半導体装置の構成を示す図。	
【図 6 3】半導体装置の構成を示す図。	
【図 6 4】半導体装置の構成を示す図。	
【図 6 5】半導体装置の構成を示す図。	
【図 6 6】半導体装置の構成を示す図。	30
【図 6 7】半導体装置の構成を示す図。	
【図 6 8】半導体装置の構成を示す図。	
【図 6 9】半導体装置の構成を示す図。	
【図 7 0】半導体装置の構成を示す図。	
【図 7 1】半導体装置の構成を示す図。	
【図 7 2】半導体装置の動作を示す図。	
【図 7 3】半導体装置の構成を示す図。	
【図 7 4】半導体装置の構成を示す図。	
【図 7 5】半導体装置の構成を示す図。	
【図 7 6】半導体装置の構成を示す図。	40
【図 7 7】半導体装置の構成を示す図。	
【図 7 8】半導体装置の構成を示す図。	
【図 7 9】半導体装置の構成を示す図。	
【図 8 0】半導体装置の構成を示す図。	
【図 8 1】半導体装置の構成を示す図。	
【図 8 2】半導体装置の構成を示す図。	
【図 8 3】半導体装置の構成を示す図。	
【図 8 4】半導体装置の構成を示す図。	
【図 8 5】電子機器の図。	
【図 8 6】半導体装置の構成を示す図。	50

【図 8 7】半導体装置の構成を示す図。

【図 8 8】半導体装置の構成を示す図とタイミングチャート。

【図 8 9】シミュレーションの結果を示す図。

【図 9 0】シミュレーションの結果を示す図。

【図 9 1】電子機器の図。

【発明を実施するための形態】

【 0 0 3 3 】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する構成において、同一部分または同様な機能を有する部分については同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

10

【 0 0 3 4 】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び／または、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、または置き換えなどを行うことができる。

【 0 0 3 5 】

なお、ある一つの実施の形態において述べる図（一部でもよい）の構成は、その図の別の部分の構成、その実施の形態において述べる別の図（一部でもよい）の構成、及び／または、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）の構成と組み合わせることができる。

20

【 0 0 3 6 】

なお、図において、大きさ、厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、本発明の実施形態の一態様は、必ずしもそのスケールに限定されない。または、図は、理想的な例を模式的に示したものである。よって、本発明の実施形態の一態様は、図に示す形状などに限定されない。例えば、製造技術による形状のばらつき、誤差による形状のばらつきなどを含むことが可能である。

【 0 0 3 7 】

なお、XとYとが接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とを含むものとする。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、表示素子、発光素子、負荷など）であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

30

【 0 0 3 8 】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。

40

【 0 0 3 9 】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きくできる

50

回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

【0040】

なお、XとYとが接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

10

【0041】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【0042】

なお、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。つまり、接続先を特定しなくても、発明の一態様が明確であり、本明細書等に記載されていると判断することが可能な場合がある。特に、端子の接続先が複数のケース考えられる場合には、その端子の接続先を特定の箇所に限定する必要はない。したがって、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

20

【0043】

なお、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。つまり、機能を特定すれば、発明の一態様が明確であり、本明細書等に記載されていると判断することが可能な場合がある。したがって、ある回路について、機能を特定しなくても、接続先を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくても、機能を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

30

【0044】

なお、本発明の実施形態の一態様は、さまざまな人が実施することが出来る。しかしながら、その実施は、複数の人にまたがって実施される場合がある。例えば、送受信システムの場合において、A社が送信機を製造および販売し、B社が受信機を製造および販売する場合がある。別の例としては、TFTおよび発光素子を有する発光装置の場合において、TFTが形成された半導体装置は、A社が製造および販売する。そして、B社がその半導体装置を購入して、その半導体装置に発光素子を成膜して、発光装置として完成させる、という場合がある。

40

【0045】

このような場合、A社またはB社のいずれに対しても、特許侵害を主張できるような発明の一態様を、構成することが出来る。従って、A社またはB社に対して、特許侵害を主張できるような発明の一態様は、明確であり、本明細書等に記載されていると判断する事が出来る。例えば、送受信システムの場合において、送信機のみで発明の一態様を構成することができ、受信機のみで発明の一態様を構成することができ、それらの発明の一態様は、明確であり、本明細書等に記載されていると判断することが出来る。別の例としては、

50

T F Tおよび発光素子を有する発光装置の場合において、T F Tが形成された半導体装置のみで発明の一態様を構成することができ、T F Tおよび発光素子を有する発光装置のみで発明の一態様を構成することができ、それらの発明の一態様は、明確であり、本明細書等に記載されていると判断することが出来る。

【0046】

(実施の形態1)

本発明の一態様は、発光素子を有する画素だけでなく、様々な回路として用いることができる。例えば、アナログ回路として用いたり、電流源としての機能を有する回路として用いることが出来る。そこでまず、本実施の形態では、本発明で開示する回路の基本原理の一例について述べる。

10

【0047】

本発明の一態様に係る半導体装置は、例えば、トランジスタと、当該トランジスタにおいて、ゲートの電位を固定した状態で、ゲートとソース間に保持されている電荷を放電する機能を有する構成とを、少なくとも有する。本発明の一態様に係る半導体装置は、上記構成により、トランジスタの閾値電圧や移動度などに起因するドレイン電流のばらつきを補正することができる。

【0048】

図1(A)に示す回路100は、本発明の一態様に係る半導体装置である。回路100は、スイッチ11、スイッチ12、スイッチ13、トランジスタ101、容量素子102、容量素子103を有する。なお、図1(A)では、トランジスタ101がnチャネル型である場合を一例として示している。

20

【0049】

具体的に、図1(A)では、スイッチ11は、配線21と、容量素子102の一方の電極(端子)又は容量素子103の一方の電極(端子)との間の導通状態を制御する機能を有する。スイッチ12は、配線22と、容量素子102の他方の電極(端子)及びトランジスタ101のゲートとの間の導通状態を制御する機能を有する。スイッチ13は、トランジスタ101のソースまたはドレインの一方、又は、容量素子103の他方の電極(端子)と、容量素子102の一方の電極、又は、容量素子103の一方の電極(端子)との間の導通状態を制御する機能を有する。トランジスタ101のソースまたはドレインの他方は、配線23に接続されている。トランジスタ101のソースまたはドレインの一方、又は、容量素子103の他方の電極(端子)は、配線24に接続されている。

30

【0050】

なお、トランジスタが有するソース(ソース端子、ソース領域またはソース電極)とドレイン(ドレイン端子、ドレイン領域またはドレイン電極)は、トランジスタの極性及びソースとドレインに与えられる電位の高低によって、その呼び方が入れ替わる。一般的に、nチャネル型トランジスタでは、ソースとドレインのうち、低い電位が与えられる方がソースと呼ばれ、高い電位が与えられる方がドレインと呼ばれる。また、pチャネル型トランジスタでは、ソースとドレインのうち、低い電位が与えられる方がドレインと呼ばれ、高い電位が与えられる方がソースと呼ばれる。本明細書では、便宜上、ソースとドレインとが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電位の関係に従ってソースとドレインの呼び方が入れ替わる。そこで、ソースとして機能する部分、及びドレインとして機能する部分を、ソース又はドレインと叫ばない場合がある。その場合、一例として、ソースとドレインとの一方を、第1端子、第1電極、又は第1領域と表記し、ソースとドレインとの他方を、第2端子、第2電極、又は第2領域と表記する場合がある。

40

【0051】

なお、スイッチは、端子間の導通状態と非導通状態を切り替えて動作する機能を有しており、電流を流すか流さないかを制御する機能を有している素子である。または、スイッチは、電流を流す経路を選択して切り替える機能を有し、例えば、経路1に電流を流すことが出来るようにするか、経路2に電流を流すことが出来るようにするかを選択して切り替

50

える機能を有している。例えば、電氣的スイッチまたは機械的なスイッチなどを用いることができる。具体的には、トランジスタ、ダイオード、デジタルマイクロミラーデバイス（DMD）のようにMEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチ、などで構成すればよい。また、スイッチはトランジスタを組み合わせた論理回路でもよい。スイッチとしてトランジスタを用いる場合、該トランジスタの極性は特に限定されない。ただし、オフ電流が小さいトランジスタを用いることが望ましく、入力電位に応じて、トランジスタの極性を使い分けることが望ましい。

【0052】

なお、オフ電流が小さいトランジスタとしては、LDD領域を有するトランジスタ、マルチゲート構造を有するトランジスタ、または酸化物半導体をチャネル形成領域に含むトランジスタ等がある。また、トランジスタを組み合わせてスイッチとして動作させる場合、nチャネル型とpチャネル型の両方を用いた相補型のスイッチにしてもよい。相補型のスイッチにすることで、スイッチに入力する電位が、出力電位と比べて相対的に変化しても、適切に動作させることができる。

10

【0053】

なお、スイッチとしてトランジスタを用いる場合、スイッチは、入力端子（ソースまたはドレインの一方）と、出力端子（ソースまたはドレインの他方）と、導通を制御する端子（ゲート）とを有している場合がある。一方、スイッチとしてダイオードを用いる場合、スイッチは、導通を制御する端子を有していない場合がある。したがって、トランジスタよりもダイオードをスイッチとして用いた方が、端子を制御するための配線を少なくすることができる。

20

【0054】

なお、トランジスタの一例としては、チャネル形成領域の上下にゲートが配置されている構造のトランジスタを適用することができる。半導体膜の上下にゲートを配置することにより、複数のトランジスタが並列に接続されたような回路構成となる。よって、チャネル形成領域が増えるため、電流値の増加を図ることができる。または、チャネル形成領域の上下にゲートが配置されている構造にすることにより、空乏層ができやすくなるため、S値の改善を図ることができる。

【0055】

なお、トランジスタの一例としては、チャネル形成領域（もしくはその一部）にソース電極やドレイン電極が重なっている構造のトランジスタを用いることができる。チャネル形成領域（もしくはその一部）にソース電極やドレイン電極が重なる構造にすることによって、チャネル形成領域の一部に電荷が溜まることにより動作が不安定になることを防ぐことができる。

30

【0056】

なお、容量素子102または容量素子103は、例えば、配線、半導体膜、または電極等で絶縁膜または有機膜を挟んだ構成とすればよい。

【0057】

なお、図1（A）で示した回路100は、図1（B）に示すように負荷104を有していても良い。図1（B）に示す回路100では、負荷104が、トランジスタ101のソースまたはドレインの一方、または、容量素子103の他方の電極と、配線24との間に接続されている。

40

【0058】

なお、本明細書中において負荷とは、例えば、整流性を有するものや、容量性を有するものや、抵抗性を有するもの、スイッチを有する回路、画素回路、電流源回路などがある。例えば、整流性を有するものは、印加するバイアス方向により抵抗値が異なる電流電圧特性を有し、一方向のみにほとんど電流が流れる電氣的特性を有するものであるとする。具体的に、負荷104として、表示素子（液晶素子、EL素子など）、発光素子（EL（エレクトロルミネッセンス）素子（有機物及び無機物を含むEL素子、有機EL素子、無機EL素子）、LED（白色LED、赤色LED、緑色LED、青色LEDなど）、トラン

50

ジスタ（電流に応じて発光するトランジスタ）、電子放出素子、または、表示素子や発光素子の一部（例えば、画素電極、アノード、カソード）などが挙げられる。

【 0 0 5 9 】

図 1（C）に、負荷 104 として、発光素子 104a を用いた場合の、回路 100 の構成を示す。図 1（C）では、発光素子 104a のアノードが、トランジスタ 101 のソースまたはドレインの一方、または、容量素子 103 の他方の電極に接続されており、発光素子 104a のカソードが、配線 24 に接続されている場合を一例として示している。

【 0 0 6 0 】

また、図 1（D）に、負荷 104 として、発光素子 104b を用いた場合の、回路 100 の構成を示す。図 1（D）では、発光素子 104b のカソードが、トランジスタ 101 のソースまたはドレインの一方、または、容量素子 103 の他方の電極に接続されており、発光素子 104b のアノードが、配線 24 に接続されている場合を一例として示している。なお、図 1（D）では、トランジスタ 101 が p チャネル型である場合を一例として示している。

【 0 0 6 1 】

また、本発明の一態様に係る半導体装置は、例えば、図 1（A）乃至図 1（D）に示した回路 100 に加えて、回路 100 に各種の一定電圧や信号を供給する機能を有する回路を、さらに有していても良い。

【 0 0 6 2 】

図 2（A）乃至図 2（D）に示す半導体装置は、図 1（A）乃至図 1（D）に示す回路 100 に加えて、配線 21 に一定電圧や信号を供給する機能を有する回路 201 と、配線 22 に一定電圧や信号を供給する機能を有する回路 202 と、配線 23 に一定電圧や信号を供給する機能を有する回路 203 と、配線 24 に一定電圧や信号を供給する機能を有する回路 204 とを、それぞれ有する。

【 0 0 6 3 】

具体的に、回路 201 は、配線 21 に、電位 V_{i1} または電位 V_{sig} を供給する機能を有する。回路 201 の例としては、ソースドライバ（信号線駆動回路）などがある。したがって、配線 21 は、電位 V_{i1} 、及び / 又は、電位 V_{sig} を、伝えることが出来る機能、または、供給することが出来る機能を有している。または、配線 21 は、映像信号線としての機能を有している。または、配線 21 は、初期化用配線としての機能を有している。

【 0 0 6 4 】

電位 V_{i1} は、回路 100 内の各ノードの電位を初期化するための電位である。または、電位 V_{i1} は、一例としては、容量素子 102 に電荷を供給するための電位である。または、電位 V_{i1} は、一例としては、トランジスタ 101 をオン状態にするための電位である。なお、電位 V_{i1} は、一定の電位であることが望ましいが、本発明の実施形態の一態様は、これに限定されず、パルス信号のように変動してもよい。

【 0 0 6 5 】

なお、一例としては、電位 V_{sig} を回路 100 に供給する前において、電位 V_{i1} が回路 100 に供給される。

【 0 0 6 6 】

電位 V_{sig} は、トランジスタ 101 のドレイン電流の大きさを制御するための電位である。図 2（B）に示した半導体装置の場合は、上記ドレイン電流が負荷 104 に供給される。図 2（C）に示した半導体装置の場合は、上記ドレイン電流が発光素子 104a に供給される。図 2（D）に示した半導体装置の場合は、上記ドレイン電流が発光素子 104b に供給される。例えば、トランジスタ 101 のドレイン電流を一定値に保つ場合は、電位 V_{sig} の高さを一定とする。また、例えば、トランジスタ 101 のドレイン電流を一定値としない場合は、電位 V_{sig} の高さを、時間と共に変化させる。一例としては、電位 V_{sig} は映像信号、及び / 又は、アナログ信号である。ただし、本発明の実施形態の一態様は、これに限定されず、電位 V_{sig} は、一定の電位でもよい。

【 0 0 6 7 】

また、回路 2 0 2 は、配線 2 2 に、電位 V_{i2} を供給する機能を有する。回路 2 0 4 の例としては、電源回路などがある。したがって、配線 2 2 は、電位 V_{i2} を、伝えることが出来る機能、または、供給することが出来る機能を有している。または、配線 2 2 は、初期化用配線としての機能を有している。なお、配線 2 2 の電位は、一定の電位であることが望ましいが、本発明の実施形態の一態様は、これに限定されず、パルス信号のように変動してもよい。

【 0 0 6 8 】

電位 V_{i2} は、回路 1 0 0 内の各ノード（特にトランジスタ 1 0 1 のゲート）の電位を初期化するための電位である。なお、図 2（C）の場合、電位 V_{i2} は、配線 2 4 の電位と同じ、または、それよりも低いことが好適である。これにより、発光素子 1 0 4 a に電流が流れることを低減することが出来る。図 2（D）の場合、電位 V_{i2} は、配線 2 4 の電位と同じ、または、それよりも高いことが好適である。これにより、発光素子 1 0 4 b に電流が流れることを低減することが出来る。ただし、電位 V_{i2} は、これらに限定されない。なお、電位 V_{i2} は、一定の電位であることが望ましいが、本発明の実施形態の一態様は、これに限定されず、パルス信号のように変動してもよい。

【 0 0 6 9 】

なお、配線 2 2 は、他の配線、または、別の回路 1 0 0 が有する配線と接続させることが可能である。これにより、配線の数減らすことが出来る。

【 0 0 7 0 】

また、回路 2 0 3 は、配線 2 3 に、電源電位（高電源電位または低電源電位）、例えば、電位 V_{DD} 、または、電位 V_{SS} を供給する機能を有する。または、回路 2 0 3 は、配線 2 3 に、信号を供給する機能を有する。回路 2 0 3 の例としては、電源回路、パルス出力回路、ゲートドライバ回路などがある。したがって、配線 2 3 は、電源電位または信号を伝えることが出来る機能、または、供給することが出来る機能を有している。または、配線 2 3 は、トランジスタ 1 0 1 に電流を供給することが出来る機能を有している。または、配線 2 3 は、負荷 1 0 4 に電流を供給することが出来る機能を有している。または、配線 2 3 は、電源線としての機能を有している。または、配線 2 3 は、電流供給線としての機能を有している。なお、配線 2 3 の電位は、一定の電位であることが望ましいが、本発明の実施形態の一態様は、これに限定されず、パルス信号のように変動してもよい。例えば、配線 2 3 の電位は、負荷 1 0 4 に、順バイアス電圧だけでなく、逆バイアス電圧を加えるような電位であってもよい。

【 0 0 7 1 】

また、回路 2 0 4 は、配線 2 4 に、電源電位（低電源電位または高電源電位）、例えば、電位 V_{cat} を供給する機能を有する。回路 2 0 4 の例としては、電源回路などがある。したがって、配線 2 4 は、電源電位を伝えることが出来る機能、または、供給することが出来る機能を有している。または、配線 2 4 は、負荷 1 0 4 に電流を供給することが出来る機能を有している。または、配線 2 4 は、トランジスタ 1 0 1 に電流を供給することが出来る機能を有している。または、配線 2 4 は、共通線としての機能を有している。または、配線 2 4 は、陰極配線としての機能を有している。または、配線 2 4 は、陽極配線としての機能を有している。なお、配線 2 4 の電位は、一定の電位であることが望ましいが、本発明の実施形態の一態様は、これに限定されず、パルス信号のように変動してもよい。例えば、配線 2 4 の電位は、負荷 1 0 4 に、順バイアス電圧だけでなく、逆バイアス電圧を加えるような電位であってもよい。

【 0 0 7 2 】

電位 V_{DD} と電位 V_{cat} の電位差により、トランジスタ 1 0 1 におけるドレイン電流の向きが決まる。例えば、電位 V_{DD} が電位 V_{cat} より高い場合、配線 2 3 から配線 2 4 へ電流が流れる。配線 2 3 の電位が電位 V_{SS} の場合で、電位 V_{cat} より低い場合、配線 2 4 から配線 2 3 へ電流が流れる。

【 0 0 7 3 】

なお、図2(A)乃至図2(D)では、半導体装置が、回路100に加えて、回路201、回路202、回路203、及び回路204を有する場合を一例として示しているが、本発明の一態様に係る半導体装置は、必ずしも回路201、回路202、回路203、及び回路204を全て有する必要はなく、そのいずれか一つまたは複数だけを有していても良い。

【0074】

なお、トランジスタ101は、一例としては、少なくとも電流源としての機能を有している。したがって、例えば、トランジスタ101は、トランジスタ101の両端(ソースとドレインの間)に加わる電圧の大きさが変化しても、概ね一定の電流を供給する機能を有している。または、例えば、トランジスタ101は、負荷104の電位が変化しても、負荷104に概ね一定の電流を供給する機能を有している。または、例えば、トランジスタ101は、配線23の電位が変化しても、概ね一定の電流を供給する機能を有している。

10

【0075】

ただし、本発明の実施形態の一態様は、これに限定されず、トランジスタ101は電流源としての機能を有さないことも可能である。例えば、トランジスタ101は、スイッチの機能を有することが可能である。

【0076】

なお、電流源とは別の電源として、電圧源がある。電圧源は、それに接続された回路に流れる電流が変化しても、一定の電圧を供給する機能を有している。したがって、電圧源も電流源も、電圧と電流とを供給する機能を有しているが、何が変わっても、一定の何を供給する機能を有しているのか、という点で、異なった機能を有するものである。電流源は、両端の電圧が変化しても、一定の電流を供給する機能を有し、電圧源は、電流が変化しても、一定の電圧を供給する機能を有している。

20

【0077】

なお、図1などは、回路構成の一例であるため、さらに、トランジスタを追加して設けることが可能である。逆に、図1などの各ノードにおいて、追加してトランジスタ、スイッチ、受動素子などを設けないようにすることも可能である。例えば、各スイッチの端子が接続されたノード、トランジスタの各端子が接続されたノード、またはノードおよび、負荷の各端子が接続されたノードにおいて、直接的に接続されたトランジスタを、これ以上は設けないようにすることが可能である。従って、例えば、負荷104とトランジスタ101と容量素子103とスイッチ13とが接続されているノードにおいて、直接的に接続されているトランジスタはトランジスタ101のみであり、他のトランジスタはそのノードと直接的に接続されていない、というような構成にすることが可能である。

30

【0078】

そのため、トランジスタを追加しない場合には、少ないトランジスタ数で回路を構成することが可能となる。

【0079】

なお、図1及び図2に示した回路100は、スイッチ11、スイッチ12、スイッチ13にトランジスタを用いることができる。

【0080】

40

図1(A)乃至図1(D)に示した回路100において、スイッチ11としてトランジスタ11t、スイッチ12としてトランジスタ12t、及びスイッチ13としてトランジスタ13tを用いた場合の回路100の構成を、図3(A)乃至図3(D)に示す。なお、図3(A)乃至図3(C)では、トランジスタ11t、トランジスタ12t、及びトランジスタ13tが全てnチャネル型である場合を一例として示している。また、図3(D)では、トランジスタ11t、トランジスタ12t、及びトランジスタ13tが全てpチャネル型である場合を一例として示している。トランジスタ11t、トランジスタ12t、及びトランジスタ13tを全て同じ極性のトランジスタとすることで、これらのトランジスタを少ない工程数で製造できる。ただし、本発明の実施形態の一態様は、これに限定されず、異なる極性のトランジスタを用いることも可能である。

50

【 0 0 8 1 】

なお、図 3 (A) 乃至図 3 (D) において、トランジスタ 1 1 t は、ゲートが配線 3 1 に接続されている。配線 3 1 に供給される電位に従って、トランジスタ 1 1 t は導通状態または非導通状態となる。トランジスタ 1 2 t は、ゲートが配線 3 2 に接続されている。配線 3 2 に供給される電位に従って、トランジスタ 1 2 t は導通状態または非導通状態となる。トランジスタ 1 3 t は、ゲートが配線 3 3 に接続されている。配線 3 3 に供給される電位に従って、トランジスタ 1 3 t は導通状態または非導通状態となる。したがって、配線 3 1 乃至配線 3 3 の電位は、パルス状であり、一定ではないことが望ましいが、本発明の実施形態の一態様は、これに限定されない。または、配線 3 1 乃至配線 3 3 は、ゲート信号線（ゲート線）、選択信号線、または、スキャン線（走査線）としての機能を有している。

10

【 0 0 8 2 】

なお、配線 3 1 乃至配線 3 3 において、その中の少なくとも 2 本の配線は、互いに接続させることが可能である。または、配線 3 1 乃至配線 3 3 の少なくとも 1 本は、別の回路 1 0 0 の配線 3 1 乃至配線 3 3 の少なくとも 1 本と接続させることが可能である。

【 0 0 8 3 】

また、本発明の一態様に係る半導体装置は、図 3 (A) 乃至図 3 (D) に示した回路 1 0 0 に加えて、回路 1 0 0 に各種の一定電圧や信号を供給する機能を有する回路を、さらに有していても良い。

【 0 0 8 4 】

20

図 4 (A) 乃至図 4 (D) に示す半導体装置は、図 3 (A) 乃至図 3 (D) に示す回路 1 0 0 に加えて、配線 3 1 に一定電圧や信号を供給する機能を有する回路 2 0 5 と、配線 3 2 に一定電圧や信号を供給する機能を有する回路 2 0 6 と、配線 3 3 に一定電圧や信号を供給する機能を有する回路 2 0 7 とを、それぞれ有する。回路 2 0 5、回路 2 0 6、回路 2 0 7 の例としては、ゲートドライバ（走査線駆動回路）などがある。

【 0 0 8 5 】

なお、回路 2 0 1、回路 2 0 2、回路 2 0 3、回路 2 0 4、回路 2 0 5、回路 2 0 6、回路 2 0 7 は、一つの同じ回路であってもよいし、別々の回路であってもよい。

【 0 0 8 6 】

なお、図 4 (A) 乃至図 4 (D) では、半導体装置が、回路 1 0 0 に加えて、回路 2 0 5、回路 2 0 6、及び回路 2 0 7 を有する場合を一例として示しているが、本発明の一態様に係る半導体装置は、必ずしも回路 2 0 5、回路 2 0 6、及び回路 2 0 7 を全て有する必要はなく、そのいずれか一つまたは複数だけを有していても良い。

30

【 0 0 8 7 】

また、図 3 (C) に示す回路 1 0 0 において、トランジスタ 1 0 1、トランジスタ 1 1 t、及びトランジスタ 1 3 t が n チャネル型、トランジスタ 1 2 t が p チャネル型である場合の回路 1 0 0 の構成を図 3 7 (A) に示す。また、図 3 (D) に示す回路 1 0 0 において、トランジスタ 1 0 1、トランジスタ 1 1 t、及びトランジスタ 1 3 t が p チャネル型、トランジスタ 1 2 t が n チャネル型である場合の回路 1 0 0 の構成を図 3 7 (B) に示す。このように、様々な極性のトランジスタを用いることが出来る。

40

【 0 0 8 8 】

また、本発明の一態様に係る半導体装置は、図 3 7 (A) 及び図 3 7 (B) に示した回路 1 0 0 に加えて、回路 1 0 0 に各種の一定電圧や信号を供給する機能を有する回路を、さらに有していても良い。

【 0 0 8 9 】

図 3 7 (C) 及び図 3 7 (D) に示す半導体装置は、図 3 7 (A) 及び図 3 7 (B) に示す回路 1 0 0 に加えて、配線 3 1 に一定電圧や信号を供給する機能を有する回路 2 0 5 と、配線 3 2 に一定電圧や信号を供給する機能を有する回路 2 0 6 と、配線 3 3 に一定電圧や信号を供給する機能を有する回路 2 0 7 とを、それぞれ有する。

【 0 0 9 0 】

50

なお、図 37 (C) 及び図 37 (D) では、半導体装置が、回路 100 に加えて、回路 205、回路 206、及び回路 207 を有する場合を一例として示しているが、本発明の一態様に係る半導体装置は、必ずしも回路 205、回路 206、及び回路 207 を全て有する必要はなく、そのいずれか一つまたは複数だけを有していても良い。

【0091】

なお、トランジスタ 101 は、電流を流すときには、飽和領域で動作する場合が多い。よって、図 3、図 4、及び図 37 において、トランジスタ 101 のチャネル長またはゲート長を、トランジスタ 11t、トランジスタ 12t、及び/または、トランジスタ 13t よりも長くすることが望ましい。チャネル長またはゲート長を長くすることにより、飽和領域での特性がフラットになり、キंक効果を低減することができる。好ましくは、5 倍以上、より好ましくは 10 倍以上であることが望ましい。一例としては、トランジスタ 101 のチャネル長またはゲート長は、10 μm 以上、より好ましくは、20 μm 以上である。或いは、トランジスタ 101 のチャネル幅またはゲート幅を、トランジスタ 11t、トランジスタ 12t、及び/または、トランジスタ 13t よりも長くすることにより、トランジスタ 101 は、飽和領域においても、多くの電流を流すことができる。好ましくは、5 倍以上、より好ましくは 10 倍以上であることが望ましい。トランジスタ 101 のチャネル幅またはゲート幅は、20 μm 以上、より好ましくは、30 μm 以上である。ただし、本発明の実施形態の一態様は、これらに限定されない。

10

【0092】

次いで図 1 (C) に示す回路 100 を例に挙げて、本発明の一態様の半導体装置の動作について説明する。

20

【0093】

図 1 (C) に示す回路 100 の動作は、主に第 1 の動作、第 2 の動作、第 3 の動作、第 4 の動作、第 5 の動作に分けることができる。ただし、これに限定されず、新たな動作の追加、或いは、一部の動作の削除も可能である。

【0094】

図 1 (C) に示す回路 100 における、スイッチ 11、スイッチ 12、及びスイッチ 13 の動作と、配線 21 の電位と、トランジスタ 101 のゲートソース間電圧 (V_{gs101}) とを示すタイミングチャートの一例を、図 5 (A) に図示する。

【0095】

30

まず、期間 T11 において行われる第 1 の動作について説明する。期間 T11 では、図 5 (A) に示すように、スイッチ 11、スイッチ 12、及びスイッチ 13 が導通状態である。また、配線 21 には電位 V_{i1} が供給される。よって、期間 T11 では、図 5 (B) に示すように、容量素子 102 に電圧 $V_{i2} - V_{i1}$ が供給され、発光素子 104a のアノードは電位 V_{i1} となり、トランジスタ 101 のゲートソース間電圧 (V_{gs101}) は、電圧 $V_{i2} - V_{i1}$ となる。つまり、トランジスタ 101、及び、容量素子 102 を、初期化していることとなる。

【0096】

なお、図 1 (C) に示す回路 100 では、電位 V_{i2} は、電位 V_{i1} にトランジスタ 101 の閾値電圧 V_{th} を加算した電位よりも、高いことが望ましい。つまり、電位 V_{i2} と電位 V_{i1} は、トランジスタ 101 がオン状態となるような電位であることが望ましい。また、電位 V_{i1} に発光素子 104a の閾値電圧 V_{the} (発光素子 104a が発光し始める電圧) を加算した電位は、電位 V_{cat} より低いことが望ましい。例えば、電位 V_{i1} は、電位 V_{cat} と同じ電位か、それよりも低い電位であることが望ましい。電位 V_{i1} が、電位 V_{cat} よりも低い場合には、発光素子 104a が逆バイアス状態となるため、発光素子 104a の劣化を低減する、或いはショート箇所をリペアすることが可能である。また、電位 V_{i2} から発光素子 104a の閾値電圧 V_{the} を差し引いた電位は、電位 V_{cat} より低いことが望ましい。なお、以下、一例として、閾値電圧 V_{the} が 0 であるものと仮定する。

40

【0097】

50

期間 T_{12} において行われる第2の動作について説明する。期間 T_{12} では、図5(A)に示すように、スイッチ11が非導通状態、スイッチ12及びスイッチ13が導通状態である。スイッチ11が非導通状態となることで、容量素子102に蓄積されている電荷がトランジスタ101を介して放出され、トランジスタ101のソースの電位が上昇する。そして、トランジスタ101がオフ状態となると、容量素子102からの電荷の放出が止まる。最終的には、トランジスタ101の閾値電圧 V_{th} が容量素子102に保持される。よって、期間 T_{12} では、図5(C)に示すように、容量素子102に閾値電圧 V_{th} が保持され、発光素子104aのアノードは電位 $V_{i2} - V_{th}$ となり、トランジスタ101のゲートソース間電圧 (V_{gs101}) は、閾値電圧 V_{th} となる。つまり、トランジスタ101のしきい値電圧 V_{th} を取得することができる。

10

【0098】

なお、 V_{gs101} が、トランジスタ101のしきい値電圧 V_{th} に等しくなるまでには、非常に長い時間が必要となる場合がある。したがって、 V_{gs101} は、しきい値電圧 V_{th} まで完全に低下させずに、動作させる場合も多い。つまり、 V_{gs101} は、しきい値電圧 V_{th} よりも、わずかに大きい値となった状態で、期間 T_{12} が終了する場合も多い。つまり、期間 T_{12} が終了した時点では、 V_{gs101} は、しきい値電圧に応じた大きさの電圧になっている、ということも出来る。

【0099】

なお、第2の動作において、トランジスタ101のしきい値電圧 V_{th} が正か負かということに関係なく、動作させることができる。これは、トランジスタ101がオフ状態となるまで、トランジスタ101のソース電位が上昇できるからである。つまり、トランジスタ101のゲート電位よりも、トランジスタ101のソース電位の方が高くなった状態で、ようやくトランジスタ101がオフし、 V_{gs101} が V_{th} となる、ということが可能であるからである。したがって、トランジスタ101がエンハンスメント型（ノーマリオフ型）であっても、デプリーション型（ノーマリオン型）であっても、正常に動作させることができる。

20

【0100】

なお、発光素子104aのアノードの電位が高くなったときに、発光素子104aに電流が流れないようにすることが望ましい。そのためには、発光素子104aに電流が流れないように、電位 V_{i2} を低い値とすることが好適である。ただし、発明の実施形態の一態様は、これに限定されない。なお、発光素子104aと直列にスイッチを設けて、それをオフ状態にすることにより、発光素子104aに電流が流れないようにすることが可能であれば、電位 V_{i2} は、高い値でもよい。

30

【0101】

期間 T_{13} において行われる第3の動作について説明する。期間 T_{13} では、図5(A)に示すように、スイッチ11及びスイッチ13が導通状態、スイッチ12が非導通状態である。また、配線21には、一例として、電位 V_{i1} が供給される。よって、期間 T_{13} では、図6(A)に示すように、容量素子102に閾値電圧 V_{th} (または V_{th} に応じた大きさの電圧) が保持され、発光素子104aのアノードは電位 V_{i1} となり、トランジスタ101のゲートの電位は電位 $V_{i1} + V_{th}$ (または V_{th} に応じた大きさの電圧) となり、トランジスタ101のゲートソース間電圧 (V_{gs101}) は、閾値電圧 V_{th} (または V_{th} に応じた大きさの電圧) となる。これにより、発光素子104aのアノードの電位、または、トランジスタ101のソースの電位を初期化することができる。

40

【0102】

なお、上記第3の動作は必ずしも行う必要はなく、第2の動作の後に、以下に示す第4の動作を行うようにしても良い。

【0103】

なお、期間 T_{13} における配線21の電位は、電位 V_{i1} に限定されず、別の大きさの電位 (例えば電位 V_{i3}) とすることも可能である。ただし、期間 T_{13} における配線21の電位を電位 V_{i1} とすることにより、回路201の構成をシンプルにすることができる

50

。または、配線 2 1 に、複数の回路 1 0 0 が接続されている場合において、配線 2 1 の電位を電位 V_{i1} とすることにより、ある回路 1 0 0 では、期間 T_{11} として動作させ、別の回路 1 0 0 では、期間 T_{13} として動作させることが出来るため、動作期間を効率的に使用することが出来る。

【0104】

期間 T_{14} において行われる第 4 の動作について説明する。期間 T_{14} では、図 5 (A) に示すように、スイッチ 1 1 が導通状態、スイッチ 1 2 及びスイッチ 1 3 が非導通状態である。また、配線 2 1 には電位 V_{sig} が供給される。よって、期間 T_{14} では、図 6 (B) に示すように、容量素子 1 0 2 に閾値電圧 V_{th} (または V_{th} に応じた大きさの電圧である) が保持され、容量素子 1 0 3 に電圧 $V_{sig} - V_{i1} - V$ が保持され、発光素子 1 0 4 a のアノードは電位 $V_{i1} + V$ となり、トランジスタ 1 0 1 のゲートの電位は電位 $V_{sig} + V_{th}$ となり、トランジスタ 1 0 1 のゲートソース間電圧 (V_{gs101}) は電圧 $V_{sig} + V_{th} - V_{i1} - V$ となる。したがって、電位 V_{sig} を容量素子 1 0 3 に入力することが出来る。または、容量素子 1 0 2 の電圧と容量素子 1 0 3 の電圧との和が、トランジスタ 1 0 1 のゲートソース間電圧となるようにすることが出来る。

【0105】

なお、第 4 の動作で、電位 V は、発光素子 1 0 4 a のアノードが電氣的に浮遊状態 (フローティング状態) となることで変動する電位である。電位 V は、トランジスタ 1 0 1 がオフであるならば、発光素子 1 0 4 a の静電容量と、容量素子 1 0 2 及び容量素子 1 0 3 の静電容量の比に応じて、その値が定まる。しかし、電位 V_{sig} の高さによっては、トランジスタ 1 0 1 がオンするので、トランジスタ 1 0 1 を介して発光素子 1 0 4 a のアノードに電荷が流入してしまう。よって、電位 V は、上記静電容量の比によってのみ決まらず、発光素子 1 0 4 a のアノードに流入する電荷によっても、その値が変化する。

【0106】

ここで、ゲートソース間電圧 V_{gs} を理想的な値、すなわち電圧 $V_{sig} + V_{th} - V_{i1}$ に近づけるには、電位 V が小さくなるように設計することが好ましい。具体的には、発光素子 1 0 4 a の静電容量が、容量素子 1 0 2 及び容量素子 1 0 3 の静電容量よりも十分に大きければ、ゲートソース間電圧 V_{gs} を理想的な値に近づけることができる。

【0107】

したがって、容量素子 1 0 3 の容量値は、負荷 1 0 4 (発光素子 1 0 4 a) の寄生容量の容量値よりも、小さいことが望ましく、望ましくは $1/2$ 倍以下、より望ましくは $1/5$ 倍以下が好適である。または、容量素子 1 0 3 の電極の面積は、負荷 1 0 4 (発光素子 1 0 4 a) の電極の面積よりも小さいことが望ましく、望ましくは $1/2$ 倍以下、より望ましくは $1/5$ 倍以下が好適である。ただし、本発明の実施形態の一態様は、これらに限定されない。

【0108】

また、ゲートソース間電圧 (V_{gs101}) を理想的な値に近づけるには、発光素子 1 0 4 a のアノードに流入する電荷量 Q を小さくすることが、望ましい。よって、上記電荷量 Q を小さくするために期間 T_{14} はなるべく短い方がよい。なお、上述したように、予め期間 T_{13} において配線 2 1 に電位 V_{sig} を供給しておくこと、期間 T_{14} においてスイッチ 1 1 を導通状態にしたときに、トランジスタ 1 0 1 のゲートの電位を、電位 $V_{sig} + V_{th}$ に素早く近づけることができる。よって、期間 T_{14} を短くできるので、電荷量 Q を小さくする上で望ましい。

【0109】

したがって、期間 T_{14} の長さは、期間 T_{11} 、期間 T_{12} 、及び / 又は、期間 T_{13} の長さよりも、小さいことが望ましく、望ましくは $2/3$ 倍以下、より望ましくは $1/2$ 倍以下が好適である。ただし、本発明の実施形態の一態様は、これらに限定されない。

【0110】

なお、電荷量 Q は、上述したように小さい方が望ましいが、トランジスタ 1 0 1 の移動度のばらつきが大きい場合は、電荷量 Q によって移動度のばらつきを抑える効果が期待でき

10

20

30

40

50

る。以下、この理由について説明する。

【0111】

電荷量 Q は、期間 $T14$ において、トランジスタ101のドレインからソースに流れ込む電荷量に相当する。よって、電荷量 Q は、トランジスタ101の移動度が大きいほど、大きくなる。そして、電荷量 Q が大きくなると、発光素子104aの発光時における、トランジスタ101のゲートソース間電圧(V_{gs101})が、小さくなる。すなわち、電荷量 Q により、トランジスタ101の移動度が大きいほど、発光素子104aに供給される電流値が小さくなるように補正がかかり、また、トランジスタ101の移動度が小さいほど、発光素子104aに供給される電流値があまり小さくならないように補正がかかる。したがって、電荷量 Q により、移動度のばらつきを抑えることができる。

10

【0112】

なお、容量素子102の容量値は、トランジスタ101のゲートの寄生容量の容量値よりも、大きいことが望ましく、望ましくは2倍以上、より望ましくは5倍以上が好適である。または、容量素子102の電極の面積は、トランジスタ101のチャンネルの面積よりも大きいことが望ましく、望ましくは2倍以上、より望ましくは5倍以上が好適である。または、容量素子102の電極の面積は、トランジスタ101のゲート電極の面積よりも大きいことが望ましく、望ましくは2倍以上、より望ましくは5倍以上が好適である。それらにより、電位 V_{sig} が入力されて、容量素子102とトランジスタのゲート容量とで、電圧が容量分割されたときに、容量素子102の電圧の減少を低減することが出来る。ただし、本発明の実施形態の一態様は、これに限定されない。

20

【0113】

なお、容量素子102の容量値は、容量素子103の容量値と、同じ程度の大きさであるか、それよりも、大きいことが望ましい。容量素子102の容量値は、容量素子103の容量値と、 $\pm 20\%$ 以下の違い、より好ましくは $\pm 10\%$ 以下の違いであることが好適である。または、容量素子102の電極の面積は、容量素子103の電極の面積と、同じ程度の大きさであるか、それよりも、大きいことが望ましい。これらにより、同じレイアウト面積のなかで、最適な動作を行うことが出来る。ただし、本発明の実施形態の一態様は、これに限定されない。

【0114】

期間 $T15$ において行われる第5の動作について説明する。期間 $T15$ では、図5(A)に示すように、スイッチ11、スイッチ12及びスイッチ13が非導通状態である。よって、期間 $T15$ では、図6(C)に示すように、容量素子102に閾値電圧 V_{th} が保持され、容量素子103に電圧 $V_{sig} - V_{i1} - V$ が保持され、発光素子104aのアノードは電位 V_{el} となり、トランジスタ101のゲートの電位は電位 $V_{sig} + V_{th} - V_{i1} - V + V_{el}$ となり、トランジスタ101のゲートソース間電圧(V_{gs101})は電圧 $V_{sig} + V_{th} - V_{i1} - V$ となる。したがって、電位 V_{sig} に応じた大きさの電流を発光素子104aに流すことができ、電位 V_{sig} に応じた輝度で発光素子104aを発光させることができる。

30

【0115】

なお、電位 V_{el} は、トランジスタ101を介して、発光素子104aに電流を流す際に生じる電位である。具体的には、電位 V_{DD} と電位 V_{cat} の間の電位になる。

40

【0116】

上記第5の動作では、トランジスタ101のゲートソース間電圧(V_{gs101})を、電圧 $V_{sig} + V_{th} - V_{i1} - V$ とし、トランジスタ101の閾値電圧 V_{th} を加味した値に設定することができる。従って、上記構成により、トランジスタ101の閾値電圧 V_{th} のばらつきが、発光素子104aに供給する電流値に影響を及ぼすのを防ぐことができる。または、トランジスタ101が劣化して、閾値電圧 V_{th} が変化しても、上記変化が発光素子104aに供給する電流値に影響を及ぼすのを防ぐことができる。よって、表示ムラを低減でき、質の良い表示を行うことができる。

【0117】

50

同様に、トランジスタ101のゲートソース間電圧(V_{gs101})を、電圧 $V_{sig} + V_{th} - V_{i1} - V_{el}$ とし、 V_{el} とは無関係な値に設定することができる。上記構成により、発光素子104aの電圧電流特性のばらつきが、発光素子104aに供給する電流値に影響を及ぼすのを防ぐことができる。または、発光素子104aが劣化して、発光素子104aの電圧電流特性が変化して、 V_{el} が変化しても、上記変化が発光素子104aに供給する電流値に影響を及ぼすのを防ぐことができる。よって、表示ムラを低減でき、質の良い表示を行うことができる。

【0118】

なお、第5の動作の一部の期間において、強制的にトランジスタ101がオフ状態になるようにして、発光素子104aが発光しないような状況にすることも可能である。つまり、非発光期間を設けることも可能である。例えば、スイッチ12をオンにすることにより、トランジスタ101をオフ状態にすることが可能である。

10

【0119】

なお、本発明の一態様に係る半導体装置では、第2の動作において、トランジスタ101のゲートを電位 V_{i2} に保つ。上記動作により、トランジスタ101がノーマリオンであっても、すなわち閾値電圧 V_{th} がマイナスの値を有していても、トランジスタ101において、ソースの電位がゲートの電位 V_{i2} よりも高くなるまで容量素子102に蓄積されている電荷を放出することができる。よって、本発明の一態様に係る半導体装置では、トランジスタ101がノーマリオンであっても、上記第5の動作において、トランジスタ101の閾値電圧 V_{th} を加味した値になるよう、トランジスタ101のゲートソース間電圧(V_{gs101})を設定することができる。

20

【0120】

なお、期間 T_{11} 乃至期間 T_{15} における、回路100の概略図を、図7(A)乃至図7(E)に、それぞれ示す。本発明の一態様に係る半導体装置は、回路100が、上記各期間において図7(A)乃至図7(E)に示す構造を取ることができれば良い。よって、本発明の一態様に係る半導体装置は、図1乃至図4に示した構成を有する回路100に限定されるものではない。本発明の一態様に係る半導体装置は、回路100において、図7(A)乃至図7(E)に示す構造を取りうるように、スイッチの配置や数、各種電位の供給を行う配線の数などを、適宜変更することが可能である。

30

【0121】

また、本発明の一態様に係る半導体装置は、図1(B)に示した回路100において、負荷104と接続された容量素子105を、さらに有していても良い。同様に、本発明の一態様に係る半導体装置は、図1(C)に示した回路100において、発光素子104aと接続された容量素子105を、さらに有していても良い。同様に、本発明の一態様に係る半導体装置は、図1(D)に示した回路100において、発光素子104bと接続された容量素子105を、さらに有していても良い。

【0122】

図8(A)に示す半導体装置は、図1(B)に示した回路100において、負荷104と接続された容量素子105を、さらに有している。具体的には、容量素子105の一方の電極が、容量素子103の他方の電極、及びトランジスタ101のソースまたはドレインの一方に、接続されている。容量素子105の他方の電極は、配線26に接続されている。なお、図8(A)では、回路100が負荷104を有する場合を一例として示しているが、図8(A)において、負荷104の代わりに発光素子104aまたは発光素子104bが用いられていても良い。

40

【0123】

なお、配線26は、様々な配線と接続させることが可能である。例えば、配線22、配線23、配線24、または、別の回路100の配線、走査線、ゲート線、トランジスタのゲートと接続された配線などに接続させることが出来る。これにより、配線の数を減らすことが出来る。

【0124】

50

図 8 (B) に示す半導体装置は、図 8 (A) に示した回路 1 0 0 において、配線 2 6 を配線 2 4 に接続させた場合の例を示す。なお、図 8 (B) では、回路 1 0 0 が負荷 1 0 4 を有する場合を一例として示しているが、図 8 (B) において、負荷 1 0 4 の代わりに発光素子 1 0 4 a または発光素子 1 0 4 b が用いられていても良い。このように接続することにより、配線 2 6 を減らすことが出来る。

【 0 1 2 5 】

図 8 (C) に示す半導体装置は、図 8 (A) に示した回路 1 0 0 において、配線 2 6 を配線 2 3 に接続させた場合の例を示す。なお、図 8 (C) では、回路 1 0 0 が負荷 1 0 4 を有する場合を一例として示しているが、図 8 (C) において、負荷 1 0 4 の代わりに発光素子 1 0 4 a または発光素子 1 0 4 b が用いられていても良い。このように接続することにより、配線 2 6 を減らすことが出来る。

10

【 0 1 2 6 】

図 8 (D) に示す半導体装置は、図 8 (A) に示した回路 1 0 0 において、配線 2 6 を配線 2 2 に接続させた場合の例を示す。なお、図 8 (D) では、回路 1 0 0 が負荷 1 0 4 を有する場合を一例として示しているが、図 8 (D) において、負荷 1 0 4 の代わりに発光素子 1 0 4 a または発光素子 1 0 4 b が用いられていても良い。このように接続することにより、配線 2 6 を減らすことが出来る。

【 0 1 2 7 】

負荷 1 0 4、発光素子 1 0 4 a または発光素子 1 0 4 b に、接続された容量素子 1 0 5 を、回路 1 0 0 に追加することで、本実施の形態で説明した第 3 の動作及び第 4 の動作において、トランジスタ 1 0 1 のソースまたはドレインの一方における電荷の変動を抑えることができるため、電圧 V を小さくすることができる。よって、ゲートソース間電圧 V_{gs} を理想的な値、すなわち電圧 $V_{sig} + V_{th} - V_{i1}$ に近づけることができ、負荷 1 0 4、発光素子 1 0 4 a または発光素子 1 0 4 b に供給する電流を、電圧 V_{sig} を正確に反映した値により近づけることができる。

20

【 0 1 2 8 】

または、容量素子 1 0 5 の容量値を適宜調整することにより、期間 T_{14} における電荷量 Q による電位の変化量を調整することができる。これにより、移動度のばらつきの低減を、より適切に行うことが出来る。

【 0 1 2 9 】

30

なお、容量素子 1 0 5 の電極の面積は、負荷 1 0 4 (発光素子 1 0 4 a) の電極の面積よりも小さいことが望ましく、望ましくは $1/2$ 倍以下、より望ましくは $1/3$ 倍以下が好適である。または、容量素子 1 0 5 の容量値は、負荷 1 0 4 (発光素子 1 0 4 a) の容量値よりも小さいことが望ましく、望ましくは $1/2$ 倍以下、より望ましくは $1/3$ 倍以下が好適である。それらにより、同じレイアウト面積のなかで、最適な動作を行うことが出来る。ただし、本発明の実施形態の一態様は、これに限定されない。

【 0 1 3 0 】

なお、容量素子 1 0 5 の電極の面積と、負荷 1 0 4 (発光素子 1 0 4 a) の電極の面積の合計は、容量素子 1 0 3 の電極の面積よりも大きいことが望ましく、望ましくは 2 倍以上、より望ましくは 5 倍以上が好適である。または、容量素子 1 0 5 の容量値と、負荷 1 0 4 (発光素子 1 0 4 a) の容量値の合計は、容量素子 1 0 3 の容量値よりも大きいことが望ましく、望ましくは 2 倍以上、より望ましくは 5 倍以上が好適である。それらにより、容量素子 1 0 3 と、容量素子 1 0 5 及び負荷 1 0 4 (発光素子 1 0 4 a) とで、電圧が容量分割されたときに、容量素子 1 0 3 により多くの電圧が加わるようにすることが出来る。ただし、本発明の実施形態の一態様は、これに限定されない。

40

【 0 1 3 1 】

なお、容量素子 1 0 5 の電極の面積は、容量素子 1 0 2 または容量素子 1 0 3 の電極の面積よりも小さいことが望ましく、望ましくは $1/2$ 倍以下、より望ましくは $1/3$ 倍以下が好適である。または、容量素子 1 0 5 の容量値は、容量素子 1 0 2 または容量素子 1 0 3 の容量値よりも小さいことが望ましく、望ましくは $1/2$ 倍以下、より望ましくは $1/3$ 倍以下が好適である。

50

3 倍以下が好適である。それらにより、同じレイアウト面積のなかで、最適な動作を行うことが出来る。ただし、本発明の実施形態の一態様は、これに限定されない。

【0132】

また、本発明の一態様に係る半導体装置は、図8(A)乃至図8(D)に示した回路100に加えて、回路100に各種の一定電圧や信号を供給する機能を有する回路を、さらに有していても良い。

【0133】

図9(A)乃至図9(D)に示す半導体装置は、図8(A)乃至図8(D)に示す回路100に加えて、配線21に一定電圧や信号を供給する機能を有する回路201と、配線22に一定電圧や信号を供給する機能を有する回路202と、配線23に一定電圧や信号を供給する機能を有する回路203と、配線24に一定電圧や信号を供給する機能を有する回路204とを、それぞれ有する。さらに、図9(A)に示す回路100は、配線26に一定電圧や信号を供給する機能を有する回路208を有する。回路208の例としては、電源回路などがある。したがって、配線26は、所定の電位を、伝えることが出来る機能、または、供給することが出来る機能を有している。または、配線26は、容量用配線としての機能を有している。なお、配線26の電位は、一定の電位であることが望ましいが、本発明の実施形態の一態様は、これに限定されず、パルス信号のように変動してもよい。

【0134】

また、図1(B)乃至図1(D)、図8(B)乃至図8(D)のいずれかの回路100を、表示装置の画素として用いても良い。そして、複数の色相にそれぞれ対応した画素が表示装置に設けられている場合、対応する色相によって、画素が有するトランジスタ101の、チャンネル幅とチャンネル長の比が、異なっても良い。同様に、画素が有する容量素子105の容量値も、対応する色相によって、異なっても良い。

【0135】

図10(A)に、図1(B)に示した回路100を、表示装置の画素として用いた場合を一例として示している。図10(A)では、回路100(R)が赤(R)に対応した画素に相当し、回路100(G)が緑(G)に対応した画素に相当し、回路100(B)が青(B)に対応した画素に相当する。本発明の一態様では、回路100(R)が有するトランジスタ101(R)と、回路100(G)が有するトランジスタ101(G)と、回路100(B)が有するトランジスタ101(B)との少なくとも一つにおいて、そのチャンネル幅とチャンネル長の比が他と異なっても良い。上記構成により、回路100(R)が有する負荷104(R)、回路100(G)が有する負荷104(G)、回路100(B)が有する負荷104(B)のそれぞれに供給される電流を異なる値に設定することができる。一例としては、第2の色に対応するトランジスタ101のチャンネル幅とチャンネル長の比は、第1の色に対応するトランジスタ101よりも、好ましくは1.2倍以上、より好ましくは、1.5倍以上であることが好適である。そして、第3の色に対応するトランジスタ101のチャンネル幅とチャンネル長の比は、第1の色に対応するトランジスタ101よりも、好ましくは1.5倍以上、より好ましくは、2倍以上であることが好適である。ただし、本発明の実施形態の一態様は、これに限定されない。

【0136】

また、図10(B)に、図8(A)に示した回路100を、表示装置の画素として用いた場合を一例として示している。図10(B)の場合も図10(A)と同様に、回路100(R)が有するトランジスタ101(R)と、回路100(G)が有するトランジスタ101(G)と、回路100(B)が有するトランジスタ101(B)との少なくとも一つが、そのチャンネル幅とチャンネル長の比が他と異なっても良い。上記構成により、回路100(R)が有する負荷104(R)、回路100(G)が有する負荷104(G)、回路100(B)が有する負荷104(B)のそれぞれに供給される電流を異なる値に設定することができる。

【0137】

また、図10(B)の場合、回路100(R)が有する容量素子105(R)と、回路100(G)が有する容量素子105(G)と、回路100(B)が有する容量素子105(B)との少なくとも一つにおいて、その容量値が他と異なっても良い。一例としては、第2の色に対応する容量素子105の容量値は、第1の色に対応する容量素子105よりも、好ましくは1.2倍以上、より好ましくは、1.5倍以上であることが好適である。そして、第3の色に対応する容量素子105の容量値は、第1の色に対応する容量素子105よりも、好ましくは1.5倍以上、より好ましくは、2倍以上であることが好適である。ただし、本発明の実施形態の一態様は、これに限定されない。

【0138】

なお、図10(A)及び図10(B)では、回路100(R)が負荷104(R)を有し、回路100(G)が負荷104(G)を有し、回路100(B)が負荷104(B)を有する場合を一例として示しているが、図10(A)または図10(B)において、負荷104(R)、負荷104(G)、または負荷104(B)の代わりに、各色相に対応した発光素子104aまたは発光素子104bが用いられていても良い。

【0139】

また、図10(B)では、図8(A)に示した回路100を、表示装置の画素として用いた場合を一例として示しているが、図8(B)乃至図8(D)に示した回路100を、表示装置の画素として用いても良い。

【0140】

次いで、図11(A)に示す回路100は、本発明の一態様に係る半導体装置である。回路100は、スイッチ11、スイッチ12、スイッチ13、スイッチ14、トランジスタ101、容量素子102、容量素子103を有する。なお、図11(A)では、トランジスタ101がnチャネル型である場合を一例として示している。図11(A)は、図1(A)にスイッチ14を追加した構成に相当する。したがって、図1(A)などで述べた内容は、図11(A)などにも適用することが可能である。

【0141】

具体的に、図11(A)では、スイッチ11は、配線21と、容量素子102の一方の電極または容量素子103の一方の電極との間の導通状態を制御する機能を有する。スイッチ12は、配線22と、容量素子102の他方の電極、又は、トランジスタ101のゲートとの間の導通状態を制御する機能を有する。スイッチ13が、トランジスタ101のソースまたはドレインの一方、又は、容量素子103の他方の電極と、容量素子102の一方の電極、又は、容量素子103の一方の電極との間の導通状態を制御する機能を有する。スイッチ14が、トランジスタ101のソースまたはドレインの一方、又は、容量素子103の他方の電極と、配線25との間の導通状態を制御する機能を有する。トランジスタ101のソースまたはドレインの他方は、配線23に接続されている。トランジスタ101のソースまたはドレインの一方及び容量素子103の他方の電極は、配線24に接続されている。

【0142】

なお、図11(A)で示した回路100は、図11(B)に示すように負荷104を有していても良い。図11(B)に示す回路100では、負荷104が、トランジスタ101のソースまたはドレインの一方、又は、容量素子103の他方の電極と、配線24との間に接続されている。

【0143】

図11(C)に、負荷104として、発光素子104aを用いた場合の、回路100の構成を示す。図11(C)では、発光素子104aのアノードが、トランジスタ101のソースまたはドレインの一方及び容量素子103の他方の電極に接続されており、発光素子104aのカソードが、配線24に接続されている場合を一例として示している。

【0144】

また、図11(D)に、負荷104として、発光素子104bを用いた場合の、回路100の構成を示す。図11(D)では、発光素子104bのカソードが、トランジスタ10

１のソースまたはドレインの一方、又は、容量素子１０３の他方の電極に接続されており、発光素子１０４ｂのアノードが、配線２４に接続されている場合を一例として示している。なお、図１１（Ｄ）では、トランジスタ１０１がｐチャネル型である場合を一例として示している。

【０１４５】

また、本発明の一態様に係る半導体装置は、図１１（Ａ）乃至図１１（Ｄ）に示した回路１００に加えて、回路１００に各種の一定電圧や信号を供給する機能を有する回路を、さらに有していても良い。

【０１４６】

図１２（Ａ）乃至図１２（Ｄ）に示す半導体装置は、図１１（Ａ）乃至図１１（Ｄ）に示す回路１００に加えて、配線２１に一定電圧や信号を供給する機能を有する回路２２０と、配線２２に一定電圧や信号を供給する機能を有する回路２２１と、配線２３に一定電圧や信号を供給する機能を有する回路２２２と、配線２４に一定電圧や信号を供給する機能を有する回路２２３と、配線２５に一定電圧や信号を供給する機能を有する回路２２４とを、それぞれ有する。

【０１４７】

具体的に、回路２２０は、配線２１に、電位 V_{sig} を供給する機能を有する。回路２２０の例としては、ソースドライバ（信号線駆動回路）などがある。したがって、配線２１は、電位 V_{sig} を、伝えることが出来る機能、または、供給することが出来る機能を有している。または、配線２１は、映像信号線としての機能を有している。

【０１４８】

また、回路２２１は、配線２２に、電位 V_i2 を供給する機能を有する。回路２２１の例としては、電源回路などがある。したがって、配線２２は、電位 V_i2 を、伝えることが出来る機能、または、供給することが出来る機能を有している。または、配線２２は、初期化用配線としての機能を有している。なお、配線２２の電位は、一定の電位であることが望ましいが、本発明の実施形態の一態様は、これに限定されず、パルス信号のように変動してもよい。

【０１４９】

また、回路２２２は、配線２３に、電源電位（高電源電位または低電源電位）、例えば、電位 V_{DD} 、または、電位 V_{SS} を供給する機能を有する。回路２２２の例としては、電源回路などがある。したがって、配線２３は、電源電位を伝えることが出来る機能、または、供給することが出来る機能を有している。または、配線２３は、トランジスタ１０１に電流を供給することが出来る機能を有している。または、配線２３は、負荷１０４に電流を供給することが出来る機能を有している。または、配線２３は、電源線としての機能を有している。または、配線２３は、電流供給線としての機能を有している。なお、配線２３の電位は、一定の電位であることが望ましいが、本発明の実施形態の一態様は、これに限定されず、パルス信号のように変動してもよい。例えば、配線２３の電位は、負荷１０４に、順バイアス電圧だけでなく、逆バイアス電圧を加えるような電位であってもよい。

【０１５０】

また、回路２２３は、配線２４に、電源電位（低電源電位または高電源電位）、例えば、電位 V_{cat} を供給する機能を有する。回路２２３の例としては、電源回路などがある。したがって、配線２４は、電源電位を伝えることが出来る機能、または、供給することが出来る機能を有している。または、配線２４は、負荷１０４に電流を供給することが出来る機能を有している。または、配線２４は、トランジスタ１０１に電流を供給することが出来る機能を有している。または、配線２４は、共通線としての機能を有している。または、配線２４は、陰極配線としての機能を有している。または、配線２４は、陽極配線としての機能を有している。なお、配線２４の電位は、一定の電位であることが望ましいが、本発明の実施形態の一態様は、これに限定されず、パルス信号のように変動してもよい。例えば、配線２４の電位は、負荷１０４に、順バイアス電圧だけでなく、逆バイアス電

圧を加えるような電位であってもよい。

【0151】

また、回路224は、配線25に、電位 V_{i1} を供給する機能を有する。回路224の例としては、電源回路などがある。したがって、配線25は、電位 V_{i1} を、伝えることが出来る機能、または、供給することが出来る機能を有している。または、配線25は、初期化用配線としての機能を有している。なお、配線25の電位は、一定の電位であることが望ましいが、本発明の実施形態の一態様は、これに限定されず、パルス信号のように変動してもよい。

【0152】

なお、図12(A)乃至図12(D)では、半導体装置が、回路100に加えて、回路220、回路221、回路222、回路223、及び回路224を有する場合を一例として示しているが、本発明の一態様に係る半導体装置は、必ずしも回路220、回路221、回路222、回路223、及び回路224を全て有する必要はなく、そのいずれか一つまたは複数だけを有していても良い。

10

【0153】

なお、図11及び図12に示した回路100は、一例として、スイッチ11、スイッチ12、スイッチ13、スイッチ14にトランジスタを用いることができる。

【0154】

図11(A)乃至図11(D)に示した回路100において、スイッチ11としてトランジスタ11t、スイッチ12としてトランジスタ12t、スイッチ13としてトランジスタ13t、及びスイッチ14としてトランジスタ14tを用いた場合の回路100の構成を、図13(A)乃至図13(D)に示す。なお、図13(A)乃至図13(D)では、トランジスタ11t、トランジスタ12t、トランジスタ13t、及びトランジスタ14tが全てnチャネル型である場合を一例として示している。トランジスタ11t、トランジスタ12t、トランジスタ13t、及びトランジスタ14tを全て同じ極性のトランジスタとすることで、これらのトランジスタを少ない工程数で製造できる。ただし、本発明の実施形態の一態様は、これに限定されず、異なる極性のトランジスタを用いることも可能である。

20

【0155】

なお、図13(A)乃至図13(D)において、トランジスタ11tは、ゲートが配線31に接続されている。配線31に供給される電位に従って、トランジスタ11tは導通状態または非導通状態となる。トランジスタ12tは、ゲートが配線32に接続されている。配線32に供給される電位に従って、トランジスタ12tは導通状態または非導通状態となる。トランジスタ13tは、ゲートが配線33に接続されている。配線33に供給される電位に従って、トランジスタ13tは導通状態または非導通状態となる。トランジスタ14tは、ゲートが配線34に接続されている。配線34に供給される電位に従って、トランジスタ14tは導通状態または非導通状態となる。したがって、配線31乃至配線34の電位は、パルス状であり、一定ではないことが望ましいが、本発明の実施形態の一態様は、これに限定されない。または、配線31乃至配線34は、ゲート信号線、選択信号線、または、スキャン線としての機能を有している。

30

40

【0156】

なお、配線31乃至配線34において、その中の少なくとも2本の配線は、互いに接続させることが可能である。または、配線31乃至配線34の少なくとも1本は、別の回路100の配線31乃至配線34の少なくとも1本と接続させることが可能である。

【0157】

また、本発明の一態様に係る半導体装置は、図13(A)乃至図13(D)に示した回路100に加えて、回路100に各種の一定電圧や信号を供給する機能を有する回路を、さらに有していても良い。

【0158】

図14(A)乃至図14(D)に示す半導体装置は、図13(A)乃至図13(D)に示

50

す回路 100 に加えて、配線 31 に一定電圧や信号を供給する機能を有する回路 230 と、配線 32 に一定電圧や信号を供給する機能を有する回路 231 と、配線 33 に一定電圧や信号を供給する機能を有する回路 232 と、配線 34 に一定電圧や信号を供給する機能を有する回路 233 とを、それぞれ有する。回路 230、回路 231、回路 232、回路 233 の例としては、ゲートドライバ（走査線駆動回路）などがある。

【0159】

なお、図 14（A）乃至図 14（D）では、半導体装置が、回路 100 に加えて、回路 230、回路 231、回路 232、及び回路 233 を有する場合を一例として示しているが、本発明の一態様に係る半導体装置は、必ずしも回路 230、回路 231、回路 232、及び回路 233 を全て有する必要はなく、そのいずれか一つまたは複数だけを有していても良い。

10

【0160】

なお、回路 220、回路 221、回路 222、回路 223、回路 224、回路 230、回路 231、回路 232、回路 233 は、一つの同じ回路であってもよいし、別々の回路であってもよい。

【0161】

また、図 13（C）に示す回路 100 において、トランジスタ 101、及びトランジスタ 14t が n チャンネル型、トランジスタ 11t、トランジスタ 12t、及びトランジスタ 13t が p チャンネル型である場合の回路 100 の構成を図 38（A）に示す。また、図 13（D）に示す回路 100 において、トランジスタ 101、及びトランジスタ 14t が p チャンネル型、トランジスタ 11t、トランジスタ 12t、及びトランジスタ 13t が n チャンネル型である場合の回路 100 の構成を図 38（B）に示す。

20

【0162】

また、本発明の一態様に係る半導体装置は、図 38（A）及び図 38（B）に示した回路 100 に加えて、回路 100 に各種の一定電圧や信号を供給する機能を有する回路を、さらに有していても良い。

【0163】

図 38（C）及び図 38（D）に示す半導体装置は、図 38（A）及び図 38（B）に示す回路 100 に加えて、配線 31 に一定電圧や信号を供給する機能を有する回路 230 と、配線 32 に一定電圧や信号を供給する機能を有する回路 231 と、配線 33 に一定電圧や信号を供給する機能を有する回路 232 と、配線 34 に一定電圧や信号を供給する機能を有する回路 233 とを、それぞれ有する。

30

【0164】

なお、図 38（C）及び図 38（D）では、半導体装置が、回路 100 に加えて、回路 230、回路 231、回路 232、及び回路 233 を有する場合を一例として示しているが、本発明の一態様に係る半導体装置は、必ずしも回路 230、回路 231、回路 232、及び回路 233 を全て有する必要はなく、そのいずれか一つまたは複数だけを有していても良い。

【0165】

なお、トランジスタ 101 は、電流を流すときには、飽和領域で動作する場合が多い。よって、図 13、図 14、及び図 38 において、トランジスタ 101 のチャンネル長またはゲート長を、トランジスタ 11t、トランジスタ 12t、トランジスタ 13t、及び/または、トランジスタ 14t よりも長くすることが望ましい。好ましくは、5 倍以上、より好ましくは 10 倍以上であることが望ましい。一例としては、トランジスタ 101 のチャンネル長またはゲート長は、10 μm 以上、より好ましくは、20 μm 以上である。チャンネル長またはゲート長を長くすることにより、飽和領域での特性がフラットになり、キंक効果を低減することができる。或いは、トランジスタ 101 のチャンネル幅またはゲート幅を、トランジスタ 11t、トランジスタ 12t、トランジスタ 13t、及び/または、トランジスタ 14t よりも長くすることにより、トランジスタ 101 は、飽和領域においても、多くの電流を流すことができる。好ましくは、5 倍以上、より好ましくは 10 倍以上で

40

50

あることが望ましい。トランジスタ 101 のチャネル幅またはゲート幅は、 $20\ \mu\text{m}$ 以上、より好ましくは、 $30\ \mu\text{m}$ 以上である。ただし、本発明の実施形態の一態様は、これに限定されない。

【0166】

なお、図 13 (A) 乃至図 13 (D) と、図 38 (A) 及び図 38 (B) に示す半導体装置において、トランジスタ 12t 及びトランジスタ 13t は、共にそのゲートが一の配線に接続されていても良い。図 15 (A) 乃至図 15 (D) に、図 13 (A) 乃至図 13 (D) に示す半導体装置において、トランジスタ 12t 及びトランジスタ 13t のゲートが、配線 32 に接続されている場合を一例として示す。配線 32 に供給される電位に従って、トランジスタ 12t 及びトランジスタ 13t は導通状態または非導通状態となる。

10

【0167】

また、本発明の一態様に係る半導体装置は、図 15 (A) 乃至図 15 (D) に示した回路 100 に加えて、回路 100 に各種の一定電圧や信号を供給する機能を有する回路を、さらに有していても良い。

【0168】

図 16 (A) 乃至図 16 (D) に示す半導体装置は、図 15 (A) 乃至図 15 (D) に示す回路 100 に加えて、配線 31 に一定電圧や信号を供給する機能を有する回路 230 と、配線 32 に一定電圧や信号を供給する機能を有する回路 231 と、配線 34 に一定電圧や信号を供給する機能を有する回路 233 とを、それぞれ有する。

【0169】

20

なお、図 16 (A) 乃至図 16 (D) では、半導体装置が、回路 100 に加えて、回路 230、回路 231、及び回路 233 を有する場合を一例として示しているが、本発明の一態様に係る半導体装置は、必ずしも回路 230、回路 231、及び回路 233 を全て有する必要はなく、そのいずれか一つまたは複数だけを有していても良い。

【0170】

また、図 16 (C) に示す回路 100 において、トランジスタ 101、トランジスタ 11t、及びトランジスタ 14t が n チャネル型、トランジスタ 12t、及びトランジスタ 13t が p チャネル型である場合の回路 100 の構成を図 42 (A) に示す。また、図 16 (D) に示す回路 100 において、トランジスタ 101、トランジスタ 11t、及びトランジスタ 14t が p チャネル型、トランジスタ 12t、及びトランジスタ 13t が n チャネル型である場合の回路 100 の構成を図 42 (B) に示す。

30

【0171】

また、本発明の一態様に係る半導体装置は、図 42 (A) 及び図 42 (B) に示した回路 100 に加えて、回路 100 に各種の一定電圧や信号を供給する機能を有する回路を、さらに有していても良い。

【0172】

図 42 (C) 及び図 42 (D) に示す半導体装置は、図 42 (A) 及び図 42 (B) に示す回路 100 に加えて、配線 31 に一定電圧や信号を供給する機能を有する回路 230 と、配線 32 に一定電圧や信号を供給する機能を有する回路 231 と、配線 34 に一定電圧や信号を供給する機能を有する回路 233 とを、それぞれ有する。回路 230、回路 231、回路 233 の例としては、ゲートドライバ（走査線駆動回路）などがある。

40

【0173】

なお、図 42 (C) 及び図 42 (D) では、半導体装置が、回路 100 に加えて、回路 230、回路 231、及び回路 233 を有する場合を一例として示しているが、本発明の一態様に係る半導体装置は、必ずしも回路 230、回路 231、及び回路 233 を全て有する必要はなく、そのいずれか一つまたは複数だけを有していても良い。

【0174】

また、図 13 (A) 乃至図 13 (D) に示す半導体装置において、隣接する回路 100 間で、あるトランジスタのゲートと別のトランジスタのゲートが接続されていてもよい。例えば、トランジスタ 11t とトランジスタ 14t のゲートが接続されていても良い。図 3

50

9に、 i 列 j 行目の回路100(i, j)が有するトランジスタ11tのゲートと、 i 列 $j+1$ 行目の回路100($i, j+1$)が有するトランジスタ14tのゲートとが、 j 行目の配線31(j)に接続されている場合を一例として示している。

【0175】

また、図15(A)乃至図15(D)に示す半導体装置において、隣接する回路100間で、あるトランジスタのゲートと別のトランジスタのゲートが接続されていてもよい。例えば、トランジスタ11tとトランジスタ14tのゲートが接続されていてもよい。図40に、 i 列 j 行目の回路100(i, j)が有するトランジスタ11tのゲートと、 i 列 $j+1$ 行目の回路100($i, j+1$)が有するトランジスタ14tのゲートとが、 j 行目の配線31(j)に接続されている場合を一例として示している。

10

【0176】

なお、図39及び図40では、 j 行目の回路100が有するトランジスタ11tのゲートと、 $j+1$ 行目の回路100が有するトランジスタ14tのゲートとが、 j 行目の配線31(j)に接続されている場合を一例として示している。しかし、本発明の一態様はこの構成に限定されず、例えば、図14(A)乃至図14(D)、図38(C)及び図38(D)に示す半導体装置において、回路230が、 j 行目の配線31(j)と、 $j+1$ 行目の配線34($j+1$)とに、電位の供給を行うようにしてもよい。

【0177】

図41に、回路230から、配線31及び配線34に電位の供給を行っている様子を示す。具体的に、図41では、回路230が有する j 番目の出力端子out(j)から出力される電位が、 j 行目の配線31(j)と、 $j+1$ 行目の配線34($j+1$)とに与えられる。つまり、これは、例えば、走査線駆動回路と、画素領域との間で、異なる行の配線を接続させることに相当する。

20

【0178】

次いで図11(C)に示す回路100を例に挙げて、本発明の半導体装置の一態様の動作について説明する。

【0179】

図11(C)に示す回路100の動作は、主に第1の動作、第2の動作、第3の動作、第4の動作に分けることができる。ただし、本発明の実施形態の一態様は、これに限定されず、新たな動作の追加、或いは、一部の動作の削除も可能である。

30

【0180】

なお、図11(C)では、図1(C)の回路に対して、スイッチ14が追加されているため、図6(A)に示す第3の動作(期間T13)を削除することが可能である。

【0181】

図11(C)に示す回路100における、スイッチ11、スイッチ12、スイッチ13、及びスイッチ14の動作と、配線21の電位と、トランジスタ101のゲートソース間電圧(V_{gs101})とを示すタイミングチャートの一例を、図17(A)に図示する。

【0182】

まず、期間T11において行われる第1の動作について説明する。期間T11では、図17(A)に示すように、スイッチ11が非導通状態、スイッチ12、スイッチ13、及びスイッチ14が導通状態である。よって、期間T11では、図17(B)に示すように、容量素子102に電圧 $V_{i2} - V_{i1}$ が供給され、発光素子104aのアノードは電位 V_{i1} となり、トランジスタ101のゲートソース間電圧(V_{gs101})は、電圧 $V_{i2} - V_{i1}$ となる。つまり、トランジスタ101、及び、容量素子102を、初期化していることとなる。

40

【0183】

なお、スイッチ11は、配線21の電位が悪影響を及ぼさない場合には、導通状態であってもよい。その場合、スイッチ14は、非導通状態でもよい。

【0184】

なお、スイッチ13は、非導通状態であってもよい。

50

【0185】

期間T12において行われる第2の動作について説明する。期間T12では、図17(A)に示すように、スイッチ11及びスイッチ14が非導通状態、スイッチ12及びスイッチ13が導通状態である。スイッチ11及びスイッチ14が非導通状態となることで、容量素子102に蓄積されている電荷がトランジスタ101を介して放出され、トランジスタ101のソースの電位が上昇する。そして、トランジスタ101がオフ状態となると、容量素子102からの電荷の放出が止まる。最終的には、トランジスタ101の閾値電圧 V_{th} が容量素子102に保持される。よって、期間T12では、図17(C)に示すように、容量素子102に閾値電圧 V_{th} が保持され、発光素子104aのアノードは電位 $V_{i2} - V_{th}$ となり、トランジスタ101のゲートソース間電圧(V_{gs101})は、閾値電圧 V_{th} となる。つまり、トランジスタ101のしきい値電圧 V_{th} を取得することができる。

10

【0186】

なお、 V_{gs101} が、トランジスタ101のしきい値電圧 V_{th} に等しくなるまでには、非常に長い時間が必要となる場合がある。したがって、 V_{gs101} は、しきい値電圧 V_{th} まで完全に低下させずに、動作させる場合も多い。つまり、 V_{gs101} は、しきい値電圧 V_{th} よりも、わずかに大きい値となった状態で、期間T12が終了する場合も多い。つまり、期間T12が終了した時点では、 V_{gs101} は、しきい値電圧に応じた大きさの電圧になっている、ということも出来る。

【0187】

20

なお、第2の動作において、トランジスタ101のしきい値電圧 V_{th} が正か負かということに関係なく、動作させることができる。これは、トランジスタ101がオフ状態となるまで、トランジスタ101のソース電位が上昇できるからである。つまり、トランジスタ101のゲート電位よりも、トランジスタ101のソース電位の方が高くなった状態で、ようやくトランジスタ101がオフし、 V_{gs101} が V_{th} となる、ということが可能であるからである。したがって、トランジスタ101がエンハンスメント型(ノーマリオフ型)であっても、デプリーション型(ノーマリオン型)であっても、正常に動作させることができる。

【0188】

なお、発光素子104aのアノードの電位が高くなったときに、発光素子104aに電流が流れないようにすることが望ましい。そのためには、発光素子104aに電流が流れないように、電位 V_{i2} を低い値とすることが好適である。ただし、本発明の実施形態の一態様は、これに限定されない。なお、発光素子104aと直列にスイッチを設けて、それをオフ状態にすることにより、発光素子104aに電流が流れないようにすることが可能であれば、電位 V_{i2} は、高い値でもよい。

30

【0189】

期間T13において行われる第3の動作について説明する。期間T13では、図17(A)に示すように、スイッチ11及びスイッチ14が導通状態、スイッチ12及びスイッチ13が非導通状態である。また、配線21には電位 V_{sig} が供給される。よって、期間T13では、図18(A)に示すように、容量素子102に閾値電圧 V_{th} (または V_{th} に応じた大きさの電圧である)が保持され、容量素子103に電圧 $V_{sig} - V_{i1}$ が保持され、発光素子104aのアノードは電位 V_{i1} となり、トランジスタ101のゲートの電位は電位 $V_{sig} + V_{th}$ となり、トランジスタ101のゲートソース間電圧(V_{gs101})は電圧 $V_{sig} + V_{th} - V_{i1}$ となる。したがって、電位 V_{sig} を容量素子103に入力することが出来る。または、容量素子102の電圧と容量素子103の電圧との和が、トランジスタ101のゲートソース間電圧となるようにすることが出来る。

40

【0190】

なお、このとき、スイッチ14を非導通状態とすることも可能である。

【0191】

50

期間 T 1 4 において行われる第 4 の動作について説明する。期間 T 1 4 では、図 1 7 (A) に示すように、スイッチ 1 1、スイッチ 1 2、スイッチ 1 3、及びスイッチ 1 4 が非導通状態である。よって、期間 T 1 4 では、図 1 8 (B) に示すように、容量素子 1 0 2 に閾値電圧 V_{th} が保持され、容量素子 1 0 3 に電圧 $V_{sig} - V_{i1}$ が保持され、発光素子 1 0 4 a のアノードは電位 V_{e1} となり、トランジスタ 1 0 1 のゲートの電位は電位 $V_{sig} + V_{th} + V_{e1}$ となり、トランジスタ 1 0 1 のゲートソース間電圧 (V_{gs101}) は電圧 $V_{sig} + V_{th} - V_{i1}$ となる。したがって、電位 V_{sig} に応じた大きさの電流を発光素子 1 0 4 a に流すことができ、電位 V_{sig} に応じた輝度で発光素子 1 0 4 a を発光させることができる。

【 0 1 9 2 】

上記第 4 の動作では、トランジスタ 1 0 1 のゲートソース間電圧 (V_{gs101}) を、 $V_{sig} + V_{th} - V_{i1}$ とし、トランジスタ 1 0 1 の閾値電圧 V_{th} を加味した値に設定することができる。従って、上記構成により、トランジスタ 1 0 1 の閾値電圧 V_{th} のばらつきが、発光素子 1 0 4 a に供給する電流値に影響を及ぼすのを防ぐことができる。または、トランジスタ 1 0 1 が劣化して、閾値電圧 V_{th} が変化しても、上記変化が発光素子 1 0 4 a に供給する電流値に影響を及ぼすのを防ぐことができる。よって、表示ムラを低減でき、質の良い表示を行うことができる。

【 0 1 9 3 】

同様に、トランジスタ 1 0 1 のゲートソース間電圧 (V_{gs101}) を、電圧 $V_{sig} + V_{th} - V_{i1}$ とし、 V_{e1} とは無関係な値に設定することができる。上記構成により、発光素子 1 0 4 a の電圧電流特性のばらつきが、発光素子 1 0 4 a に供給する電流値に影響を及ぼすのを防ぐことができる。または、発光素子 1 0 4 a が劣化して、発光素子 1 0 4 a の電圧電流特性が変化して、 V_{e1} が変化しても、上記変化が発光素子 1 0 4 a に供給する電流値に影響を及ぼすのを防ぐことができる。よって、表示ムラを低減でき、質の良い表示を行うことができる。

【 0 1 9 4 】

なお、第 4 の動作の一部の期間において、強制的にトランジスタ 1 0 1 がオフ状態になることや、発光素子 1 0 4 a に電流が流れないようにして、発光素子 1 0 4 a が発光しないような状況にすることも可能である。つまり、非発光期間を設けることも可能である。例えば、スイッチ 1 2 をオンにすることにより、トランジスタ 1 0 1 をオフ状態にすることが可能である。または、スイッチ 1 4 をオンにすることにより、発光素子 1 0 4 a に電流が流れないようにすることが可能である。

【 0 1 9 5 】

なお、本発明の一態様に係る半導体装置では、第 2 の動作において、トランジスタ 1 0 1 のゲートを電位 V_{i2} に保つ。上記動作により、トランジスタ 1 0 1 がノーマリオンであっても、すなわち閾値電圧 V_{th} がマイナスの値を有していても、トランジスタ 1 0 1 において、ソースの電位がゲートの電位 V_{i2} よりも高くなるまで容量素子 1 0 2 に蓄積されている電荷を放出することができる。よって、本発明の一態様に係る半導体装置では、トランジスタ 1 0 1 がノーマリオンであっても、上記第 4 の動作において、トランジスタ 1 0 1 の閾値電圧 V_{th} を加味した値になるよう、トランジスタ 1 0 1 のゲートソース間電圧 (V_{gs101}) を設定することができる。

【 0 1 9 6 】

なお、容量素子 1 0 3 の容量値は、負荷 1 0 4 (発光素子 1 0 4 a) の寄生容量の容量値よりも、小さいことが望ましく、望ましくは $1/2$ 倍以下、より望ましくは $1/5$ 倍以下が好適である。または、容量素子 1 0 3 の電極の面積は、負荷 1 0 4 (発光素子 1 0 4 a) の電極の面積よりも小さいことが望ましく、望ましくは $1/2$ 倍以下、より望ましくは $1/5$ 倍以下が好適である。ただし、本発明の実施形態の一態様は、これらに限定されない。

【 0 1 9 7 】

なお、容量素子 1 0 2 の容量値は、トランジスタ 1 0 1 のゲートの寄生容量の容量値より

10

20

30

40

50

も、大きいことが望ましく、望ましくは2倍以上、より望ましくは5倍以上が好適である。または、容量素子102の電極の面積は、トランジスタ101のチャネルの面積よりも大きいことが望ましく、望ましくは2倍以上、より望ましくは5倍以上が好適である。または、容量素子102の電極の面積は、トランジスタ101のゲート電極の面積よりも大きいことが望ましく、望ましくは2倍以上、より望ましくは5倍以上が好適である。それらにより、電位 V_{sig} が入力されて、容量素子102とトランジスタのゲート容量とで、電圧が容量分割されたときに、容量素子102の電圧の減少を低減することが出来る。ただし、本発明の実施形態の一態様は、これに限定されない。

【0198】

なお、容量素子102の容量値は、容量素子103の容量値と、同じ程度の大きさであるか、それよりも、大きいことが望ましい。容量素子102の容量値は、容量素子103の容量値と、 $\pm 20\%$ 以下の違い、より好ましくは $\pm 10\%$ 以下の違いであることが好適である。または、容量素子102の電極の面積は、容量素子103の電極の面積と、同じ程度の大きさであるか、それよりも、大きいことが望ましい。これらにより、同じレイアウト面積のなかで、最適な動作を行うことが出来る。ただし、本発明の実施形態の一態様は、これに限定されない。

【0199】

なお、期間 T_{11} 乃至期間 T_{14} における、回路100の概略図を、図19(A)乃至図19(D)に、それぞれ示す。本発明の一態様に係る半導体装置は、回路100が、上記各期間において図19(A)乃至図19(D)に示す構造を取ることができれば良い。よって、本発明の一態様に係る半導体装置は、図11乃至図16に示した構成を有する回路100に限定されるものではない。本発明の一態様に係る半導体装置は、回路100において、図19(A)乃至図19(D)に示す構造を取りうるように、スイッチの配置や数、各種電位の供給を行う配線の数などを、適宜変更することが可能である。

【0200】

なお、上記第3の動作が行われる期間 T_{13} の後、上記第4の動作が行われる期間 T_{14} の前に、第6の動作が行われる期間 T_{16} を設けても良い。

【0201】

図11(C)に示す回路100において、期間 T_{16} を設けた場合の、スイッチ11、スイッチ12、スイッチ13、及びスイッチ14の動作と、配線21の電位と、トランジスタ101のゲートソース間電圧(V_{gs101})とを示すタイミングチャートの一例を、図20(A)に図示する。

【0202】

図20(A)に示すタイミングチャートは、期間 T_{13} と期間 T_{14} の間に、期間 T_{16} が設けられている点において、図17(A)に示したタイミングチャートと異なる。

【0203】

期間 T_{16} において行われる第6の動作について説明する。期間 T_{16} では、図20(A)に示すように、スイッチ12が導通状態、スイッチ11、スイッチ13、及びスイッチ14が非導通状態である。よって、期間 T_{16} では、図20(B)に示すように、トランジスタ101のゲートソース間電圧(V_{gs101})は、電圧 $V_{sig} + V_{th} - V_{i1} - V_{i2}$ となる。

【0204】

第6の動作で、電位 V_{i1} は、発光素子104aのアノードが電氣的に浮遊状態(フローティング状態)となることで変動する電位である。電位 V_{i2} は、トランジスタ101がオフであるならば、発光素子104aの容量値と、容量素子102及び容量素子103の容量値の比に応じて、その値が定まる。しかし、電位 V_{sig} の高さによっては、トランジスタ101がオンするので、トランジスタ101を介して発光素子104aのアノードに電荷が流入してしまう。よって、電位 V_{i1} は、上記静電容量の比によってのみ決まらず、発光素子104aのアノードに流入する電荷によっても、その値が変化する。

【0205】

10

20

30

40

50

上記電荷量 Q によって移動度のばらつきを抑える効果が期待できる。以下、この理由について説明する。

【0206】

電荷量 Q は、期間 $T16$ において、トランジスタ 101 のドレインからソースに流れ込む電荷量に相当する。よって、電荷量 Q は、トランジスタ 101 の移動度が大きいほど、大きくなる。そして、電荷量 Q が大きくなると、発光素子 104a の発光時における、トランジスタ 101 のゲートソース間電圧 (V_{gs101}) が、小さくなる。すなわち、電荷量 Q により、トランジスタ 101 の移動度が大きいほど、発光素子 104a に供給される電流値が小さくなるように補正がかかり、また、トランジスタ 101 の移動度が小さいほど、発光素子 104a に供給される電流値があまり小さくならないように補正がかかる。したがって、電荷量 Q により、移動度のばらつきを抑えることができる。

10

【0207】

期間 $T16$ の後、期間 $T14$ では、トランジスタ 101 のゲートソース間電圧 (V_{gs101}) は電圧 $V_{sig} + V_{th} - V_{i1} - V$ となる。よって、トランジスタ 101 の閾値電圧 V_{th} と移動度を加味した値に、ゲートソース間電圧を設定することができる。

【0208】

また、本発明の一態様に係る半導体装置は、図 8 と同様に、図 11 (B) に示した回路 100 において、負荷 104 と接続された容量素子 105 を、さらに有していても良い。同様に、本発明の一態様に係る半導体装置は、図 11 (C) に示した回路 100 において、発光素子 104a と接続された容量素子 105 を、さらに有していても良い。同様に、本発明の一態様に係る半導体装置は、図 11 (D) に示した回路 100 において、発光素子 104b と接続された容量素子 105 を、さらに有していても良い。

20

【0209】

図 21 (A) に示す半導体装置は、図 11 (B) に示した回路 100 において、負荷 104 と接続された容量素子 105 を、さらに有している。具体的には、容量素子 105 の一方の電極が、容量素子 103 の他方の電極、及びトランジスタ 101 のソースまたはドレインの一方に、接続されている。容量素子 105 の他方の電極は、配線 26 に接続されている。なお、図 21 (A) では、回路 100 が負荷 104 を有する場合を一例として示しているが、図 21 (A) において、負荷 104 の代わりに発光素子 104a または発光素子 104b が用いられていても良い。

30

【0210】

なお、配線 26 は、様々な配線と接続させることが可能である。例えば、配線 22、配線 23、配線 24、配線 25、または、別の回路 100 の配線、走査線、ゲート線、トランジスタのゲートと接続された配線などに接続させることが出来る。これにより、配線の数を減らすことが出来る。

【0211】

図 21 (B) に示す半導体装置は、図 21 (A) に示した回路 100 において、配線 26 を配線 24 に接続させた場合の例を示す。なお、図 21 (B) では、回路 100 が負荷 104 を有する場合を一例として示しているが、図 21 (B) において、負荷 104 の代わりに発光素子 104a または発光素子 104b が用いられていても良い。このように接続することにより、配線 26 を減らすことが出来る。

40

【0212】

図 21 (C) に示す半導体装置は、図 21 (A) に示した回路 100 において、配線 26 を配線 23 に接続させた場合の例を示す。なお、図 21 (C) では、回路 100 が負荷 104 を有する場合を一例として示しているが、図 21 (C) において、負荷 104 の代わりに発光素子 104a または発光素子 104b が用いられていても良い。このように接続することにより、配線 26 を減らすことが出来る。

【0213】

図 21 (D) に示す半導体装置は、図 21 (A) に示した回路 100 において、配線 26 を配線 22 に接続させた場合の例を示す。なお、図 21 (D) では、回路 100 が負荷 1

50

04を有する場合を一例として示しているが、図21(D)において、負荷104の代わりに発光素子104aまたは発光素子104bが用いられていても良い。このように接続することにより、配線26を減らすことが出来る。

【0214】

図21(E)に示す半導体装置は、図21(A)に示した回路100において、配線26を配線25に接続させた場合の例を示す。なお、図21(E)では、回路100が負荷104を有する場合を一例として示しているが、図21(E)において、負荷104の代わりに発光素子104aまたは発光素子104bが用いられていても良い。このように接続することにより、配線26を減らすことが出来る。

【0215】

負荷104、発光素子104aまたは発光素子104bに、並列に接続された容量素子105を、回路100に追加することで、上記実施の形態で説明した第6の動作及び第4の動作において、トランジスタ101のソースまたはドレインの一方における電荷の変動を抑えることができるため、電圧 V を小さくすることができる。よって、ゲートソース間電圧 V_{gs} を理想的な値、すなわち電圧 $V_{sig} + V_{th} - V_{i1}$ に近づけることができ、負荷104、発光素子104aまたは発光素子104bに供給する電流を、電圧 V_{sig} を正確に反映した値により近づけることができる。

【0216】

または、容量素子105の容量値を適宜調整することにより、期間 T_{16} における電荷量 Q による電位の変化量を調整することができる。これにより、移動度のばらつきの低減を、より適切に行うことが出来る。

【0217】

なお、容量素子105の電極の面積は、負荷104(発光素子104a)の電極の面積よりも小さいことが望ましく、望ましくは $1/2$ 倍以下、より望ましくは $1/3$ 倍以下が好適である。または、容量素子105の容量値は、負荷104(発光素子104a)の容量値よりも小さいことが望ましく、望ましくは $1/2$ 倍以下、より望ましくは $1/3$ 倍以下が好適である。それらにより、同じレイアウト面積のなかで、最適な動作を行うことが出来る。ただし、本発明の実施形態の一態様は、これに限定されない。

【0218】

なお、容量素子105の電極の面積と、負荷104(発光素子104a)の電極の面積の合計は、容量素子103の電極の面積よりも大きいことが望ましく、望ましくは2倍以上、より望ましくは5倍以上が好適である。または、容量素子105の容量値と、負荷104(発光素子104a)の容量値の合計は、容量素子103の容量値よりも大きいことが望ましく、望ましくは2倍以上、より望ましくは5倍以上が好適である。それらにより、容量素子103と、容量素子105及び負荷104(発光素子104a)とで、電圧が容量分割されたときに、容量素子103により多くの電圧が加わるようにすることが出来る。ただし、本発明の実施形態の一態様は、これに限定されない。

【0219】

なお、容量素子105の電極の面積は、容量素子102または容量素子103の電極の面積よりも小さいことが望ましく、望ましくは $1/2$ 倍以下、より望ましくは $1/3$ 倍以下が好適である。または、容量素子105の容量値は、容量素子102または容量素子103の容量値よりも小さいことが望ましく、望ましくは $1/2$ 倍以下、より望ましくは $1/3$ 倍以下が好適である。それらにより、同じレイアウト面積のなかで、最適な動作を行うことが出来る。ただし、本発明の実施形態の一態様は、これに限定されない。

【0220】

なお、配線25は、様々な配線と接続させることが可能である。例えば、配線22、配線24、配線26、または、別の回路100の配線、走査線、ゲート線、トランジスタのゲートと接続された配線などに接続させることが出来る。これにより、配線の数減らすことが出来る。

【0221】

また、本発明の一態様に係る半導体装置は、図 2 1 (A) 乃至図 2 1 (D) に示した回路 1 0 0 に加えて、回路 1 0 0 に各種の一定電圧や信号を供給する機能を有する回路を、さらに有していても良い。

【 0 2 2 2 】

図 2 2 (A) 乃至図 2 2 (D) に示す半導体装置は、図 2 1 (A) 乃至図 2 1 (D) に示す回路 1 0 0 に加えて、配線 2 1 に一定電圧や信号を供給する機能を有する回路 2 2 0 と、配線 2 2 に一定電圧や信号を供給する機能を有する回路 2 2 1 と、配線 2 3 に一定電圧や信号を供給する機能を有する回路 2 2 2 と、配線 2 4 に一定電圧や信号を供給する機能を有する回路 2 2 3 と、配線 2 5 に一定電圧や信号を供給する機能を有する回路 2 2 4 とを、それぞれ有する。さらに、図 2 2 (A) に示す回路 1 0 0 は、配線 2 6 に一定電圧や信号を供給する機能を有する回路 2 2 5 を有する。

10

【 0 2 2 3 】

また、図 1 1 (B) 乃至図 1 1 (D)、図 2 1 (B) 乃至図 2 1 (D) のいずれかの回路 1 0 0 を、表示装置の画素として用いても良い。そして、複数の色相にそれぞれ対応した画素が表示装置に設けられている場合、対応する色相によって、画素が有するトランジスタ 1 0 1 の、チャネル幅とチャネル長の比が、異なっても良い。同様に、画素が有する容量素子 1 0 5 の容量値も、対応する色相によって、異なっても良い。

【 0 2 2 4 】

図 2 3 (A) に、図 1 1 (B) に示した回路 1 0 0 を、表示装置の画素として用いた場合を一例として示している。図 2 3 (A) では、回路 1 0 0 (R) が赤 (R) に対応した画素に相当し、回路 1 0 0 (G) が緑 (G) に対応した画素に相当し、回路 1 0 0 (B) が青 (B) に対応した画素に相当する。本発明の一態様では、回路 1 0 0 (R) が有するトランジスタ 1 0 1 (R) と、回路 1 0 0 (G) が有するトランジスタ 1 0 1 (G) と、回路 1 0 0 (B) が有するトランジスタ 1 0 1 (B) との少なくとも一つにおいて、そのチャネル幅とチャネル長の比が他と異なっても良い。上記構成により、回路 1 0 0 (R) が有する負荷 1 0 4 (R)、回路 1 0 0 (G) が有する負荷 1 0 4 (G)、回路 1 0 0 (B) が有する負荷 1 0 4 (B) のそれぞれに供給される電流を異なる値に設定することができる。

20

【 0 2 2 5 】

また、図 2 3 (B) に、図 2 1 (A) に示した回路 1 0 0 を、表示装置の画素として用いた場合を一例として示している。図 2 3 (B) の場合も図 2 3 (A) と同様に、回路 1 0 0 (R) が有するトランジスタ 1 0 1 (R) と、回路 1 0 0 (G) が有するトランジスタ 1 0 1 (G) と、回路 1 0 0 (B) が有するトランジスタ 1 0 1 (B) との少なくとも一つが、そのチャネル幅とチャネル長の比が他と異なっても良い。上記構成により、回路 1 0 0 (R) が有する負荷 1 0 4 (R)、回路 1 0 0 (G) が有する負荷 1 0 4 (G)、回路 1 0 0 (B) が有する負荷 1 0 4 (B) のそれぞれに供給される電流を異なる値に設定することができる。

30

【 0 2 2 6 】

また、図 2 3 (B) の場合、回路 1 0 0 (R) が有する容量素子 1 0 5 (R) と、回路 1 0 0 (G) が有する容量素子 1 0 5 (G) と、回路 1 0 0 (B) が有する容量素子 1 0 5 (B) との少なくとも一つにおいて、その容量値が他と異なっても良い。

40

【 0 2 2 7 】

なお、図 2 3 (A) 及び図 2 3 (B) では、回路 1 0 0 (R) が負荷 1 0 4 (R) を有し、回路 1 0 0 (G) が負荷 1 0 4 (G) を有し、回路 1 0 0 (B) が負荷 1 0 4 (B) を有する場合を一例として示しているが、図 2 3 (A) または図 2 3 (B) において、負荷 1 0 4 (R)、負荷 1 0 4 (G)、または負荷 1 0 4 (B) の代わりに、各色相に対応した発光素子 1 0 4 a または発光素子 1 0 4 b が用いられていても良い。

【 0 2 2 8 】

また、図 2 3 (B) では、図 2 1 (A) に示した回路 1 0 0 を、表示装置の画素として用いた場合を一例として示しているが、図 2 1 (B) 乃至図 2 1 (E) に示した回路 1 0 0

50

を、表示装置の画素として用いても良い。

【0229】

なお、本実施の形態において、トランジスタ101のしきい値電圧などのばらつきを補正するような動作を行ったが、本発明の実施形態の一態様は、これに限定されない。例えば、しきい値電圧のばらつきを補正するような動作を行わずに、負荷104に電流を供給させて動作させることも可能である。

【0230】

本実施の形態は、基本原理の一例について述べたものである。したがって、本実施の形態の一部または全部について、他の実施の形態の一部または全部と、自由に組み合わせたり、適用することや、置き換えて実施することができる。

10

【0231】

(実施の形態2)

本実施の形態では、本発明の一態様に係る半導体装置である、回路100の構成例について説明する。本実施の形態では、実施の形態1で示した回路に対して、スイッチを追加した構成や、駆動方法の一部を変更した場合などについて述べる。したがって、実施の形態1で述べた内容は、本実施の形態にも適用することが可能である。

【0232】

図24(A)乃至図24(D)に、回路100の構成例をそれぞれ示す。図24(A)乃至図24(D)に示す回路100は、図1(A)乃至図1(D)に示した回路100にスイッチ914を追加した構成に、それぞれ相当する。そして、上記スイッチ914は、トランジスタ101のソースまたはドレインの他方と、配線23との間の導通状態を制御する機能を有する。または、配線23から配線24までの間の導通状態を制御する機能を有する。または、スイッチ914は、容量素子103に電流が流れることを防ぐ機能を有する。または、スイッチ914は、容量素子102に電流が流れることを防ぐ機能を有する。または、スイッチ914は、負荷104に電流が流れることを防ぐ機能を有する。

20

【0233】

また、本発明の一態様に係る半導体装置は、図24(A)乃至図24(D)に示した回路100に加えて、回路100に各種の一定電圧や信号を供給する機能を有する回路を、さらに有していても良い。

【0234】

図25(A)乃至図25(D)に示す半導体装置は、図24(A)乃至図24(D)に示す回路100に加えて、配線21に一定電圧や信号を供給する機能を有する回路201と、配線22に一定電圧や信号を供給する機能を有する回路202と、配線23に一定電圧や信号を供給する機能を有する回路203と、配線24に一定電圧や信号を供給する機能を有する回路204とを、それぞれ有する。

30

【0235】

なお、図24及び図25に示す回路100は、スイッチ11、スイッチ12、スイッチ13、スイッチ914に、トランジスタを用いることができる。

【0236】

なお、一例として図86に示すように、スイッチ914がトランジスタ914tである場合、そのトランジスタ914tのゲートは、配線932と接続されており、その配線932は、一定電圧や信号を供給する機能を有する回路9206と接続されていることが可能である。その回路9206の例としては、ゲートドライバ(走査線駆動回路)などがある。

40

【0237】

なお、配線31乃至配線33、配線932において、その中の少なくとも2本の配線は、互いに接続させることが可能である。または、配線31乃至配線33、配線932の少なくとも1本は、別の回路100の配線31乃至配線33、配線932の少なくとも1本と接続させることが可能である。

【0238】

50

図 2 4 及び図 2 5 に示す回路 1 0 0 は、図 1 及び図 2 に示す回路 1 0 0 と同様の動作を行うことができる。ただし、一例としては、図 2 4 及び図 2 5 に示す回路 1 0 0 では、図 5、図 6 に示す期間 T 1 1 乃至期間 T 1 3、及び期間 T 1 5 において、スイッチ 9 1 4 は導通状態であり、期間 T 1 4 においてスイッチ 9 1 4 は非導通状態であることが好適である。これらにより、期間 T 1 4 において、トランジスタ 1 0 1 を介して、発光素子 1 0 4 a などに、電荷が漏れることを防ぐことが出来る。ただし、本発明の実施形態の一態様は、これに限定されない。

【 0 2 3 9 】

または、期間 T 1 3 において、スイッチ 9 1 4 を非導通状態とすることも可能である。これにより、トランジスタ 1 0 1 に電流が流れないので、トランジスタ 1 0 1 のゲートやソースなどの、回路 1 0 0 内の各ノードにおける電位の制御がしやすくなる。

10

【 0 2 4 0 】

または、期間 T 1 1 において、スイッチ 9 1 4 を非導通状態とすることも可能である。これにより、トランジスタ 1 0 1 に電流が流れないので、トランジスタ 1 0 1 のゲートやソースなどの、回路 1 0 0 内の各ノードにおける電位の制御がしやすくなる。

【 0 2 4 1 】

または、期間 T 1 5 の一部の期間においても、スイッチ 9 1 4 を非導通状態とする。これにより、発光素子 1 0 4 a などに電流が流れないようにして、非発光期間を設けることが出来る。

【 0 2 4 2 】

20

なお、図 2 4 (B) 及び図 2 5 (B) に示す回路 1 0 0 は、図 8、図 9、図 1 0 (B) と同様に、負荷 1 0 4 と接続された容量素子 1 0 5 を、さらに有していても良い。同様に、図 2 4 (C) 及び図 2 5 (C) に示す回路 1 0 0 は、発光素子 1 0 4 a と接続された容量素子 1 0 5 を、さらに有していても良い。同様に、図 2 4 (D) 及び図 2 5 (D) に示す回路 1 0 0 は、発光素子 1 0 4 b と接続された容量素子 1 0 5 を、さらに有していても良い。具体的に、容量素子 1 0 5 の一方の電極は、容量素子 1 0 3 の他方の電極、及びトランジスタ 1 0 1 のソースまたはドレインの一方に、接続される。容量素子 1 0 5 の他方の電極は、別途設けられた配線 2 6、配線 2 4、配線 2 3、或いは配線 2 2 に接続される。

【 0 2 4 3 】

また、図 2 4 (B) 乃至図 2 4 (D) に示す回路 1 0 0、及び、図 2 5 (B) 乃至図 2 5 (D) に示す回路 1 0 0 に上記容量素子 1 0 5 を追加した回路の、いずれかを、表示装置の画素として用いても良い。そして、複数の色相にそれぞれ対応した画素が表示装置に設けられている場合、対応する色相によって、画素が有するトランジスタ 1 0 1 の、チャネル幅とチャネル長の比が、異なっても良い。

30

【 0 2 4 4 】

なお、図 2 4 及び図 2 5 とは別の場所に、スイッチ 9 1 4 を設けることも可能である。具体的には、一例としては、配線 2 3 から配線 2 4 までの間の導通状態を制御することが可能である場所に設けることが出来る。例えば、図 2 6 (A) 乃至図 2 6 (D) に、回路 1 0 0 の構成例をそれぞれ示す。図 2 6 (A) 乃至図 2 6 (D) に示す回路 1 0 0 は、図 1 (A) 乃至図 1 (D) に示した回路 1 0 0 にスイッチ 9 1 4 を追加した構成に、それぞれ相当する。そして、上記スイッチ 9 1 4 は、トランジスタ 1 0 1 のソースまたはドレインの一方と、容量素子 1 0 3 の他方の電極との間の導通状態を制御する機能を有する。さらに、スイッチ 1 3 が導通状態であるならば、上記スイッチ 9 1 4 は、トランジスタ 1 0 1 のソースまたはドレインの一方と、容量素子 1 0 2 の一方の電極及び容量素子 1 0 3 の一方の電極との間の導通状態を制御する機能を有する。

40

【 0 2 4 5 】

また、本発明の一態様に係る半導体装置は、図 2 6 (A) 乃至図 2 6 (D) に示した回路 1 0 0 に加えて、回路 1 0 0 に各種一定電圧や信号を供給する機能を有する回路を、さらに有していても良い。

【 0 2 4 6 】

50

図 27 (A) 乃至図 27 (D) に示す半導体装置は、図 26 (A) 乃至図 26 (D) に示す回路 100 に加えて、配線 21 に一定電圧や信号を供給する機能を有する回路 201 と、配線 22 に一定電圧や信号を供給する機能を有する回路 202 と、配線 23 に一定電圧や信号を供給する機能を有する回路 203 と、配線 24 に一定電圧や信号を供給する機能を有する回路 204 とを、それぞれ有する。

【0247】

なお、図 26 及び図 27 に示す回路 100 は、スイッチ 11、スイッチ 12、スイッチ 13、スイッチ 914 に、トランジスタを用いることができる。

【0248】

図 26 及び図 27 に示す回路 100 は、図 1、図 2、図 24、または、図 25 に示す回路 100 と同様の動作を行うことができる。

10

【0249】

なお、図 26 (B) 及び図 27 (B) に示す回路 100 は、図 8、図 9、図 10 (B) と同様に、負荷 104 と接続された容量素子 105 を、さらに有していても良い。同様に、図 26 (C) 及び図 27 (C) に示す回路 100 は、発光素子 104a と接続された容量素子 105 を、さらに有していても良い。同様に、図 26 (D) 及び図 27 (D) に示す回路 100 は、発光素子 104b と接続された容量素子 105 を、さらに有していても良い。具体的に、容量素子 105 の一方の電極は、容量素子 103 の他方の電極に接続される。なおかつ、スイッチ 914 は、容量素子 105 の一方の電極と、トランジスタ 101 のソースまたはドレインの一方との間の導通状態を制御する。容量素子 105 の他方の電極は、別途設けられた配線 26、配線 24、配線 23、或いは配線 22 に接続される。

20

【0250】

また、図 26 (B) 乃至図 26 (D) に示す回路 100、及び、図 27 (B) 乃至図 27 (D) に示す回路 100 に上記容量素子 105 を追加した回路の、いずれかを、表示装置の画素として用いても良い。そして、複数の色相にそれぞれ対応した画素が表示装置に設けられている場合、対応する色相によって、画素が有するトランジスタ 101 の、チャネル幅とチャネル長の比が、異なっても良い。

【0251】

なお、図 24、図 25、図 26、図 27 とは別の場所に、スイッチ 914 を設けることも可能である。例えば、図 28 (A) 乃至図 28 (D) に、回路 100 の構成例をそれぞれ示す。図 28 (A) 乃至図 28 (D) に示す回路 100 は、図 1 (A) 乃至図 1 (D) に示した回路 100 にスイッチ 914 を追加した構成に、それぞれ相当する。そして、上記スイッチ 914 は、トランジスタ 101 のソースまたはドレインの一方と、容量素子 103 の他方の電極との間の導通状態を制御する機能を有する。さらに、スイッチ 13 が導通状態であるならば、上記スイッチ 914 は、容量素子 102 の一方の電極及び容量素子 103 の一方の電極と、容量素子 103 の他方の電極との間の導通状態を制御する機能を有する。

30

【0252】

また、本発明の一態様に係る半導体装置は、図 28 (A) 乃至図 28 (D) に示した回路 100 に加えて、回路 100 に各種の一定電圧や信号を供給する機能を有する回路を、さらに有していても良い。

40

【0253】

図 29 (A) 乃至図 29 (D) に示す半導体装置は、図 28 (A) 乃至図 28 (D) に示す回路 100 に加えて、配線 21 に一定電圧や信号を供給する機能を有する回路 201 と、配線 22 に一定電圧や信号を供給する機能を有する回路 202 と、配線 23 に一定電圧や信号を供給する機能を有する回路 203 と、配線 24 に一定電圧や信号を供給する機能を有する回路 204 とを、それぞれ有する。

【0254】

なお、図 28 及び図 29 に示す回路 100 は、スイッチ 11、スイッチ 12、スイッチ 13、スイッチ 914 に、トランジスタを用いることができる。

50

【 0 2 5 5 】

図 2 8 及び図 2 9 に示す回路 1 0 0 は、図 1、図 2、図 2 4、図 2 5、図 2 6、図 2 7 に示す回路 1 0 0 と同様の動作を行うことができる。ただし、一例としては、図 2 8 及び図 2 9 に示す回路 1 0 0 では、図 5、図 6 に示す期間 T 1 1 乃至期間 T 1 3、及び期間 T 1 5 において、スイッチ 9 1 4 は導通状態であり、期間 T 1 4 においてスイッチ 9 1 4 は非導通状態であることが好適である。これらにより、期間 T 1 4 において、トランジスタ 1 0 1 を介して、発光素子 1 0 4 a などに、電荷が漏れることを防ぐことが出来る。ただし、本発明の実施形態の一態様は、これに限定されない。

【 0 2 5 6 】

または、期間 T 1 1 において、スイッチ 9 1 4 を非導通状態とすることも可能である。これにより、トランジスタ 1 0 1 に電流が流れないので、電位の制御がしやすくなる。

10

【 0 2 5 7 】

または、期間 T 1 5 の一部の期間においても、スイッチ 9 1 4 を非導通状態とする。これにより、発光素子 1 0 4 a などに電流が流れないようにして、非発光期間を設けることが出来る。

【 0 2 5 8 】

なお、期間 T 1 2 において、スイッチ 9 1 4 を非導通状態とすることも可能である。期間 T 1 2 において、スイッチ 9 1 4 を非導通状態とすることで、期間 T 1 2 において発光素子 1 0 4 a のアノードを電位 V i 1 に保つことができる。よって、期間 T 1 3 を設けずに、すなわち第 3 の動作を行わずに、期間 T 1 2 における第 2 の動作が終了した後、期間 T 1 4 における第 4 の動作を行うことができる。

20

【 0 2 5 9 】

なお、図 2 8 (B) 及び図 2 9 (B) に示す回路 1 0 0 は、図 8、図 9、図 1 0 (B) などと同様に、負荷 1 0 4 と接続された容量素子 1 0 5 を、さらに有していても良い。同様に、図 2 8 (C) 及び図 2 9 (C) に示す回路 1 0 0 は、発光素子 1 0 4 a と接続された容量素子 1 0 5 を、さらに有していても良い。同様に、図 2 8 (D) 及び図 2 9 (D) に示す回路 1 0 0 は、発光素子 1 0 4 b と接続された容量素子 1 0 5 を、さらに有していても良い。具体的に、容量素子 1 0 5 の一方の電極は、容量素子 1 0 3 の他方の電極に接続される。なおかつ、スイッチ 9 1 4 は、容量素子 1 0 5 の一方の電極と、トランジスタ 1 0 1 のソースまたはドレインの一方との間の導通状態を制御する。容量素子 1 0 5 の他方の電極は、別途設けられた配線 2 6、配線 2 4、配線 2 3、或いは配線 2 2 に接続される。

30

【 0 2 6 0 】

また、図 2 8 (B) 乃至図 2 8 (D) に示す回路 1 0 0、及び、図 2 9 (B) 乃至図 2 9 (D) に示す回路 1 0 0 に上記容量素子 1 0 5 を追加した回路の、いずれかを、表示装置の画素として用いても良い。そして、複数の色相にそれぞれ対応した画素が表示装置に設けられている場合、対応する色相によって、画素が有するトランジスタ 1 0 1 の、チャネル幅とチャネル長の比が、異なっても良い。

【 0 2 6 1 】

なお、図 2 4 乃至図 2 9 とは別の場所に、スイッチ 9 1 4 を設けることも可能である。例えば、図 3 0 (A) 乃至図 3 0 (D) に、回路 1 0 0 の構成例をそれぞれ示す。図 3 0 (A) 乃至図 3 0 (D) に示す回路 1 0 0 は、図 1 (A) 乃至図 1 (D) に示した回路 1 0 0 にスイッチ 9 1 4 を追加した構成に、それぞれ相当する。そして、図 3 0 (A) において上記スイッチ 9 1 4 は、トランジスタ 1 0 1 のソースまたはドレインの一方及び容量素子 1 0 3 の他方の電極と、配線 2 4 との間の導通状態を制御する機能を有する。図 3 0 (B) において上記スイッチ 9 1 4 は、トランジスタ 1 0 1 のソースまたはドレインの一方及び容量素子 1 0 3 の他方の電極と、負荷 1 0 4 との間の導通状態を制御する機能を有する。図 3 0 (C) において上記スイッチ 9 1 4 は、トランジスタ 1 0 1 のソースまたはドレインの一方及び容量素子 1 0 3 の他方の電極と、発光素子 1 0 4 a のアノードとの間の導通状態を制御する機能を有する。図 3 0 (D) において上記スイッチ 9 1 4 は、トラン

40

50

ジスタ 101 のソースまたはドレインの一方及び容量素子 103 の他方の電極と、発光素子 104 b のカソードとの間の導通状態を制御する機能を有する。

【0262】

また、本発明の一態様に係る半導体装置は、図 30 (A) 乃至図 30 (D) に示した回路 100 に加えて、回路 100 に各種の一定電圧や信号を供給する機能を有する回路を、さらに有していても良い。

【0263】

図 31 (A) 乃至図 31 (D) に示す半導体装置は、図 30 (A) 乃至図 30 (D) に示す回路 100 に加えて、配線 21 に一定電圧や信号を供給する機能を有する回路 201 と、配線 22 に一定電圧や信号を供給する機能を有する回路 202 と、配線 23 に一定電圧や信号を供給する機能を有する回路 203 と、配線 24 に一定電圧や信号を供給する機能を有する回路 204 とを、それぞれ有する。

10

【0264】

なお、図 30 及び図 31 に示す回路 100 は、スイッチ 11、スイッチ 12、スイッチ 13、スイッチ 914 に、トランジスタを用いることができる。

【0265】

図 30 及び図 31 に示す回路 100 は、図 1、図 2、図 24、図 25、図 26、図 27、図 28、図 29 に示す回路 100 と同様の動作を行うことができる。ただし、一例としては、図 30 及び図 31 に示す回路 100 では、図 5、図 6 に示す期間 T11、及び期間 T13 乃至期間 T15 において、スイッチ 914 は導通状態であり、期間 T12 においてスイッチ 914 は非導通状態であることが好適である。ただし、本発明の実施形態の一態様は、これに限定されない。これにより、期間 T12 において、スイッチ 914 を非導通状態とすることで、期間 T12 において発光素子 104 a のアノードを電位 V_{i1} に保つことができる。よって、期間 T13 を設けずに、すなわち第 3 の動作を行わずに、期間 T12 における第 2 の動作が終了した後、期間 T14 における第 4 の動作を行うことができる。ただし、本発明の実施形態の一態様は、これに限定されない。

20

【0266】

または、期間 T11 において、スイッチ 914 を非導通状態とすることも可能である。これにより、発光素子 104 a などに電流が流れないため、配線 22 の電位 V_{i2} は、高い値でもよい。

30

【0267】

または、期間 T12 において、スイッチ 914 を非導通状態とすることも可能である。これにより、発光素子 104 a などに電流が流れないため、配線 22 の電位 V_{i2} は、高い値でもよい。

【0268】

または、期間 T15 の一部の期間においても、スイッチ 914 を非導通状態とする。これにより、発光素子 104 a などに電流が流れないようにして、非発光期間を設けることができる。

【0269】

なお、図 30 (B) 及び図 31 (B) に示す回路 100 は、図 8、図 9、図 10 (B)、図 21、図 22 などと同様に、負荷 104 と接続された容量素子 105 を、さらに有していても良い。同様に、図 30 (C) 及び図 31 (C) に示す回路 100 は、発光素子 104 a と接続された容量素子 105 を、さらに有していても良い。同様に、図 30 (D) 及び図 31 (D) に示す回路 100 は、発光素子 104 b と接続された容量素子 105 を、さらに有していても良い。具体的に、容量素子 105 の一方の電極は、容量素子 103 の他方の電極、及びトランジスタ 101 のソースまたはドレインの一方に、接続される。容量素子 105 の他方の電極は、別途設けられた配線 26、配線 24、配線 23、或いは配線 22 に接続される。

40

【0270】

また、図 30 (B) 乃至図 30 (D) に示す回路 100、及び、図 31 (B) 乃至図 31

50

(D)に示す回路100に上記容量素子105を追加した回路の、いずれかを、表示装置の画素として用いても良い。そして、複数の色相にそれぞれ対応した画素が表示装置に設けられている場合、対応する色相によって、画素が有するトランジスタ101の、チャネル幅とチャネル長の比が、異なっても良い。

【0271】

なお、図24乃至図31において、図1などに示す回路において、スイッチ914を追加した構成について述べたが、スイッチ914を追加するような回路は、図1などに限定されない。図1以外の他の図面に示す回路においても、図24乃至図31と同様に、スイッチ914を追加する構成を用いることが出来る。例えば、図11の回路のように、スイッチ14が追加された構成において、図24乃至図31と同様に、スイッチ914を追加する回路を構成することが出来る。その場合の一例を、図87に示す。

10

【0272】

次に、図1および図11などの回路において、図5および図17などに示す駆動方法とは異なる駆動方法を用いる場合の一例を示す。なお、このような駆動方法を用いる場合には、配線23を列方向の画素間で接続するよりも、行方向の画素間で接続することが望ましいため、図34(A)乃至図34(D)に、図1(A)乃至図1(D)に示した回路100の配置例をそれぞれ示す。図34(A)乃至図34(D)では、互いに異なる配線21に接続された複数の回路100が、共通の配線23に接続されている場合を一例として示している。つまり、配線23は、配線21と交差して設けられている。

20

【0273】

図34(C)に示す回路100を例に挙げて、本発明の半導体装置の一態様の動作の一例について説明する。この動作では、図5(B)や図17(B)における第1の動作において、容量素子102に電圧 $V_{i2} - V_{i1}$ が供給され、トランジスタ101のゲートソース間電圧(V_{gs101})が電圧 $V_{i2} - V_{i1}$ になるときに、配線21やスイッチ14を介して電位 V_{i1} が供給されるのではなく、配線23を介して供給される。したがって、図5や図17などで述べた内容を、本発明の半導体装置の一態様に適用することが可能である。

【0274】

図34(C)に示す回路100の動作は、主に第1の動作、第2の動作、第3の動作、第4の動作、第5の動作に分けることができる。ただし、これに限定されず、新たな動作の追加、或いは、一部の動作の削除も可能である。

30

【0275】

まず、期間 T_{11} において行われる第1の動作について説明する。期間 T_{11} では、図35(A)に示すように、スイッチ11が非導通状態、スイッチ12及びスイッチ13が導通状態である。また、配線23には電位 V_{i1} が供給される。よって、期間 T_{11} では、発光素子104aのアノードは電位 V_{i1} となり、トランジスタ101のゲートソース間電圧(V_{gs101})は、電圧 $V_{i2} - V_{i1}$ となる。つまり、トランジスタ101、及び、容量素子102を、初期化していることとなる。

【0276】

期間 T_{12} において行われる第2の動作について説明する。期間 T_{12} では、図35(B)に示すように、スイッチ11が非導通状態、スイッチ12及びスイッチ13が導通状態である。また、配線23には電位 V_{DD} が供給される。配線23に電位 V_{DD} が供給されることで、容量素子102に蓄積されている電荷がトランジスタ101を介して放出され、トランジスタ101のソースの電位が上昇する。そして、トランジスタ101がオフ状態となると、容量素子102からの電荷の放出が止まる。最終的には、トランジスタ101の閾値電圧 V_{th} が容量素子102に保持される。よって、期間 T_{12} では、容量素子102に閾値電圧 V_{th} が保持され、発光素子104aのアノードは電位 $V_{i2} - V_{th}$ となり、トランジスタ101のゲートソース間電圧(V_{gs101})は、閾値電圧 V_{th} となる。つまり、トランジスタ101のしきい値電圧 V_{th} を取得することができる。

40

【0277】

50

このように、配線 2 1 を用いずに、第 1 および第 2 の動作を行うことが出来るため、第 1 および第 2 の動作の期間を長く確保することが出来る。したがって、より正確に、トランジスタ 1 0 1 のしきい値電圧を取得することができるため、表示ムラの少ない、綺麗な表示を行うことが出来る。

【 0 2 7 8 】

期間 T 1 3 において行われる第 3 の動作について説明する。期間 T 1 3 では、図 3 5 (C) に示すように、スイッチ 1 1 及びスイッチ 1 3 が導通状態、スイッチ 1 2 が非導通状態である。配線 2 3 には、任意の電位が供給されていればよく、例えば、電位 V D D または電位 V i 1 が供給される。また、配線 2 1 には電位 V i 3 が供給される。電位 V i 3 は、電位 V c a t と同じ高さでも良いし、電位 V i 2 と同じ高さでも良いし、電位 V i 1 と同じ高さでも良い。よって、期間 T 1 3 では、容量素子 1 0 2 に閾値電圧 V t h が保持され、発光素子 1 0 4 a のアノードは電位 V i 3 となり、トランジスタ 1 0 1 のゲートの電位は電位 V i 3 + V t h となり、トランジスタ 1 0 1 のゲートソース間電圧 (V g s 1 0 1) は、閾値電圧 V t h となる。

10

【 0 2 7 9 】

期間 T 1 4 において行われる第 4 の動作について説明する。期間 T 1 4 では、図 3 5 (D) に示すように、スイッチ 1 1 が導通状態、スイッチ 1 2 及びスイッチ 1 3 が非導通状態となる。また、配線 2 1 には電位 V s i g が供給される。よって、期間 T 1 4 では、容量素子 1 0 2 に閾値電圧 V t h が保持され、容量素子 1 0 3 に電圧 V s i g - V i 3 - V が保持され、発光素子 1 0 4 a のアノードは電位 V i 3 + V となり、トランジスタ 1 0 1 のゲートの電位は電位 V s i g + V t h となり、トランジスタ 1 0 1 のゲートソース間電圧 (V g s 1 0 1) は電圧 V s i g + V t h - V i 3 - V となる。

20

【 0 2 8 0 】

期間 T 1 5 において行われる第 5 の動作について説明する。期間 T 1 5 では、図 3 6 に示すように、スイッチ 1 1、スイッチ 1 2 及びスイッチ 1 3 が非導通状態である。よって、期間 T 1 5 では、容量素子 1 0 2 に閾値電圧 V t h が保持され、容量素子 1 0 3 に電圧 V s i g - V i 3 - V が保持され、発光素子 1 0 4 a のアノードは電位 V e l となり、トランジスタ 1 0 1 のゲートの電位は電位 V s i g + V t h - V i 3 - V + V e l となり、トランジスタ 1 0 1 のゲートソース間電圧 (V g s 1 0 1) は電圧 V s i g + V t h - V i 3 - V となる。したがって、電位 V s i g に応じた大きさの電流を発光素子 1 0 4 a に流すことができ、電位 V s i g に応じた輝度で発光素子 1 0 4 a を発光させることができる。

30

【 0 2 8 1 】

なお、電位 V e l は、トランジスタ 1 0 1 を介して、発光素子 1 0 4 a に電流を流す際に生じる電位である。具体的には、電位 V D D と電位 V c a t の間の電位になる。

【 0 2 8 2 】

上記第 5 の動作では、トランジスタ 1 0 1 のゲートソース間電圧 (V g s 1 0 1) を、電圧 V s i g + V t h - V i 3 - V とし、トランジスタ 1 0 1 の閾値電圧 V t h を加味した値に設定することができる。従って、上記構成により、トランジスタ 1 0 1 の閾値電圧 V t h のばらつきが、発光素子 1 0 4 a に供給する電流値に影響を及ぼすのを防ぐことができる。または、トランジスタ 1 0 1 が劣化して、閾値電圧 V t h が変化しても、上記変化が発光素子 1 0 4 a に供給する電流値に影響を及ぼすのを防ぐことができる。よって、表示ムラを低減でき、質の良い表示を行うことができる。

40

【 0 2 8 3 】

なお、期間 T 1 5 の一部の期間においても、配線 2 3 の電位を制御することにより、発光素子 1 0 4 a などに電流が流れないようにして、非発光期間を設けることが出来る。例えば、配線 2 3 の電位が配線 2 4 の電位と等しい場合には、電流が流れないようにすることが出来る。

【 0 2 8 4 】

なお、図 3 4、図 3 5 には、スイッチ 1 4 が設けられていないが、これに限定されず、図

50

1 1乃至図2 3と同様に、スイッチ1 4を設けることが可能である。

【0 2 8 5】

なお、図3 4、図3 5には、スイッチ9 1 4が設けられていないが、これに限定されず、図2 4乃至図8 7と同様に、スイッチ9 1 4を設けることが可能である。

【0 2 8 6】

なお、図3 4、図3 5では、配線2 3の電位を変化させて動作したが、複数の配線を用いて、電位を制御することも可能である。その場合の一例を示す。したがって、図3 4、図3 5、図5、図1 7などで述べた内容を、本発明の半導体装置の一態様に適用することが可能である。図3 2 (A)乃至図3 2 (D)に、回路1 0 0の構成例をそれぞれ示す。図3 2 (A)乃至図3 2 (D)に示す回路1 0 0は、図1 (A)乃至図1 (D)、または、図3 4乃至図3 6に示した回路1 0 0にスイッチ8 1 4及びスイッチ1 5を追加し、配線2 3の代わりに配線2 3 a及び配線2 3 bを設けた構成に、それぞれ相当する。そして、図3 2 (A)乃至図3 2 (D)において上記スイッチ8 1 4は、トランジスタ1 0 1のソースまたはドレインの他方と、配線2 3 aとの間の導通状態を制御する機能を有する。また、上記スイッチ1 5は、トランジスタ1 0 1のソースまたはドレインの他方と、配線2 3 bとの間の導通状態を制御する機能を有する。

10

【0 2 8 7】

なお、配線2 3 a、及び/または、配線2 3 bは、配線2 1と交差して設けることが可能であるが、配線2 1と交差せずに、平行に設けることも可能である。

【0 2 8 8】

20

また、本発明の一態様に係る半導体装置は、図3 2 (A)乃至図3 2 (D)に示した回路1 0 0に加えて、回路1 0 0に各種の一定電圧や信号を供給する機能を有する回路を、さらに有していても良い。

【0 2 8 9】

図3 3 (A)乃至図3 3 (D)に示す半導体装置は、図3 2 (A)乃至図3 2 (D)に示す回路1 0 0に加えて、配線2 1に一定電圧や信号を供給する機能を有する回路2 0 1と、配線2 2に一定電圧や信号を供給する機能を有する回路2 0 2と、配線2 3 aに一定電圧や信号を供給する機能を有する回路2 0 3 aと、配線2 3 bに一定電圧や信号を供給する機能を有する回路2 0 3 bと、配線2 4に一定電圧や信号を供給する機能を有する回路2 0 4とを、それぞれ有する。具体的に、回路2 0 3 aは、配線2 3 aに電位V i 1を供給する機能を有する。また、回路2 0 3 bは、配線2 3 bに電源電位(高電源電位または低電源電位)、例えば、電位V D D、または、電位V S Sを供給する機能を有する。回路2 0 3 aおよび回路2 0 3 bの例としては、電源回路などがある。

30

【0 2 9 0】

したがって、配線2 3 aは、電位V i 1を、伝えることが出来る機能、または、供給することが出来る機能を有している。または、配線2 3 aは、初期化用配線としての機能を有している。なお、配線2 3 aの電位は、一定の電位であることが望ましいが、本発明の実施形態の一態様は、これに限定されず、パルス信号のように変動してもよい。

【0 2 9 1】

したがって、配線2 3 bは、電源電位を伝えることが出来る機能、または、供給することが出来る機能を有している。または、配線2 3 bは、トランジスタ1 0 1に電流を供給することが出来る機能を有している。または、配線2 3 bは、負荷1 0 4に電流を供給することが出来る機能を有している。または、配線2 3 bは、電源線としての機能を有している。または、配線2 3 bは、電流供給線としての機能を有している。なお、配線2 3 bの電位は、一定の電位であることが望ましいが、本発明の実施形態の一態様は、これに限定されず、パルス信号のように変動してもよい。例えば、配線2 3 bの電位は、負荷1 0 4に、順バイアス電圧だけでなく、逆バイアス電圧を加えるような電位であってもよい。

40

【0 2 9 2】

なお、図3 3 (A)乃至図3 3 (D)では、半導体装置が、回路1 0 0に加えて、回路2 0 1、回路2 0 2、回路2 0 3 a、回路2 0 3 b、及び回路2 0 4を有する場合を一例と

50

して示しているが、本発明の一態様に係る半導体装置は、必ずしも回路201、回路202、回路203a、回路203b、及び回路204を全て有する必要はなく、そのいずれか一つまたは複数だけを有していても良い。

【0293】

なお、図32及び図33に示す回路100は、スイッチ11、スイッチ12、スイッチ13、スイッチ814、スイッチ15に、トランジスタを用いることができる。

【0294】

図32及び図33に示す回路100は、図34乃至図36に示す回路100と同様の動作を行うことができる。ただし、図32及び図33に示す回路100では、期間T11においてスイッチ814を導通状態、スイッチ15を非導通状態とする。また、期間T12乃至期間T15においてスイッチ814を非導通状態、スイッチ15を導通状態とする。

10

【0295】

なお、図32(B)及び図33(B)に示す回路100は、図8、図9、図21、図22などと同様、負荷104と接続された容量素子105を、さらに有していても良い。同様に、図32(C)及び図33(C)に示す回路100は、発光素子104aと接続された容量素子105を、さらに有していても良い。同様に、図32(D)及び図33(D)に示す回路100は、発光素子104bと接続された容量素子105を、さらに有していても良い。具体的に、容量素子105の一方の電極は、容量素子103の他方の電極、及びトランジスタ101のソースまたはドレインの一方に、接続される。容量素子105の他方の電極は、別途設けられた配線26、配線24、配線23、或いは配線22に接続される。

20

【0296】

また、図32(B)乃至図32(D)に示す回路100、及び、図33(B)乃至図33(D)に示す回路100に上記容量素子105を追加した回路の、いずれかを、表示装置の画素として用いても良い。そして、複数の色相にそれぞれ対応した画素が表示装置に設けられている場合、対応する色相によって、画素が有するトランジスタ101の、チャネル幅とチャネル長の比が、異なっても良い。

【0297】

なお、図32、図33には、スイッチ14が設けられていないが、これに限定されず、図11乃至図23と同様に、スイッチ14を設けることが可能である。

30

【0298】

なお、図32、図33には、スイッチ914が設けられていないが、これに限定されず、図24乃至図87と同様に、スイッチ914を設けることが可能である。

【0299】

本実施の形態は、他の実施の形態の一部または全部について、変更、追加、修正、削除、応用、上位概念化、又は、下位概念化したものに相当する。したがって、本実施の形態の一部または全部について、他の実施の形態の一部または全部と自由に組み合わせる、適用する、或いは置き換えて実施することができる。

【0300】

(実施の形態3)

40

本実施の形態では、本発明の一態様に係る半導体装置である、回路100の構成例について説明する。本実施の形態では、実施の形態1及び2で示した回路に対して、スイッチや配線などを追加する、接続の一部を変更する、ある配線を別の配線に接続して、配線をまとめる構成などや、駆動方法の一部を変更した場合などについて述べる。したがって、実施の形態1及び2で述べた内容は、本実施の形態にも適用することが可能である。

【0301】

図43(A)に示す回路100は、図11(C)に示した回路100と、スイッチ14の位置が異なる構成、または、図1(C)に示した回路100にスイッチ14を追加した構成に相当する。図43(A)に示す回路100では、スイッチ14が、容量素子102の一方の電極、または、容量素子103の一方の電極と、配線25との間の導通状態を制御

50

する機能を有する。

【0302】

なお、動作は、図17乃至図20と同様である。ただし、図18(A)では、第4の動作において、スイッチ14が導通状態であったが、図43(A)の場合には、第4の動作において、スイッチ14は非導通状態であることが好適である。ただし、本発明の実施形態の一態様は、これに限定されない。

【0303】

なお、図43(A)において、図24乃至図31などのように、スイッチ914を設けることも可能である。なお、図43(A)において、図32、図33などのように、スイッチ814、スイッチ15を設けることも可能である。なお、図43(A)において、図34などのように、配線23の電位を制御することも可能である。一例として、図43(A)において、図30のようにスイッチ914を設けた場合を、図43(F)に示す。

10

【0304】

また、図8、図9、図21、図22などと同様に、図43(A)に示した回路100に、容量素子105を追加することが可能である。一例として、図43(B)に示す回路100は、図43(A)に示した回路100に、容量素子105を追加した構成に相当する。そして、上記容量素子105の一方の電極は、容量素子103の他方の電極に接続され、上記容量素子105の他方の電極は、配線26に接続されている。

【0305】

なお、配線26は、図8、図21などと同様、さまざまな配線と接続されることが可能である。例えば、図43(C)に示す回路100は、図43(B)に示した回路100において、配線26が配線25に接続されている例を一例として示している。配線26は、配線25の他にも、配線24、配線22、配線23、ゲート信号線、他の回路100の配線など、さまざまな配線と接続させることが可能である。

20

【0306】

なお、配線25は、さまざまな配線と接続されることが可能である。例えば、図43(D)に示す回路100は、図43(A)に示した回路100において、配線25が配線24に接続されている例を示す。

【0307】

また、図43(E)に示す回路100は、図43(D)に示した回路100に、容量素子105を追加した構成に相当する。そして、上記容量素子105の一方の電極は、容量素子103の他方の電極に接続され、上記容量素子105の他方の電極は、配線26に接続されている。

30

【0308】

また、図44に示す半導体装置は、図43に示す回路100に加えて、配線21に一定電圧や信号を供給する機能を有する回路220、配線22に一定電圧や信号を供給する機能を有する回路221、配線23に一定電圧や信号を供給する機能を有する回路222、配線24に一定電圧や信号を供給する機能を有する回路223、配線25に一定電圧や信号を供給する機能を有する回路224、配線26に一定電圧や信号を供給する機能を有する回路225のうち複数の回路を、それぞれ有する。

40

【0309】

なお、図43及び図44では、発光素子104aを用いた場合の回路100の構成を示しているが、本発明の一態様に係る半導体装置は、図43及び図44に示した回路100において、発光素子104aがない構成、或いは、発光素子104aの代わりに負荷104または発光素子104bを有する構成を有していても良い。

【0310】

なお、図43(D)と同様、図11などにおいても、配線25は、さまざまな配線と接続されることが可能である。例えば、図45(A)に示す回路100は、図11(C)に示した回路100において、配線25が配線24に接続されている。

【0311】

50

また、図 4 5 (A) に示した回路 1 0 0 に対しても、図 8、図 9、図 2 1、図 2 2 などと同様に、容量素子 1 0 5 を追加する、或いは配線を接続することが可能である。例えば、図 4 5 (B) に示す回路 1 0 0 は、図 4 5 (A) に示した回路 1 0 0 に、容量素子 1 0 5 を追加した構成に相当する。そして、上記容量素子 1 0 5 の一方の電極は、容量素子 1 0 3 の他方の電極に接続され、上記容量素子 1 0 5 の他方の電極は、配線 2 6 に接続されている。なお、配線 2 5 は、配線 2 4 ではなく、配線 2 6 と接続させることも可能である。なお、配線 2 6 も配線 2 5 も、配線 2 4 と接続させることも可能である。

【 0 3 1 2 】

また、図 4 5 (C) 及び図 4 5 (D) に示す半導体装置は、図 4 5 (A) 及び図 4 5 (B) に示す回路 1 0 0 に加えて、配線 2 1 に一定電圧や信号を供給する機能を有する回路 2 2 0、配線 2 2 に一定電圧や信号を供給する機能を有する回路 2 2 1、配線 2 3 に一定電圧や信号を供給する機能を有する回路 2 2 2、配線 2 4 に一定電圧や信号を供給する機能を有する回路 2 2 3、配線 2 6 に一定電圧や信号を供給する機能を有する回路 2 2 5 のうち複数の回路を、それぞれ有する。

【 0 3 1 3 】

なお、図 4 5 では、発光素子 1 0 4 a を用いた場合の回路 1 0 0 の構成を示しているが、本発明の一態様に係る半導体装置は、図 4 5 に示した回路 1 0 0 において、発光素子 1 0 4 a が不在構成、或いは、発光素子 1 0 4 a の代わりに負荷 1 0 4 または発光素子 1 0 4 b を有する構成を有していても良い。

【 0 3 1 4 】

なお、図 1 などに示す回路において、スイッチ 1 4 とスイッチ 9 1 4 の一方または両方を追加して、スイッチ 1 4 とスイッチ 9 1 4 の両方のスイッチを設けることが可能である。つまり、図 1 1、図 3 2、図 3 4、図 4 3、図 4 5 などにスイッチ 9 1 4 を追加する、或いは、図 2 4、図 2 6、図 2 8、図 3 0、図 3 2、図 3 4 などにスイッチ 1 4 を追加することが可能である。例えば、図 4 6 (A) に示す回路 1 0 0 は、図 1 1 (C) に示した回路 1 0 0 に、スイッチ 9 1 4 を追加した構成、または、図 2 8 (C) に示した回路 1 0 0 にスイッチ 1 4 を追加した構成に相当する。図 4 6 (A) に示す回路 1 0 0 では、スイッチ 9 1 4 が、トランジスタ 1 0 1 のソースまたはドレインの一方と、容量素子 1 0 3 の他方の電極または発光素子 1 0 4 a の陽極との間の導通状態を制御する機能を有する。

【 0 3 1 5 】

なお、図 4 6 (A) において、図 4 4 (D)、図 4 5 などと同様に、配線 2 5 を他の配線に接続することが可能である。例えば、図 4 6 (A) に示した回路 1 0 0 において、配線 2 5 を配線 2 4 に接続させた場合の例を、図 4 6 (B) に示す。

【 0 3 1 6 】

また、スイッチ 1 4 を設ける場所は、図 4 6 (A) に限定されず、図 4 3 と同様、他の場所に設けることも可能である。図 4 6 (C) に示す回路 1 0 0 は、図 4 6 (A) に対して、図 4 3 (A) と同様にスイッチ 1 4 を設けた場合の例であり、スイッチ 1 4 が、容量素子 1 0 2 の一方の電極及び容量素子 1 0 3 の一方の電極と、配線 2 5 との間の導通状態を制御する機能を有している。

【 0 3 1 7 】

また、スイッチ 1 4 に相当するスイッチは、1 つだけでなく、複数設けることも可能である。例えば、図 4 6 (D) に示す回路 1 0 0 は、スイッチ 1 4 の代わりに、容量素子 1 0 3 の他方の電極及び発光素子 1 0 4 a の陽極と、配線 2 4 との間の導通状態を制御する機能を有するスイッチ 1 4 a と、容量素子 1 0 2 の一方の電極及び容量素子 1 0 3 の一方の電極と、配線 2 5 との間の導通状態を制御する機能を有するスイッチ 1 4 b とを有する点において、図 4 6 (A) に示した回路 1 0 0 と構成が異なる。つまり、図 4 6 (D) は、スイッチ 1 4 が 2 カ所に追加されたものであると言える。

【 0 3 1 8 】

また、図 4 7 に示す半導体装置は、図 4 6 に示す回路 1 0 0 に加えて、配線 2 1 に一定電圧や信号を供給する機能を有する回路 2 2 0、配線 2 2 に一定電圧や信号を供給する機能

10

20

30

40

50

を有する回路 2 2 1、配線 2 3 に一定電圧や信号を供給する機能を有する回路 2 2 2、配線 2 4 に一定電圧や信号を供給する機能を有する回路 2 2 3、配線 2 5 に一定電圧や信号を供給する機能を有する回路 2 2 4 のうち複数の回路を、それぞれ有する。

【 0 3 1 9 】

なお、図 4 6 及び図 4 7 では、発光素子 1 0 4 a を用いた場合の回路 1 0 0 の構成を示しているが、本発明の一態様に係る半導体装置は、図 4 6 及び図 4 7 に示した回路 1 0 0 において、発光素子 1 0 4 a が不在構成、或いは、発光素子 1 0 4 a の代わりに負荷 1 0 4 または発光素子 1 0 4 b を有する構成を有していても良い。

【 0 3 2 0 】

なお、スイッチ 1 4 およびスイッチ 9 1 4 を設ける構成は、図 4 6、図 8 7 だけでなく、様々な構成を取ることが出来る。この場合の駆動方法は、図 5、図 6、図 1 7、図 1 8、図 2 0、図 3 5、図 3 6 と同様に行うことが出来る。図 4 8 (A) に示す回路 1 0 0 は、図 4 6 (A) に示した回路 1 0 0 と、スイッチ 1 4 の位置が異なる構成に相当する。図 4 8 (A) に示す回路 1 0 0 では、スイッチ 1 4 が、トランジスタ 1 0 1 のソースまたはドレインの一方と、配線 2 5 との間の導通状態を制御する機能を有する。

【 0 3 2 1 】

また、図 4 8 (A) でも、図 4 4 (D) や図 4 5 と同様、配線 2 5 を別の配線と接続することが可能であり、例えば、図 4 8 (B) に示す回路 1 0 0 は、図 4 6 (A) に示した回路 1 0 0 において、配線 2 5 を配線 2 4 に接続させた場合の例を示す。

【 0 3 2 2 】

また、図 4 8 (C) 及び図 4 8 (D) に示す半導体装置は、図 4 8 (A) 及び図 4 8 (B) に示す回路 1 0 0 に加えて、配線 2 1 に一定電圧や信号を供給する機能を有する回路 2 2 0、配線 2 2 に一定電圧や信号を供給する機能を有する回路 2 2 1、配線 2 3 に一定電圧や信号を供給する機能を有する回路 2 2 2、配線 2 4 に一定電圧や信号を供給する機能を有する回路 2 2 3、配線 2 5 に一定電圧や信号を供給する機能を有する回路 2 2 4 のうち複数の回路を、それぞれ有する。

【 0 3 2 3 】

なお、図 4 8 では、発光素子 1 0 4 a を用いた場合の回路 1 0 0 の構成を示しているが、本発明の一態様に係る半導体装置は、図 4 8 に示した回路 1 0 0 において、発光素子 1 0 4 a が不在構成、或いは、発光素子 1 0 4 a の代わりに負荷 1 0 4 または発光素子 1 0 4 b を有する構成を有していても良い。

【 0 3 2 4 】

図 4 9 (A) に示す回路 1 0 0 は、スイッチ 1 4 およびスイッチ 9 1 4 を設ける場合の別の例であり、図 1 1 (C) に示した回路 1 0 0 に、スイッチ 9 1 4 を追加した構成、または、図 3 0 (C) に示した回路 1 0 0 にスイッチ 1 4 を追加した構成に相当する。図 4 9 (A) に示す回路 1 0 0 では、スイッチ 9 1 4 が、トランジスタ 1 0 1 のソースまたはドレインの一方及び容量素子 1 0 3 の他方の電極と、発光素子 1 0 4 a の陽極との間の導通状態を制御する機能を有する。

【 0 3 2 5 】

この場合の駆動方法は、図 5、図 6、図 1 7、図 1 8、図 2 0、図 3 5、図 3 6 と同様に行うことが出来る。駆動方法の一例を、以下に示す。

【 0 3 2 6 】

まず、期間 T 1 1 において行われる第 1 の動作について説明する。期間 T 1 1 では、スイッチ 1 1、スイッチ 9 1 4 が非導通状態、スイッチ 1 2、スイッチ 1 3、及びスイッチ 1 4 が導通状態である。よって、期間 T 1 1 では、容量素子 1 0 2 に電圧 $V_{i2} - V_{i1}$ が供給され、発光素子 1 0 4 a のアノードは電位 V_{i1} となり、トランジスタ 1 0 1 のゲートソース間電圧 (V_{gs101}) は、電圧 $V_{i2} - V_{i1}$ となる。つまり、トランジスタ 1 0 1、及び、容量素子 1 0 2 を、初期化していることとなる。

【 0 3 2 7 】

なお、スイッチ 1 1 は、配線 2 1 の電位がトランジスタ 1 0 1、及び、容量素子 1 0 2 の

10

20

30

40

50

初期化に悪影響を及ぼさない場合には、導通状態であってもよい。その場合、スイッチ 14 は、非導通状態でもよい。

【0328】

なお、スイッチ 13 は、非導通状態であってもよい。

【0329】

なお、スイッチ 914 は、導通状態であってもよい。

【0330】

期間 T12 において行われる第 2 の動作について説明する。期間 T12 では、スイッチ 11、スイッチ 14、スイッチ 914 が非導通状態、スイッチ 12 及びスイッチ 13 が導通状態である。スイッチ 11、スイッチ 914、スイッチ 14 が非導通状態となることで、容量素子 102 に蓄積されている電荷がトランジスタ 101 を介して放出され、トランジスタ 101 のソースの電位が上昇する。そして、トランジスタ 101 がオフ状態となると、容量素子 102 からの電荷の放出が止まる。最終的には、トランジスタ 101 の閾値電圧 V_{th} が容量素子 102 に保持される。よって、期間 T12 では、容量素子 102 に閾値電圧 V_{th} が保持され、発光素子 104a のアノードは電位 $V_{i2} - V_{th}$ となり、トランジスタ 101 のゲートソース間電圧 (V_{gs101}) は、閾値電圧 V_{th} (または V_{th} に応じた大きさの電圧) となる。つまり、トランジスタ 101 のしきい値電圧 V_{th} (または V_{th} に応じた大きさの電圧) を取得することができる。

10

【0331】

なお、第 2 の動作において、トランジスタ 101 のしきい値電圧 V_{th} が正か負かということに関係なく、動作させることができる。これは、トランジスタ 101 がオフ状態となるまで、トランジスタ 101 のソース電位が上昇できるからである。つまり、トランジスタ 101 のゲート電位よりも、トランジスタ 101 のソース電位の方が高くなった状態で、ようやくトランジスタ 101 がオフし、 V_{gs101} が V_{th} となる、ということが可能であるからである。したがって、トランジスタ 101 がエンハンスメント型 (ノーマリオフ型) であっても、デプリーション型 (ノーマリオン型) であっても、正常に動作させることができる。

20

【0332】

なお、発光素子 104a のアノードの電位が高くなったときに、発光素子 104a に電流が流れないようにすることが望ましい。発光素子 104a に電流が流れないようにするためには、電位 V_{i2} を低い値とすることが好適である。ただし、スイッチ 914 を非導通状態にすることにより、発光素子 104a に電流が流れないようにすることが可能であるため、電位 V_{i2} は、高い値でもよい。

30

【0333】

なお、スイッチ 914 は、導通状態であってもよい。

【0334】

期間 T13 において行われる第 3 の動作について説明する。期間 T13 では、スイッチ 11 及びスイッチ 14 が導通状態、スイッチ 12、スイッチ 13、スイッチ 914 が非導通状態である。また、配線 21 には電位 V_{sig} が供給される。よって、期間 T13 では、容量素子 102 に閾値電圧 V_{th} (または V_{th} に応じた大きさの電圧) が保持され、容量素子 103 に電圧 $V_{sig} - V_{i1}$ が保持され、発光素子 104a のアノードは電位 V_{i1} となり、トランジスタ 101 のゲートの電位は電位 $V_{sig} + V_{th}$ となり、トランジスタ 101 のゲートソース間電圧 (V_{gs101}) は電圧 $V_{sig} + V_{th} - V_{i1}$ となる。したがって、電位 V_{sig} を容量素子 103 に入力することが出来る。または、容量素子 102 の電圧と容量素子 103 の電圧との和が、トランジスタ 101 のゲートソース間電圧となるようにすることが出来る。

40

【0335】

なお、このとき、スイッチ 14 を、非導通状態とすることも可能である。

【0336】

なお、スイッチ 914 は、導通状態であってもよい。

50

【0337】

期間T14において行われる第4の動作について説明する。期間T14では、スイッチ11、スイッチ12、スイッチ13、及びスイッチ14が非導通状態であり、スイッチ914は導通状態である。よって、期間T14では、容量素子102に閾値電圧 V_{th} が保持され、容量素子103に電圧 $V_{sig} - V_{i1}$ が保持され、発光素子104aのアノードは電位 V_{e1} となり、トランジスタ101のゲートの電位は電位 $V_{sig} + V_{th} + V_{e1}$ となり、トランジスタ101のゲートソース間電圧(V_{gs101})は電圧 $V_{sig} + V_{th} - V_{i1}$ となる。したがって、電位 V_{sig} に応じた大きさの電流を発光素子104aに流すことができ、電位 V_{sig} に応じた輝度で発光素子104aを発光させることができる。

10

【0338】

なお、第4の動作の一部の期間において、強制的にトランジスタ101がオフ状態になることや、発光素子104aに電流が流れないようにして、発光素子104aが発光しないような状況にすることも可能である。つまり、非発光期間を設けることも可能である。例えば、スイッチ12をオンにすることにより、トランジスタ101をオフ状態にすることが可能である。または、スイッチ14をオンにすることにより、発光素子104aに電流が流れないようにすることが可能である。または、スイッチ914をオフにすることにより、発光素子104aに電流が流れないようにすることが可能である。

【0339】

なお、上記第3の動作が行われる期間T13の後、上記第4の動作が行われる期間T14の前に、第6の動作が行われる期間T16を設けても良い。

20

【0340】

期間T16において行われる第6の動作について説明する。期間T16では、スイッチ12が導通状態、スイッチ11、スイッチ13、スイッチ914及びスイッチ14が非導通状態である。よって、期間T16では、トランジスタ101のゲートソース間電圧(V_{gs101})は、電圧 $V_{sig} + V_{th} - V_{i1} - V_{e1}$ となる。

【0341】

第6の動作で、電位 V_{e1} は、発光素子104aのアノードが電氣的に浮遊状態(フローティング状態)となることで変動する電位である。電位 V_{e1} は、トランジスタ101がオフであるならば、発光素子104aの容量値と、容量素子102及び容量素子103の容量値の比に応じて、その値が定まる。しかし、電位 V_{sig} の高さによっては、トランジスタ101がオンするので、トランジスタ101を介して発光素子104aのアノードに電荷が流入してしまう。よって、電位 V_{e1} は、上記静電容量の比によってのみ決まらず、発光素子104aのアノードに流入する電荷によっても、その値が変化する。

30

【0342】

なお、スイッチ12とスイッチ13とは、同じタイミングで、オンオフを制御されることが可能である。よって、スイッチ12とスイッチ13とを同じ極性のトランジスタを用いて構成した場合、図15と同様に、トランジスタのゲートを互いに接続させることが可能である。

【0343】

また、配線22や配線25は、他の様々な配線と接続させることが可能である。例えば、図49(B)に示す回路100は、図49(A)に示した回路100において、配線25が配線24に接続されている場合を示す。

40

【0344】

また、図8、図9、図21、図22などと同様に、容量素子105を追加して設けることも可能であり、例えば、図49(C)に示す回路100は、図49(A)に示した回路100に、容量素子105を追加した構成に相当する。そして、上記容量素子105の一方の電極は、容量素子103の他方の電極に接続され、上記容量素子105の他方の電極は、配線26に接続されている。

【0345】

50

また、図４９（Ｃ）とは異なる配置で容量素子１０５を設けた場合の例として、図４９（Ｄ）に示す回路１００は、図４９（Ａ）に示した回路１００に、容量素子１０５を追加した構成に相当する。そして、上記容量素子１０５の一方の電極は、発光素子１０４ａの陽極に接続され、上記容量素子１０５の他方の電極は、配線２６に接続されている。

【０３４６】

また、図５０に示す半導体装置は、図４９に示す回路１００に加えて、配線２１に一定電圧や信号を供給する機能を有する回路２２０、配線２２に一定電圧や信号を供給する機能を有する回路２２１、配線２３に一定電圧や信号を供給する機能を有する回路２２２、配線２４に一定電圧や信号を供給する機能を有する回路２２３、配線２５に一定電圧や信号を供給する機能を有する回路２２４、配線２６に一定電圧や信号を供給する機能を有する回路２２５のうち複数の回路を、それぞれ有する。

10

【０３４７】

なお、図４９及び図５０では、発光素子１０４ａを用いた場合の回路１００の構成を示しているが、本発明の一態様に係る半導体装置は、図４９及び図５０に示した回路１００において、発光素子１０４ａがない構成、或いは、発光素子１０４ａの代わりに負荷１０４または発光素子１０４ｂを有する構成を有していても良い。

【０３４８】

なお、図４９（Ｃ）及び図４９（Ｄ）においても、図８、図２１、図４３、図４５、図４６などと同様に、配線２２、配線２３、配線２４、配線２５、配線２６などは、互いに接続することが可能である。

20

【０３４９】

なお、図４９では、容量素子１０５を１つ追加した場合を示したが、本発明の実施形態の一態様は、これに限定されない。容量素子１０５を追加した回路１００において、さらに多くの容量素子を追加することが可能である。例えば、図５１（Ａ）に示す回路１００は、図４９（Ａ）に示した回路１００に、容量素子１０５ａ及び容量素子１０５ｂを追加した構成に相当する。そして、上記容量素子１０５ａの一方の電極は、容量素子１０３の他方の電極に接続され、上記容量素子１０５ａの他方の電極は、配線２６に接続されている。上記容量素子１０５ｂの一方の電極は、発光素子１０４ａの陽極に接続され、上記容量素子１０５ｂの他方の電極は、配線２７に接続されている。

【０３５０】

30

また、配線２５は、他の配線と接続させることが可能であり、例えば、図５１（Ｂ）に示す回路１００は、図５０（Ｃ）に示した回路１００において、配線２５を配線２４に接続した構成に相当する。

【０３５１】

また、図５１（Ｃ）に示す回路１００は、図５０（Ｄ）に示した回路１００において、配線２５を配線２４に接続した構成に相当する。

【０３５２】

また、図５１（Ｄ）に示す回路１００は、図５１（Ａ）に示した回路１００において、配線２５を配線２４に接続した構成に相当する。

【０３５３】

40

また、図５２に示す半導体装置は、図５１に示す回路１００に加えて、配線２１に一定電圧や信号を供給する機能を有する回路２２０、配線２２に一定電圧や信号を供給する機能を有する回路２２１、配線２３に一定電圧や信号を供給する機能を有する回路２２２、配線２４に一定電圧や信号を供給する機能を有する回路２２３、配線２５に一定電圧や信号を供給する機能を有する回路２２４、配線２６に一定電圧や信号を供給する機能を有する回路２２５、配線２７に一定電圧や信号を供給する機能を有する回路２２６のうち複数の回路を、それぞれ有する。

【０３５４】

回路２２６の例としては、電源回路などがある。したがって、配線２７は、所定の電位を、伝えることが出来る機能、または、供給することが出来る機能を有している。または、

50

配線 27 は、容量用配線としての機能を有している。なお、配線 27 の電位は、一定の電位であることが望ましいが、本発明の実施形態の一態様は、これに限定されず、パルス信号のように変動してもよい。なお、配線 27 は、他の配線と接続させることが可能である。例えば、配線 25、配線 24、配線 22、配線 26、配線 23、ゲート信号線、他の回路 100 の配線など、さまざまな配線と接続させることが可能である。

【0355】

なお、図 51 及び図 52 では、発光素子 104a を用いた場合の回路 100 の構成を示しているが、本発明の一態様に係る半導体装置は、図 51 及び図 52 に示した回路 100 において、発光素子 104a が無い構成、或いは、発光素子 104a の代わりに負荷 104 または発光素子 104b を有する構成を有していても良い。

10

【0356】

なお、これまでに述べた様々な回路において、配線 22 は、他の配線と接続させることが可能である。その結果、配線の数 を低減することが可能となる。例えば、配線 22 を、配線 21、配線 23、配線 23a、配線 23b、配線 24、配線 25、配線 26、配線 27 などと接続させることが可能である。または、配線 22 を、走査線、ゲート線、トランジスタのゲートと接続された配線などと接続させることが可能である。一例としては、図 53 (A) に示す回路 100 は、図 11 (C) に示した回路 100 において、配線 22 を配線 21 に接続した構成を示す。

【0357】

同様に、図 53 (B) に示す回路 100 は、図 1 (C) に示した回路 100 において、配線 22 を配線 21 に接続した構成を示す。

20

【0358】

また、図 8、図 9、図 21、図 22 などと同様に、容量素子 105 を追加することも可能である。例えば、図 53 (C) に示す回路 100 は、図 53 (A) に示した回路 100 に、容量素子 105 を追加した構成、または、図 21 (A) に示した回路 100 において配線 22 を配線 21 に接続した構成に相当する。

【0359】

また、図 43 などにおいても同様に、配線 22 を配線 21 と接続させることが可能である。例えば、図 53 (D) に示す回路 100 は、図 43 (B) に示した回路 100 において、配線 22 を配線 21 と接続した構成となっている。

30

【0360】

また、図 54 に示す半導体装置は、図 53 に示す回路 100 に加えて、配線 21 に一定電圧や信号を供給する機能を有する回路 220、配線 23 に一定電圧や信号を供給する機能を有する回路 222、配線 24 に一定電圧や信号を供給する機能を有する回路 223、配線 25 に一定電圧や信号を供給する機能を有する回路 224、配線 26 に一定電圧や信号を供給する機能を有する回路 225 のうち複数の回路を、それぞれ有する。

【0361】

なお、図 53 及び図 54 では、発光素子 104a を用いた場合の回路 100 の構成を示しているが、本発明の一態様に係る半導体装置は、図 53 及び図 54 に示した回路 100 において、発光素子 104a が無い構成、或いは、発光素子 104a の代わりに負荷 104 または発光素子 104b を有する構成を有していても良い。

40

【0362】

なお、ある配線が第 1 の配線と接続されている場合、第 2 の配線も第 1 の配線と接続されたり、第 3 の配線と接続されることが可能である。例えば、配線 22 が、ある一つの配線と接続されている場合、配線 25 も他の一つの配線と接続されることが可能である。例えば、図 55 (A) に示す回路 100 は、図 11 (C) に示した回路 100 において、配線 22 が配線 21 に接続され、配線 25 が配線 24 に接続されている構成、図 54 (A) に示した回路 100 において、配線 25 が配線 24 に接続されている構成、または、図 45 (A) に示した回路 100 において、配線 22 が配線 21 に接続されている構成を示す。

【0363】

50

また、図 8、図 9、図 21、図 22 などと同様に、容量素子 105 を追加することも可能である。例えば、図 55 (B) に示す回路 100 は、図 55 (A) に示した回路 100 に、容量素子 105 を追加した構成、または、図 45 (B) に示した回路 100 において配線 22 が配線 21 に接続された構成に相当する。

【0364】

また、スイッチ 14 の位置を変更した場合にも適用することが可能であり、図 55 (C) に示す回路 100 は、図 43 (E) に示した回路 100 において、配線 22 が配線 21 に接続された構成を示す。

【0365】

また、図 56 に示す半導体装置は、図 55 に示す回路 100 に加えて、配線 21 に一定電圧や信号を供給する機能を有する回路 220、配線 23 に一定電圧や信号を供給する機能を有する回路 222、配線 24 に一定電圧や信号を供給する機能を有する回路 223、配線 26 に一定電圧や信号を供給する機能を有する回路 225 のうち複数の回路を、それぞれ有する。

10

【0366】

なお、図 55 及び図 56 では、発光素子 104a を用いた場合の回路 100 の構成を示しているが、本発明の一態様に係る半導体装置は、図 55 及び図 56 に示した回路 100 において、発光素子 104a が無い構成、或いは、発光素子 104a の代わりに負荷 104 または発光素子 104b を有する構成を有していても良い。

【0367】

20

また、図 57 (A) に示す回路 100 は、図 46 (A) に示した回路 100 において、配線 22 が配線 21 に接続された例を示す。

【0368】

また、図 57 (B) に示す回路 100 は、図 28 (C) に示した回路 100 において、配線 22 が配線 21 に接続された例を示す。

【0369】

また、図 8、図 9、図 21、図 22 などと同様に、スイッチ 914 を追加することも可能である。例えば、図 57 (C) に示す回路 100 は、図 53 (C) に示した回路 100 に、スイッチ 914 を追加した構成に相当する。

【0370】

30

また、図 57 (D) に示す回路 100 は、図 53 (D) に示した回路 100 に、スイッチ 914 を追加した構成、または、図 57 (C) におけるスイッチ 14 の配置を変更した構成に相当する。

【0371】

また、図 58 に示す半導体装置は、図 57 に示す回路 100 に加えて、配線 21 に一定電圧や信号を供給する機能を有する回路 220、配線 23 に一定電圧や信号を供給する機能を有する回路 222、配線 24 に一定電圧や信号を供給する機能を有する回路 223、配線 25 に一定電圧や信号を供給する機能を有する回路 224、配線 26 に一定電圧や信号を供給する機能を有する回路 225 のうち複数の回路を、それぞれ有する。

【0372】

40

なお、図 57 及び図 58 では、発光素子 104a を用いた場合の回路 100 の構成を示しているが、本発明の一態様に係る半導体装置は、図 57 及び図 58 に示した回路 100 において、発光素子 104a が無い構成、或いは、発光素子 104a の代わりに負荷 104 または発光素子 104b を有する構成を有していても良い。

【0373】

また、図 59 (A) に示す回路 100 は、図 57 (A) に示した回路 100 において、配線 25 を配線 24 に接続した場合の構成を示す。

【0374】

また、図 59 (B) に示す回路 100 は、図 57 (C) に示した回路 100 において、配線 25 を配線 24 に接続した場合の構成を示す。

50

【 0 3 7 5 】

また、図 5 9 (C) に示す回路 1 0 0 は、図 5 7 (D) に示した回路 1 0 0 において、配線 2 5 を配線 2 4 に接続した場合の構成を示す。

【 0 3 7 6 】

また、図 6 0 に示す半導体装置は、図 5 9 に示す回路 1 0 0 に加えて、配線 2 1 に一定電圧や信号を供給する機能を有する回路 2 2 0、配線 2 3 に一定電圧や信号を供給する機能を有する回路 2 2 2、配線 2 4 に一定電圧や信号を供給する機能を有する回路 2 2 3、配線 2 6 に一定電圧や信号を供給する機能を有する回路 2 2 5 のうち複数の回路を、それぞれ有する。

【 0 3 7 7 】

なお、図 5 9 及び図 6 0 では、発光素子 1 0 4 a を用いた場合の回路 1 0 0 の構成を示しているが、本発明の一態様に係る半導体装置は、図 5 9 及び図 6 0 に示した回路 1 0 0 において、発光素子 1 0 4 a が無い構成、或いは、発光素子 1 0 4 a の代わりに負荷 1 0 4 または発光素子 1 0 4 b を有する構成を有していても良い。

【 0 3 7 8 】

なお、配線 2 2 は、配線 2 1 以外の配線と接続することが可能である。例えば、配線 2 2 は、配線 2 4 と接続することも可能である。例えば、図 6 1 (A) に示す回路 1 0 0 は、図 1 1 (C) に示した回路 1 0 0 において、配線 2 2 が配線 2 4 と接続された構成を示す。

【 0 3 7 9 】

また、図 6 1 (B) に示す回路 1 0 0 は、図 1 (C) に示した回路 1 0 0 において、配線 2 2 が配線 2 4 と接続された構成を示す。

【 0 3 8 0 】

また、図 6 1 (C) に示す回路 1 0 0 は、図 2 1 (A) に示した回路 1 0 0 において、配線 2 2 が配線 2 4 と接続された構成を示す。

【 0 3 8 1 】

また、図 6 1 (D) に示す回路 1 0 0 は、図 4 3 (A) に示した回路 1 0 0 において、配線 2 2 が配線 2 4 と接続された構成を示す。

【 0 3 8 2 】

また、図 6 2 に示す半導体装置は、図 6 1 に示す回路 1 0 0 に加えて、配線 2 1 に一定電圧や信号を供給する機能を有する回路 2 2 0、配線 2 3 に一定電圧や信号を供給する機能を有する回路 2 2 2、配線 2 4 に一定電圧や信号を供給する機能を有する回路 2 2 3、配線 2 5 に一定電圧や信号を供給する機能を有する回路 2 2 4、配線 2 6 に一定電圧や信号を供給する機能を有する回路 2 2 5 のうち複数の回路を、それぞれ有する。

【 0 3 8 3 】

なお、図 6 1 及び図 6 2 では、発光素子 1 0 4 a を用いた場合の回路 1 0 0 の構成を示しているが、本発明の一態様に係る半導体装置は、図 6 1 及び図 6 2 に示した回路 1 0 0 において、発光素子 1 0 4 a が無い構成、或いは、発光素子 1 0 4 a の代わりに負荷 1 0 4 または発光素子 1 0 4 b を有する構成を有していても良い。

【 0 3 8 4 】

また、図 8、図 9、図 2 1、図 2 2 などと同様に、容量素子 1 0 5 を追加することも可能である。例えば、図 6 3 (A) に示す回路 1 0 0 は、図 6 1 (B) に示した回路 1 0 0 に、容量素子 1 0 5 を追加した構成、または、図 8 (A) に示した回路 1 0 0 において、配線 2 2 を配線 2 4 に接続した構成に相当する。

【 0 3 8 5 】

また、図 6 3 (B) に示す回路 1 0 0 は、図 4 6 (A) に示した回路 1 0 0 において、配線 2 2 を配線 2 4 に接続した構成に相当する。

【 0 3 8 6 】

また、図 6 3 (C) に示す回路 1 0 0 は、図 2 8 (C) に示した回路 1 0 0 において、配線 2 2 を配線 2 4 に接続した構成に相当する。

【0387】

また、図63(D)に示す回路100は、図63(C)に示した回路100に示した回路100に、図8、図9、図21、図22などと同様に、容量素子105を追加した構成に相当する。

【0388】

また、図64に示す半導体装置は、図63に示す回路100に加えて、配線21に一定電圧や信号を供給する機能を有する回路220、配線23に一定電圧や信号を供給する機能を有する回路222、配線24に一定電圧や信号を供給する機能を有する回路223、配線25に一定電圧や信号を供給する機能を有する回路224、配線26に一定電圧や信号を供給する機能を有する回路225のうち複数の回路を、それぞれ有する。

10

【0389】

なお、図63及び図64では、発光素子104aを用いた場合の回路100の構成を示しているが、本発明の一態様に係る半導体装置は、図63及び図64に示した回路100において、発光素子104aがない構成、或いは、発光素子104aの代わりに負荷104または発光素子104bを有する構成を有していても良い。

【0390】

また、図65(A)に示す回路100は、図61(D)に示した回路100に、スイッチ914を追加した構成に相当する。図65(A)に示す回路100では、スイッチ914が、トランジスタ101のソースまたはドレインの一方と、容量素子103の他方の電極及び発光素子104aの陽極との間の導通状態を制御する機能を有する。

20

【0391】

また、図65(B)に示す回路100は、図61(A)に示した回路100において、配線25が配線24に接続された例を示す。

【0392】

また、図65(C)に示す回路100は、図61(C)に示した回路100において、配線25が配線24に接続された例を示す。

【0393】

また、図65(D)に示す回路100は、図61(D)に示した回路100において、配線25が配線24に接続された例を示す。

【0394】

30

また、図66に示す半導体装置は、図65に示す回路100に加えて、配線21に一定電圧や信号を供給する機能を有する回路220、配線23に一定電圧や信号を供給する機能を有する回路222、配線24に一定電圧や信号を供給する機能を有する回路223、配線25に一定電圧や信号を供給する機能を有する回路224、配線26に一定電圧や信号を供給する機能を有する回路225のうち複数の回路を、それぞれ有する。

【0395】

なお、図65及び図66では、発光素子104aを用いた場合の回路100の構成を示しているが、本発明の一態様に係る半導体装置は、図65及び図66に示した回路100において、発光素子104aがない構成、或いは、発光素子104aの代わりに負荷104または発光素子104bを有する構成を有していても良い。

40

【0396】

また、図67(A)に示す回路100は、図65(A)に示した回路100において、図8、図9、図21、図22などと同様に、容量素子105を追加した構成に相当する。

【0397】

また、図67(B)に示す回路100は、図65(D)に示した回路100において、図8、図9、図21、図22などと同様に、容量素子105を追加した構成に相当する。

【0398】

また、図67(C)に示す回路100は、図63(C)に示した回路100において、図8、図9、図21、図22などと同様に、容量素子105を追加した構成に相当する。

【0399】

50

また、図 6 8 に示す半導体装置は、図 6 7 に示す回路 1 0 0 に加えて、配線 2 1 に一定電圧や信号を供給する機能を有する回路 2 2 0、配線 2 3 に一定電圧や信号を供給する機能を有する回路 2 2 2、配線 2 4 に一定電圧や信号を供給する機能を有する回路 2 2 3、配線 2 5 に一定電圧や信号を供給する機能を有する回路 2 2 4、配線 2 6 に一定電圧や信号を供給する機能を有する回路 2 2 5 のうち複数の回路を、それぞれ有する。

【 0 4 0 0 】

なお、図 6 7 及び図 6 8 では、発光素子 1 0 4 a を用いた場合の回路 1 0 0 の構成を示しているが、本発明の一態様に係る半導体装置は、図 6 7 及び図 6 8 に示した回路 1 0 0 において、発光素子 1 0 4 a が無い構成、或いは、発光素子 1 0 4 a の代わりに負荷 1 0 4 または発光素子 1 0 4 b を有する構成を有していても良い。

10

【 0 4 0 1 】

なお、図 3 2 で示す回路 1 0 0 においても、これまでに述べた図と同様に、スイッチ 1 4、スイッチ 9 1 4、容量素子 1 0 5 などを追加する事が可能である。または、図 3 2 で示す回路 1 0 0 においても、様々な配線を、別の様々な配線に接続させて、配線の数減らすことが可能である。例えば、図 6 9 (A) 乃至図 6 9 (D) に示す回路 1 0 0 は、図 1 1 と同様に、図 3 2 (A) 乃至図 3 2 (D) に示した回路 1 0 0 に、スイッチ 1 4 を追加した構成に、それぞれ相当する。

【 0 4 0 2 】

また、本発明の一態様に係る半導体装置は、図 6 9 (A) 乃至図 6 9 (D) に示した回路 1 0 0 に加えて、回路 1 0 0 に各種の一定電圧や信号を供給する機能を有する回路を、さらに有していても良い。

20

【 0 4 0 3 】

図 7 0 (A) 乃至図 7 0 (D) に示す半導体装置は、図 6 9 (A) 乃至図 6 9 (D) に示す回路 1 0 0 に加えて、配線 2 1 に一定電圧や信号を供給する機能を有する回路 2 2 0 と、配線 2 2 に一定電圧や信号を供給する機能を有する回路 2 2 1 と、配線 2 3 a に一定電圧や信号を供給する機能を有する回路 2 2 2 a と、配線 2 3 b に一定電圧や信号を供給する機能を有する回路 2 2 2 b と、配線 2 4 に一定電圧や信号を供給する機能を有する回路 2 2 3 と、配線 2 5 に一定電圧や信号を供給する機能を有する回路 2 2 4 とを、それぞれ有する。

【 0 4 0 4 】

30

なお、図 7 0 (A) 乃至図 7 0 (D) では、半導体装置が、回路 1 0 0 に加えて、回路 2 2 0、回路 2 2 1、回路 2 2 2 a、回路 2 2 2 b、回路 2 2 3、及び回路 2 2 4 を有する場合を一例として示しているが、本発明の一態様に係る半導体装置は、必ずしも回路 1 0 0 に加えて、回路 2 2 0、回路 2 2 1、回路 2 2 2 a、回路 2 2 2 b、回路 2 2 3、及び回路 2 2 4 を全て有する必要はなく、そのいずれか一つまたは複数だけを有していても良い。

【 0 4 0 5 】

また、図 7 3 (A) に示す回路 1 0 0 は、図 3 2 (C) に示す回路 1 0 0 に、スイッチ 9 1 4 を追加した構成に相当する。そして、スイッチ 9 1 4 は、トランジスタ 1 0 1 のソースまたはドレインの一方と、容量素子 1 0 3 の他方の電極及び発光素子 1 0 4 a の陽極との間の導通状態を制御する機能を有する。

40

【 0 4 0 6 】

また、図 7 3 (B) に示す回路 1 0 0 は、図 6 9 (C) に示した回路 1 0 0 に、スイッチ 9 1 4 を追加した構成に相当する。そして、スイッチ 9 1 4 は、トランジスタ 1 0 1 のソースまたはドレインの一方と、容量素子 1 0 3 の他方の電極及び発光素子 1 0 4 a の陽極との間の導通状態を制御する機能を有する。

【 0 4 0 7 】

また、本発明の一態様に係る半導体装置は、図 7 3 (A) 及び図 7 3 (B) に示した回路 1 0 0 に加えて、回路 1 0 0 に各種一定電圧や信号を供給する機能を有する回路を、さらに有していても良い。

50

【 0 4 0 8 】

図 7 3 (C) 及び図 7 3 (D) に示す半導体装置は、図 7 3 (A) 及び図 7 3 (B) に示す回路 1 0 0 に加えて、配線 2 1 に一定電圧や信号を供給する機能を有する回路 2 2 0 と、配線 2 2 に一定電圧や信号を供給する機能を有する回路 2 2 1 と、配線 2 3 a に一定電圧や信号を供給する機能を有する回路 2 2 2 a と、配線 2 3 b に一定電圧や信号を供給する機能を有する回路 2 2 2 b と、配線 2 4 に一定電圧や信号を供給する機能を有する回路 2 2 3 と、配線 2 5 に一定電圧や信号を供給する機能を有する回路 2 2 4 とを、それぞれ有する。

【 0 4 0 9 】

なお、図 7 3 (C) 及び図 7 3 (D) では、半導体装置が、回路 1 0 0 に加えて、回路 2 2 0、回路 2 2 1、回路 2 2 2 a、回路 2 2 2 b、回路 2 2 3、及び回路 2 2 4 を有する場合を一例として示しているが、本発明の一態様に係る半導体装置は、必ずしも回路 1 0 0 に加えて、回路 2 2 0、回路 2 2 1、回路 2 2 2 a、回路 2 2 2 b、回路 2 2 3、及び回路 2 2 4 を全て有する必要はなく、そのいずれか一つまたは複数だけを有していても良い。

10

【 0 4 1 0 】

なお、図 3 4 で示す回路 1 0 0 においても、これまでに述べた図と同様に、スイッチ 1 4、スイッチ 9 1 4、容量素子 1 0 5 などを追加する事が可能である。または、図 3 4 で示す回路 1 0 0 においても、様々な配線を、別の様々な配線に接続させて、配線の数を減らすことが可能である。例えば、図 7 1 (A) 乃至図 7 1 (D) に、図 3 4 (A) 乃至図 3 4 (D) に示した回路 1 0 0 の配置例をそれぞれ示す。

20

【 0 4 1 1 】

図 7 1 (C) に示す回路 1 0 0 を例に挙げて、本発明の一態様に係る半導体装置の動作の一例について説明する。

【 0 4 1 2 】

図 7 1 (C) に示す回路 1 0 0 の動作は、主に第 1 の動作、第 2 の動作、第 3 の動作、第 4 の動作に分けることができる。ただし、これに限定されず、新たな動作の追加、或いは、一部の動作の削除も可能である。

【 0 4 1 3 】

まず、期間 T 1 1 において行われる第 1 の動作について説明する。期間 T 1 1 では、図 7 2 (A) に示すように、スイッチ 1 1、スイッチ 1 3、及びスイッチ 1 4 が非導通状態、スイッチ 1 2 が導通状態である。また、配線 2 3 には電位 V_{i1} が供給される。よって、期間 T 1 1 では、発光素子 1 0 4 a のアノードは電位 V_{i1} となり、トランジスタ 1 0 1 のゲートソース間電圧 (V_{gs101}) は、電圧 $V_{i2} - V_{i1}$ となる。

30

【 0 4 1 4 】

なお、図 7 2 (A) では、スイッチ 1 1 が非導通状態の場合を一例として示しているが、スイッチ 1 1 は導通状態であっても良い。また、図 7 2 (A) では、スイッチ 1 4 が非導通状態の場合を一例として示しているが、スイッチ 1 4 は導通状態であっても良い。この場合、配線 2 5 には電位 V_{i3} が供給されるものとする。そして、発光素子 1 0 4 a のアノードは電位 V_{i3} となり、トランジスタ 1 0 1 のゲートソース間電圧 (V_{gs101}) は、電圧 $V_{i2} - V_{i3}$ となる。また、スイッチ 1 3 が導通状態であってもよい。

40

【 0 4 1 5 】

期間 T 1 2 において行われる第 2 の動作について説明する。期間 T 1 2 では、図 7 2 (B) に示すように、スイッチ 1 1 及びスイッチ 1 4 が非導通状態、スイッチ 1 2 及びスイッチ 1 3 が導通状態となる。また、配線 2 3 には電位 V_{DD} 、または、電位 V_{i1} より高い電位が供給される。配線 2 3 に電位 V_{DD} が供給されることで、容量素子 1 0 2 に蓄積されている電荷が放出され、最終的には、トランジスタ 1 0 1 の閾値電圧 V_{th} が容量素子 1 0 2 に保持される。よって、期間 T 1 2 では、容量素子 1 0 2 に閾値電圧 V_{th} が保持され、発光素子 1 0 4 a のアノードは電位 $V_{i2} - V_{th}$ となり、トランジスタ 1 0 1 のゲートソース間電圧 (V_{gs101}) は、閾値電圧 V_{th} となる。

50

【0416】

期間T13において行われる第3の動作について説明する。期間T13では、図72(C)に示すように、スイッチ11及びスイッチ14が導通状態、スイッチ12及びスイッチ13が非導通状態となる。また、配線21には電位Vsigが供給され、配線23には電位VDDが供給され、配線25には電位Vi3が供給される。よって、期間T13では、容量素子102に閾値電圧Vthが保持され、容量素子103に電圧Vsig - Vi3が保持され、発光素子104aのアノードは電位Vi3となり、トランジスタ101のゲートの電位は電位Vsig + Vthとなり、トランジスタ101のゲートソース間電圧(Vgs101)は電圧Vsig + Vth - Vi3となる。また、スイッチ14が非導通状態であってもよい。

10

【0417】

期間T14において行われる第4の動作について説明する。期間T14では、図72(D)に示すように、スイッチ11、スイッチ12、スイッチ13、及びスイッチ14が非導通状態となる。また、配線23には電位VDDが供給される。よって、期間T14では、容量素子102に閾値電圧Vthが保持され、容量素子103に電圧Vsig - Vi3が保持され、発光素子104aのアノードは電位Velとなり、トランジスタ101のゲートの電位は電位Vsig + Vth - Vi3 + Velとなり、トランジスタ101のゲートソース間電圧(Vgs101)は電圧Vsig + Vth - Vi3となる。

【0418】

なお、電位Velは、トランジスタ101を介して、発光素子104aに電流を流す際に設定される電位である。具体的には、電位VDDと電位Vcatの間の電位に設定されることとなる。

20

【0419】

上記第4の動作では、トランジスタ101のゲートソース間電圧(Vgs101)を、電圧Vsig + Vth - Vi3とし、トランジスタ101の閾値電圧Vthを加味した値に設定することができる。従って、上記構成により、トランジスタ101の閾値電圧Vthのばらつきが、発光素子104aに供給する電流値に影響を及ぼすのを防ぐことができる。または、トランジスタ101が劣化して、閾値電圧Vthが変化しても、上記変化が発光素子104aに供給する電流値に影響を及ぼすのを防ぐことができる。よって、表示ムラを低減でき、質の良い表示を行うことができる。

30

【0420】

なお、本発明の一態様に係る半導体装置では、第2の動作において、トランジスタ101のゲートを電位Vi2に保つ。上記動作により、トランジスタ101がノーマリオンであっても、すなわち閾値電圧Vthがマイナスの値を有していても、トランジスタ101において、ソースの電位がゲートの電位Vi2よりも高くなるまで容量素子102に蓄積されている電荷を放出することができる。よって、本発明の一態様に係る半導体装置では、トランジスタ101がノーマリオンであっても、上記第4の動作において、トランジスタ101の閾値電圧Vthを加味した値になるよう、トランジスタ101のゲートソース間電圧(Vgs101)を設定することができる。

【0421】

40

本実施の形態は、ある配線を、他の様々な配線、例えば、配線21、配線22、配線23、配線24、配線25、配線26、配線27、または、別の回路100の配線、走査線、ゲート線、トランジスタのゲートと接続された配線などに接続させた場合について示した。これにより、配線の数減らすことができる。または、ある回路100に、別のスイッチや別の素子、例えば、スイッチ914、スイッチ814、スイッチ14、容量素子105などを追加した構成について示した。つまり、本実施の形態は、他の実施の形態の一部または全部について、変更、追加、修正、削除、応用、上位概念化、又は、下位概念化したものに相当する。したがって、本実施の形態の一部または全部について、他の実施の形態の一部または全部と自由に組み合わせる、適用する、或いは置き換えて実施することができる。

50

【 0 4 2 2 】

(実施の形態 4)

図 7 4 乃至図 7 6 に、本発明の一態様に係る半導体装置における、各種配線の配置例を示す。

【 0 4 2 3 】

図 7 4 (A) では、 i 列 j 行目の回路 $100(i, j)$ 及び i 列 $j + 1$ 行目の回路 $100(i, j + 1)$ が、一の配線 2 1 及び一の配線 2 3 を共有している。また、 $i + 1$ 列 j 行目の回路 $100(i + 1, j)$ 及び $i + 1$ 列 $j + 1$ 行目の回路 $100(i + 1, j + 1)$ が、一の配線 2 1 及び一の配線 2 3 を共有している。

【 0 4 2 4 】

図 7 4 (B) では、 i 列 j 行目の回路 $100(i, j)$ 及び i 列 $j + 1$ 行目の回路 $100(i, j + 1)$ が、一の配線 2 1 を共有している。また、 $i + 1$ 列 j 行目の回路 $100(i + 1, j)$ 及び $i + 1$ 列 $j + 1$ 行目の回路 $100(i + 1, j + 1)$ が、一の配線 2 1 を共有している。また、 i 列 j 行目の回路 $100(i, j)$ 及び $i + 1$ 列 j 行目の回路 $100(i + 1, j)$ が、一の配線 2 3 を共有している。また、 i 列 $j + 1$ 行目の回路 $100(i, j + 1)$ 及び $i + 1$ 列 $j + 1$ 行目の回路 $100(i + 1, j + 1)$ が、一の配線 2 3 を共有している。

【 0 4 2 5 】

図 7 4 (C) では、 i 列 j 行目の回路 $100(i, j)$ 及び i 列 $j + 1$ 行目の回路 $100(i, j + 1)$ が、一の配線 2 1 を共有している。また、 $i + 1$ 列 j 行目の回路 $100(i + 1, j)$ 及び $i + 1$ 列 $j + 1$ 行目の回路 $100(i + 1, j + 1)$ が、一の配線 2 1 を共有している。また、 i 列 j 行目の回路 $100(i, j)$ 及び $i + 1$ 列 j 行目の回路 $100(i + 1, j)$ が、一の配線 2 3 を共有している。また、 i 列 $j + 1$ 行目の回路 $100(i, j + 1)$ 及び $i + 1$ 列 $j + 1$ 行目の回路 $100(i + 1, j + 1)$ が、一の配線 2 3 を共有している。また、 i 列 j 行目の回路 $100(i, j)$ 及び i 列 $j + 1$ 行目の回路 $100(i, j + 1)$ が、一の配線 2 3 を共有している。また、 $i + 1$ 列 j 行目の回路 $100(i + 1, j)$ 及び $i + 1$ 列 $j + 1$ 行目の回路 $100(i + 1, j + 1)$ が、一の配線 2 3 を共有している。そして、これらの配線 2 3 は、互いに接続されている。

【 0 4 2 6 】

図 7 4 (D) では、 i 列 j 行目の回路 $100(i, j)$ 及び i 列 $j + 1$ 行目の回路 $100(i, j + 1)$ が、一の配線 2 1 を共有している。また、 $i + 1$ 列 j 行目の回路 $100(i + 1, j)$ 及び $i + 1$ 列 $j + 1$ 行目の回路 $100(i + 1, j + 1)$ が、一の配線 2 1 を共有している。また、 i 列 j 行目の回路 $100(i, j)$ 、 i 列 $j + 1$ 行目の回路 $100(i, j + 1)$ 、 $i + 1$ 列 j 行目の回路 $100(i + 1, j)$ 、及び $i + 1$ 列 $j + 1$ 行目の回路 $100(i + 1, j + 1)$ が、一の配線 2 3 を共有している。そして、配線 2 3 は、配線 2 1 と並んで配置されている。

【 0 4 2 7 】

図 7 4 (E) では、 i 列 j 行目の回路 $100(i, j)$ 及び i 列 $j + 1$ 行目の回路 $100(i, j + 1)$ が、一の配線 2 1 を共有している。また、 $i + 1$ 列 j 行目の回路 $100(i + 1, j)$ 及び $i + 1$ 列 $j + 1$ 行目の回路 $100(i + 1, j + 1)$ が、一の配線 2 1 を共有している。また、 i 列 j 行目の回路 $100(i, j)$ 、 i 列 $j + 1$ 行目の回路 $100(i, j + 1)$ 、 $i + 1$ 列 j 行目の回路 $100(i + 1, j)$ 、及び $i + 1$ 列 $j + 1$ 行目の回路 $100(i + 1, j + 1)$ が、一の配線 2 3 を共有している。そして、配線 2 3 は、配線 2 1 と交差するように配置されている。

【 0 4 2 8 】

図 7 4 (F) では、 i 列 j 行目の回路 $100(i, j)$ 及び i 列 $j + 1$ 行目の回路 $100(i, j + 1)$ が、一の配線 2 1 を共有している。また、 $i + 1$ 列 j 行目の回路 $100(i + 1, j)$ 及び $i + 1$ 列 $j + 1$ 行目の回路 $100(i + 1, j + 1)$ が、一の配線 2 1 を共有している。また、 i 列 j 行目の回路 $100(i, j)$ 、 i 列 $j + 1$ 行目の回路 $100(i, j + 1)$ 、 $i + 1$ 列 j 行目の回路 $100(i + 1, j)$ 、及び $i + 1$ 列 $j + 1$ 行

10

20

30

40

50

目の回路 $100(i+1, j+1)$ が、2つの配線 23 を共有している。そして、上記 2つの配線 23 は、交差するように配置されており、互いに接続されている。

【0429】

図 75 (A) では、 i 列 j 行目の回路 $100(i, j)$ 及び i 列 $j+1$ 行目の回路 $100(i, j+1)$ が、一の配線 21、一の配線 22、及び一の配線 23 を共有している。また、 $i+1$ 列 j 行目の回路 $100(i+1, j)$ 及び $i+1$ 列 $j+1$ 行目の回路 $100(i+1, j+1)$ が、一の配線 21、一の配線 22、及び一の配線 23 を共有している。

【0430】

図 75 (B) では、 i 列 j 行目の回路 $100(i, j)$ 及び i 列 $j+1$ 行目の回路 $100(i, j+1)$ が、一の配線 21 及び一の配線 22 を共有している。また、 $i+1$ 列 j 行目の回路 $100(i+1, j)$ 及び $i+1$ 列 $j+1$ 行目の回路 $100(i+1, j+1)$ が、一の配線 21 及び一の配線 22 を共有している。また、 i 列 j 行目の回路 $100(i, j)$ 及び $i+1$ 列 j 行目の回路 $100(i+1, j)$ が、一の配線 23 を共有している。また、 i 列 $j+1$ 行目の回路 $100(i, j+1)$ 及び $i+1$ 列 $j+1$ 行目の回路 $100(i+1, j+1)$ が、一の配線 23 を共有している。

【0431】

図 75 (C) では、 i 列 j 行目の回路 $100(i, j)$ 及び i 列 $j+1$ 行目の回路 $100(i, j+1)$ が、一の配線 21 及び一の配線 23 を共有している。また、 $i+1$ 列 j 行目の回路 $100(i+1, j)$ 及び $i+1$ 列 $j+1$ 行目の回路 $100(i+1, j+1)$ が、一の配線 21 及び一の配線 23 を共有している。また、 i 列 j 行目の回路 $100(i, j)$ 及び $i+1$ 列 j 行目の回路 $100(i+1, j)$ が、一の配線 22 を共有している。また、 i 列 $j+1$ 行目の回路 $100(i, j+1)$ 及び $i+1$ 列 $j+1$ 行目の回路 $100(i+1, j+1)$ が、一の配線 22 を共有している。

【0432】

図 75 (D) では、 i 列 j 行目の回路 $100(i, j)$ 及び i 列 $j+1$ 行目の回路 $100(i, j+1)$ が、一の配線 21 を共有している。また、 $i+1$ 列 j 行目の回路 $100(i+1, j)$ 及び $i+1$ 列 $j+1$ 行目の回路 $100(i+1, j+1)$ が、一の配線 21 を共有している。また、 i 列 j 行目の回路 $100(i, j)$ 及び $i+1$ 列 j 行目の回路 $100(i+1, j)$ が、一の配線 22 及び一の配線 23 を共有している。また、 i 列 $j+1$ 行目の回路 $100(i, j+1)$ 及び $i+1$ 列 $j+1$ 行目の回路 $100(i+1, j+1)$ が、一の配線 22 及び一の配線 23 を共有している。

【0433】

図 75 (E) では、 i 列 j 行目の回路 $100(i, j)$ 及び i 列 $j+1$ 行目の回路 $100(i, j+1)$ が、一の配線 21 及び一の配線 23 を共有している。また、 $i+1$ 列 j 行目の回路 $100(i+1, j)$ 及び $i+1$ 列 $j+1$ 行目の回路 $100(i+1, j+1)$ が、一の配線 21 及び一の配線 23 を共有している。また、 i 列 j 行目の回路 $100(i, j)$ 及び $i+1$ 列 j 行目の回路 $100(i+1, j)$ が、一の配線 22 及び一の配線 23 を共有している。また、 i 列 $j+1$ 行目の回路 $100(i, j+1)$ 及び $i+1$ 列 $j+1$ 行目の回路 $100(i+1, j+1)$ が、一の配線 22 及び一の配線 23 を共有している。そして、これらの配線 23 は、互いに接続されている。

【0434】

図 76 (A) では、 i 列 j 行目の回路 $100(i, j)$ 及び i 列 $j+1$ 行目の回路 $100(i, j+1)$ が、一の配線 21 及び一の配線 22 を共有している。また、 $i+1$ 列 j 行目の回路 $100(i+1, j)$ 及び $i+1$ 列 $j+1$ 行目の回路 $100(i+1, j+1)$ が、一の配線 21 及び一の配線 22 を共有している。また、 i 列 j 行目の回路 $100(i, j)$ 、 i 列 $j+1$ 行目の回路 $100(i, j+1)$ 、 $i+1$ 列 j 行目の回路 $100(i+1, j)$ 、及び $i+1$ 列 $j+1$ 行目の回路 $100(i+1, j+1)$ が、一の配線 23 を共有している。そして、配線 23 は、配線 21 及び配線 22 と並んで配置されている。

【0435】

図 76 (B) では、 i 列 j 行目の回路 $100(i, j)$ 及び i 列 $j+1$ 行目の回路 100

($i, j+1$) が、一の配線 2 1 及び一の配線 2 3 を共有している。また、 $i+1$ 列 j 行目の回路 1 0 0 ($i+1, j$) 及び $i+1$ 列 $j+1$ 行目の回路 1 0 0 ($i+1, j+1$) が、一の配線 2 1 及び一の配線 2 3 を共有している。また、 i 列 j 行目の回路 1 0 0 (i, j)、 i 列 $j+1$ 行目の回路 1 0 0 ($i, j+1$)、 $i+1$ 列 j 行目の回路 1 0 0 ($i+1, j$)、及び $i+1$ 列 $j+1$ 行目の回路 1 0 0 ($i+1, j+1$) が、一の配線 2 2 を共有している。そして、配線 2 2 は、配線 2 1 及び配線 2 3 と並んで配置されている。

【0436】

図 7 6 (C) では、 i 列 j 行目の回路 1 0 0 (i, j) 及び i 列 $j+1$ 行目の回路 1 0 0 ($i, j+1$) が、一の配線 2 1 を共有している。また、 $i+1$ 列 j 行目の回路 1 0 0 ($i+1, j$) 及び $i+1$ 列 $j+1$ 行目の回路 1 0 0 ($i+1, j+1$) が、一の配線 2 1 を共有している。また、 i 列 j 行目の回路 1 0 0 (i, j)、 i 列 $j+1$ 行目の回路 1 0 0 ($i, j+1$)、 $i+1$ 列 j 行目の回路 1 0 0 ($i+1, j$)、及び $i+1$ 列 $j+1$ 行目の回路 1 0 0 ($i+1, j+1$) が、一の配線 2 2 及び一の配線 2 3 を共有している。そして、配線 2 2 及び配線 2 3 は、配線 2 1 と並んで配置されている。

10

【0437】

図 7 6 (D) では、 i 列 j 行目の回路 1 0 0 (i, j) 及び i 列 $j+1$ 行目の回路 1 0 0 ($i, j+1$) が、一の配線 2 1 を共有している。また、 $i+1$ 列 j 行目の回路 1 0 0 ($i+1, j$) 及び $i+1$ 列 $j+1$ 行目の回路 1 0 0 ($i+1, j+1$) が、一の配線 2 1 を共有している。また、 i 列 j 行目の回路 1 0 0 (i, j)、 i 列 $j+1$ 行目の回路 1 0 0 ($i, j+1$)、 $i+1$ 列 j 行目の回路 1 0 0 ($i+1, j$)、及び $i+1$ 列 $j+1$ 行目の回路 1 0 0 ($i+1, j+1$) が、一の配線 2 2 及び一の配線 2 3 を共有している。そして、配線 2 2 及び配線 2 3 は、配線 2 1 と交差するように配置されている。

20

【0438】

図 7 6 (E) では、 i 列 j 行目の回路 1 0 0 (i, j) 及び i 列 $j+1$ 行目の回路 1 0 0 ($i, j+1$) が、一の配線 2 1 を共有している。また、 $i+1$ 列 j 行目の回路 1 0 0 ($i+1, j$) 及び $i+1$ 列 $j+1$ 行目の回路 1 0 0 ($i+1, j+1$) が、一の配線 2 1 を共有している。また、 i 列 j 行目の回路 1 0 0 (i, j)、 i 列 $j+1$ 行目の回路 1 0 0 ($i, j+1$)、 $i+1$ 列 j 行目の回路 1 0 0 ($i+1, j$)、及び $i+1$ 列 $j+1$ 行目の回路 1 0 0 ($i+1, j+1$) が、一の配線 2 2 及び一の配線 2 3 を共有している。そして、配線 2 2 は、配線 2 1 と交差するように配置されている。また、配線 2 3 は、配線 2 1 と並んで配置されている。

30

【0439】

図 7 6 (F) では、 i 列 j 行目の回路 1 0 0 (i, j) 及び i 列 $j+1$ 行目の回路 1 0 0 ($i, j+1$) が、一の配線 2 1 を共有している。また、 $i+1$ 列 j 行目の回路 1 0 0 ($i+1, j$) 及び $i+1$ 列 $j+1$ 行目の回路 1 0 0 ($i+1, j+1$) が、一の配線 2 1 を共有している。また、 i 列 j 行目の回路 1 0 0 (i, j)、 i 列 $j+1$ 行目の回路 1 0 0 ($i, j+1$)、 $i+1$ 列 j 行目の回路 1 0 0 ($i+1, j$)、及び $i+1$ 列 $j+1$ 行目の回路 1 0 0 ($i+1, j+1$) が、一の配線 2 2 及び一の配線 2 3 を共有している。そして、配線 2 3 は、配線 2 1 と交差するように配置されている。また、配線 2 2 は、配線 2 1 と並んで配置されている。

40

【0440】

図 7 6 (G) では、 i 列 j 行目の回路 1 0 0 (i, j) 及び i 列 $j+1$ 行目の回路 1 0 0 ($i, j+1$) が、一の配線 2 1 及び一の配線 2 2 を共有している。また、 $i+1$ 列 j 行目の回路 1 0 0 ($i+1, j$) 及び $i+1$ 列 $j+1$ 行目の回路 1 0 0 ($i+1, j+1$) が、一の配線 2 1 及び一の配線 2 2 を共有している。また、 i 列 j 行目の回路 1 0 0 (i, j)、 i 列 $j+1$ 行目の回路 1 0 0 ($i, j+1$)、 $i+1$ 列 j 行目の回路 1 0 0 ($i+1, j$)、及び $i+1$ 列 $j+1$ 行目の回路 1 0 0 ($i+1, j+1$) が、2 つの配線 2 3 を共有している。そして、上記 2 つの配線 2 3 は、交差するように配置されており、互いに接続されている。

【0441】

50

本実施の形態は、他の実施の形態の一部または全部について、変更、追加、修正、削除、応用、上位概念化、又は、下位概念化したものに相当する。したがって、本実施の形態の一部または全部について、他の実施の形態の一部または全部と自由に組み合わせる、適用する、或いは置き換えて実施することができる。

【0442】

(実施の形態5)

図13(A)に示した回路100の上面図を、一例として図77に示す。

【0443】

図77において、半導体膜300は、トランジスタ11tの活性層、容量素子102の一方の電極、容量素子103の一方の電極、トランジスタ13tの活性層、トランジスタ14tの活性層、トランジスタ101の活性層として、機能する。半導体膜301は、トランジスタ12tの活性層として機能する。導電膜302は、容量素子102の他方の電極として機能する。導電膜303は、容量素子103の他方の電極として機能する。導電膜304は、トランジスタ13tのゲートとして機能する。

【0444】

導電膜305は、配線22と、トランジスタ12tのソースまたはドレインの一方とに接続されている。導電膜306は、トランジスタ12tのソースまたはドレインの他方と、導電膜302とに接続されている。導電膜307は、導電膜304と、配線33とに接続されている。導電膜308は、導電膜303と、トランジスタ101のソースまたはドレインの一方と、トランジスタ13tのソースまたはドレインの一方と、トランジスタ14tのソースまたはドレインの一方とに接続されている。導電膜309は、トランジスタ14tのソースまたはドレインの他方と、配線25とに接続されている。

【0445】

なお、図13(B)の場合は、導電膜308に接続されるように負荷104を設ければよい。また、図13(C)の場合は、導電膜308に接続されるように発光素子104aの陽極を設ければよい。また、図13(D)の場合は、導電膜308に接続されるように発光素子104bの陰極を設ければよい。

【0446】

次いで、図13(A)に示した回路100の上面図を、一例として図78に示す。

【0447】

図78において、半導体膜320は、トランジスタ11tの活性層として機能する。半導体膜321は、トランジスタ12tの活性層として機能する。半導体膜322は、トランジスタ13tの活性層として機能する。半導体膜323は、トランジスタ14tの活性層として機能する。半導体膜333は、トランジスタ101の活性層として機能する。

【0448】

導電膜324は、容量素子102の他方の電極、及びトランジスタ101のゲートとして機能する。導電膜325は、容量素子103の他方の電極として機能する。導電膜326は、トランジスタ13tのゲートとして機能する。

【0449】

導電膜327は、容量素子102の一方の電極、及び容量素子103の一方の電極として機能し、トランジスタ11tのソースまたはドレインの一方に接続されている。導電膜328は、配線22と、トランジスタ12tのソースまたはドレインの一方とに接続されている。導電膜329は、トランジスタ12tのソースまたはドレインの他方と、導電膜324とに接続されている。導電膜330は、導電膜326と、配線33とに接続されている。導電膜331は、導電膜325と、トランジスタ101のソースまたはドレインの一方と、トランジスタ13tのソースまたはドレインの一方と、トランジスタ14tのソースまたはドレインの一方とに接続されている。導電膜332は、トランジスタ14tのソースまたはドレインの他方と、配線25とに接続されている。

【0450】

なお、図13(B)の場合は、導電膜331に接続されるように負荷104を設ければよ

10

20

30

40

50

い。また、図 1 3 (C) の場合は、導電膜 3 3 1 に接続されるように発光素子 1 0 4 a の陽極を設ければよい。また、図 1 3 (D) の場合は、導電膜 3 3 1 に接続されるように発光素子 1 0 4 b の陰極を設ければよい。

【 0 4 5 1 】

また、図 7 8 の破線 A 1 - A 2 における断面図の一例を、図 8 0 (A) に示す。図 7 8 の破線 B 1 - B 2 における断面図の一例を、図 8 0 (B) に示す。図 8 0 では、基板 8 0 0 上に絶縁膜 8 0 1 が形成されており、絶縁膜 8 0 1 上に配線 3 1、導電膜 3 2 4、及び導電膜 3 2 5 が形成されている。また、配線 3 1、導電膜 3 2 4、及び導電膜 3 2 5 上には絶縁膜 8 0 2 が形成されている。

【 0 4 5 2 】

絶縁膜 8 0 2 上において導電膜 3 2 5 と重なる位置に、導電膜 3 2 7 が形成されている。導電膜 3 2 5 と、絶縁膜 8 0 2 と、導電膜 3 2 7 とが重なる部分が、容量素子 1 0 3 として機能する。絶縁膜 8 0 2 上において導電膜 3 2 4 と重なる位置に、導電膜 3 2 7 が形成されている。導電膜 3 2 4 と、絶縁膜 8 0 2 と、導電膜 3 2 7 とが重なる部分が、容量素子 1 0 2 として機能する。絶縁膜 8 0 2 上において導電膜 3 2 4 と重なる位置に、半導体膜 3 3 3 が形成されている。半導体膜 3 3 3 上には配線 2 3 及び導電膜 3 3 1 が形成されている。

【 0 4 5 3 】

そして、絶縁膜 8 0 2 と、その上に位置する導電膜 3 2 7、半導体膜 3 3 3、配線 2 3、及び導電膜 3 3 1 を覆うように、絶縁膜 8 0 3 が形成されている。

【 0 4 5 4 】

次いで、図 1 3 (A) に示した回路 1 0 0 の上面図を、一例として図 7 9 に示す。図 7 9 は、配線 2 3 のうち、半導体膜 3 3 3 と重なる部分の形状と、導電膜 3 3 1 のうち、半導体膜 3 3 3 と重なる部分の形状とが、図 7 8 に示した上面図と異なる。具体的には、図 7 8 では、配線 2 3 のうち半導体膜 3 3 3 と重なる部分が、U 字形状を有している。そして、導電膜 3 3 1 のうち半導体膜 3 3 3 と重なる部分が、配線 2 3 によって部分的に囲われるように、配線 2 3 の U 字形状の曲部内側に位置する。図 7 9 では、導電膜 3 3 1 のうち半導体膜 3 3 3 と重なる部分が、U 字形状を有している。そして、配線 2 3 のうち半導体膜 3 3 3 と重なる部分が、導電膜 3 3 1 によって部分的に囲われるように、導電膜 3 3 1 の U 字形状の曲部内側に位置する。

【 0 4 5 5 】

トランジスタ 1 0 1 のソースまたはドレインに接する導電膜や配線が U 字形状を有している場合、半導体膜 3 3 3 の面積が小さくても、大きなチャネル幅を確保することができる。よって、半導体膜 3 3 3 の面積を小さく抑えつつも、オン電流を高めることができる。

【 0 4 5 6 】

なお、様々な基板を用いて、トランジスタを形成することが出来る。基板の種類は、特定のものに限定されることはない。その基板の一例としては、半導体基板（例えば単結晶基板又はシリコン基板）、S O I 基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート（P E T）、ポリエチレンナフタレート（P E N）、ポリエーテルサルフォン（P E S）に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。貼り合わせフィルムの一例としては、ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、又は塩化ビニルなどがある。基材フィルムの一例としては、ポリエステル、ポリアミド、ポリイミド、無機蒸着フィルム、又は紙類などがある。特に、半導体基板、単結晶基板、又は S O I 基板などを用いてトランジスタを製造することによって、特性、サイズ、又は形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトラ

10

20

30

40

50

ンジスタによって回路を構成すると、回路の低消費電力化、又は回路の高集積化を図ることができる。

【0457】

なお、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、又はゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

10

【0458】

本実施の形態は、他の実施の形態の一部または全部について、変更、追加、修正、削除、応用、上位概念化、又は、下位概念化したものに相当する。したがって、本実施の形態の一部または全部について、他の実施の形態の一部または全部と自由に組み合わせる、適用する、或いは置き換えて実施することができる。

【0459】

（実施の形態6）

本実施の形態では、本発明の一態様に係る半導体装置において用いられる、トランジスタの具体的な構成の一例について説明する。

20

【0460】

図81（A）に示すトランジスタは、半導体膜501と、半導体膜501上の絶縁膜502と、絶縁膜502を間に挟んで半導体膜501と重なる位置に設けられた、ゲートとして機能する電極503と、半導体膜501に接する導電膜504及び導電膜505とを有する。そして、半導体膜501は、チャネル形成領域として機能する第1の領域506と、ソースまたはドレインとして機能する第2の領域507及び第2の領域508とを有する。第2の領域507及び第2の領域508は、第1の領域506を間に挟んでいる。なお、図81（A）では、半導体膜501が、第1の領域506と第2の領域507及び第2の領域508との間に、LDD領域として機能する第3の領域509及び第3の領域510を有している場合を一例として示している。

30

【0461】

なお、図81（A）では、薄膜の半導体膜501を有するトランジスタを一例として示しているが、本発明の一態様では、バルクの半導体基板にチャネル形成領域を有したトランジスタを用いても良い。薄膜の半導体膜としては、例えば、非晶質半導体、多結晶半導体、単結晶半導体などを用いることができる。また、半導体膜501は、シリコン、ゲルマニウム、シリコンゲルマニウム、酸化物半導体など、各種の半導体を用いることができる。

【0462】

図81（B）に示すトランジスタは、第1の酸化絶縁膜520a、第2の酸化絶縁膜520b、及び第3の酸化絶縁膜520cを有する絶縁膜520上に設けられている。

40

【0463】

第1の酸化絶縁膜520a及び第3の酸化絶縁膜520cは、加熱により一部の酸素が脱離する酸化絶縁膜を用いて形成する。加熱により一部の酸素が脱離する酸化絶縁膜としては、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁膜を用いることが好ましい。第1の酸化絶縁膜520a及び第3の酸化絶縁膜520cとして、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム等を用いることができる。

【0464】

第2の酸化絶縁膜520bは、酸素の拡散を防ぐ酸化絶縁膜で形成する。第2の酸化絶縁膜520bの一例としては、酸化アルミニウム、酸化窒化アルミニウム等がある。なお、

50

酸化アルミニウムは、化学量論的組成を満たす酸素を含む酸化アルミニウム、または化学量論的組成を満たす酸素よりも多くの酸素を含む酸化アルミニウム (AlO_x 、 x は $3/2$ 以上) とすることが好ましい。また、酸化窒化アルミニウムは、化学量論的組成を満たす酸素を含む酸化アルミニウムの一部の酸素が窒素で置換されている。

【0465】

そして、トランジスタは、半導体膜 521 と、半導体膜 521 上の絶縁膜 522 と、絶縁膜 522 を間に挟んで半導体膜 521 と重なる位置に設けられた、ゲートとして機能する電極 523 と、半導体膜 521 に接する導電膜 524 及び導電膜 525 とを有する。半導体膜 521 は、電極 523 と重なり、少なくとも一部がチャネル形成領域として機能する第 1 の領域 526 と、ソースまたはドレインとして機能し、第 1 の領域 526 を挟む第 2 の領域 550 及び第 2 の領域 551 とを有している。

10

【0466】

半導体膜 521 には、例えば、非晶質半導体、多結晶半導体、単結晶半導体などを用いることができる。また、半導体膜 521 には、シリコン、ゲルマニウム、シリコンゲルマニウム、酸化物半導体など、各種の半導体を用いることができる。

【0467】

トランジスタは、電極 523 の側部に、絶縁膜を有するサイドウォール 527 が設けられており、電極 523 の上部に、絶縁膜 528 が設けられている。そして、導電膜 524 及び導電膜 525 は、その一部がサイドウォール 527 に接している。導電膜 524 及び導電膜 525 は必ずしもサイドウォール 527 に接している必要は無いが、サイドウォール 527 に接するように導電膜 524 及び導電膜 525 を形成することで、導電膜 524 及び導電膜 525 の位置が多少ずれて形成されたとしても、導電膜 524 及び導電膜 525 と半導体膜 521 との接する面積が、変動するのを防ぐことができる。よって、導電膜 524 及び導電膜 525 の位置がずれることによる、トランジスタのオン電流の変動を防ぐことができる。

20

【0468】

なお、電極 523 の上部に位置する絶縁膜 528 は必ずしも設ける必要は無いが、絶縁膜 528 を設けることで、導電膜 524 及び導電膜 525 の位置がずれて形成され、電極 523 の上部にかかっても、導電膜 524 及び導電膜 525 と電極 523 が導通するのを防ぐことができる。

30

【0469】

絶縁膜 520 では、下層に位置する第 3 の酸化絶縁膜 520c 上に、第 1 の酸化絶縁膜 520a と、第 2 の酸化絶縁膜 520b とが順に積層するように設けられている。そして、第 1 の酸化絶縁膜 520a 及び第 2 の酸化絶縁膜 520b には開口部 529 が設けられており、上記開口部 529 には、トランジスタが有する半導体膜 521 が設けられている。そして、第 1 の酸化絶縁膜 520a は、半導体膜 521 の端部に接するように、半導体膜 521 の周囲に設けられている。また、第 2 の酸化絶縁膜 520b は、第 1 の酸化絶縁膜 520a を間に挟んで半導体膜 521 の周囲に設けられている。第 3 の酸化絶縁膜 520c は、半導体膜 521 の下部に設けられている。

【0470】

なお、半導体膜 521 が酸化物半導体である場合、上記構成の絶縁膜 520 を用いることにより、加熱により第 1 の酸化絶縁膜 520a から放出された酸素が、第 2 の酸化絶縁膜 520b を通過するのを抑制することができるので、上記酸素が第 1 の領域 526 における半導体膜 521 の端部に効率よく供給される。また、第 3 の酸化絶縁膜 520c から放出された酸素は、半導体膜 521 の下部に供給される。なお、酸化物半導体をチャネル形成領域に有するトランジスタは、半導体膜 521 を所望の形状にエッチングするためのエッチング処理、半導体膜 521 の端部の減圧雰囲気における暴露等により、半導体膜 521 の端部において酸素の脱離による酸素欠損が形成されやすい。そして、酸素欠損はキャリアの移動経路となるため、半導体膜 521 の端部に酸素欠損が形成されると、寄生チャネルが生じ、それによりトランジスタのオフ電流が高まる。しかし、上記構成により、第

40

50

1の領域526における半導体膜521の端部に酸素欠損が形成されるのを防ぎ、オフ電流を低減させることができる。

【0471】

なお、「加熱により一部の酸素が脱離する」とは、TDS (Thermal Desorption Spectroscopy: 昇温脱離ガス分光法) 分析にて、酸素原子に換算しての酸素の放出量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上であることをいう。

【0472】

以下、TDS分析にて、酸素原子に換算しての酸素の脱離量の測定方法について説明する。

10

【0473】

TDS分析したときの気体の脱離量は、スペクトルの積分値に比例する。このため、絶縁膜のスペクトルの積分値と、標準試料の基準値に対する比とにより、気体の放出量を計算することができる。標準試料の基準値とは、所定の原子を含む試料の、スペクトルの積分値に対する原子の密度の割合である。

【0474】

例えば、標準試料である所定の密度の水素を含むシリコンウェハのTDS分析結果、及び絶縁膜のTDS分析結果から、絶縁膜の酸素分子の脱離量 (N_{O_2}) は、下記の式1で求めることができる。質量数32のものとして CH_3OH があるが、絶縁膜中に存在する可能性は低い。よって、TDS分析で得られる質量数32で検出されるスペクトルの全ては、酸素分子由来であると仮定する。また、酸素原子の同位体である質量数17の酸素原子及び質量数18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため、存在しないものと仮定する。

20

【0475】

$$\text{N}_{\text{O}_2} = \text{N}_{\text{H}_2} / S_{\text{H}_2} \times S_{\text{O}_2} \times \quad (\text{式1})$$

【0476】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料をTDS分析したときのスペクトルの積分値である。標準試料の基準値は、 $\text{N}_{\text{H}_2} / S_{\text{H}_2}$ とする。 S_{O_2} は、絶縁膜をTDS分析したときのスペクトルの積分値である。は、TDS分析におけるスペクトル強度に影響する係数である。式1の詳細に関しては、特開平6-275697公報を参照する。なお、上記絶縁膜の酸素の脱離量は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として $1 \times 10^{16} \text{ atoms/cm}^2$ の水素原子を含むシリコンウェハを用いて測定する。

30

【0477】

また、TDS分析において、一部の酸素は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述のは酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の脱離量についても見積もることができる。

【0478】

なお、 N_{O_2} は酸素分子の脱離量である。絶縁膜においては、酸素原子に換算したときの酸素の放出量は、酸素分子の脱離量の2倍となる。

40

【0479】

上記構成において、加熱により酸素放出される絶縁膜は、酸素が過剰な酸化シリコン (SiO_x ($x > 2$)) であってもよい。酸素が過剰な酸化シリコン (SiO_x ($x > 2$)) とは、シリコン原子数の2倍より多い酸素原子を単位体積あたりに含むものである。単位体積あたりのシリコン原子数及び酸素原子数は、ラザフォード後方散乱法により測定した値である。

【0480】

図81(C)に示すトランジスタは、第1の酸化絶縁膜530a及び第2の酸化絶縁膜530bを有する絶縁膜530上に設けられている。

50

【0481】

第1の酸化絶縁膜530aは、加熱により一部の酸素が脱離する酸化絶縁膜を用いて形成する。加熱により一部の酸素が脱離する酸化絶縁膜としては、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁膜を用いることが好ましい。第1の酸化絶縁膜530aとして、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム等を用いることができる。

【0482】

第2の酸化絶縁膜530bは、酸素の拡散を防ぐ酸化絶縁膜で形成する。第2の酸化絶縁膜530bの一例としては、酸化アルミニウム、酸化窒化アルミニウム等がある。なお、酸化アルミニウムは、化学量論的組成を満たす酸素を含む酸化アルミニウム、または化学量論的組成を満たす酸素よりも多くの酸素を含む酸化アルミニウム (AlO_x 、 x は3/2以上) とすることが好ましい。また、酸化窒化アルミニウムは、化学量論的組成を満たす酸素を含む酸化アルミニウムの一部の酸素が窒素で置換されている。

10

【0483】

トランジスタは、絶縁膜530上に位置する半導体膜531と、半導体膜531上の絶縁膜532と、絶縁膜532を間に挟んで半導体膜531と重なる位置に設けられた、ゲートとして機能する電極533と、半導体膜531に接続された導電膜534及び導電膜535とを有する。半導体膜531は、電極533と重なり、少なくとも一部がチャネル形成領域として機能する第1の領域536と、ソースまたはドレインとして機能し、第1の領域536を挟む第2の領域537及び第2の領域538とを有している。

20

【0484】

半導体膜531には、例えば、非晶質半導体、多結晶半導体、単結晶半導体などを用いることができる。また、半導体膜531には、シリコン、ゲルマニウム、シリコンゲルマニウム、酸化物半導体など、各種の半導体を用いることができる。

【0485】

そして、トランジスタは、電極533の側部に、絶縁膜を有するサイドウォール539が設けられており、電極533の上部に、絶縁膜540が設けられている。そして、導電膜534及び導電膜535は、その一部がサイドウォール539に接している。導電膜534及び導電膜535は必ずしもサイドウォール539に接している必要は無いが、サイドウォール539に接するように導電膜534及び導電膜535を形成することで、導電膜534及び導電膜535の位置が多少ずれて形成されたとしても、導電膜534及び導電膜535と半導体膜531との接する面積が、変動するのを防ぐことができる。よって、導電膜534及び導電膜535の位置がずれることによる、トランジスタのオン電流の変動を防ぐことができる。

30

【0486】

なお、電極533の上部に位置する絶縁膜540は必ずしも設ける必要は無いが、絶縁膜540を設けることで、導電膜534及び導電膜535の位置がずれて形成され、電極533の上部にかかっても、導電膜534及び導電膜535と電極533が導通するのを防ぐことができる。

【0487】

そして、絶縁膜530は、第1の酸化絶縁膜530aの周囲に第2の酸化絶縁膜530bが設けられている。そして、半導体膜531は、第1の領域536において上記第1の酸化絶縁膜530aに接し、第2の領域537及び第2の領域538において第1の酸化絶縁膜530a及び第2の酸化絶縁膜530bに接する。

40

【0488】

なお、半導体膜531が酸化物半導体である場合、上記構成により、加熱により第1の酸化絶縁膜530aから放出された酸素が、第2の酸化絶縁膜530bを通過するのを抑制することができるので、上記酸素が第1の領域536における半導体膜531の端部に効率よく供給される。なお、酸化物半導体をチャネル形成領域に有するトランジスタは、半導体膜531を所望の形状にエッチングするためのエッチング処理、半導体膜531の端

50

部の減圧雰囲気における暴露等により、半導体膜531の端部において酸素の脱離による酸素欠損が形成されやすい。そして、酸素欠損はキャリアの移動経路となるため、半導体膜531の端部に酸素欠損が形成されると、寄生チャネルが生じ、それによりトランジスタのオフ電流が高まる。しかし、本発明の一態様では、上記構成により、第1の領域536における半導体膜531の端部に酸素欠損が形成されるのを防ぎ、オフ電流を低減させることができる。

【0489】

なお、電子供与体（ドナー）となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体（*purified Oxide Semiconductor*）は、*i*型（真性半導体）又は*i*型に限りなく近い。そのため、上記酸化物半導体を用いたトランジスタは、オフ電流が著しく低いという特性を有する。また、酸化物半導体のバンドギャップは、2 eV以上、好ましくは2.5 eV以上、より好ましくは3 eV以上である。水分または水素などの不純物濃度が十分に低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体膜を用いることにより、トランジスタのオフ電流を下げるができる。

【0490】

具体的に、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタのオフ電流が低いことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が1 Vから10 Vの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{ A}$ 以下という特性を得ることができる。この場合、トランジスタのチャネル幅で規格化したオフ電流は、 $100 \text{ z A} / \mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、高純度化された酸化物半導体膜を上記トランジスタのチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が3 Vの場合に、数十 $\text{y A} / \mu\text{m}$ という、さらに低いオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく低い。

【0491】

なお、酸化物半導体としては、好ましくはInまたはZnを含有する酸化物を用いるとよく、さらに好ましくは、In及びGaを含有する酸化物、またはIn及びZnを含有する酸化物を用いるとよい。酸化物半導体膜を*i*型（真性）とするため、後に説明する脱水化または脱水素化は有効である。また、酸化物半導体を用いたトランジスタの電気特性のばらつきを低減するためのスタビライザーとして、それらに加えてガリウム（Ga）を含むことが好ましい。また、スタビライザーとしてスズ（Sn）を含むことが好ましい。また、スタビライザーとしてハフニウム（Hf）を含むことが好ましい。また、スタビライザーとしてアルミニウム（Al）を含むことが好ましい。また、スタビライザーとしてジルコニウム（Zr）を含むことが好ましい。

【0492】

また、他のスタビライザーとして、ランタノイドである、ランタン（La）、セリウム（Ce）、プラセオジウム（Pr）、ネオジウム（Nd）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、エルビウム（Er）、ツリウム（Tm）、イッテルビウム（Yb）、ルテチウム（Lu）のいずれか一種または複数種を含んでいてもよい。

【0493】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の

10

20

30

40

50

酸化物である In - Ga - Zn 系酸化物 (IGZO とも表記する)、In - Al - Zn 系酸化物、In - Sn - Zn 系酸化物、Sn - Ga - Zn 系酸化物、Al - Ga - Zn 系酸化物、Sn - Al - Zn 系酸化物、In - Hf - Zn 系酸化物、In - La - Zn 系酸化物、In - Ce - Zn 系酸化物、In - Pr - Zn 系酸化物、In - Nd - Zn 系酸化物、In - Sm - Zn 系酸化物、In - Eu - Zn 系酸化物、In - Gd - Zn 系酸化物、In - Tb - Zn 系酸化物、In - Dy - Zn 系酸化物、In - Ho - Zn 系酸化物、In - Er - Zn 系酸化物、In - Tm - Zn 系酸化物、In - Yb - Zn 系酸化物、In - Lu - Zn 系酸化物、四元系金属の酸化物である In - Sn - Ga - Zn 系酸化物、In - Hf - Ga - Zn 系酸化物、In - Al - Ga - Zn 系酸化物、In - Sn - Al - Zn 系酸化物、In - Sn - Hf - Zn 系酸化物、In - Hf - Al - Zn 系酸化物を用いることができる。また、上記酸化物半導体は、珪素を含んでいてもよい。

10

【0494】

なお、例えば、In - Ga - Zn 系酸化物とは、In と Ga と Zn を含む酸化物という意味であり、In と Ga と Zn の比率は問わない。また、In と Ga と Zn 以外の金属元素を含んでいてもよい。In - Ga - Zn 系酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高い。

【0495】

酸化物半導体膜は、単結晶、多結晶 (ポリクリスタルともいう) または非晶質などの状態を採る。酸化物半導体膜は、CAAC - OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜であることが好ましい。

20

【0496】

CAAC - OS 膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC - OS 膜は、非晶質相に数 nm から数十 nm の結晶部を有する結晶 - 非晶質混相構造の酸化物半導体膜である。なお、透過型電子顕微鏡 (TEM: Transmission Electron Microscope) による CAAC - OS 膜に含まれる非晶質部と結晶部との境界は明確ではない。また、CAAC - OS 膜には粒界 (グレインバウンダリーともいう。) は確認できない。CAAC - OS 膜が粒界を有さないため、粒界に起因する電子移動度の低下が起こりにくい。

【0497】

CAAC - OS 膜に含まれる結晶部は、c 軸が CAAC - OS 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつ a b 面に垂直な方向から見て三角形または六角形状の原子配列を有し、c 軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、結晶部どうしは、それぞれ a 軸および b 軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、85° 以上 95° 以下の範囲も含まれることとする。また、単に平行と記載する場合、- 5° 以上 5° 以下の範囲も含まれることとする。

30

【0498】

なお、CAAC - OS 膜中の、非晶質部および結晶部の占める割合が均一でなくてもよい。例えば、CAAC - OS 膜の表面側から結晶成長させる場合、CAAC - OS 膜の表面の近傍は結晶部の占める割合が高くなり、被形成面の近傍は非晶質部の占める割合が高くなる。また、CAAC - OS 膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

40

【0499】

CAAC - OS 膜に含まれる結晶部の c 軸は、CAAC - OS 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAAC - OS 膜の形状 (被形成面の断面形状または表面の断面形状) によって、結晶部どうしの c 軸の方向が異なることがある。なお、結晶部の c 軸の方向は、CAAC - OS 膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜時または成膜後に加熱処理などの結晶化処理を行うことで形成される。

【0500】

50

C A A C - O S 膜を用いることで、可視光や紫外光の照射によるトランジスタの電気的特性の変動が低減されるため、信頼性の高いトランジスタを得ることができる。

【 0 5 0 1 】

C A A C - O S 膜は、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜する。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域が a - b 面から劈開し、a - b 面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、C A A C - O S 膜を成膜することができる。

【 0 5 0 2 】

また、C A A C - O S 膜を成膜するために、以下の条件を適用することが好ましい。

【 0 5 0 3 】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、処理室内に存在する不純物濃度（水素、水、二酸化炭素および窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が - 8 0 以下、好ましくは - 1 0 0 以下である成膜ガスを用いる。

【 0 5 0 4 】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を 1 0 0 以上 7 4 0 以下、好ましくは 2 0 0 以上 5 0 0 以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

【 0 5 0 5 】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、3 0 体積 % 以上、好ましくは 1 0 0 体積 % とする。

【 0 5 0 6 】

スパッタリング用ターゲットの一例として、I n - G a - Z n - O 化合物ターゲットについて以下に示す。

【 0 5 0 7 】

I n O _x 粉末、G a O _y 粉末および Z n O _z 粉末を所定の m o l 数で混合し、加圧処理後、1 0 0 0 以上 1 5 0 0 以下の温度で加熱処理をすることで多結晶である I n - G a - Z n - O 化合物ターゲットとする。なお、X、Y および Z は任意の正数である。ここで、所定の m o l 数比は、例えば、I n O _x 粉末、G a O _y 粉末および Z n O _z 粉末が、2 : 2 : 1、8 : 4 : 3、3 : 1 : 1、1 : 1 : 1、4 : 2 : 3 または 3 : 1 : 2 である。なお、粉末の種類、およびその混合する m o l 数比は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

【 0 5 0 8 】

なお、例えば、酸化物半導体膜は、I n（インジウム）、G a（ガリウム）、及び Z n（亜鉛）を含むターゲットを用いたスパッタ法により形成することができる。I n - G a - Z n 系酸化物半導体膜をスパッタリング法で成膜する場合、好ましくは、原子数比が I n : G a : Z n = 1 : 1 : 1、4 : 2 : 3、3 : 1 : 2、1 : 1 : 2、2 : 1 : 3、または 3 : 1 : 4 で示される I n - G a - Z n 系酸化物のターゲットを用いる。前述の原子数比を有する I n - G a - Z n 系酸化物のターゲットを用いて酸化物半導体膜を成膜することで、多結晶または C A A C - O S が形成されやすくなる。また、I n、G a、及び Z n を含むターゲットの相対密度は 9 0 % 以上 1 0 0 % 以下、好ましくは 9 5 % 以上 1 0 0 % 未満である。相対密度の高いターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

【 0 5 0 9 】

なお、酸化物半導体として I n - Z n 系酸化物の材料を用いる場合、用いるターゲット中

10

20

30

40

50

の金属元素の原子数比は、 $\text{In} : \text{Zn} = 50 : 1 \sim 1 : 2$ (モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 25 : 1 \sim 1 : 4$)、好ましくは $\text{In} : \text{Zn} = 20 : 1 \sim 1 : 1$ (モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 10 : 1 \sim 1 : 2$)、さらに好ましくは $\text{In} : \text{Zn} = 15 : 1 \sim 1.5 : 1$ (モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 15 : 2 \sim 3 : 4$) とする。例えば、 $\text{In} - \text{Zn}$ 系酸化物である酸化物半導体膜の形成に用いるターゲットは、原子数比が $\text{In} : \text{Zn} : \text{O} = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。 Zn の比率を上記範囲に収めることで、移動度の向上を実現することができる。

【0510】

そして、具体的に酸化物半導体膜は、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて形成すればよい。成膜時に、基板温度を 100 以上 600 以下、好ましくは 200 以上 400 以下としても良い。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブプリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて処理室を排気すると、例えば、水素原子、水 (H_2O) など水素原子を含む化合物 (より好ましくは炭素原子を含む化合物も) 等が排気されるため、当該処理室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0511】

なお、スパッタ等で成膜された酸化物半導体膜中には、不純物としての水分または水素 (水酸基を含む) が多量に含まれていることがある。水分または水素はドナー準位を形成しやすいため、酸化物半導体にとっては不純物である。そこで、本発明の一態様では、酸化物半導体膜中の水分または水素などの不純物を低減 (脱水化または脱水素化) するために、酸化物半導体膜に対して、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、または超乾燥エア (CRDS (キャビティリングダウンレーザ分光法) 方式の露点計を用いて測定した場合の水分量が 20 ppm (露点換算で -55) 以下、好ましくは 1 ppm 以下、好ましくは 10 ppb 以下の空気) 雰囲気下で、加熱処理を施す。

【0512】

酸化物半導体膜に加熱処理を施すことで、酸化物半導体膜中の水分または水素を脱離させることができる。具体的には、 250 以上 750 以下、好ましくは 400 以上基板の歪み点未満の温度で加熱処理を行えば良い。例えば、 500 、3分間以上6分間以下程度で行えばよい。加熱処理にRTA法を用いれば、短時間に脱水化または脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。

【0513】

なお、上記加熱処理により、酸化物半導体膜から酸素が脱離し、酸化物半導体膜内に酸素欠損が形成される場合がある。よって、本発明の一態様では、酸化物半導体膜と接するゲート絶縁膜などの絶縁膜として、酸素を含む絶縁膜を用いる。そして、酸素を含む絶縁膜を形成した後、加熱処理を施すことで、上記絶縁膜から酸化物半導体膜に酸素が供与されるようにする。上記構成により、ドナーとなる酸素欠損を低減し、酸化物半導体膜に含まれる酸化物半導体の、化学量論的組成を満たすことができる。半導体膜には化学量論的組成を超える量の酸素が含まれていることが好ましい。その結果、酸化物半導体膜を i 型に近づけることができ、酸素欠損によるトランジスタの電気特性のばらつきを軽減し、電気特性の向上を実現することができる。

【0514】

なお、酸素を酸化物半導体膜に供与するための加熱処理は、窒素、超乾燥空気、または希ガス (アルゴン、ヘリウムなど) の雰囲気下において、好ましくは 200 以上 400 以下、例えば 250 以上 350 以下) で行う。上記ガスは、水の含有量が 20 ppm

10

20

30

40

50

以下、好ましくは1 ppm以下、より好ましくは10 ppb以下であることが望ましい。

【0515】

図82(A)に示すトランジスタは、チャネルエッチ構造の、ボトムゲート型である。

【0516】

そして、図82(A)に示すトランジスタは、絶縁表面上に形成されたゲート電極602と、ゲート電極602上のゲート絶縁膜603と、ゲート絶縁膜603上においてゲート電極602と重なっている半導体膜604と、半導体膜604上に形成された導電膜605、導電膜606とを有する。さらに、トランジスタは、半導体膜604、導電膜605及び導電膜606上に形成された絶縁膜607を、その構成要素に含めても良い。

【0517】

なお、図82(A)に示したトランジスタは、半導体膜604と重なる位置において絶縁膜607上に形成されたバックゲート電極を、更に有していても良い。

【0518】

図82(B)に示すトランジスタは、チャネル保護構造の、ボトムゲート型である。

【0519】

そして、図82(B)に示すトランジスタは、絶縁表面上に形成されたゲート電極612と、ゲート電極612上のゲート絶縁膜613と、ゲート絶縁膜613上においてゲート電極612と重なっている半導体膜614と、半導体膜614上に形成されたチャネル保護膜618と、半導体膜614上に形成された導電膜615、導電膜616とを有する。さらに、トランジスタは、チャネル保護膜618、導電膜615及び導電膜616上に形成された絶縁膜617を、その構成要素に含めても良い。

【0520】

なお、図82(B)に示したトランジスタは、半導体膜614と重なる位置において絶縁膜617上に形成されたバックゲート電極を、更に有していても良い。

【0521】

チャネル保護膜618を設けることによって、半導体膜614のチャネル形成領域となる部分に対する、後の工程における、エッチング時のプラズマやエッチング剤による膜減りなどのダメージを防ぐことができる。従ってトランジスタの信頼性を向上させることができる。

【0522】

図82(C)に示すトランジスタは、ボトムコンタクト構造の、ボトムゲート型である。

【0523】

そして、図82(C)に示すトランジスタは、絶縁表面上に形成されたゲート電極622と、ゲート電極622上のゲート絶縁膜623と、ゲート絶縁膜623上の導電膜625、導電膜626と、ゲート絶縁膜623上においてゲート電極622と重なっており、なおかつ導電膜625、導電膜626上に形成された半導体膜624とを有する。さらに、トランジスタは、導電膜625、導電膜626、及び半導体膜624上に形成された絶縁膜627を、その構成要素に含めても良い。

【0524】

なお、図82(C)に示したトランジスタは、半導体膜624と重なる位置において絶縁膜627上に形成されたバックゲート電極を、更に有していても良い。

【0525】

図82(D)に示すトランジスタは、ボトムコンタクト構造の、トップゲート型である。

【0526】

そして、図82(D)に示すトランジスタは、絶縁表面上に形成された導電膜645、導電膜646と、導電膜645、導電膜646上に形成された半導体膜644と、半導体膜644、導電膜645及び導電膜646上に形成されたゲート絶縁膜643と、ゲート絶縁膜643上において半導体膜644と重なっているゲート電極642とを有する。さらに、トランジスタは、ゲート電極642上に形成された絶縁膜647を、その構成要素に含めても良い。

【0527】

本実施の形態は、他の実施の形態の一部または全部について、変更、追加、修正、削除、応用、上位概念化、又は、下位概念化したものに相当する。したがって、本実施の形態の一部または全部について、他の実施の形態の一部または全部と自由に組み合わせる、適用する、或いは置き換えて実施することができる。

【0528】

(実施の形態7)

本実施の形態では、本発明の半導体装置の一態様の一つである発光装置を例に挙げ、その外観について図83を用いて説明する。図83(A)は、第1の基板上に形成されたトランジスタ及び発光素子を、第1の基板と第2の基板の間にシール材で封止したパネルの上面図であり、図83(B)は、図83(A)のA-A'における断面図に相当する。

10

【0529】

第1の基板4001上に設けられた画素部4002と、回路4003と、回路4004とを囲むように、シール材4020が設けられている。また画素部4002、回路4003及び回路4004の上に、第2の基板4006が設けられている。よって画素部4002、回路4003及び回路4004は、第1の基板4001と第2の基板4006の間において、シール材4020により、充填材4007と共に密封されている。

【0530】

また第1の基板4001上に設けられた画素部4002、画素部4002への信号の供給を行う回路4003及び回路4004は、それぞれトランジスタを複数有している。図83(B)では、回路4003に含まれるトランジスタ4008と、画素部4002に含まれるトランジスタ4009及びトランジスタ4010とを一例として示している。

20

【0531】

また発光素子4011は、トランジスタ4009のソースまたはドレインと接続されている配線4017の一部を、その画素電極として用いている。また発光素子4011は、画素電極の他に対向電極4012と発光層4013を有している。なお発光素子4011の構成は、本実施の形態に示した構成に限定されない。発光素子4011から取り出す光の方向や、トランジスタ4009の極性などに合わせて、発光素子4011の構成は適宜変えることができる。

【0532】

また回路4003、回路4004または画素部4002に与えられる各種信号及び電圧は、図83(B)に示す断面図では図示されていないが、引き出し配線4014及び4015を介して、接続端子4016から供給されている。

30

【0533】

本実施の形態では、接続端子4016が、発光素子4011が有する対向電極4012と同じ導電膜から形成されている。また、引き出し配線4014は、配線4017と同じ導電膜から形成されている。また引き出し配線4015は、トランジスタ4009、トランジスタ4010、トランジスタ4008がそれぞれ有するゲート電極と、同じ導電膜から形成されている。

【0534】

接続端子4016は、FPC4018が有する端子と、異方性導電膜4019を介して電気的に接続されている。

40

【0535】

なお、第1の基板4001、第2の基板4006として、ガラス、金属(代表的にはステンレス)、セラミックス、プラスチックを用いることができる。但し、発光素子4011からの光の取り出し方向に位置する第2の基板4006は、透光性を有していなければならない。よって第2の基板4006は、ガラス板、プラスチック板、ポリエスチルフィルムまたはアクリルフィルムのような透光性を有する材料を用いることが望ましい。

【0536】

また、充填材4007としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹

50

脂または熱硬化樹脂を用いることができる。本実施の形態では充填材 4 0 0 7 として窒素を用いる例を示している。

【 0 5 3 7 】

本実施の形態は、他の実施の形態の一部または全部について、変更、追加、修正、削除、応用、上位概念化、又は、下位概念化したものに相当する。したがって、本実施の形態の一部または全部について、他の実施の形態の一部または全部と自由に組み合わせる、適用する、或いは置き換えて実施することができる。

【 0 5 3 8 】

(実施の形態 8)

本発明の一態様に係る回路 1 0 0 は、表示装置の画素部に用いることができる。或いは、
本発明の一態様に係る回路 1 0 0 は、表示装置の駆動回路に用いることができる。

10

【 0 5 3 9 】

図 8 4 (A) は、本発明の一態様に係る半導体装置の一つに相当する、表示装置のブロック図である。図 8 4 (A) に示す表示装置は、画素部 7 0 0 と、駆動回路 7 0 1 と、駆動回路 7 0 2 とを有する。画素部 7 0 0 には、画素として機能する回路 1 0 0 が複数設けられている。駆動回路 7 0 1 及び駆動回路 7 0 2 は、各回路 1 0 0 に、各種の一定電圧や信号を供給する機能を有する。

【 0 5 4 0 】

図 8 4 (B) は、本発明の一態様に係る半導体装置の一つに相当する、表示装置のブロック図である。図 8 4 (B) に示す表示装置は、画素部 7 1 1 と、駆動回路 7 1 0 とを有する。駆動回路 7 1 0 には、電流源として機能する回路 1 0 0 が複数設けられている。回路 1 0 0 から出力された電流は、画素部 7 1 1 が有する画素 (p i x e l) に供給される。

20

【 0 5 4 1 】

本実施の形態は、他の実施の形態の一部または全部について、変更、追加、修正、削除、応用、上位概念化、又は、下位概念化したものに相当する。したがって、本実施の形態の一部または全部について、他の実施の形態の一部または全部と自由に組み合わせる、適用する、或いは置き換えて実施することができる。

【 0 5 4 2 】

(実施の形態 9)

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置 (代表的には DVD : D i g i t a l V e r s a t i l e D i s c 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置) に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラなどのカメラ、ゴーグル型ディスプレイ (ヘッドマウントディスプレイ) 、ナビゲーションシステム、音響再生装置 (カーオーディオ、デジタルオーディオプレイヤー等) 、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機 (A T M) 、自動販売機などが挙げられる。これら電子機器の具体例を図 8 5 、図 9 1 に示す。

30

【 0 5 4 3 】

図 8 5 (A) は携帯型ゲーム機であり、筐体 5 0 0 1 、筐体 5 0 0 2 、表示部 5 0 0 3 、表示部 5 0 0 4 、マイクロフォン 5 0 0 5 、スピーカー 5 0 0 6 、操作キー 5 0 0 7 、スタイラス 5 0 0 8 等を有する。本発明の一態様に係る半導体装置は、携帯型ゲーム機の駆動を制御するための集積回路、または表示部 5 0 0 3 、表示部 5 0 0 4 に用いることができる。なお、図 8 5 (A) に示した携帯型ゲーム機は、2つの表示部 5 0 0 3 と表示部 5 0 0 4 とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

40

【 0 5 4 4 】

図 8 5 (B) は表示機器であり、筐体 5 2 0 1 、表示部 5 2 0 2 、支持台 5 2 0 3 等を有する。本発明の一態様に係る半導体装置は、表示機器の駆動を制御するための集積回路、または表示部 5 2 0 2 に用いることができる。なお、表示機器には、パーソナルコンピュ

50

ータ用、ＴＶ放送受信用、広告表示用などの全ての情報表示用表示機器が含まれる。

【０５４５】

図８５（Ｃ）はノート型パーソナルコンピュータであり、筐体５４０１、表示部５４０２、キーボード５４０３、ポインティングデバイス５４０４等を有する。本発明の一態様に係る半導体装置は、ノート型パーソナルコンピュータの駆動を制御するための集積回路、または表示部５４０２に用いることができる。

【０５４６】

図８５（Ｄ）は携帯情報端末であり、筐体５６０１、表示部５６０２、操作キー５６０３等を有する。図８５（Ｄ）に示す携帯情報端末は、モデムが筐体５６０１に内蔵されていても良い。本発明の一態様に係る半導体装置は、携帯情報端末の駆動を制御するための集積回路、または表示部５６０２に用いることができる。

10

【０５４７】

図８５（Ｅ）は携帯電話であり、筐体５８０１、表示部５８０２、音声入力部５８０３、音声出力部５８０４、操作キー５８０５、受光部５８０６等を有する。受光部５８０６において受信した光を電気信号に変換することで、外部の画像を取り込むことができる。本発明の一態様に係る半導体装置は、携帯電話の駆動を制御するための集積回路、または表示部５８０２に用いることができる。

【０５４８】

図８５（Ｆ）は携帯情報端末であり、第１筐体５９０１、第２筐体５９０２、第１表示部５９０３、第２表示部５９０４、接続部５９０５、操作キー５９０６等を有する。第１表示部５９０３は第１筐体５９０１に設けられており、第２表示部５９０４は第２筐体５９０２に設けられている。そして、第１筐体５９０１と第２筐体５９０２とは、接続部５９０５により接続されており、第１筐体５９０１と第２筐体５９０２の間の角度は、接続部５９０５により変更できる。第１表示部５９０３における映像を、接続部５９０５における第１筐体５９０１と第２筐体５９０２との間の角度に従って、切り替える構成としても良い。本発明の一態様に係る半導体装置は、携帯情報端末の駆動を制御するための集積回路、または第１表示部５９０３、第２表示部５９０４に用いることができる。また、第１表示部５９０３及び第２表示部５９０４の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることで、付加することができる。

20

30

【０５４９】

次に、図９１を参照して、本発明に係る携帯電話の構成例について説明する。

【０５５０】

表示パネル９００５０１はハウジング９００５３０に脱着自在に組み込まれる。ハウジング９００５３０は表示パネル９００５０１のサイズに合わせて、形状や寸法を適宜変更することができる。表示パネル９００５０１を固定したハウジング９００５３０はプリント基板９００５３１に嵌入されモジュールとして組み立てられる。

【０５５１】

また、表示パネル９００５０１、タッチパネル、ＦＰＣ、プリント基板、フレーム、放熱板、光学フィルム、偏光板、位相差板、プリズムシート、拡散板、バックライト、導光板、ＬＥＤ、ＣＦＬ、フロントライト、コントローラ、ドライバ回路、または、信号処理回路、などを設けて、表示モジュールとすることができる。また、表示パネル９００５０１の対向基板（封止基板）に、タッチパネル機能を持たせるようにすることも可能である。

40

【０５５２】

表示パネル９００５０１はＦＰＣ９００５１３を介してプリント基板９００５３１に接続される。プリント基板９００５３１には、スピーカー９００５３２、マイクロフォン９００５３３、送受信回路９００５３４、ＣＰＵ及びコントローラなどを含む信号処理回路９００５３５が形成されている。このようなモジュールと、入力手段９００５３６、バッテ

50

リー 9 0 0 5 3 7 を組み合わせ、筐体 9 0 0 5 3 9 に収納する。表示パネル 9 0 0 5 0 1 の画素部は筐体 9 0 0 5 3 9 に形成された開口窓から視認できるように配置する。

【 0 5 5 3 】

表示パネル 9 0 0 5 0 1 は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上に T F T を用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）を I C チップ上に形成し、その I C チップを C O G (C h i p O n G l a s s) で表示パネル 9 0 0 5 0 1 に実装しても良い。あるいは、その I C チップを T A B (T a p e A u t o m a t e d B o n d i n g) やプリント基板を用いてガラス基板と接続してもよい。このような構成とすることで、表示装置の低消費電力化を図り、携帯電話機の一回の充電による使用時間を長くすることができる。また、携帯電話機の低コスト化を図ることができる。

10

【 0 5 5 4 】

本実施の形態は、他の実施の形態の一部または全部について、変更、追加、修正、削除、応用、上位概念化、又は、下位概念化したものに相当する。したがって、本実施の形態の一部または全部について、他の実施の形態の一部または全部と自由に組み合わせる、適用する、或いは置き換えて実施することができる。

【 0 5 5 5 】

なお、ある一つの実施の形態において述べる図または文章において、その一部分を取り出して、発明の一態様を構成することは可能である。したがって、ある部分を述べる図または文章が記載されている場合、その一部分の図または文章を取り出した内容も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能であるものとする。そのため、例えば、能動素子（トランジスタ、ダイオードなど）、配線、受動素子（容量素子、抵抗素子など）、導電層、絶縁層、半導体層、有機材料、無機材料、部品、装置、動作方法、製造方法などが単数又は複数記載された図面または文章において、その一部分を取り出して、発明の一態様を構成することが可能であるものとする。例えば、N 個（N は整数）の回路素子（トランジスタ、容量素子等）を有して構成される回路図から、M 個（M は整数で、 $M < N$ ）の回路素子（トランジスタ、容量素子等）を抜き出して、発明の一態様を構成することは可能である。別の例としては、N 個（N は整数）の層を有して構成される断面図から、M 個（M は整数で、 $M < N$ ）の層を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、N 個（N は整数）の要素を有して構成されるフローチャートから、M 個（M は整数で、 $M < N$ ）の要素を抜き出して、発明の一態様を構成することは可能である。

20

30

【 0 5 5 6 】

なお、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念を導き出すことは、当業者であれば容易に理解される。したがって、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

【 0 5 5 7 】

なお、少なくとも図に記載した内容（図の中の一部でもよい）は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。したがって、ある内容について、図に記載されていれば、文章を用いて述べていなくても、その内容は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。同様に、図の一部を取り出した図についても、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

40

【 0 5 5 8 】

（実施の形態 1 0 ）

図 4 9 (A) において、一例として、スイッチ 1 1、スイッチ 1 2、スイッチ 1 3、スイッチ 1 4、スイッチ 9 1 4 に、トランジスタを用いた場合の、回路 1 0 0 の構成を、図 8 8 (A) に示す。

50

【0559】

図88(A)に示す回路100では、スイッチ11としてトランジスタ11tを用い、スイッチ12としてトランジスタ12tを用い、スイッチ13としてトランジスタ13tを用い、スイッチ14としてトランジスタ14tを用い、スイッチ914としてトランジスタ914tを用いている。

【0560】

なお、図88(A)では、トランジスタ11t、トランジスタ12t、トランジスタ13t、トランジスタ14t、及びトランジスタ914tが全てnチャネル型である場合を一例として示している。トランジスタ11t、トランジスタ12t、トランジスタ13t、トランジスタ14t、及びトランジスタ914tを全て同じ極性のトランジスタとすることで、これらのトランジスタを少ない工程数で製造できる。ただし、本発明の実施形態の一態様は、これに限定されず、異なる極性のトランジスタを用いることも可能である。

10

【0561】

また、図88(A)では、トランジスタ11tは、ゲートが配線31に接続されている。配線31に供給される電位に従って、トランジスタ11tは導通状態または非導通状態となる。トランジスタ12tは、ゲートが配線32に接続されている。配線32に供給される電位に従って、トランジスタ12tは導通状態または非導通状態となる。トランジスタ13tは、ゲートが配線32に接続されている。配線32に供給される電位に従って、トランジスタ13tは導通状態または非導通状態となる。トランジスタ14tは、ゲートが配線34に接続されている。配線34に供給される電位に従って、トランジスタ14tは導通状態または非導通状態となる。したがって、配線31、配線32、及び配線34の電位は、パルス状であり、一定ではないことが望ましいが、本発明の実施形態の一態様は、これに限定されない。または、配線31、配線32、及び配線34は、ゲート信号線、選択信号線、または、スキャン線としての機能を有している。

20

【0562】

なお、図88(A)では、トランジスタ12tのゲートと、トランジスタ13tのゲートとが、共に配線32に接続されている場合を例示している。本発明の一態様では、トランジスタ12tのゲートが配線32に接続され、トランジスタ13tのゲートが、配線33に接続されていても良い。

【0563】

また、配線31、配線32、及び配線34において、その中の少なくとも2本の配線は、互いに接続させることが可能である。または、配線31、配線32、及び配線34の少なくとも1本は、別の回路100の配線31、配線32、及び配線34の少なくとも1本と接続させることが可能である。

30

【0564】

また、本発明の一態様に係る半導体装置は、図88(A)に示した回路100に加えて、回路100に各種の一定電圧や信号を供給する機能を有する回路を、さらに有していても良い。

【0565】

次いで、電位Vsigに応じた輝度で発光素子104aを発光させる期間T14における、トランジスタ101のゲートソース間電圧(Vgs101)の値を、シミュレーションにより求めた。シミュレーションでは、図88(A)に示した回路100を用いた。

40

【0566】

図88(B)は、シミュレーションにおける、図88(A)に示した回路100が有する各配線の電位のタイミングチャートである。具体的に、図88(B)では、配線21の電位と、配線34の電位と、配線32の電位と、配線31の電位と、配線932の電位の時間変化を示す。なお、図88(B)では、配線34、配線32、配線31、配線932には、ハイレベルの電位GVDDまたはローレベルの電位GVSSが与えられる。

【0567】

なお、シミュレーションは、配線22における電位Vi2の値が互いに異なる、条件Aま

50

たは条件 B を用いて行った。具体的に、条件 A と条件 B における各配線の電位の値を下記の表 1 に示す。なお、表 1 では、配線 24 の電位 V_{cat} を 0 V とし、電位 V_{sig} 、電位 V_{i1} 、電位 V_{DD} 、電位 V_{i2} 、電位 GV_{DD} 、電位 GV_{SS} の値を、電位 V_{cat} との電位差で示している。

【0568】

【表 1】

	条件A	条件B
V_{th}	-3V~3V	-3V~3V
V_{sig}	4V~9V	4V~9V
V_{i1}	4V	4V
V_{DD}	14V	14V
V_{i2}	8V	14V
V_{cat}	0V	0V
GV_{DD}/GV_{SS}	17V/-5V	20V/-5V

10

【0569】

また、シミュレーションにおける各トランジスタのチャネル長 L とチャネル幅 W の比は、トランジスタ 101 では $L/W = 10\mu m / 10\mu m$ 、トランジスタ 12t 及びトランジスタ 13t では $L/W = 6\mu m / 5\mu m$ 、トランジスタ 11t、トランジスタ 14t、及びトランジスタ 914t では $L/W = 6\mu m / 9\mu m$ とした。そして、図 88 (A) に示した回路 100 が有する全てのトランジスタにおいて、半導体膜とソース電極またはドレイン電極とが接している領域を領域 A とすると、領域 A とゲート電極とが重なる領域における、チャネル長方向の長さ (L_{ov}) を、 $2.0\mu m$ とした。

20

【0570】

図 88 (B) に示した期間 T14 では、トランジスタ 101 のゲートソース間電圧 (V_{gs101}) は、電圧 $V_{sig} + V_{th} - V_{i1}$ となる。よって、図 88 (A) に示した回路 100 において、 $V_{gs101} - V_{th} = V_{sig} - V_{i1}$ となるため、 $V_{gs101} - V_{th}$ は、理想的には、閾値電圧 V_{th} の値に関わらず一定の値を有する。

30

【0571】

図 89 に、条件 A を用いた場合における、シミュレーションにより得られた $V_{gs101} - V_{th}$ の値を示す。図 89 では、横軸が閾値電圧 V_{th} (V)、縦軸が $V_{gs101} - V_{th}$ (V) の値を示す。図 89 では、閾値電圧 V_{th} の値を変化させても、 $V_{gs101} - V_{th}$ の値がほぼ均一であり、そのばらつきは 10% ~ 15% 程度に抑えられていることが分かる。

【0572】

図 90 に、条件 B を用いた場合における、シミュレーションにより得られた $V_{gs101} - V_{th}$ の値を示す。図 90 では、横軸が閾値電圧 V_{th} (V)、縦軸が $V_{gs101} - V_{th}$ (V) の値を示す。図 90 では、閾値電圧 V_{th} の値が正の値を有する場合だと、 $V_{gs101} - V_{th}$ の値はほぼ均一である。しかし、閾値電圧 V_{th} の値が負の値を有する場合、閾値電圧 V_{th} が負の方向に大きくなるほど、 $V_{gs101} - V_{th}$ の値が大きくなっており、 $V_{gs101} - V_{th}$ の値が閾値電圧 V_{th} の値に依存していることが分かる。

40

【0573】

上記シミュレーションの結果から、本発明の一態様に係る半導体装置では、トランジスタ 101 がノーマリオンであっても、すなわち閾値電圧 V_{th} がマイナスの値を有していても、トランジスタ 101 の閾値電圧 V_{th} を加味した値になるよう、トランジスタ 101 のゲートソース間電圧 (V_{gs101}) を設定することができることが証明された。

【0574】

50

本実施の形態は、他の実施の形態の一部または全部について、変更、追加、修正、削除、応用、上位概念化、又は、下位概念化したものに相当する。したがって、本実施の形態の一部または全部について、他の実施の形態の一部または全部と自由に組み合わせる、適用する、或いは置き換えて実施することができる。

【符号の説明】

【 0 5 7 5 】

1 1	スイッチ	
1 1 t	トランジスタ	
1 2	スイッチ	
1 2 t	トランジスタ	10
1 3	スイッチ	
1 3 t	トランジスタ	
1 4	スイッチ	
1 4 a	スイッチ	
1 4 b	スイッチ	
1 4 t	トランジスタ	
1 5	スイッチ	
2 1	配線	
2 2	配線	
2 3	配線	20
2 3 a	配線	
2 3 b	配線	
2 4	配線	
2 5	配線	
2 6	配線	
2 7	配線	
3 1	配線	
3 2	配線	
3 3	配線	
3 4	配線	30
1 0 0	回路	
1 0 1	トランジスタ	
1 0 2	容量素子	
1 0 3	容量素子	
1 0 4	負荷	
1 0 4 a	発光素子	
1 0 4 b	発光素子	
1 0 5	容量素子	
1 0 5 a	容量素子	
1 0 5 b	容量素子	40
2 0 1	回路	
2 0 2	回路	
2 0 3	回路	
2 0 3 a	回路	
2 0 3 b	回路	
2 0 4	回路	
2 0 5	回路	
2 0 6	回路	
2 0 7	回路	
2 0 8	回路	50

2 2 0	回路	
2 2 1	回路	
2 2 2	回路	
2 2 2 a	回路	
2 2 2 b	回路	
2 2 3	回路	
2 2 4	回路	
2 2 5	回路	
2 2 6	回路	
2 3 0	回路	10
2 3 1	回路	
2 3 2	回路	
2 3 3	回路	
3 0 0	半導体膜	
3 0 1	半導体膜	
3 0 2	導電膜	
3 0 3	導電膜	
3 0 4	導電膜	
3 0 5	導電膜	
3 0 6	導電膜	20
3 0 7	導電膜	
3 0 8	導電膜	
3 0 9	導電膜	
3 2 0	半導体膜	
3 2 1	半導体膜	
3 2 2	半導体膜	
3 2 3	半導体膜	
3 2 4	導電膜	
3 2 5	導電膜	
3 2 6	導電膜	30
3 2 7	導電膜	
3 2 8	導電膜	
3 2 9	導電膜	
3 3 0	導電膜	
3 3 1	導電膜	
3 3 2	導電膜	
3 3 3	半導体膜	
5 0 1	半導体膜	
5 0 2	絶縁膜	
5 0 3	電極	40
5 0 4	導電膜	
5 0 5	導電膜	
5 0 6	第 1 の領域	
5 0 7	第 2 の領域	
5 0 8	第 2 の領域	
5 0 9	第 3 の領域	
5 1 0	第 3 の領域	
5 2 0	絶縁膜	
5 2 0 a	第 1 の酸化絶縁膜	
5 2 0 b	第 2 の酸化絶縁膜	50

5 2 0 c	第 3 の酸化絶縁膜	
5 2 1	半導体膜	
5 2 2	絶縁膜	
5 2 3	電極	
5 2 4	導電膜	
5 2 5	導電膜	
5 2 6	第 1 の領域	
5 2 7	サイドウォール	
5 2 8	絶縁膜	
5 2 9	開口部	10
5 3 0	絶縁膜	
5 3 0 a	第 1 の酸化絶縁膜	
5 3 0 b	第 2 の酸化絶縁膜	
5 3 1	半導体膜	
5 3 2	絶縁膜	
5 3 3	電極	
5 3 4	導電膜	
5 3 5	導電膜	
5 3 6	第 1 の領域	
5 3 7	第 2 の領域	20
5 3 8	第 2 の領域	
5 3 9	サイドウォール	
5 4 0	絶縁膜	
5 5 0	第 2 の領域	
5 5 1	第 2 の領域	
6 0 2	ゲート電極	
6 0 3	ゲート絶縁膜	
6 0 4	半導体膜	
6 0 5	導電膜	
6 0 6	導電膜	30
6 0 7	絶縁膜	
6 1 2	ゲート電極	
6 1 3	ゲート絶縁膜	
6 1 4	半導体膜	
6 1 5	導電膜	
6 1 6	導電膜	
6 1 7	絶縁膜	
6 1 8	チャネル保護膜	
6 2 2	ゲート電極	
6 2 3	ゲート絶縁膜	40
6 2 4	半導体膜	
6 2 5	導電膜	
6 2 6	導電膜	
6 2 7	絶縁膜	
6 4 2	ゲート電極	
6 4 3	ゲート絶縁膜	
6 4 4	半導体膜	
6 4 5	導電膜	
6 4 6	導電膜	
6 4 7	絶縁膜	50

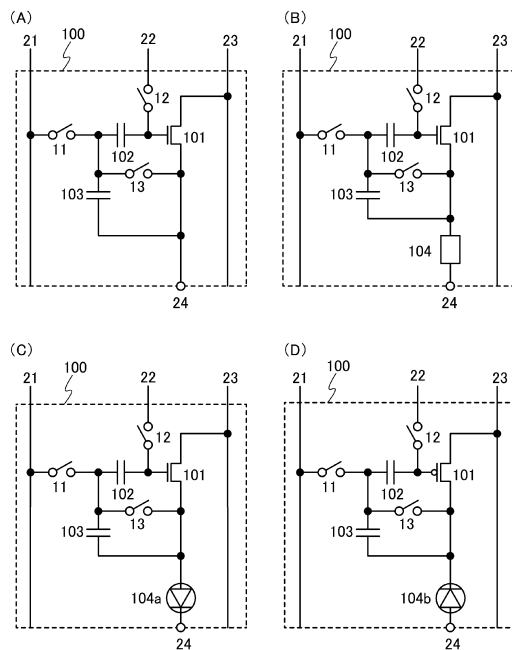
7 0 0	画素部	
7 0 1	駆動回路	
7 0 2	駆動回路	
7 1 0	駆動回路	
7 1 1	画素部	
8 0 0	基板	
8 0 1	絶縁膜	
8 0 2	絶縁膜	
8 0 3	絶縁膜	
8 1 4	スイッチ	10
9 1 4	スイッチ	
9 1 4 t	トランジスタ	
9 3 2	配線	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	回路	
4 0 0 4	回路	
4 0 0 6	基板	
4 0 0 7	充填材	
4 0 0 8	トランジスタ	20
4 0 0 9	トランジスタ	
4 0 1 0	トランジスタ	
4 0 1 1	発光素子	
4 0 1 2	対向電極	
4 0 1 3	発光層	
4 0 1 4	配線	
4 0 1 5	配線	
4 0 1 6	接続端子	
4 0 1 7	配線	
4 0 1 8	F P C	30
4 0 1 9	異方性導電膜	
4 0 2 0	シール材	
5 0 0 1	筐体	
5 0 0 2	筐体	
5 0 0 3	表示部	
5 0 0 4	表示部	
5 0 0 5	マイクロフォン	
5 0 0 6	スピーカー	
5 0 0 7	操作キー	
5 0 0 8	スタイラス	40
5 2 0 1	筐体	
5 2 0 2	表示部	
5 2 0 3	支持台	
5 4 0 1	筐体	
5 4 0 2	表示部	
5 4 0 3	キーボード	
5 4 0 4	ポインティングデバイス	
5 6 0 1	筐体	
5 6 0 2	表示部	
5 6 0 3	操作キー	50

5 8 0 1	筐体
5 8 0 2	表示部
5 8 0 3	音声入力部
5 8 0 4	音声出力部
5 8 0 5	操作キー
5 8 0 6	受光部
5 9 0 1	筐体
5 9 0 2	筐体
5 9 0 3	表示部
5 9 0 4	表示部
5 9 0 5	接続部
5 9 0 6	操作キー
9 2 0 6	回路
9 0 0 5 0 1	表示パネル
9 0 0 5 1 3	F P C
9 0 0 5 3 0	ハウジング
9 0 0 5 3 1	プリント基板
9 0 0 5 3 2	スピーカー
9 0 0 5 3 3	マイクロフォン
9 0 0 5 3 4	送受信回路
9 0 0 5 3 5	信号処理回路
9 0 0 5 3 6	入力手段
9 0 0 5 3 7	バッテリー
9 0 0 5 3 9	筐体

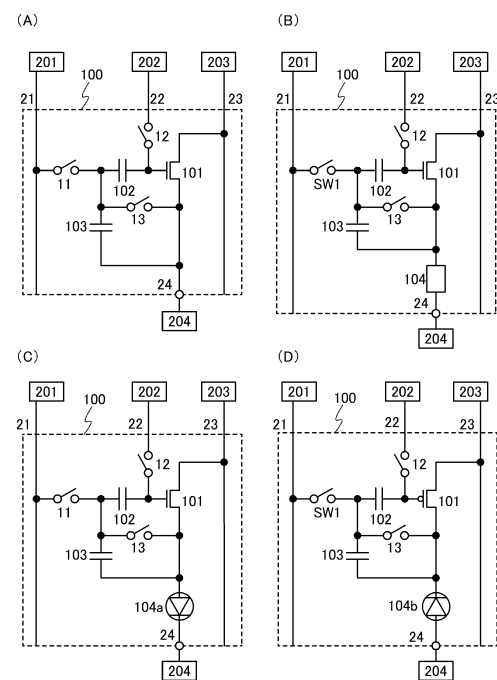
10

20

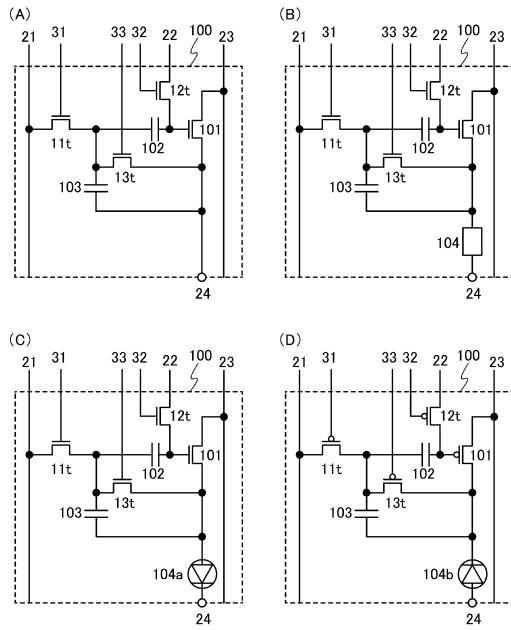
【図 1】



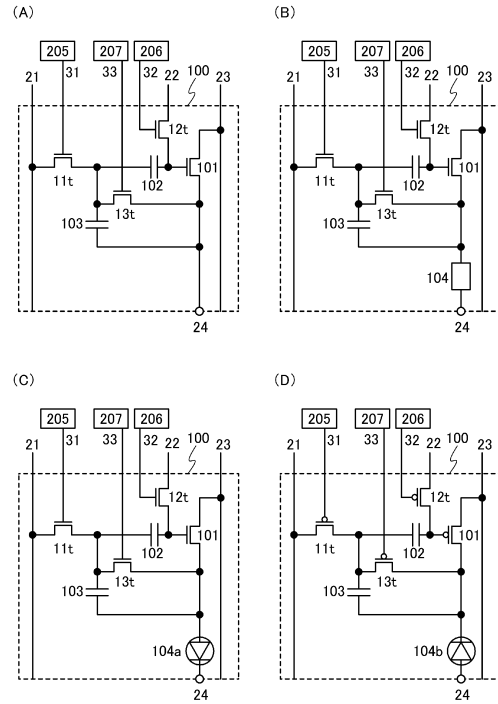
【図 2】



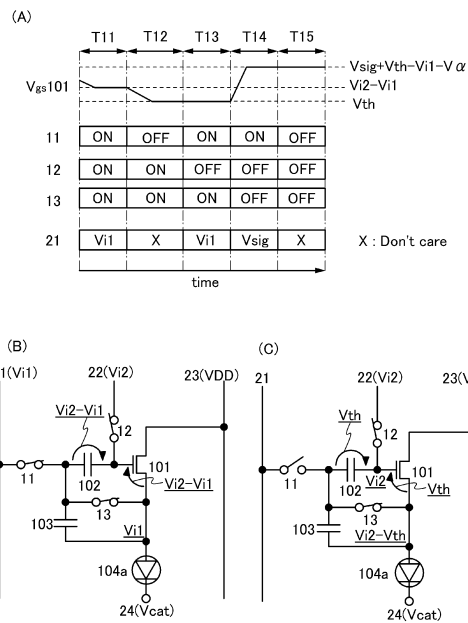
【図 3】



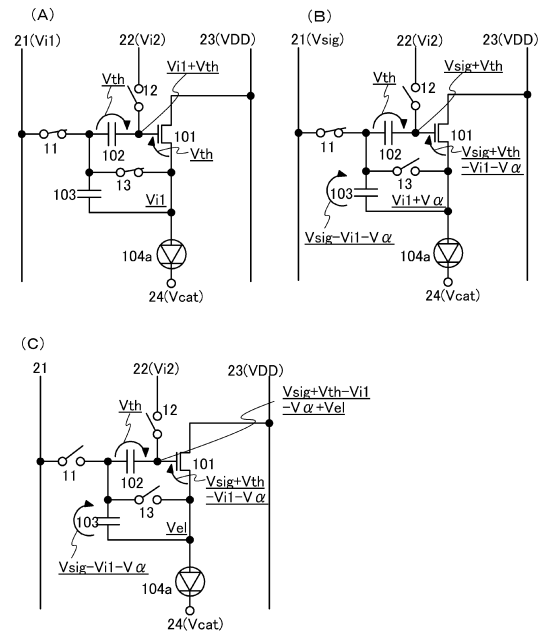
【図 4】



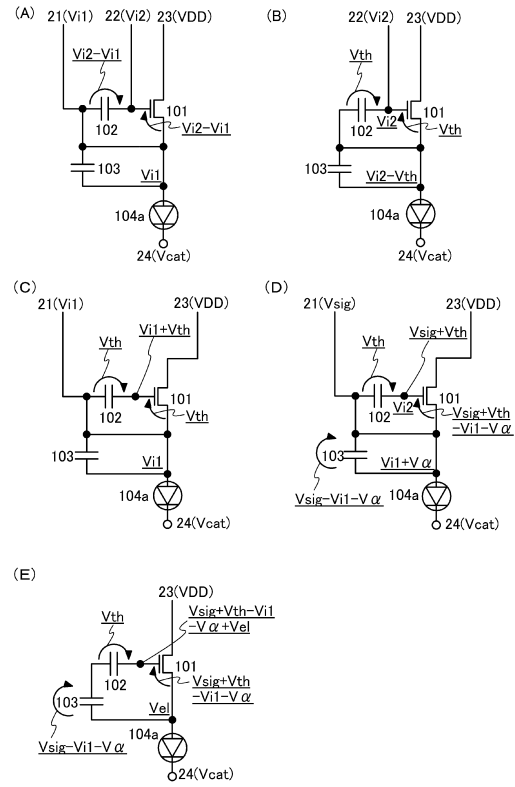
【図 5】



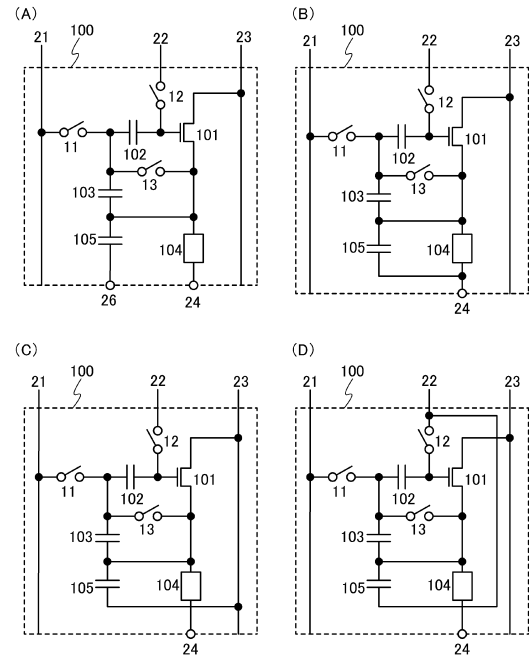
【図 6】



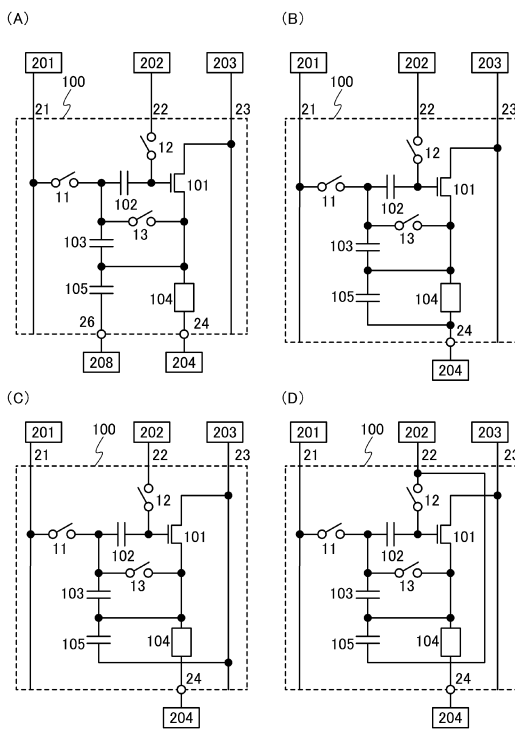
【図 7】



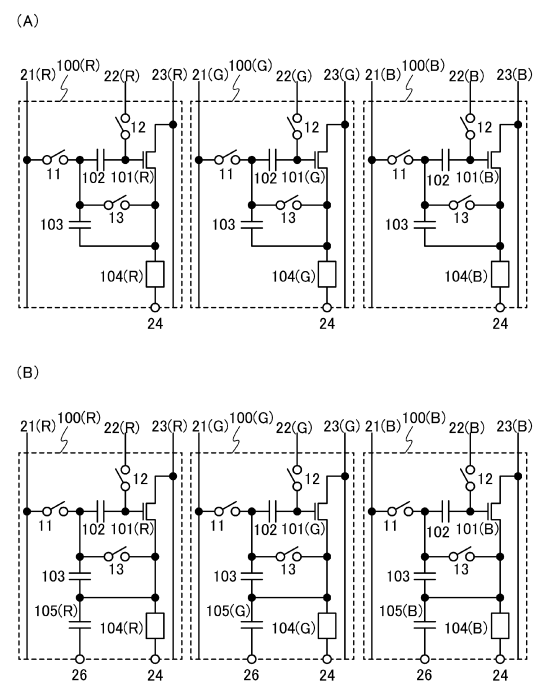
【図 8】



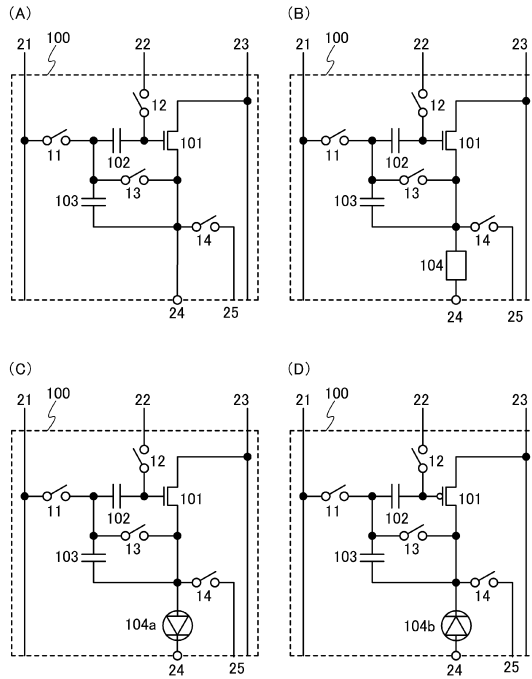
【図 9】



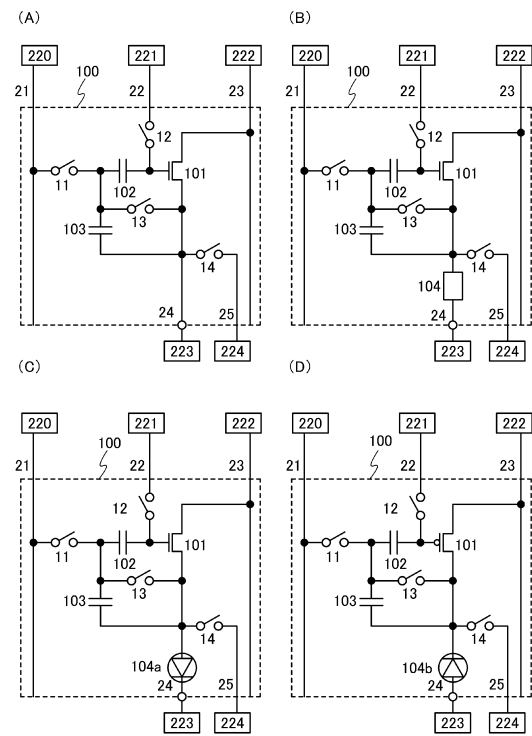
【図 10】



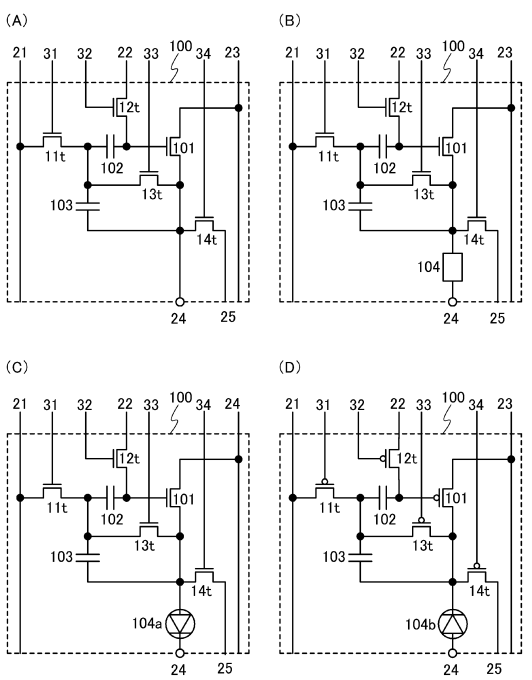
【図 1 1】



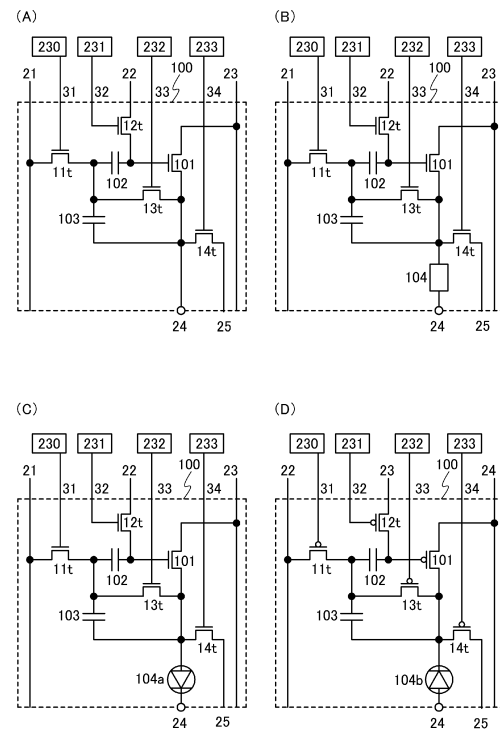
【図 1 2】



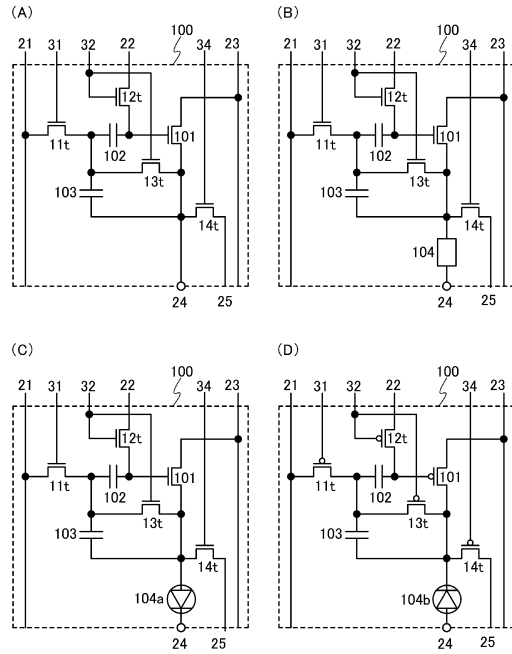
【図 1 3】



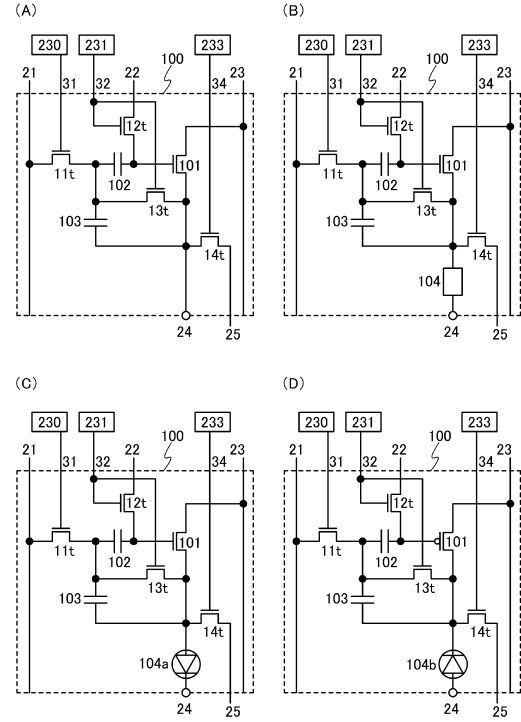
【図 1 4】



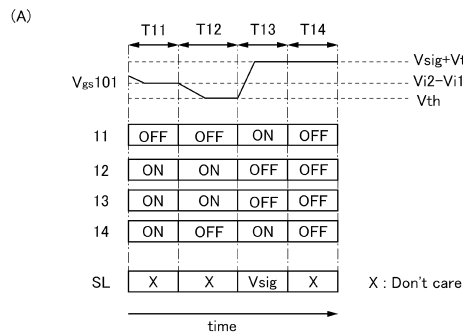
【図 15】



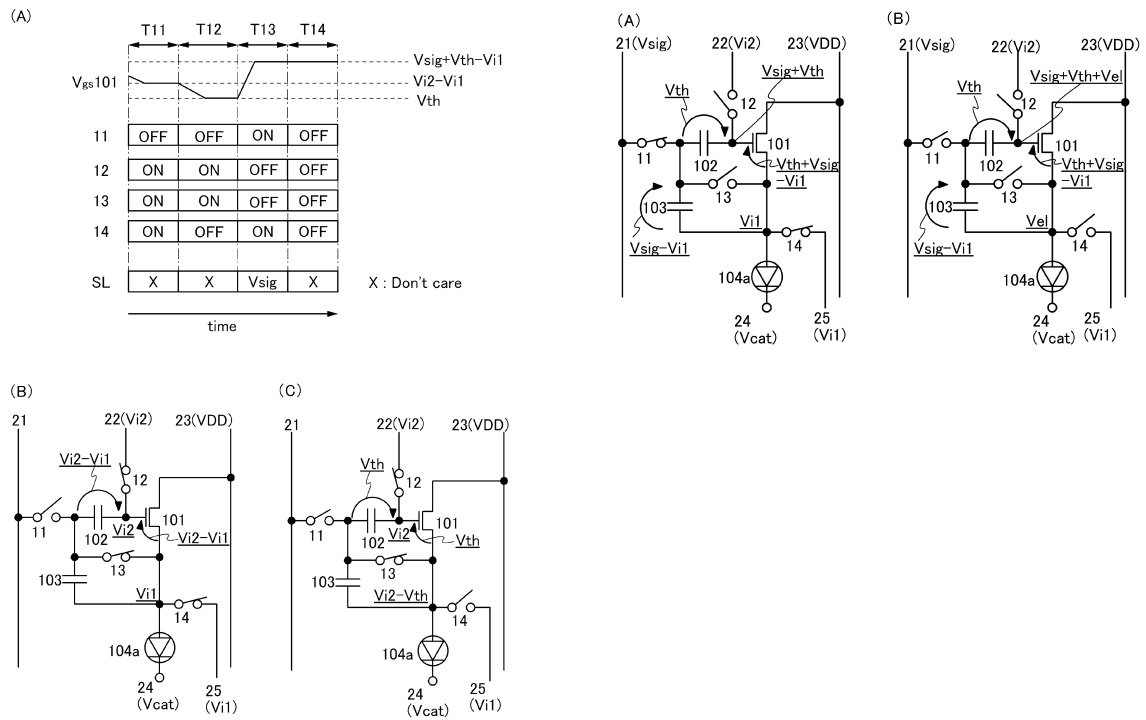
【図 16】



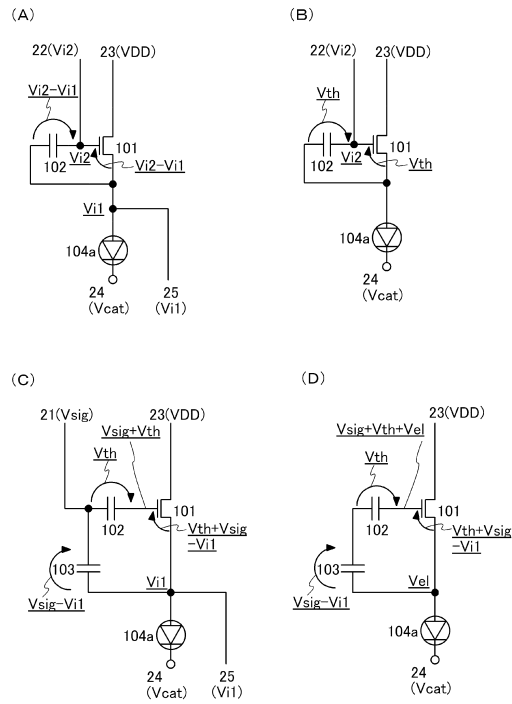
【図 17】



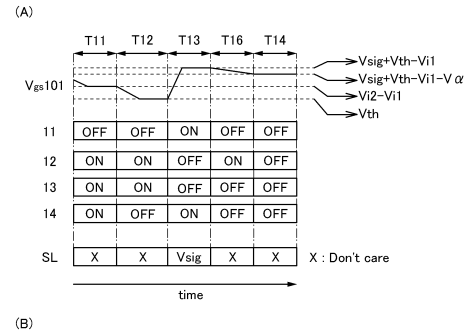
【図 18】



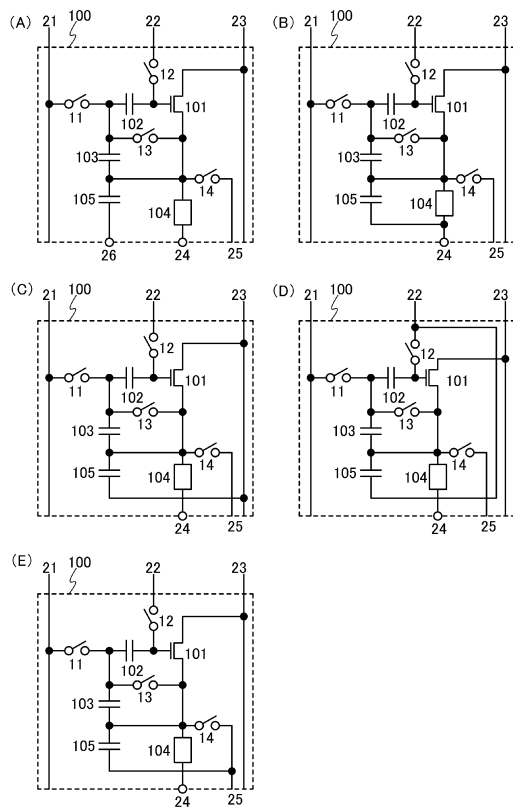
【図 19】



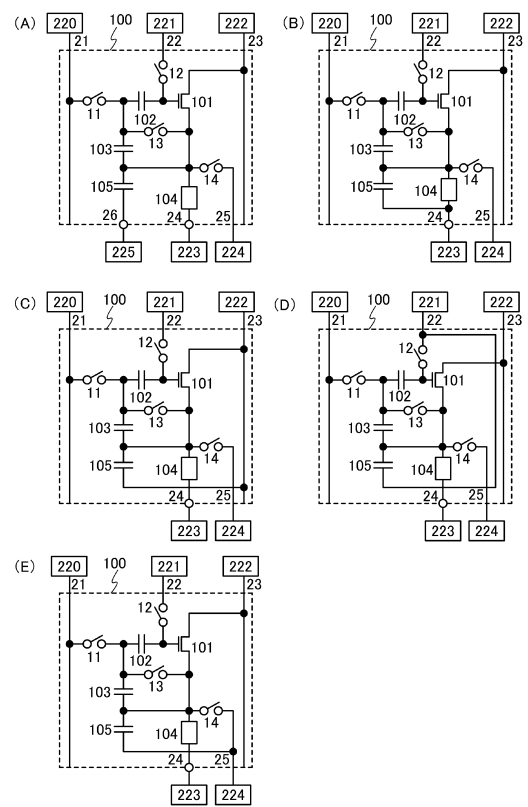
【図 20】



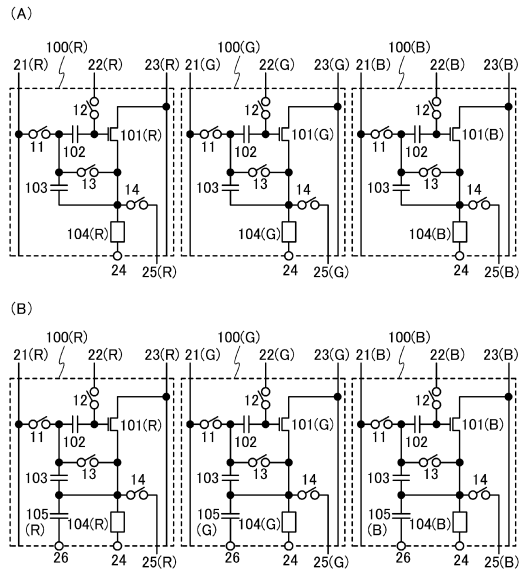
【図 21】



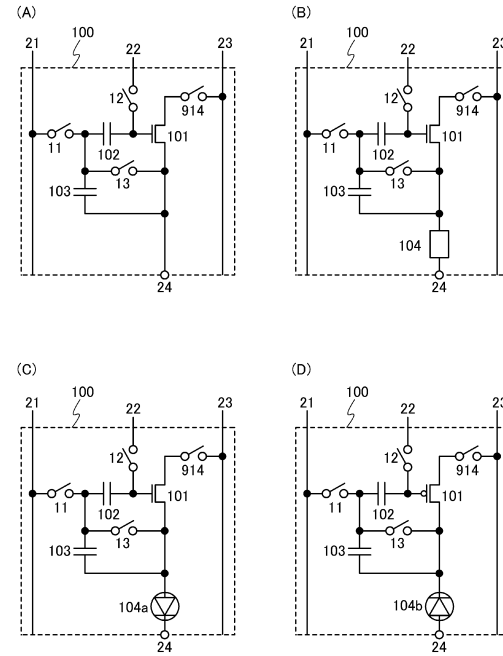
【図 22】



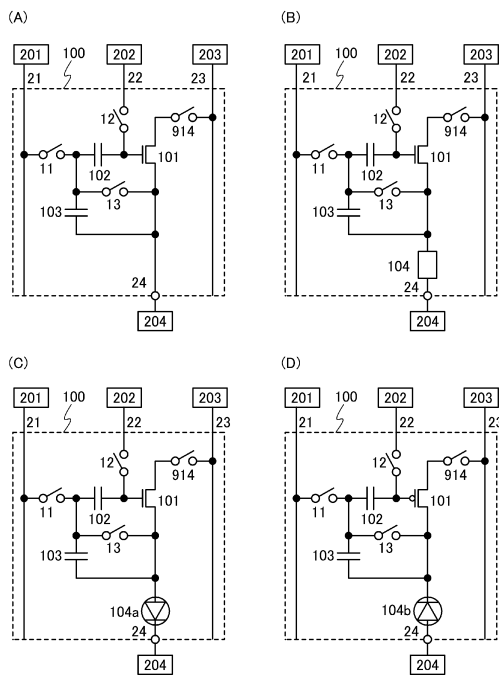
【図 23】



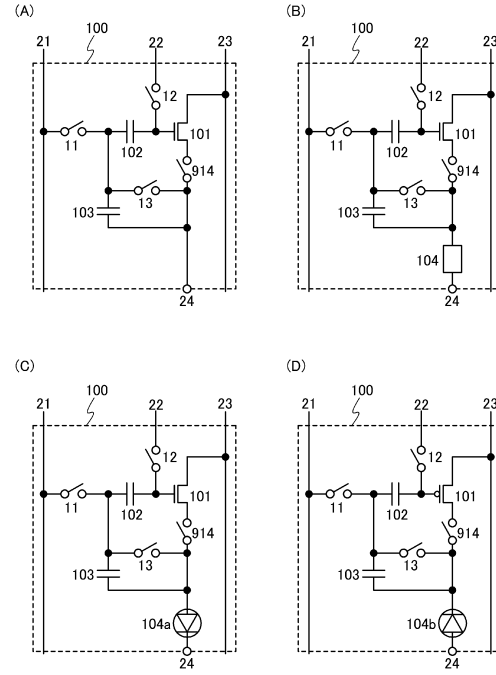
【図 24】



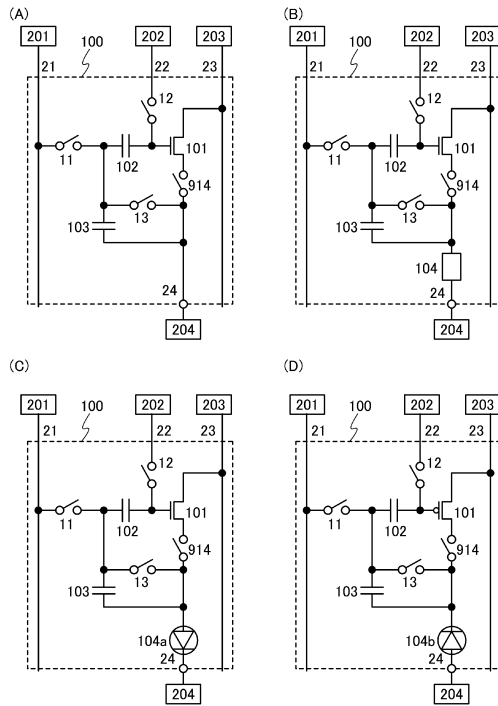
【図 25】



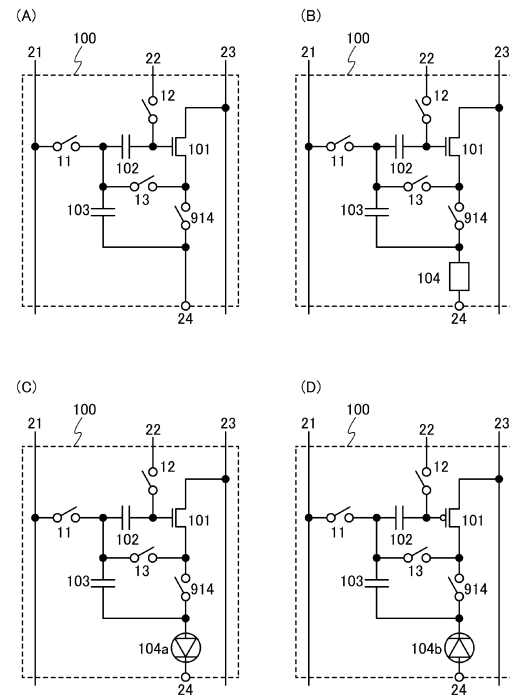
【図 26】



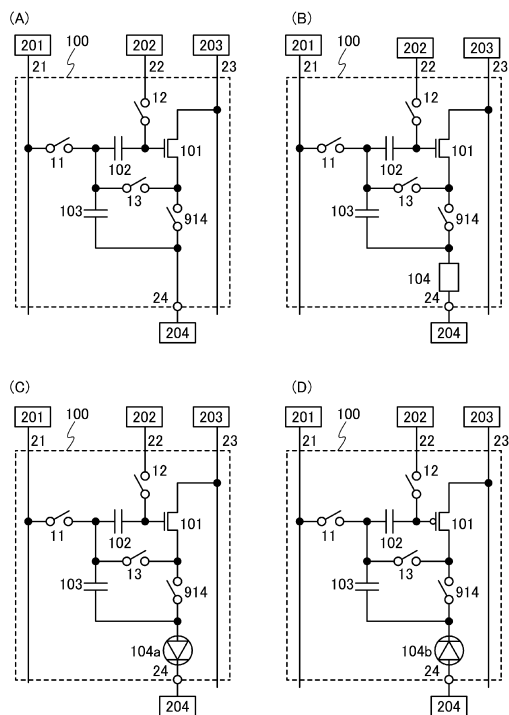
【図 27】



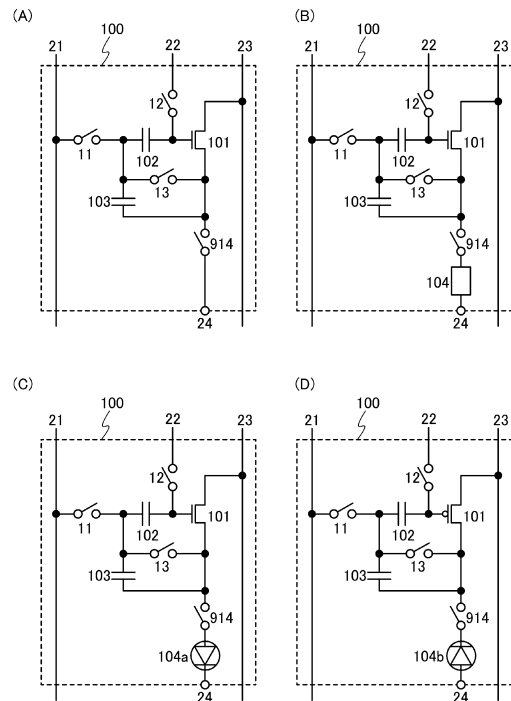
【図 28】



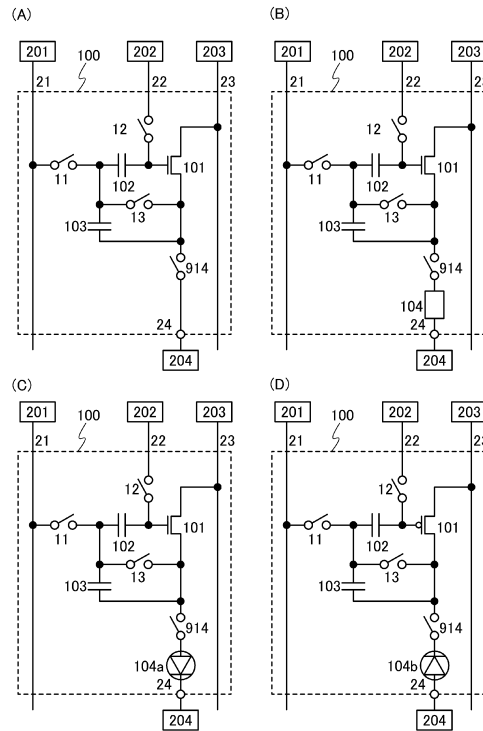
【図 29】



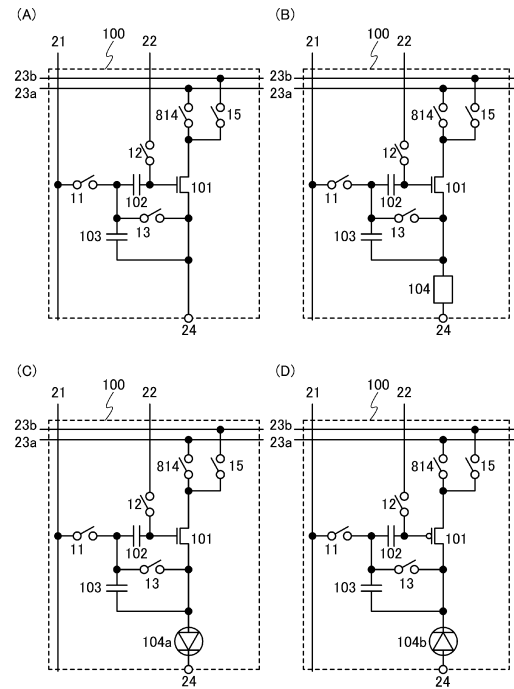
【図 30】



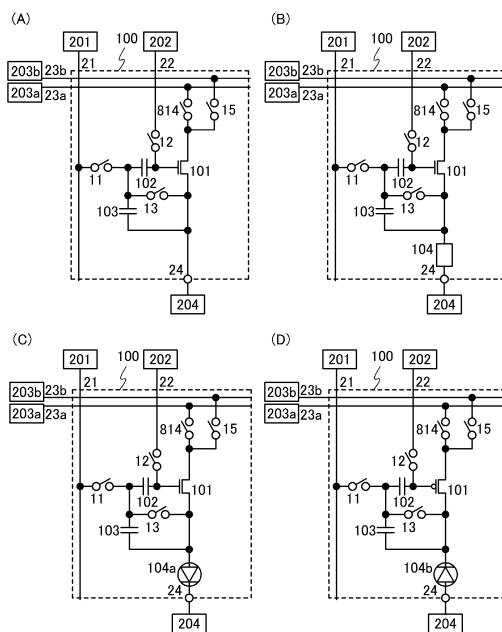
【図 3 1】



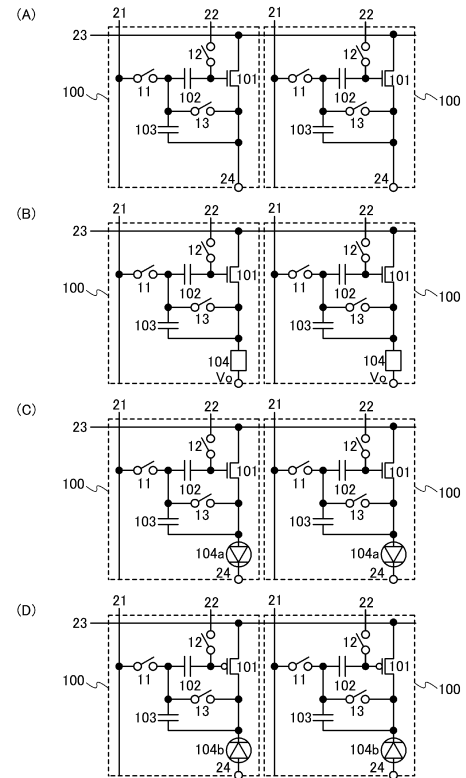
【図 3 2】



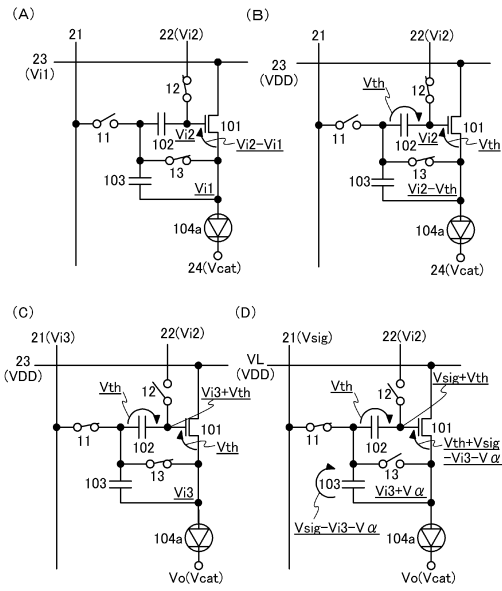
【図 3 3】



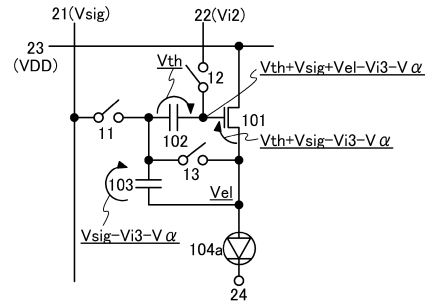
【図 3 4】



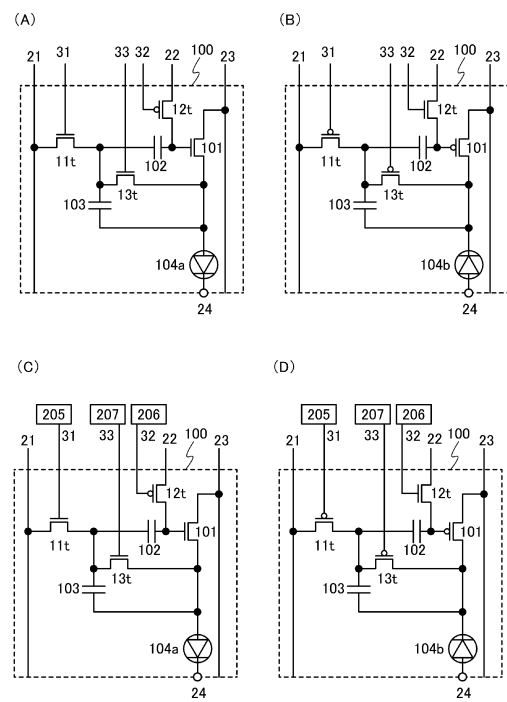
【図 3 5】



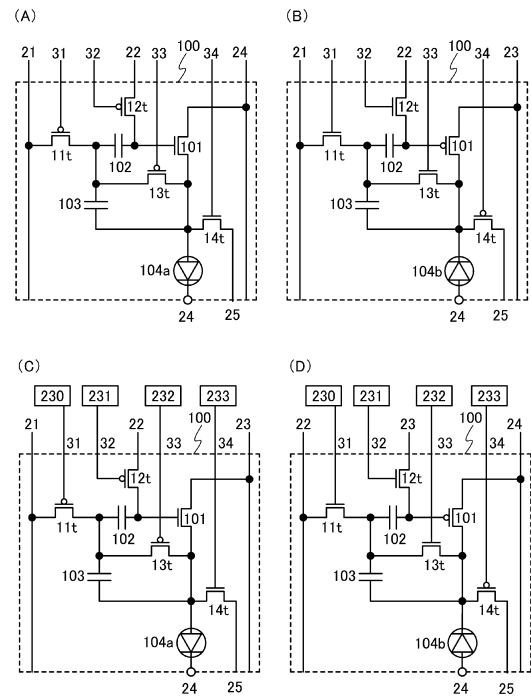
【図 3 6】



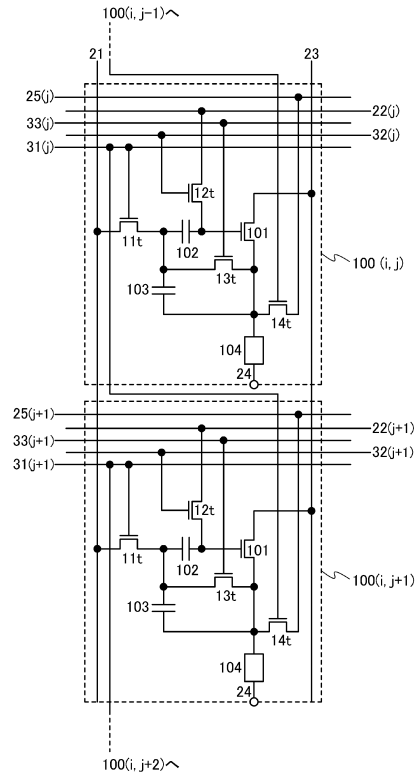
【図 3 7】



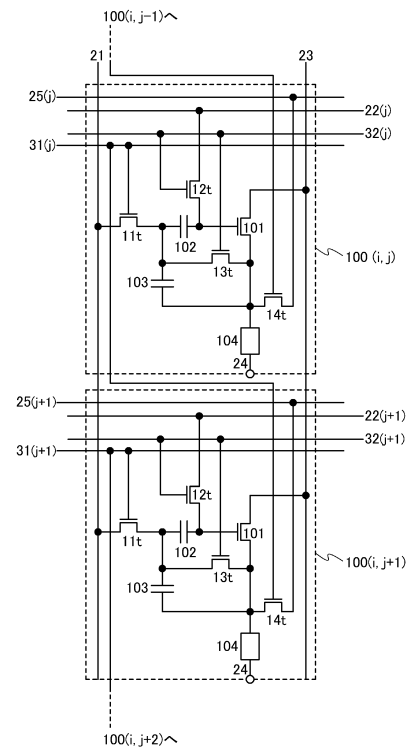
【図 3 8】



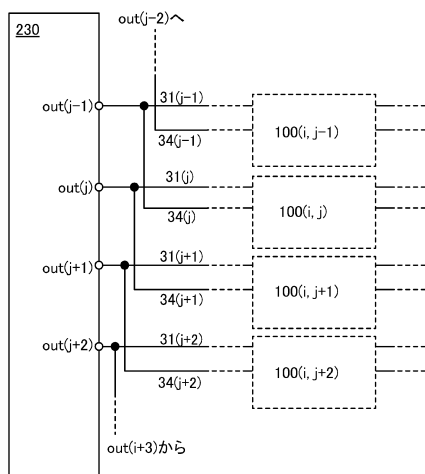
【図 39】



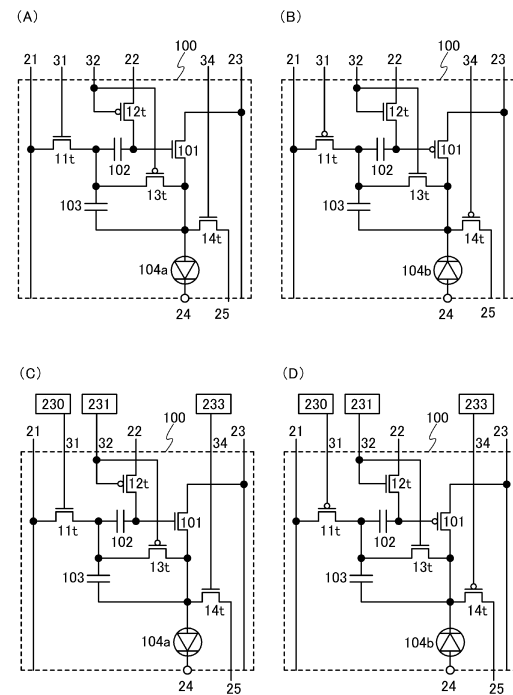
【図 40】



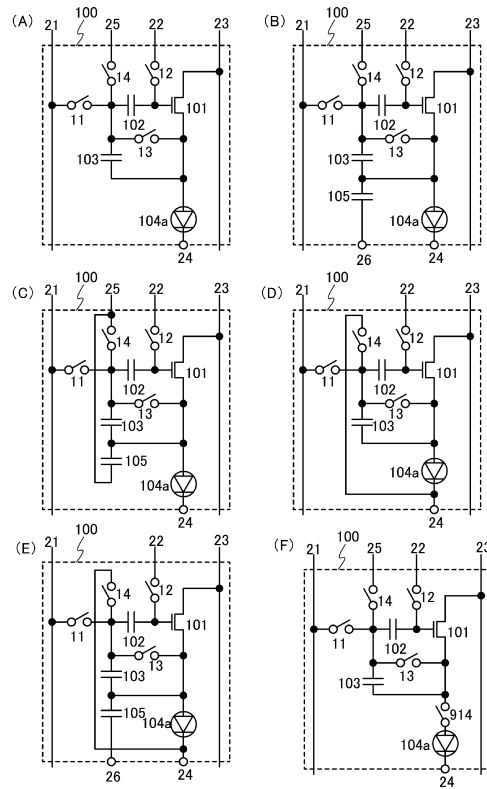
【図 41】



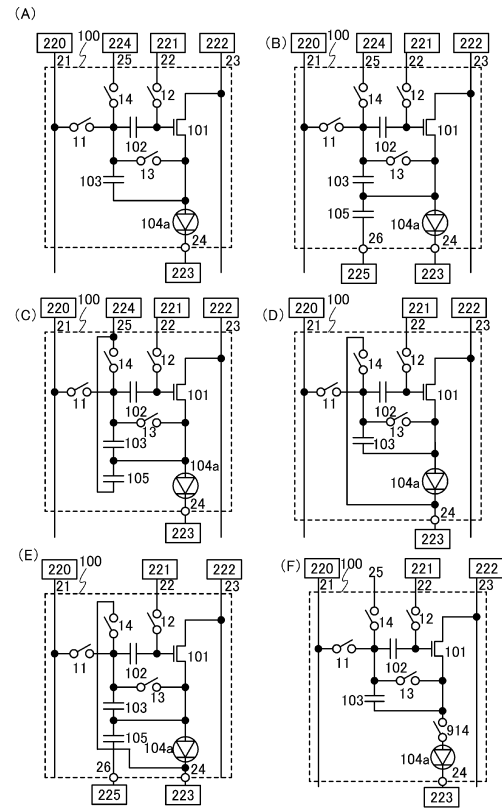
【図 42】



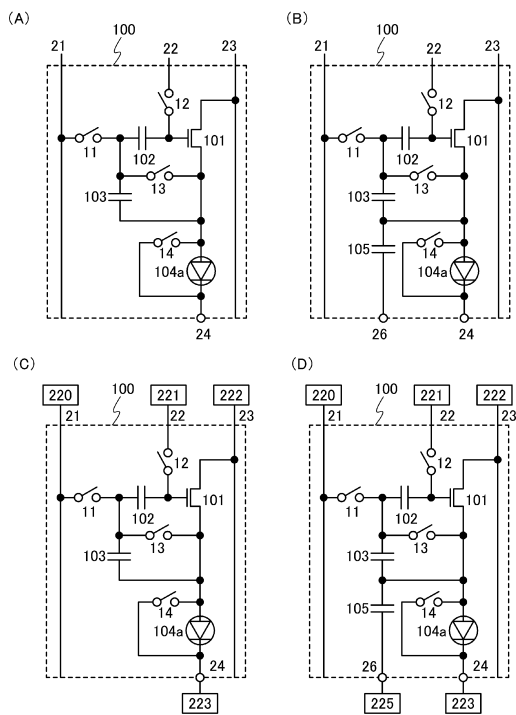
【図 4 3】



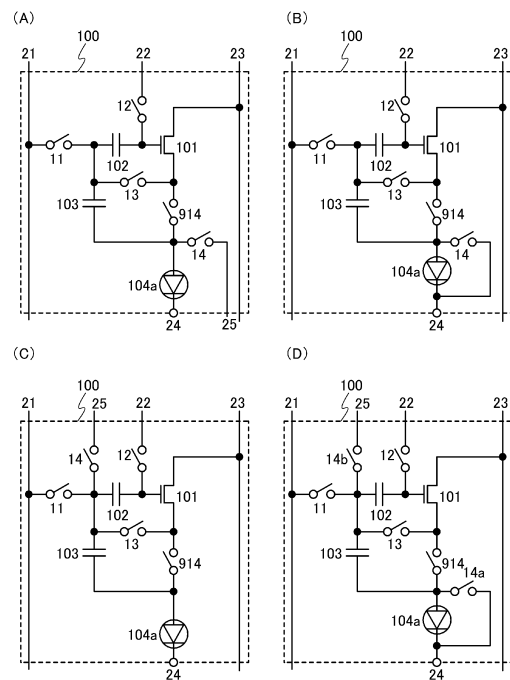
【図 4 4】



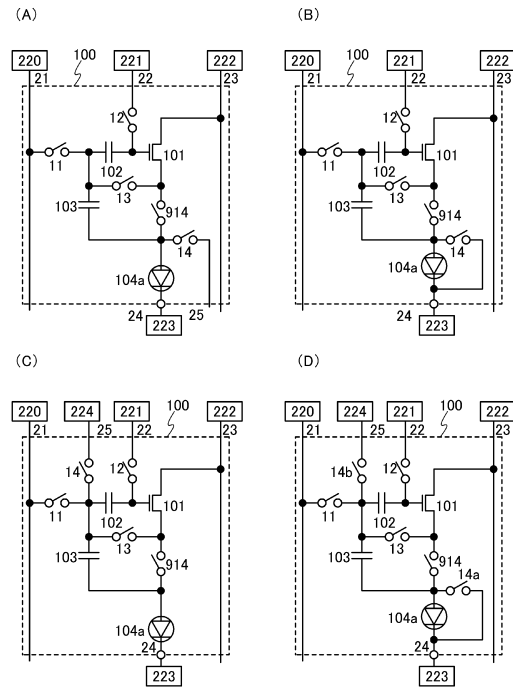
【図 4 5】



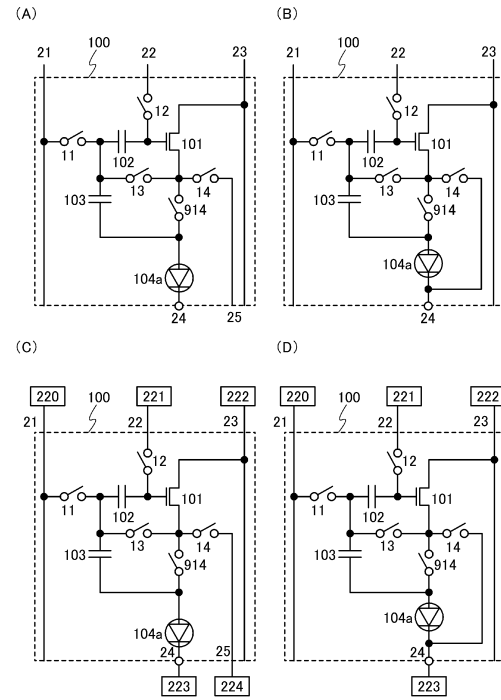
【図 4 6】



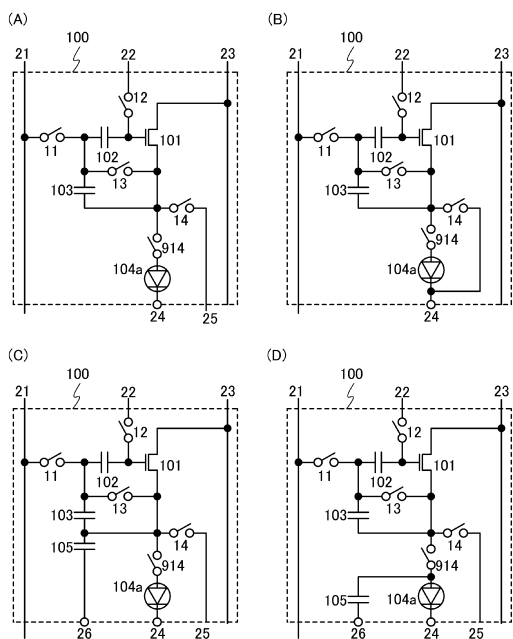
【図 47】



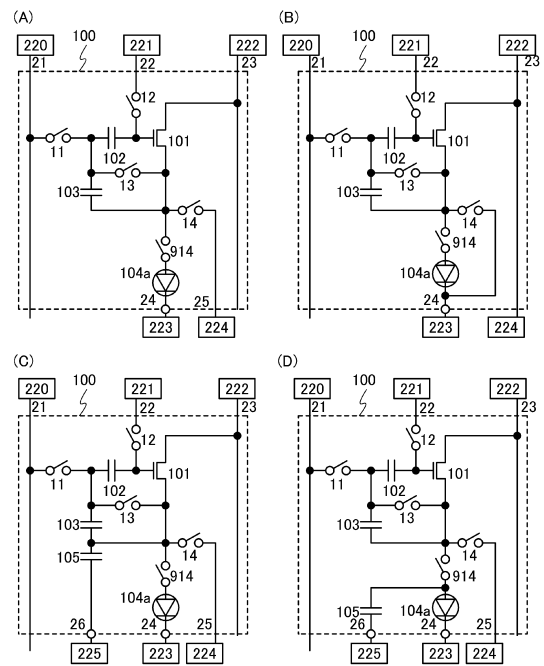
【図 48】



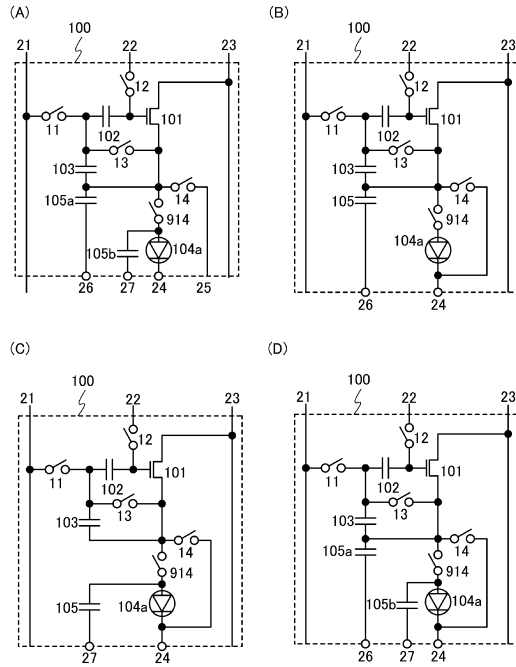
【図 49】



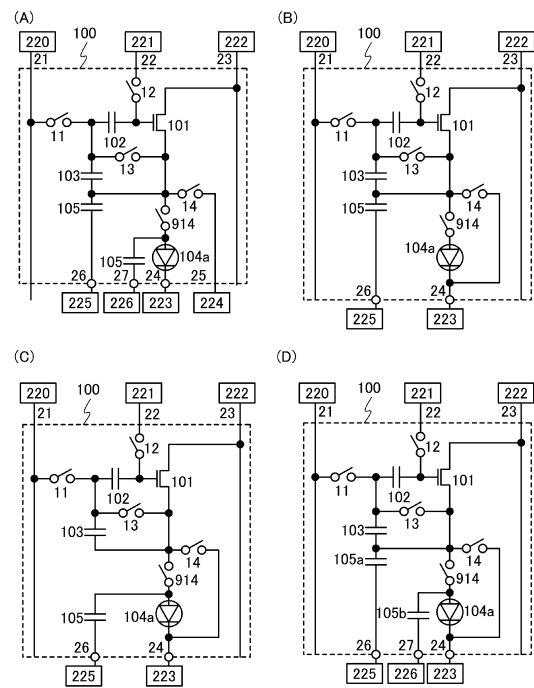
【図 50】



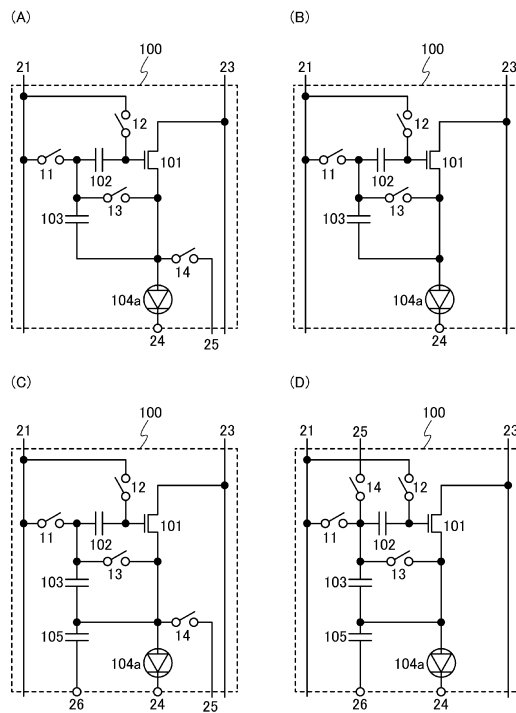
【図 5 1】



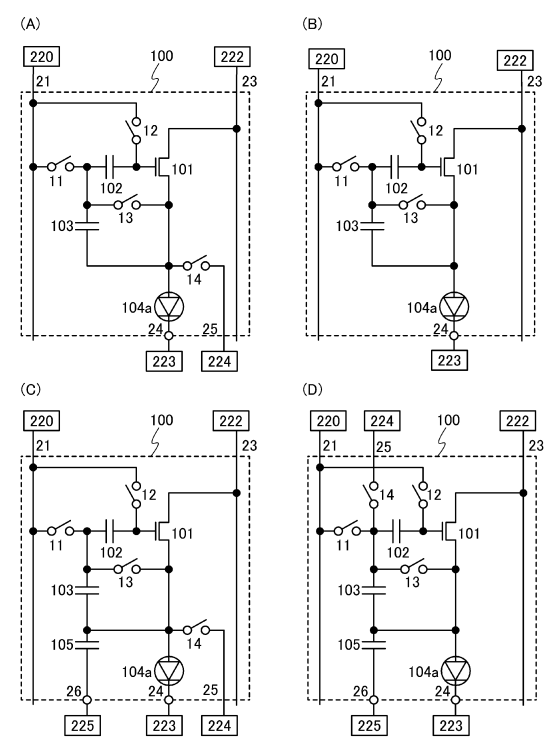
【図 5 2】



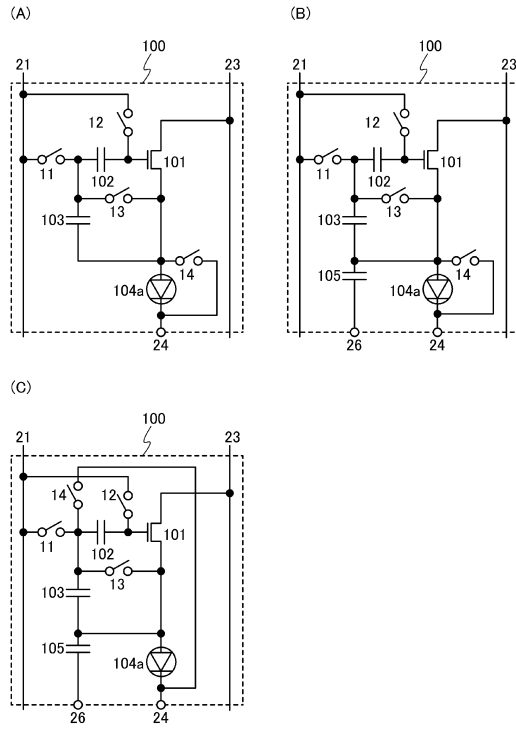
【図 5 3】



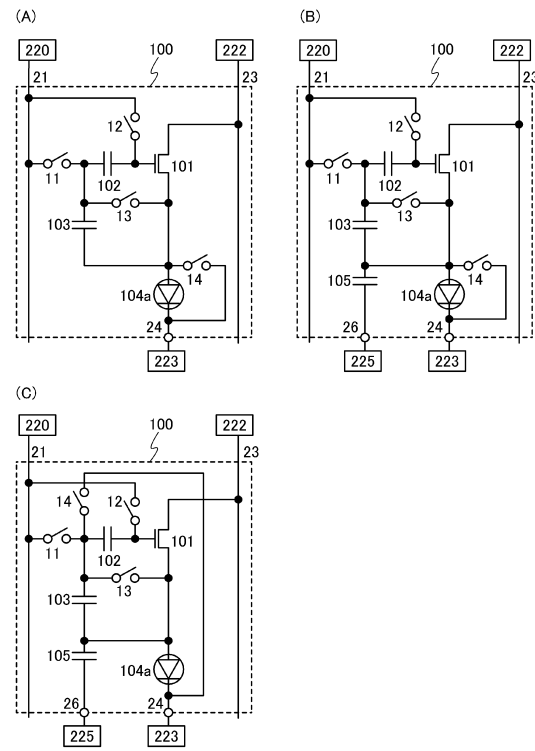
【図 5 4】



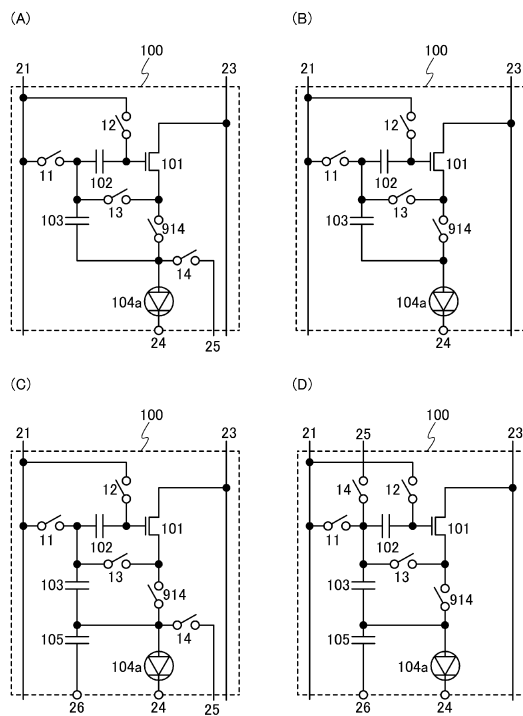
【図 5 5】



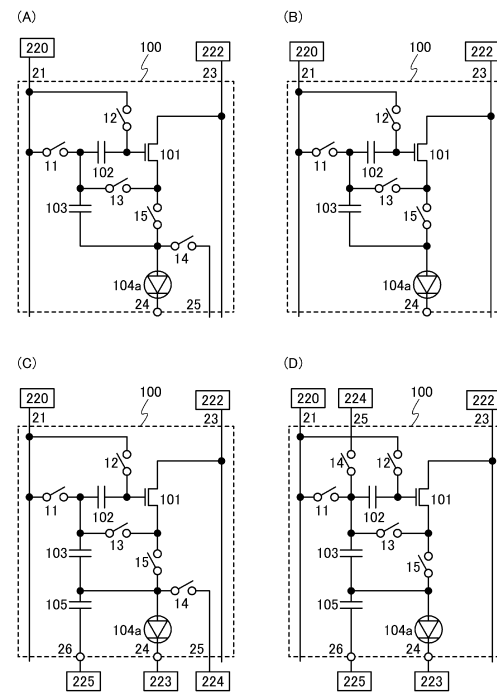
【図 5 6】



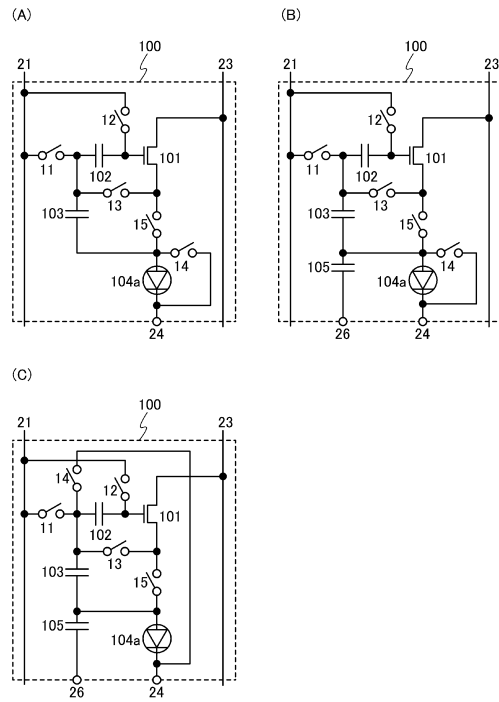
【図 5 7】



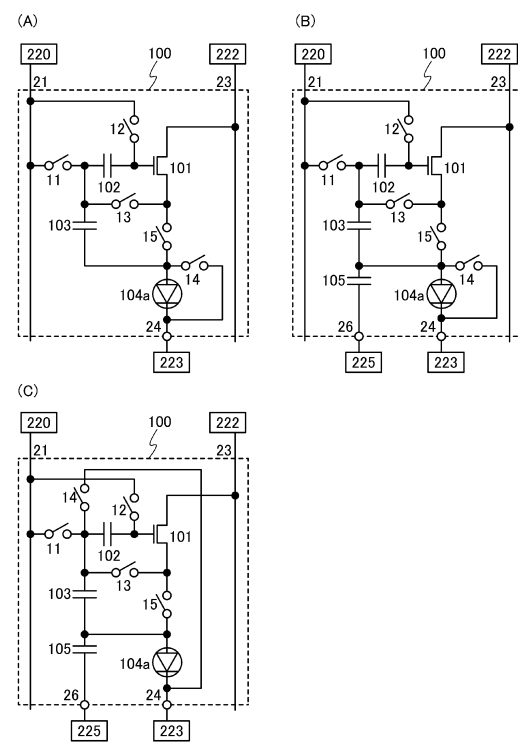
【図 5 8】



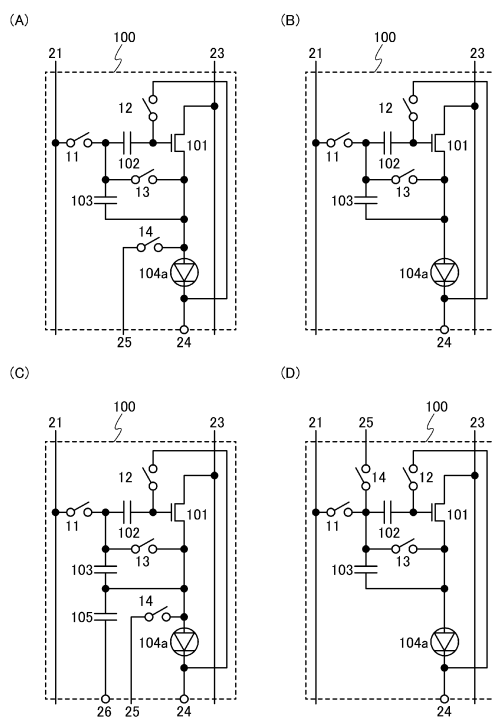
【図 59】



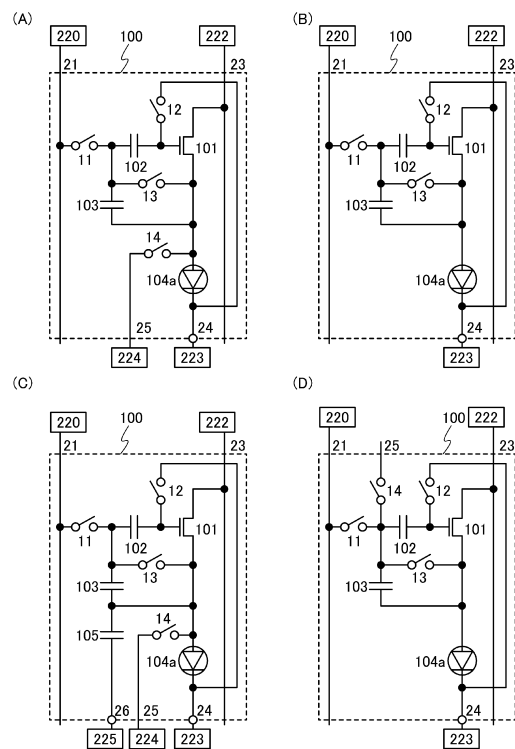
【図 60】



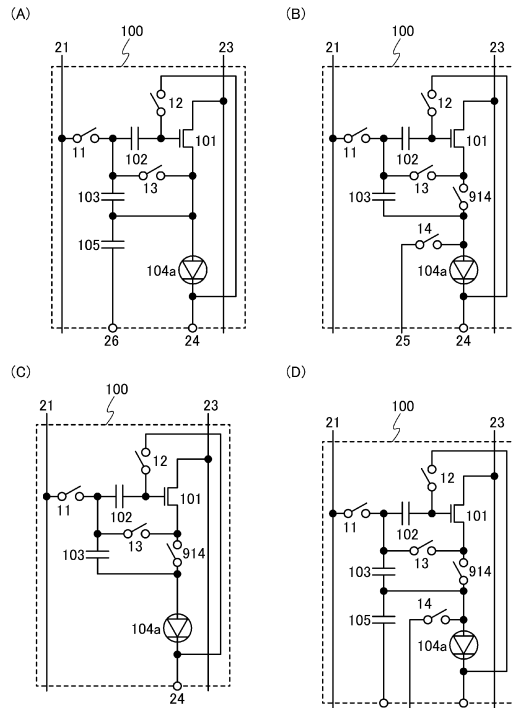
【図 61】



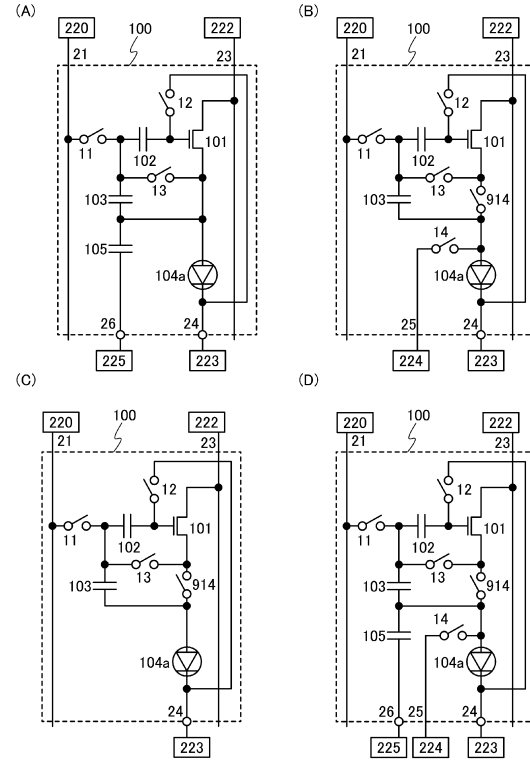
【図 62】



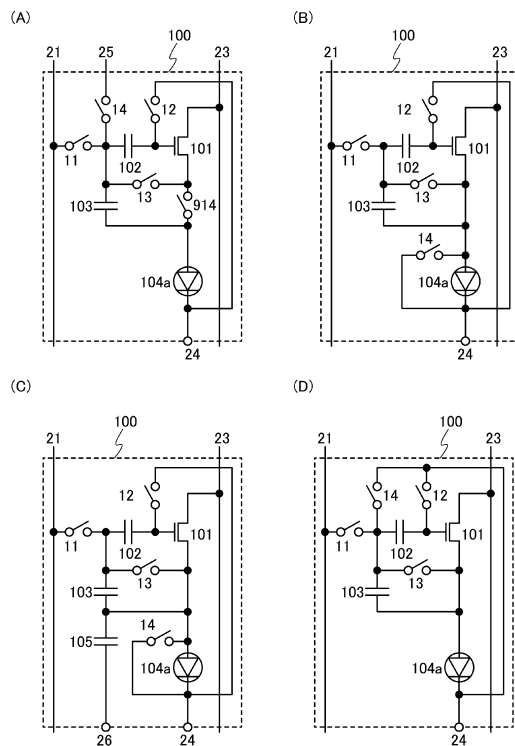
【図 6 3】



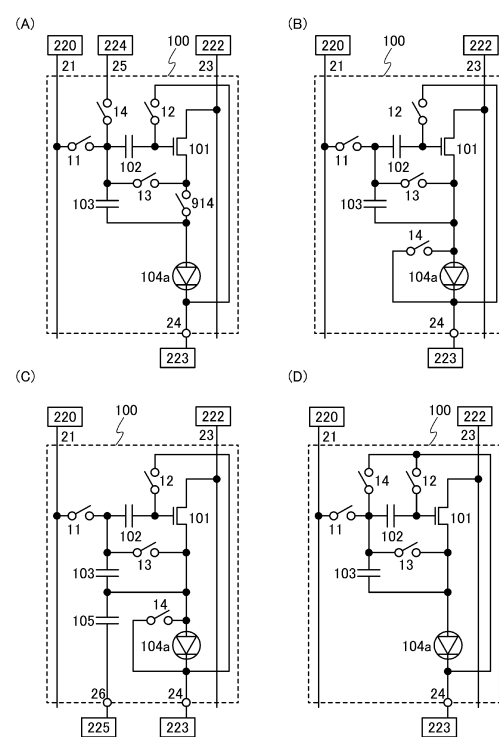
【図 6 4】



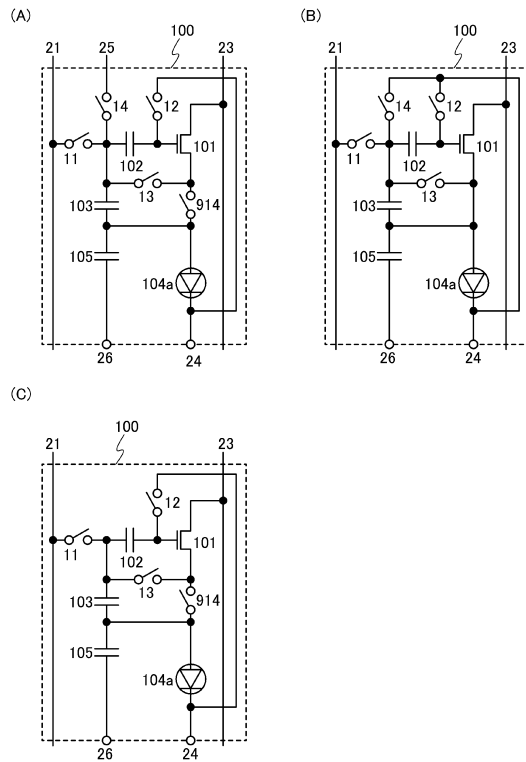
【図 6 5】



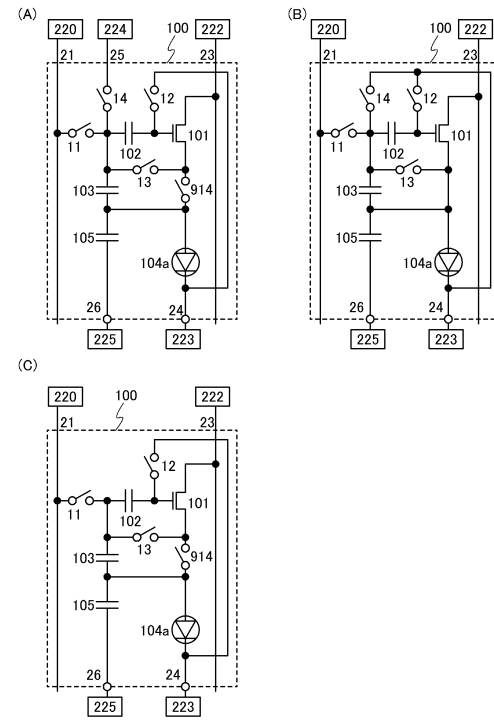
【図 6 6】



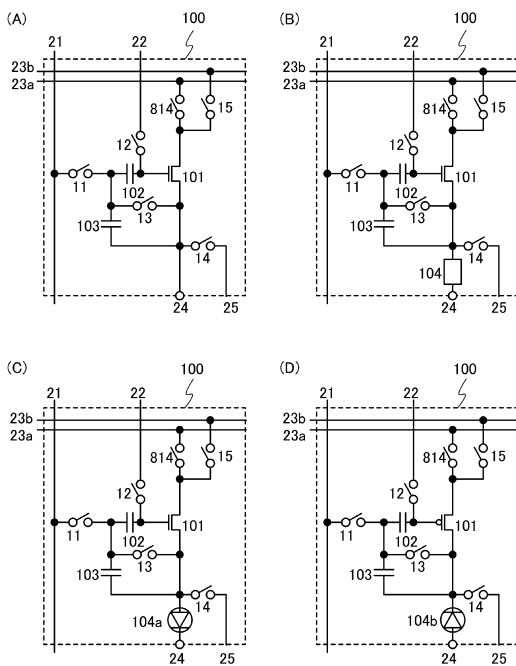
【図 67】



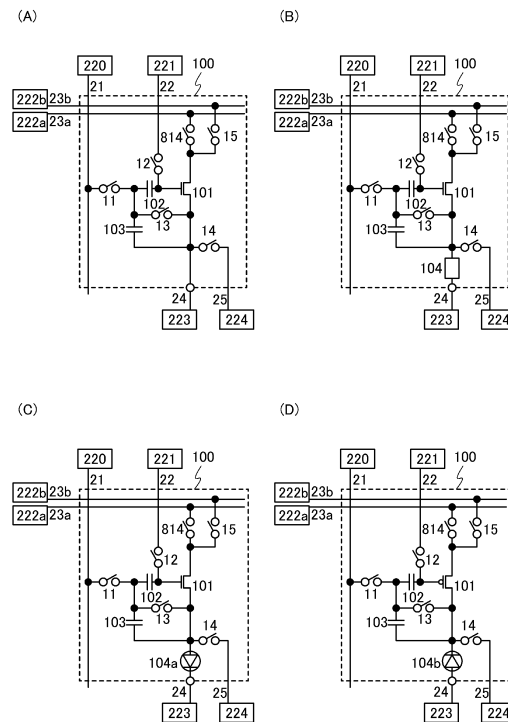
【図 68】



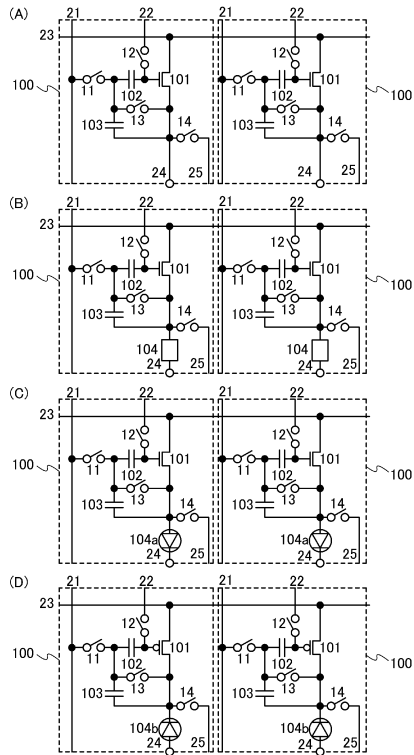
【図 69】



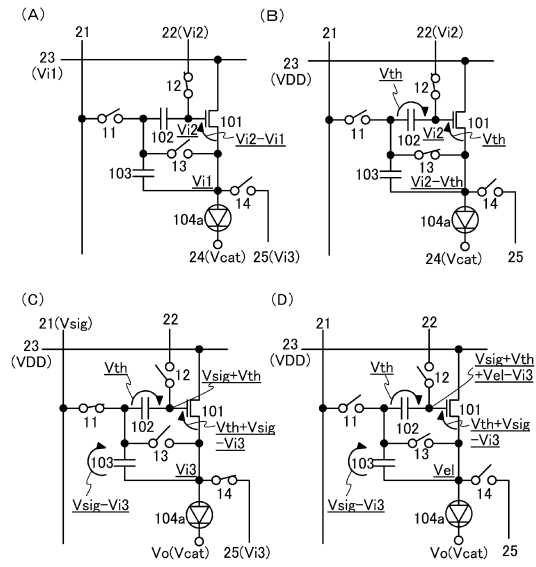
【図 70】



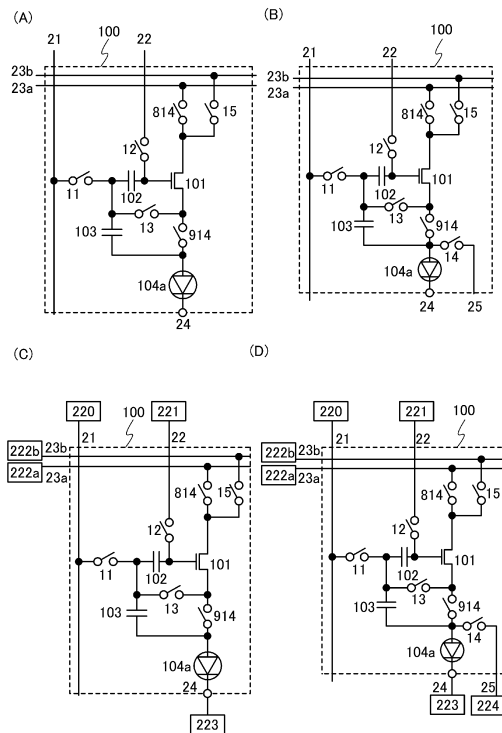
【図 7 1】



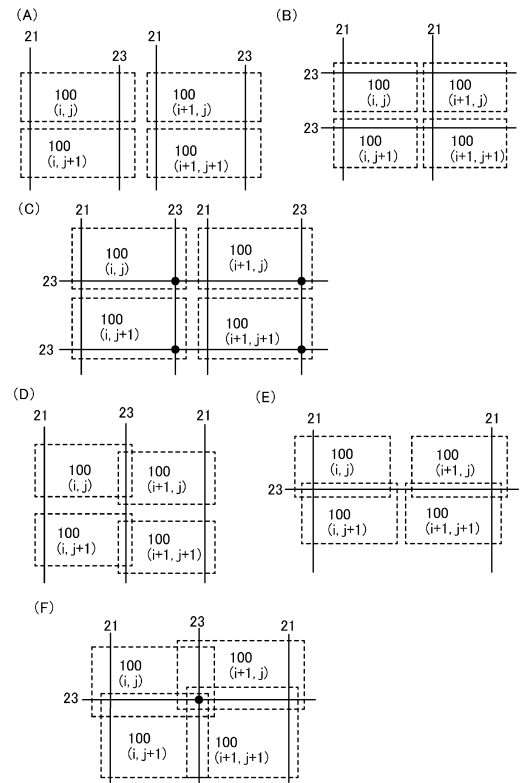
【図 7 2】



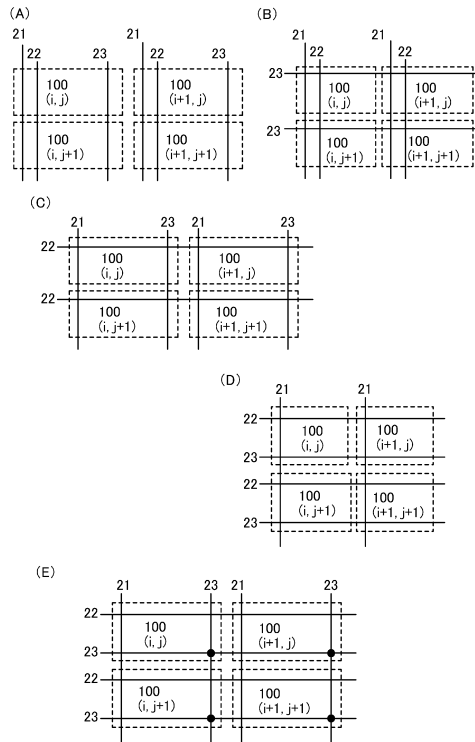
【図 7 3】



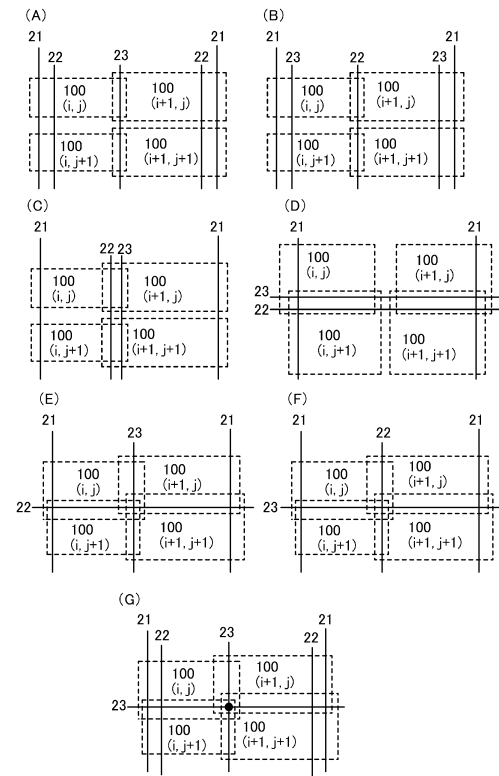
【図 7 4】



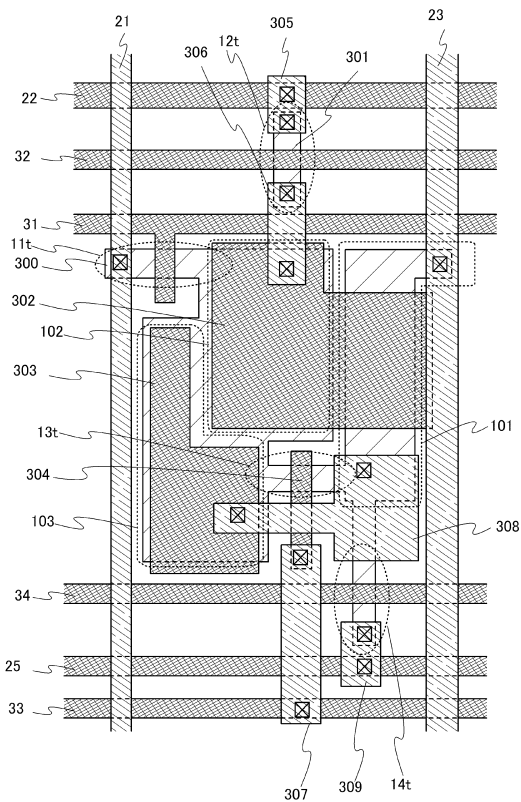
【図 75】



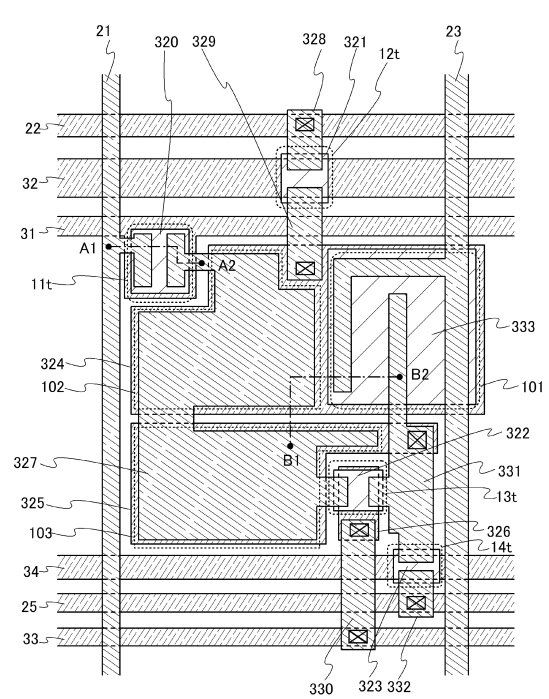
【図 76】



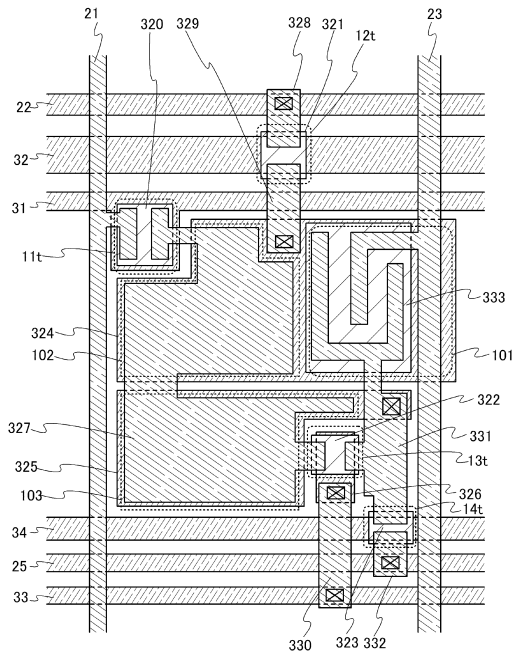
【図 77】



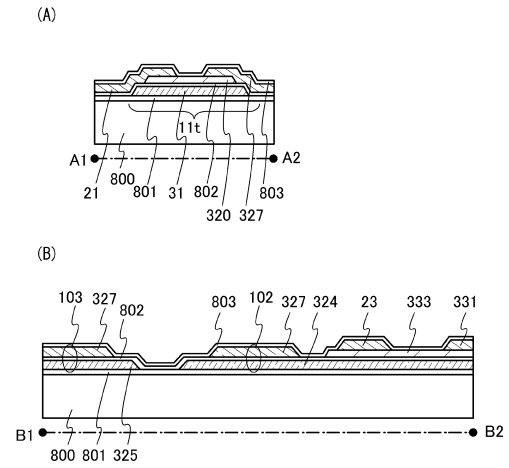
【図 78】



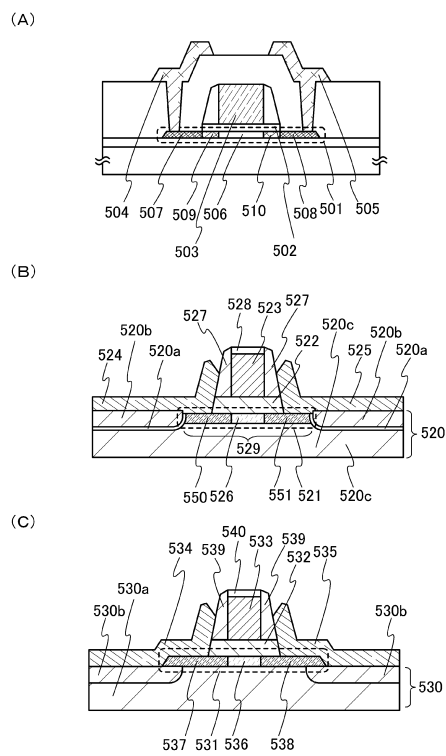
【図 79】



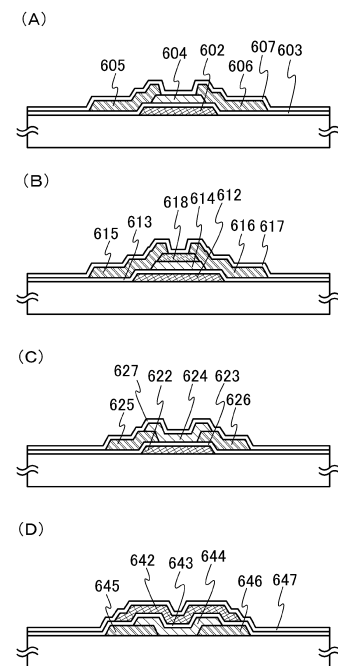
【図 80】



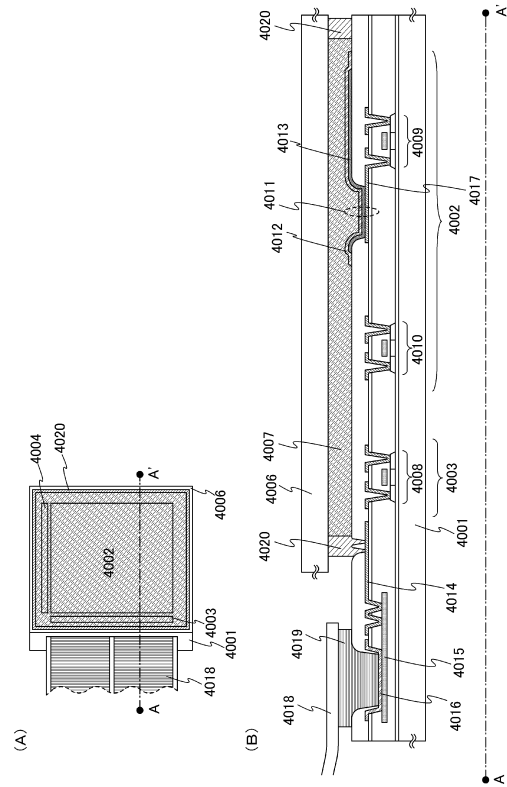
【図 81】



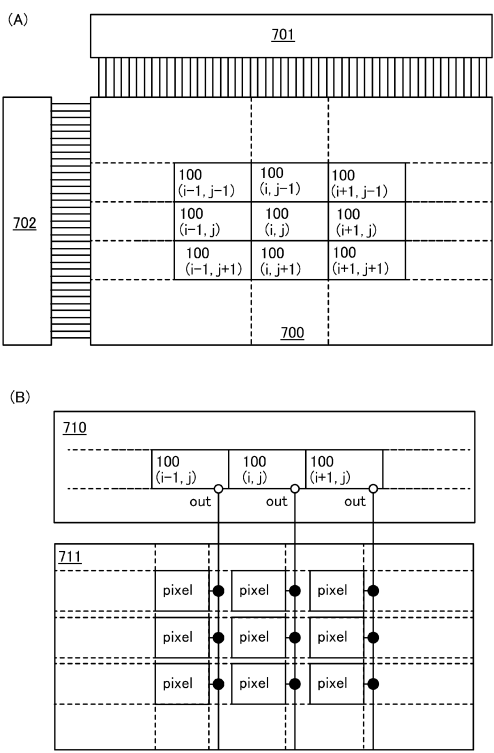
【図 82】



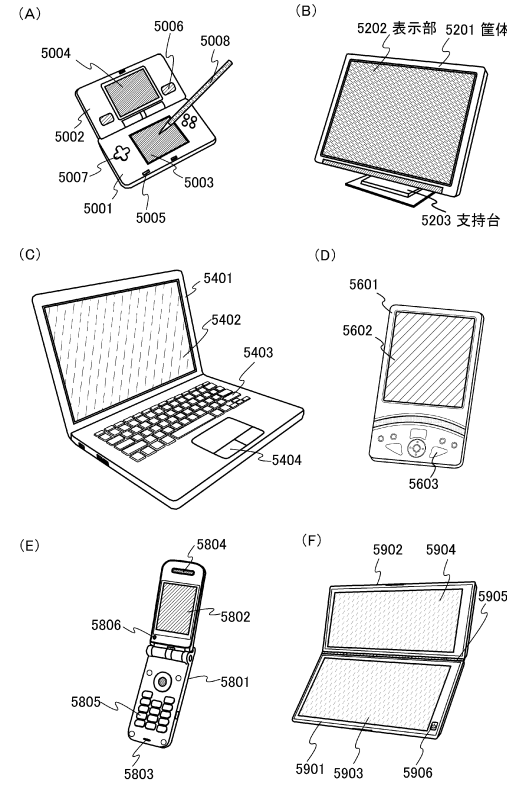
【図 8 3】



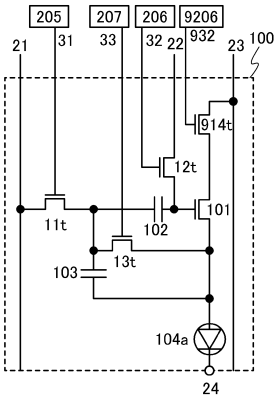
【図 8 4】



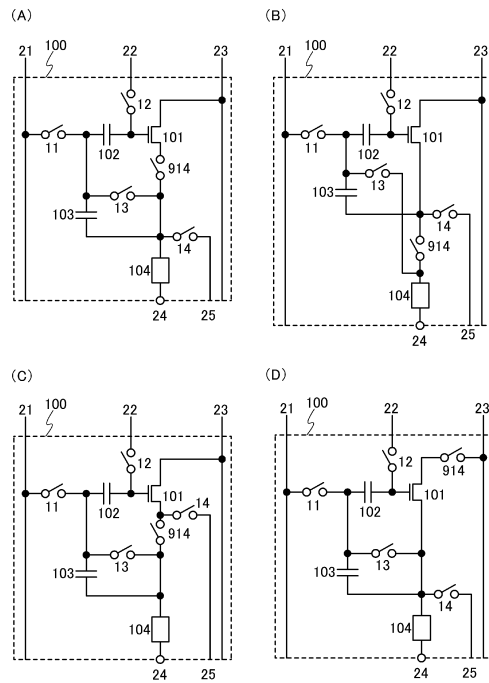
【図 8 5】



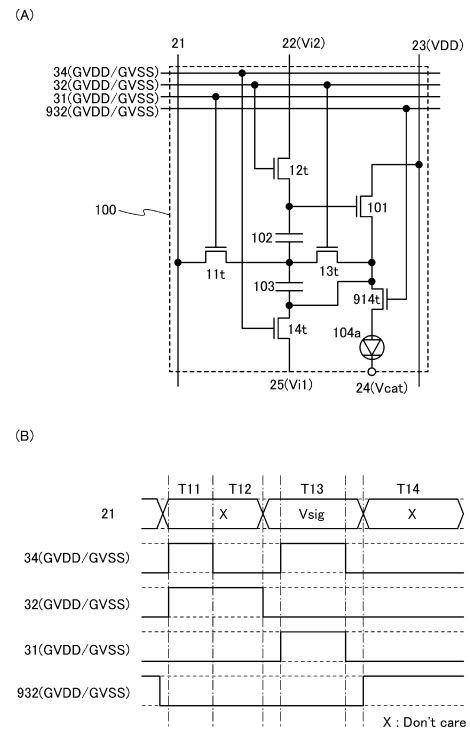
【図 8 6】



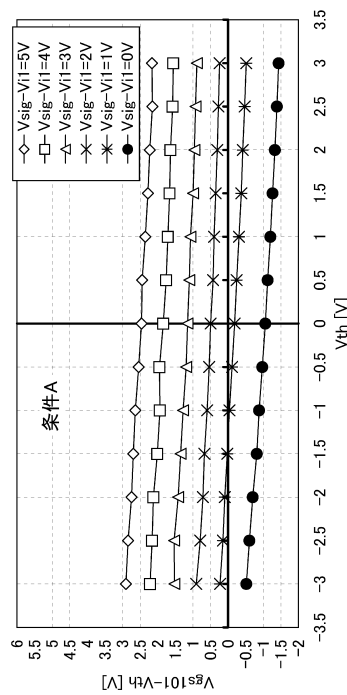
【図 87】



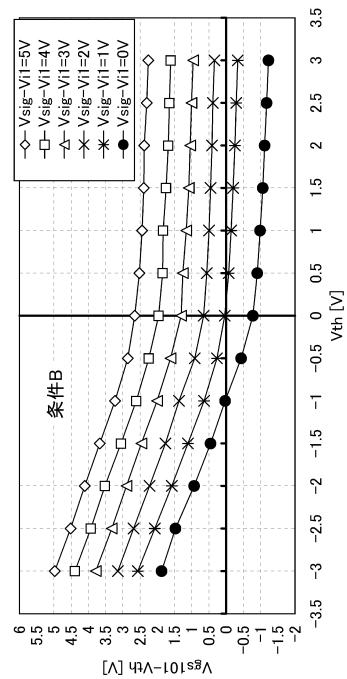
【図 88】



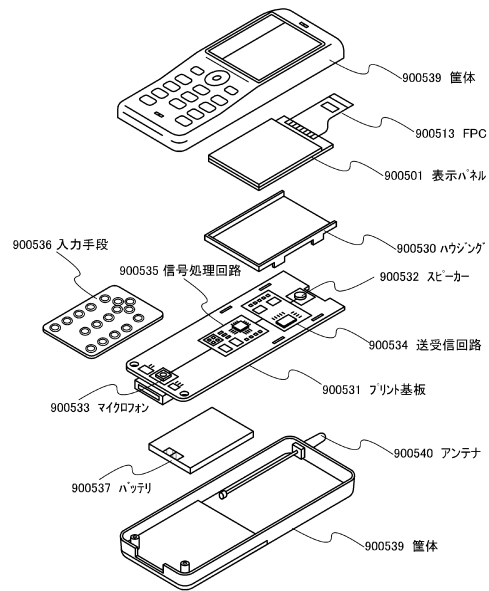
【図 89】



【図 90】



【図 91】



フロントページの続き

(51)Int.Cl.

F I

H 0 5 B 33/14

A

H 0 5 B 33/14

Z

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 0 0 - 3 / 3 8

H 0 1 L 5 1 / 5 0

H 0 5 B 3 3 / 1 4