

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
H04M 1/60

(45) 공고일자 1996년07월24일  
(11) 공고번호 특1996-0009909

(21) 출원번호	특1987-0009632	(65) 공개번호	1019880004714
(22) 출원일자	1987년09월01일	(43) 공개일자	1988년06월07일
(30) 우선권 주장	902920 1986년09월02일 미국(US)		
(73) 특허권자	모토로라 인코포레이티드	빈센트 죠셉로너	
(72) 발명자	미합중국, 일리노이 60196, 샤움버그, 이스트 앨공겐 로드 1303 월슨 데이비드 페이스		
	미합중국, 아리조나 85283, 탬프, 이스트 투레인 1845 데니스 리 웰리		
(74) 대리인	미합중국, 아리조나 85018, 피닉스 27 사우스 롱모어 1050 이병호, 최달용		

심사관 : 박재현 (책자공보 제4566호)

(54) 스피커폰

요약

요약없음

대표도

도1

명세서

[발명의 명칭]

스피커폰

[도면의 간단한 설명]

제1도는 본 발명의 스피커폰을 도시하는 간략화된 개략적인 블록도.

제2도는 제1도의 스피커폰의 제어 회로를 도시한 개략도.

\* 도면의 주요부분에 대한 부호의 설명

10 : 스피커폰 회로12, 14 : 감쇠기

22, 24, 30, 32 : 증폭기42, 46, 50, 58 : 대수 증폭기

48 : 비교기68, 70 : 전류원

80 : 차동 증폭기100, 102 : 전류 미러

[발명의 상세한 설명]

발명의 배경

본 발명은 전화통신 시스템(telephony systems)에 관한 것으로, 특히, 전화선에 접속하여 음성 전환 회화 통신(voice-switched speech communication)을 제공하는 스피커폰 회로(speakerphone circuits)에 관한 것이다.

종래 기술의 집적된 스피커폰 회로는 널리 공지되었다. 예를들어, 모토로라 인코포레이티드사에 의해 제조된 MC34018 스피커폰 회로는 음성 전환 반-이중 통신(voice-switched half-duplex communication)을 제공한다. 종래 기술의 스피커폰은 신호 경로와 직렬로 감쇠기(attenuator)를 각각 포함하는 송신 및 수신 신호 경로를 둘다를 포함한다. 송신 및 수신 감쇠기는 상보적으로 동작한다. 즉, 상기 감쇠기중 하나가 최대 이득일 경우 다른 하나는 최대 감쇠기이다.

통상, 송신 및 수신 감쇠기의 각각의 이득의 제어는 송신 감쇠기의 출력에 나타난 송신 신호의 진폭을 수신 감쇠기의 입력에 나타난 수신 신호와 비교하고, 상기 송신 및 수신 감쇠기에 차동적으로 공급된 제어 전압의 레벨을 제어함으로 이루어진다. 그러므로, 만약 멀리 떨어져 있는 통화자가 말하면, 수신 신호는 송신 신호보다 더 커질 것이고, 송신 감쇠기가 최대 손실인 반면에, 수신 감쇠기는 최대 이득일 것이다. 이것이 동작의 수신 모드라고 언급된다. 역으로, 만약 가까이 있는 통화자가 말하면, 송신 신호는 수신 신호보다 더 커질 것이고, 송신 감쇠기의 이득이 최대화되는 반면에, 수신

감쇠기의 이득은 최소화된다. 상기 모드에선, 스피커폰은 송신 모드에 있다. 최종적으로, 어느 통화자도 말하지 않으면, 제어 전압은 상기 두 감쇠기의 이득을 동일한 중간 설정치로 설정하는 유희 모드로 진행하여, 첫번째 사람의 이야기가 스피커폰을 동작의 정확한 모드에 설정하게 한다.

송신 및 수신 신호의 비교가 송신 감쇠기 이후에 발생하기 때문에, 송신 감쇠기가 최대 손실이므로, 가까운 거리에 있는 통화자가 멀리 떨어져 있는 통화자에게 브레이크-인(break in)하기가 매우 어렵다. 멀리 떨어져 있는 통화자가 휴지 상태라 하더라도 상기와 동일하다.

그러므로, 수신 및 송신 모드간의 고속의 고감도 전환을 행하는 고품질 스피커폰에 대한 필요성이 대두된다.

본 발명의 목적

따라서, 본 발명의 목적은 개선된 스피커폰 회로를 제공하는 것이다.

본 발명의 또다른 목적은 고속의 유희 모드를 가진 개선된 스피커폰을 제공하는 것이다.

상기 및 다른 목적에 따라, 상보적으로 동작하는 각각의 감쇠기를 각각 포함하는 송신 및 수신 신호 경로를 구비하고, 상기 두 감쇠기의 각각의 입력 및 출력에 나타난 송신 및 수신 신호의 상대적인 진폭을 감지하여 논리 제어 신호를 제공하는 회로 및, 논리 제어 신호에 응답하여 제어 전압을 제공하는 제어 회로를 포함하는 스피커폰이 제공되는데, 상기 상대적인 진폭은 송신 및 수신 감쇠기의 이득을 선택적으로 변화시키기 위해 변화된다.

본 발명의 특징은 제어 회로가 제1의 셋트의 논리 제어 신호에 응답하여 제1의 시간 간격내에 상기 두 감쇠기의 이득을 동일하게 설정하고 제2의 셋트의 논리 제어 신호에 응답하여 제2의 시간 간격내에 상기 두 감쇠기의 이득을 동일하게 설정하는 것인데, 상기 제1의 시간 간격이 상기 제2의 시간 간격보다 현저히 더 짧다.

양호한 실시예의 상세한 설명

제1도를 참조하면, 본 발명의 집적된 스피커폰 회로(10)가 도시되었다. 스피커폰 회로(10)는 송신(Tx)모드와 수신(Rx) 모드간을 반이중, 핸드 프리 동작(half-duplex, hand free operation)으로 음성 전환된다. 상기 반이중 동작은 감쇠기(12, 14)의 이득/감쇠를 제어함으로 이루어진다. 감쇠기(12, 14)는 상보적으로 동작한다. 즉, 감쇠기에 인가된 직류(DC) 제어 신호에 응답하여, 한 감쇠기의 이득이 최대화되는 반면에 다른 감쇠기의 이득은 최소화된다. 전원 전압(Vcc)은 단자(16, 18) 양단에 인가된다. 송신 감쇠기(12)를 포함하는 송신 신호 경로는 증폭기(22)를 통해 입력 단자(20)에 결합된다.

마이크로폰(도시되지 않음)은 단자(20)에 접속되어질 것이다. 송신 감쇠기의 출력은 증폭기(24)를 통해 송신 출력 단자(26)에 접속된다. 수신 신호 경로는 입력 단자(28)에 접속된 증폭기(30)의 출력과 출력 단자(34)에 접속된 증폭기(32)의 입력간에 직렬로 결합된 수신 감쇠기(14)를 포함한다. 동작시 출력 단자(34)는 스피커(도시되지 않음)에 접속된다. 출력 단자(26) 및 입력 단자(28)는 추측한 바와 같이 적합한 회로를 통해 전화선에 결합될 것이다. 이하 본원에 상세히 기술되어질 바와 같이, 감쇠기 제어기 회로(36)는 상기 감쇠기 제어기 회로의 C1, C2, C3 및 C4 입력에 공급된 논리 신호에 응답하여, 감쇠기(12, 14)의 이득을 변화시키기 위한 제어 전압(Vc)을 제공한다. 증폭기(22)의 출력은 대수 증폭기(42) 및 신호 대 잡음 검출기(44)에 의해 감지되어, 상기 증폭기 출력이 음성일 때마다 논리 1신호를 C3에 발생시키는데, 그렇지않다면 검출기(44)의 출력은 논리 0이다. 송신 감쇠기(12)의 출력에 나타난 송신 신호는 대수 증폭기(46)를 통해 감지되고 대수 증폭기(50)를 통해 출력 증폭기(30)에 나타난 수신 신호와 비교된다. 대수 증폭기(46, 50)의 출력은 비교기(48)의 비반전 및 반전 입력에 각기 공급되는데, 상기 비교기의 출력은 제어기 회로(36)의 C2입력에 접속된다. 만약 비교기(48)에 인가된 송신 신호의 진폭이 수신 신호의 진폭 보다 더 크다면, 상기 비교기의 출력은 논리 1레벨 상태에 있을 것이다.

지금까지 설명된 바와 같이, 스피커폰 회로(10)는 예를 들어, 앞서 언급된 MC34018 스피커폰 회로인 공지된 종래 기술의 스피커폰과 유사하다. 그러므로, 만약 가까이 있는 통화자가 마이크로폰을 향해 말하고 멀리있는 통화자가 듣는다면, 스피커폰(10)은 논리 1상태인 C3 및 C2 입력에 의해 Tx 모드에 위치된다. 상기 모드에선 Vc의 크기가 증대되어, 송신 감쇠기(12)의 이득을 최대화하는 반면에, 수신 감쇠기(14)의 감쇠는 최대화된다. 이와 유사하게, 입력(28)에 인가된 수신 신호에 응답하여, 스피커폰 회로(10)는 C2 입력이 저이기에, Rx 모드에 위치될 것이다. 만약 어느 통화자도 말하지 않으면, C3는 저이고 스피커폰 회로(10)는 두개의 감쇠기 이득이 0V로 감소되어진 Vc에 의해 동일하게 되도록 조정되는 유희 모드에 위치된다. 상기 유희 모드는 스피커폰의 동작 모드를 결정하기 위해 그다음 사람이 말하게 된다. 유희시, 캐패시터(52)가 저항(54)을 통해 충전되게 함으로 Vc가 값 Vb에 설정된다. 상기 유희 모드는 시정수가 캐패시터(52)의 느린 방전을 허용할만큼 충분히 클시에 느린 유희 모드라 언급된다.

멀리 있는 통화자가 휴지하면, 스피커폰 회로(10)는 가까이 있는 통화자에 신속히 응답해야 한다. 그러나, 앞서 언급된 바와 같이, 종래 기술의 스피커폰과 유사하다고 설명된 바와 같은 상기 스피커폰 회로(10)는 상기 회로가 수신 모드에 있는 동안 감쇠기(12)를 통한 송신 신호의 신호 손실로 인해 2점 감지(대수 증폭기(46, 50)의 출력)만을 사용하여 가까이 있는 통화자에 의해 브레이크-인하지 못하게 할 수도 있다.

본 발명의 주제는 4점 감지를 행하여, 음성 신호가 양 채널에 존재하는지를 검출하고, 그 후에 양 감쇠기를 동일 이득으로 신속히 전환하고 최종으로 신호 채널이 더 큰 신호 레벨을 갖게 하는 감쇠기 제어 알고리즘을 제공하는 것이다. 동일 이득으로의 상기 신속한 전환은 고속 유희 모드라 언급되고, 단지 일시적 성향이다. 즉, 두 감쇠기의 이득을 동일하게 설정한 후, 상기 스피커폰은 더 강한 음성 신호를 갖는 모드로 즉시 전환될 것이다.

제1도를 재참조하면, 본 발명의 스피커폰 회로(10)는 제어기 회로(36)에 논리 제어 입력(C1, C4)의 부가를 통해 4점 감지를 포함한다. C1 입력은 대수 증폭기(58)를 통해 수신 감쇠기(41)의 출력에 나타난 수신 신호와 함께 대수 증폭기(42)의 출력에 나타난 송신의 진폭을 감지한다. 상기 두개의 상대적인 크기는 비교기(60)에 의해 비교되어, 제어회로(36)의 C1 입력에 입력 신호를 제공한다. 제어기(36)의 C4 논리입력으로의 제4의 입력은 신호 대 잡음 검출기(62)에 의해 제공된다. 대수 증폭기는 AC 대 DC로 변환을 제공하고 피크검출기로서 동작한다.

제어기 회로(36)가 고속 유틸 모드 스위치(S1)를 포함하는 것으로서 기능적으로 도시되었는데, 상기 고속 유틸 모드 스위치는 캐패시터(52)의 고속 충전 또는 방전을 위해 단락을 때 저항기(64)를  $V_b$ 에 접속시킨다. 캐패시터(52)는 저항기(64)의 말단부를 따라 제어 전압( $V_c$ )를 제공하는 인버터버퍼 증폭기(66)에 접속된다. 또한, 제어기 회로(36)는  $V_{cc}$ 와 단자(56)간에 결합되어, 제어 신호( $S_2$ )에 의해 작동했을 때 캐패시터(52)를 충전하여  $V_c$ 를 감소시킬 전류원(68)을 포함한다. 최종으로, 단자(56)와 회로 접지간에 결합되는 전류원(70)은 작동했을 때 캐패시터(52)를 방전하여,  $V_c$ 를 증가시킬 것이다.

이하, 보다 상세히 기술되어질 바와 같이, 비교기(60), 비교기(48) 및, 검출기(44, 62)로부터의 출력 논리 신호는 제어기(36)내의 직접 주입 논리( $I^2L$ ) 회로를 구동시켜, 스위치(S1, S2 및 S3)가 스피커폰 회로(10)의 동작 모드동안 캐패시터(52)를 차례로 충전 및 방전하므로  $V_c$ 를 변화시켜 감쇠기의 이득을 조정하게 한다.

스피커폰 회로(10)는 C1, C2, C3로의 논리 입력이 모두 고일때마다 송신 모드에 있다. 상기는 송신 신호가 음성이고 수신 신호보다 진폭이 더 크다는 두가지를 나타낸다. 역으로, 만약 C1 및 C2로의 논리 입력이 모두 0이고 C4가 논리 1이라면, 스피커폰(10)은 동작의 수신 모드에 있다. C1 및 C2 입력이 상이하고 C3 또는 C4 입력중 하나가 논리 1상태일 때마다 고속 유틸 모드가 선택된다. 상기 상태는 신호가 존재하고 더 큰 진폭을 갖는 것에 대해 모순이 있는 경우 발생한다. 그후에, 전류원(68, 70)을 스위치 오프하는 S2 및 S3에 의해 고속 유틸 모드가 선택되는 반면에 S1은 저항기(64)를 단자(56)와  $V_b$  간에 접속시킨다. 그후, 캐패시터를  $V_b$  까지 신속히 충전 또는 방전시켜,  $V_c$ 의 레벨이 감쇠기(12, 14)의 이득을 동일하게 설정하도록 조정된다. 그후, 감쇠기는 C1 및 C2 입력이 일치할 때 고속 유틸 모드로부터 수신 또는 송신 모드중 하나로 전환될 것이다. 두개의 감쇠기 이득이 동일하기 때문에, 더 강한 음성 신호가 비교기(48, 60)의 출력이 동일한 출력 상태로 진행되게 한다는 사실로 인해 상기가 발생한다. 고속 유틸 모드로 및 고속 유틸 모드로부터의 스위칭이 매우 신속하여, 아무런 감지가능한 지연이 발생하지 않는다.

제2도는 제어기 회로(36)를 보다 상세히 도시한다.  $V_c$ 는 도시된 바와 같은 극성을 가진 저항기(82, 84) 양단의 차동 증폭기(80)의 출력에서 발생하는 차동 전압이다. 차동증폭기의 구조는 종래와 같이 그 에미터에서 전류원(94)에 차동적으로 접속되고, 저항기(82, 84)를 통해  $V_b$ 에 결합된 각각의 콜렉터를 구비한 PNP 트랜지스터(90 및 92)를 포함한다. 상기 트랜지스터(90, 92)의 베이스는 각각의 콜렉터가 시스템 접지에 접속되는 PNP 트랜지스터(98, 96)의 에미터에 각기 접속된다. 트랜지스터(96)의 베이스는 전압  $V_b$  ( $V_{cc}/2$ 와 동일할 수도 있음)으로 귀환되는 반면에, 트랜지스터(98)의 베이스는 단자(56)로 귀환된다. 트랜지스터(98)의 베이스는 또한 전류 미러(100)의 출력에 접속되는데, 상기 전류 미러의 입력은 상기 전류 미러(100)의 출력에 접속된다. 전류 미러(100)의 공통 단자는 NPN 트랜지스터(106)의 콜렉터-에미터 전도 경로에 직렬로 접속된다. 다이오드 접속된 트랜지스터(104)는 전류 미러(100)의 입력과 출력간에 결합된다. 전류 미러(102)의 공통 단자는 전원 전압( $V_{cc}$ )으로 귀환된다. 전류 미러(102)의 입력은 바이어스 전위( $V_b$ )로 귀환되는 베이스를 가진 NPN 트랜지스터(108)의 콜렉터-에미터 전도 경로와 직렬로 접속된다. 트랜지스터(108)의 에미터는 저항기(110)를 통해 NPN 트랜지스터(112)의 콜렉터-에미터 전도 경로와 직렬로 접속되는데, 상기 트랜지스터(112)의 에미터는 회로 접지로 귀환되어진다. 트랜지스터(112)의 베이스는 전류원(114)과  $I^2L$  논리 제어 회로(120)의 출력에 결합된다. 이와 유사하게, 트랜지스터(106)의 베이스는 저항기(118)를 통해 전류원 및 논리 제어 회로(120)의 출력 둘다에 접속된다.

스피커폰 회로(10)는 각각 전류원(116, 114)으로부터 공급되어진 베이스 전류에 의해 전도되게 되어진 트랜지스터(106, 112)에 의해 Tx 모드에 위치된다. 트랜지스터(112)가 턴온시될시에, 트랜지스터(108)가 턴온되어, 전류 미러(102)로부터의 전류를 흡입한다. 그후, 출력 전류는 전류 미러(102)의 출력으로부터 공급되어 턴온되어진 트랜지스터(106)에 의해 동작되게 되는 전류 미러(100)의 입력에서 흡입된다. 전류 미러(100)로의 입력 전류가 상기 전류 밀의 출력에 반영되어, 캐패시터(52)가 방전되고, 트랜지스터(98, 90)가 트랜지스터(92, 96)보다 더 강하게 전도되게 하여,  $V_c$ 를 정방향으로 증대시킨다, 그러므로, 송신 감쇠기(12)가 최대 이득을 갖는 반면에, 수신 감쇠기(14)는 최대 손실을 갖는다. Rx 모드는, 베이스 전류가 논리 제어 회로(120)를 통해 빼앗겨, 전류 미러(100)가 동작 불가능하게 될시에 턴오프되어진 트랜지스터(106)에 의해 선택된다. 그러나, 트랜지스터(112)는 전류 미러(102)가 여전히 출력 전류를 공급하도록 전도 상태를 유지한다. 상기 상태에선, 다이오드(104)는 전류 미러(102)로부터의 출력 전류를 캐패시터(52)에 공급해서, 캐패시터(52)를 충전시킨다. 이에 의해, 트랜지스터(92, 96)가 트랜지스터(90, 98)보다 더 강하게 전도되어,  $V_c$ 가 부의 값이 된다. 수신 감쇠기(14)의 이득은 최대화되는 반면에, 송신 감쇠기(12)의 이득은 최소화된다. 전술된 느린 유틸 모드에선, 트랜지스터(106, 112) 둘다는 턴오프되어, 전류 미러(100 및 102) 둘다가 동작 불가능하게 된다. 그후에, 캐패시터(52)는 저항기(54)를 거쳐 충전되거나 또는 방전되어, 트랜지스터(98)의 베이스가 전위( $V_b$ )로 바이어스된다. 그러므로, 트랜지스터(90, 92, 96 및 98)가 동일하게 전도되는데, 여기서  $V_c$ 는 0볼트가 되고 감쇠기의 이득은 동일하다.

고속 유틸 모드는 전술된 바와 같이 전류 미러(100, 102) 둘다가 동작 불가능하게 되고, 트랜지스터 스위치(122)를 턴온하여 저항기(64)를 저항기(54)와 접속시키므로 선택된다.

트랜지스터(122)는 전류 미러(124)의 출력으로부터 상기 트랜지스터(122)의 베이스에 공급된 베이스

전류를 얻음으로써 턴온된다. 출력 전류는 턴온되어진 트랜지스터(126)에 의해, 상기 트랜지스터(126)의 콜렉터-에미터 전도 경로를 통해 입력 전류를 흡입하는 것이 동작되게 될시에, 전류 미러(124)로부터 공급된다. 트랜지스터(126)의 베이스가  $V_b$ 에 접속된 상태에선, 상기 트랜지스터(126)가 트랜지스터(130)에 의해 턴온될 것인데, 상기 트랜지스터(130)는 저항기(128)를 통해 트랜지스터(126)의 에미터 및 회로 접지와 직렬로 접속된 콜렉터-에미터 전도 경로를 가지며, 베이스 전류가 전류원(132)으로부터 공급될 시에 턴온되어진다. 상기 트랜지스터의 베이스에 접속된 논리 제어회로(120)의 출력이 논리 1출력 상태에 있을 때마다 트랜지스터(130)에 베이스 전류가 공급된다.

$I^2L$  논리 제어 회로(120)는 전술된 바와 같이, 트랜지스터(106, 112, 130)를 선택적으로 턴온 및 오프시키기 위해  $C_1$ ,  $C_2$ ,  $C_3$ ,  $C_4$  입력에 공급된 논리 입력에 응답하는 다수의 상호 접속된  $I^2L$  NAND 게이트(134 내지 160)를 포함한다. 그러므로, 게이트(134, 136, 138)로부터의 모든 출력이 높아, 베이스 전류 구동이 트랜지스터(130)에 공급되어질시에만, 트랜지스터(130)가 턴온된다. 만약 상기 게이트로부터의 임의의 출력이 저이면, 전류원(132)으로부터 공급된 전류가 저출력의 게이트를 통해 전도되고, 트랜지스터(130)가 턴오프된다. 이와 유사하게, 만약 게이트(140, 142)로부터의 출력이 저이면, 트랜지스터(112, 106)는 각기 턴오프될 것이다.

제어기(36)의  $C_1$  입력은 저항기(162, 164)를 포함하는 저항 분할기를 통해  $I^2L$  트랜지스터(166)의 베이스에 접속된다. 트랜지스터(166)는 게이트(146)의 입력에 접속된 한 콜렉터 및 게이트(148)의 입력에 접속된 다른 콜렉터를 구비한 다수-콜렉터 장치이다. 트랜지스터(166)의 에미터는 회로 접지로 귀환된다.  $C_2$  입력은 저항기(168 및 170)를 포함하는 저항 분할기를 통해 트랜지스터(172)의 베이스에 접속된다. 트랜지스터(172)의 콜렉터중 한 콜렉터가 게이트(146)의 입력에 접속되는 반면에, 다른 콜렉터는 게이트(150)의 입력에 접속된다.  $C_3$  입력은 저항기(174 및 176)를 포함하는 저항 분할기를 통해 트랜지스터(178)의 베이스에 접속되는데, 상기 트랜지스터(178)는 게이트(138)의 입력에 접속된 한 콜렉터와 게이트(152)의 입력에 접속된 다른 콜렉터를 구비한다. 최종으로,  $C_4$  입력은 저항기(180, 182)를 구비한 저항 분할기를 통해 트랜지스터(184)의 베이스에 접속되는데, 상기 트랜지스터의 콜렉터중 하나가 게이트(183)의 입력에 접속되고 다른 콜렉터가 게이트(156)의 입력에 접속된다. 트랜지스터(172, 178, 184)의 에미터는 모두 회로 접지로 귀환된다.

논리 제어 회로(120)의 동작예에서와 같이,  $C_1$  입력이 0인 반면에, 입력  $C_2$ ,  $C_3$ ,  $C_4$ 가 고, 즉, 논리 1이라고 가정한다. 상기 예에선, 트랜지스터(122)가 턴온될시에, 스피커회로(10)는 일시적으로 고속 유틸 모드에 위치될 것이다.

그러므로,  $C_1$  및  $C_2$ 가 각기 0 및 1인 상태에선, 게이트(146)의 출력은 고가되어 게이트(144, 134)의 출력이 각기 저 및 고가 되게 한다. 동시에, 게이트(148)의 출력은 저가되어, 게이트(136)의 출력을 고 출력 상태가 되게 한다. 트랜지스터(178, 184)의 출력 상태는 게이트(138)의 출력을 고가되게 한다. 그러므로, 게이트(134, 136, 138)의 모든 출력은 고가되어, 전술된 바와 같이, 전류원(132)이 트랜지스터(130)를 턴온시켜, 트랜지스터(122)를 전도시킨다. 동시에, 저인 게이트(148)의 출력이 게이트(154)의 출력을 고가되게 하며, 이에 의해 저인 게이트(144)의 출력이 게이트(158)의 출력을 고가되게 하여, 게이트(140)의 출력을 저가되게 한다. 그후, 전류원(144)으로 부터의 전류는 게이트(140)에 의해 흡입되어, 트랜지스터(112)를 턴오프시킨다. 트랜지스터(112)가 턴오프되기 때문에, 전류 미러(102)가 동작불가능하게 되어, 전류 미러(102)가 출력 전류를 흡입하는 것을 방지한다. 그러므로, 캐패시터(52)가 이전의 동작 모드에 따라 신속히 충전 또는 방전되어,  $V_c$ 가 0V가 되게 한다.

따라서, 전술한 것은 사용동안 최적 송신 및 수신 브레이크-인을 허용하도록 과도적 고속 유틸 모드를 가진 새로운 4점 감지 스피커폰에 관한 것이다.

## (57) 청구의 범위

### 청구항 1

송신 및 수신 신호 경로를 통한 각각의 신호의 송신 손실을 변화시키는 감쇠기를 각각 구비한 상기 송신 및 수신 신호 경로와, 송신 신호기 출력 신호를 제공하기 위한 음성인지를 감지하는 검출기 회로 및, 상보적으로 상기 두 감쇠기의 이득을 변화시키기 위해 제어 신호를 제공하는 제어 회로를 포함하는 스피커폰에 있어서, 송신 감쇠기의 출력과 수신 감쇠기의 입력에 각기 결합된 제1 및 제2의 입력을 구비하여, 송신 및 수신 신호 경로에 나타난 송신 및 수신 신호 경로의 신호중 어느 것이 크기가 더 큰지를 검출해서, 상기 신호중 어느 것이 더 크냐에 따라 제1 및 제2의 레벨 상태를 가진 제어 회로에 출력 신호를 제공하는 제1의 비교기와 ; 송신 감쇠기의 입력과 수신 감쇠기의 출력에 각기 결합된 제1 및 제2의 입력을 구비하여, 송신 및 수신 신호 경로에 나타난 송신 및 수신 신호 경로의 신호중 어느 것이 크기가 더 큰지를 검출해서, 상기 신호중 어느 것이 더 크냐에 따라 제1 및 제2의 출력 레벨을 가진 제어 회로에 출력 신호를 제공하는 제2의 비교기 및 ; 반대의 출력 레벨 상태인 상기 제1및 상기 제2의 비교기 회로의 상기 출력 신호에 응답하여, 송신 및 수신 감쇠기의 이득을 중간치로 과도적으로 설정하는 제어 회로를 구비하는 것을 특징으로 하는 스피커폰.

### 청구항 2

제1항에 있어서, 수신 신호가 제어 회로에 출력 신호를 제공하기 위한 음성인지를 감지하는 부가의 검출기 회로 및 ; 상기 검출기 회로로부터의 출력 신호와 상기 제1 및 제2의 비교기와 상기 부가의 검출기 회로로부터의 상기 출력 신호에 응답하여, 상기 신호로부터 제공된 제어 신호를 선택적으로 변화시켜 이에 따라 송신 및 수신 감쇠기의 이득을 변화시키는 제어 회로를 포함하는 것을 특징으로 하는 스피커폰.

### 청구항 3

제2항에 있어서, 상기 제어 회로는 동작되었을시에 제1의 전류원 수단의 출력에서 전류를 흡입하는 제1의 전류원 수단과 ; 동작되었을시에 제2의 전류원 수단의 출력에서 전류를 공급하는 상기 제2의 전류원 수단 및 ; 상기 제1 및 제2의 상기 비교기와 상기 부가의 검출기 회로 및, 검출기 회로로부터 공급된 상기 출력 신호에 응답하여, 상기 제1 및 제2의 전류원 수단을 선택적으로 동작되게 하는 논리 제어 회로를 포함하는 것을 특징으로 하는 스피커폰.

#### 청구항 4

제3항에 있어서, 상기 제어 회로는 바이어스 전위가 공급되는 제1의 입력 및, 상기 제1 및 상기 제2의 전류원 수단의 상기 출력과 제2의 단자 둘다에 결합되어진 상기 제2의 입력을 구비하고 상기 제1 및 제2의 출력간에 제어 신호를 제공하는 출력을 구비한 차동 증폭기와 ; 상기 제2의 단자에 접속된 전하 저장 소자 및 ; 상기 전하 저장 소자와 상기 제1의 단자간에 접속되어, 상기 전하 저장 소자용 충전 및 방전 회로 경로를 제공하는 저항수단을 포함하는 것을 특징으로 하는 스피커폰.

#### 청구항 5

제4항에 있어서, 상기 제어 회로는 상기 논리 제어 회로에 의해 선택적으로 동작가능 및 동작불가능 되어, 동작가능할시에 상기 제2의 단자와 상기 제1의 단자간에 병렬 회로 경로를 제공하는 스위칭 수단을 포함하는데, 상기 전하 저장 소자는 상기 스위칭 수단이 동작불가능할시에 보다 더 빠른 비율로 충전 및 방전되는 것을 특징으로 하는 스피커폰.

#### 청구항 6

제5항에 있어서, 상기 스위칭 수단은 상기 제1 및 제2의 단자와 베이스간에 결합된 컬렉터 및, 에미터를 구비한 제1의 트랜지스터 및 ; 상기 제1의 트랜지스터의 상기 베이스와 상기 논리 제어 회로간에 결합되어, 상기 논리 제어 회로에 의해 동작되게 되었을시에 상기 제1트랜지스터에 베이스 전류 구동을 공급하는 제3의 전류원 수단을 포함하는 것을 특징으로 하는 스피커폰.

#### 청구항 7

제6항에 있어서, 상기 검출기 회로는 상기 송신 감쇠기의 입력에서 송신 신호 경로에 결합된 입력 및, 출력을 구비한 제1의 대수 증폭기 및 ; 상기 제1의 대수 증폭기의 출력에 결합된 입력 및, 제어 회로에 결합된 출력을 구비한 제1의 신호 대 잡음 검출기를 포함하는 것을 특징으로 하는 스피커폰.

#### 청구항 8

제7항에 있어서, 상기 부가의 검출기 회로는 상기 수신 감쇠기의 입력에서 수신 신호 경로에 결합된 입력 및, 출력을 구비한 제2의 대수 증폭기 및, 상기 제2의 대수 증폭기의 상기 출력에 결합된 입력 및, 상기 제어 회로에 결합된 출력을 갖는 제2의 신호 대 잡음 검출기를 포함하는 것을 특징으로 하는 스피커폰.

#### 청구항 9

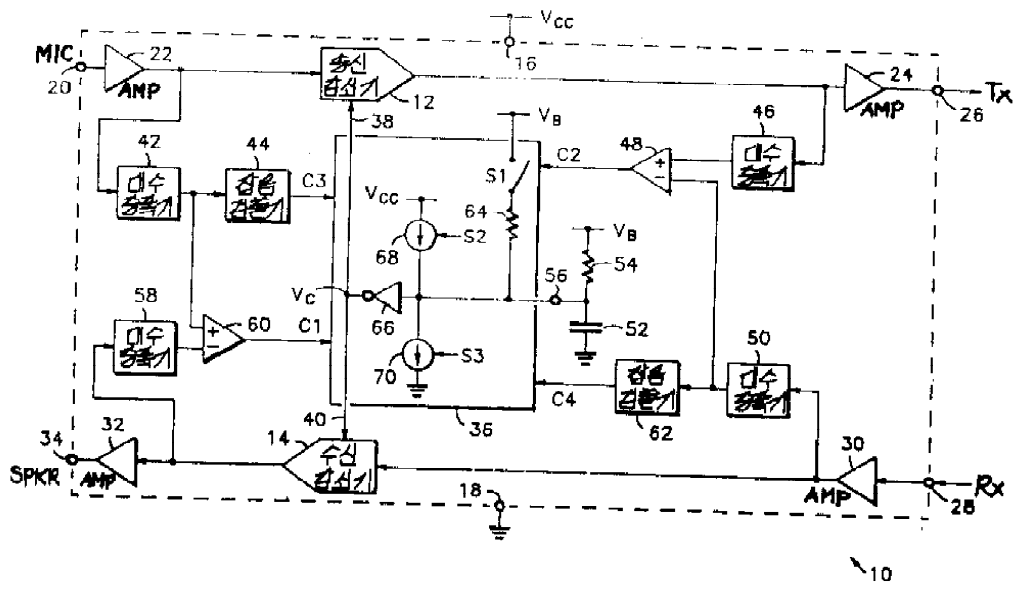
제8항에 있어서, 상기 송신 감쇠기의 출력에서 송신 신호 경로에 결합된 입력 및, 상기 제1의 비교기의 상기 제1의 입력에 결합된 출력을 구비한 제3의 대수 증폭기 및 ; 상기 수신 감쇠기의 출력에서 수신 신호 경로에 결합된 입력 및, 상기 제2의 비교기의 상기 제2의 입력에 결합된 출력을 구비한 제4의 대수 증폭기를 포함하는 것을 특징으로 하는 스피커폰.

#### 청구항 10

제9항에 있어서, 상기 제1의 비교기의 상기 제2의 입력은 상기 제2의 대수 증폭기의 상기 출력에 결합되고, 상기 제2의 비교기의 상기 제1의 입력은 상기 제1의 대수 증폭기의 상기 출력에 결합되는 것을 특징으로 하는 스피커폰.

도면

도면1



도면2

