

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第1区分

【発行日】令和1年12月26日(2019.12.26)

【公開番号】特開2018-132461(P2018-132461A)

【公開日】平成30年8月23日(2018.8.23)

【年通号数】公開・登録公報2018-032

【出願番号】特願2017-27463(P2017-27463)

【国際特許分類】

G 0 4 F 10/04 (2006.01)

【F I】

G 0 4 F 10/04

【手続補正書】

【提出日】令和1年11月15日(2019.11.15)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の信号が入力され、基準クロック信号と前記第1の信号の位相差を表す第1の位相差信号を出力する第1の位相差信号出力部と、

第2の信号が入力され、前記基準クロック信号と前記第2の信号の位相差を表す第2の位相差信号を出力する第2の位相差信号出力部と、

前記第1の位相差信号と前記第2の位相差信号に基づいて、前記第1の信号と前記第2の信号の時間差を測定する測定部と、

を含むことを特徴とする回路装置。

【請求項2】

請求項1に記載の回路装置において、

前記第1の位相差信号出力部は、

前記基準クロック信号と前記第1の信号に基づく積分処理を行って、前記第1の位相差信号を出力し、

前記第2の位相差信号出力部は、

前記基準クロック信号と前記第2の信号に基づく積分処理を行って、前記第2の位相差信号を出力することを特徴とする回路装置。

【請求項3】

請求項1又は2に記載の回路装置において、

前記第1の位相差信号出力部は、

前記第1の信号に基づいて、前記基準クロック信号のパルス幅に対応するパルス幅の第1のパルス信号を生成する第1のパルス信号生成部を有し、

前記第2の位相差信号出力部は、

前記第2の信号に基づいて、前記基準クロック信号の前記パルス幅に対応するパルス幅の第2のパルス信号を生成する第2のパルス信号生成部を有することを特徴とする回路装置。

【請求項4】

請求項3に記載の回路装置において、

前記第1の位相差信号出力部は、

前記基準クロック信号と前記第1のパルス信号に基づく積分処理を行う第1の積分処理

部を有し、

前記第 2 の位相差信号出力部は、

前記基準クロック信号と前記第 2 のパルス信号に基づく積分処理を行う第 2 の積分処理部を有することを特徴とする回路装置。

【請求項 5】

請求項 3 又は 4 に記載の回路装置において、

前記第 1 のパルス信号生成部は、

第 1 の遅延回路を有し、

前記第 1 の位相差信号出力部は、

前記第 1 の遅延回路の遅延時間を、前記基準クロック信号の前記パルス幅に対応する遅延時間に設定する第 1 の遅延制御回路を有し、

前記第 2 のパルス信号生成部は、

第 2 の遅延回路を有し、

前記第 2 の位相差信号出力部は、

前記第 2 の遅延回路の遅延時間を、前記基準クロック信号の前記パルス幅に対応する遅延時間に設定する第 2 の遅延制御回路を有することを特徴とする回路装置。

【請求項 6】

請求項 5 に記載の回路装置において、

前記第 1 の位相差信号出力部は、

パルス幅測定モードでは、前記第 1 の遅延回路に前記基準クロック信号を出力し、位相差検出モードでは、前記第 1 のパルス信号生成部に前記第 1 の信号を出力する第 1 のセレクターを有し、

前記第 2 の位相差信号出力部は、

前記パルス幅測定モードでは、前記第 2 の遅延回路に前記基準クロック信号を出力し、前記位相差検出モードでは、前記第 2 のパルス信号生成部に前記第 2 の信号を出力する第 2 のセレクターを有することを特徴とする回路装置。

【請求項 7】

請求項 1 乃至 6 のいずれか一項に記載の回路装置において、

前記基準クロック信号に基づいて、互いに位相が異なる第 1 ~ 第  $n$  のクロック信号 ( $n$  は 2 以上の整数) を生成するクロック信号生成部を含み、

前記第 1 の位相差信号出力部は、

前記第 1 ~ 第  $n$  のクロック信号と前記第 1 の信号に基づく積分処理を行う第 1 ~ 第  $n$  の積分器を有し、

前記第 2 の位相差信号出力部は、

前記第 1 ~ 第  $n$  のクロック信号と前記第 2 の信号に基づく積分処理を行う第  $n + 1$  ~ 第  $2n$  の積分器を有することを特徴とする回路装置。

【請求項 8】

請求項 7 に記載の回路装置において、

前記測定部は、

前記第 1 ~ 第  $n$  の積分器の出力信号及び前記第  $n + 1$  ~ 第  $2n$  の積分器の出力信号のいずれかを選択するセレクターと、

前記セレクターからの信号を A / D 変換する A / D 変換回路と、

A / D 変換された前記第 1 ~ 第  $n$  の積分器の出力信号及び前記第  $n + 1$  ~ 第  $2n$  の積分器の出力信号に基づいて、前記時間差を求める処理部と、

を有することを特徴とする回路装置。

【請求項 9】

請求項 1 乃至 8 のいずれか一項に記載の回路装置において、

前記第 1 の信号がアクティブになってから、前記第 2 の信号がアクティブになるまでの前記基準クロック信号のクロック数をカウントするカウンターを含み、

前記測定部は、

前記カウンターのカウント値と前記第 1 の位相差信号と前記第 2 の位相差信号に基づいて、前記第 1 の信号と前記第 2 の信号の前記時間差を測定することを特徴とする回路装置。

【請求項 10】

請求項 1 乃至 9 のいずれか一項に記載の回路装置を含むことを特徴とする物理量測定装置。

【請求項 11】

請求項 1 乃至 9 のいずれか一項に記載の回路装置を含むことを特徴とする電子機器。

【請求項 12】

請求項 1 乃至 9 のいずれか一項に記載の回路装置を含むことを特徴とする移動体。