

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-165431

(P2007-165431A)

(43) 公開日 平成19年6月28日(2007.6.28)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/812 (2006.01)	HO 1 L 29/80 H	5 F 1 0 2
HO 1 L 29/778 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 1 1 0
HO 1 L 21/338 (2006.01)		
HO 1 L 29/786 (2006.01)		

審査請求 未請求 請求項の数 11 O L (全 15 頁)

(21) 出願番号	特願2005-357240 (P2005-357240)	(71) 出願人	000004226 日本電信電話株式会社 東京都千代田区大手町二丁目3番1号
(22) 出願日	平成17年12月12日(2005.12.12)	(74) 代理人	100081341 弁理士 小林 茂
		(74) 代理人	100075753 弁理士 和泉 良彦
		(72) 発明者	渡邊 則之 東京都千代田区大手町二丁目3番1号 日本電信電話株式会 社内
		(72) 発明者	廣木 正伸 東京都千代田区大手町二丁目3番1号 日本電信電話株式会 社内

最終頁に続く

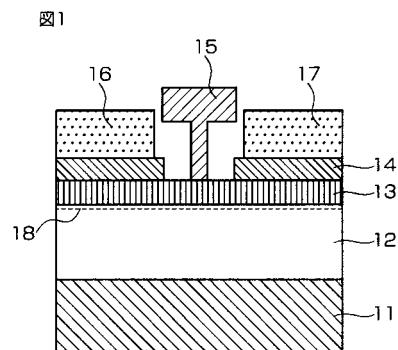
(54) 【発明の名称】 電界効果型トランジスタおよびその製造方法

(57) 【要約】

【課題】 良好なゲート耐圧特性を維持し、かつソースおよびドレインのコンタクト抵抗を小さくする。

【解決手段】 サファイアからなる基板 1 1 上に GaN からなる電子走行層 1 2 を形成し、電子走行層 1 2 上に InAlN からなるバリア層 1 3 を形成し、バリア層 1 3 上にゲート電極 1 5 を形成し、バリア層 1 3 のゲート電極 1 5 の両側の領域上に InGa_N、InN、GaN の少なくとも一つからなるキャップ層 1 4 を形成し、キャップ層 1 4 上にソース電極 1 6 およびドレイン電極 1 7 を形成することにより、ソース電極 1 6 およびドレイン電極 1 7 とバリア層 1 3 との間にキャップ層 1 4 を形成する。

【選択図】 図 1



- 11…基板
- 12…電子走行層
- 13…バリア層
- 14…キャップ層
- 15…ゲート電極
- 16…ソース電極
- 17…ドレイン電極

【特許請求の範囲】

【請求項 1】

基板上に形成された GaN からなる電子走行層と、前記電子走行層上に形成された InAlN からなるバリア層と、前記バリア層上に形成されたゲート電極と、前記ゲート電極の両側に形成されたソース電極およびドレイン電極とを有する電界効果型トランジスタであって、前記ソース電極および前記ドレイン電極と前記バリア層との間に InGaN、InN、GaN の少なくとも 1 つからなるキャップ層を形成したことを特徴とする電界効果型トランジスタ。

【請求項 2】

基板上に形成された GaN からなる電子走行層と、前記電子走行層上に形成された InAlN からなるバリア層と、前記バリア層上に形成されたゲート電極と、前記ゲート電極の両側に形成されたソース電極およびドレイン電極とを有する電界効果型トランジスタであって、前記ソース電極および前記ドレイン電極と前記電子走行層との間に n 型の InGaN、InN、GaN の少なくとも 1 つからなるキャップ層を形成したことを特徴とする電界効果型トランジスタ。

10

【請求項 3】

前記バリア層と前記ゲート電極との間に絶縁膜を形成したことを特徴とする請求項 1 または 2 に記載の電界効果型トランジスタ。

【請求項 4】

前記電子走行層と前記バリア層との間に AlN 層を形成したことを特徴とする請求項 1、2 または 3 に記載の電界効果型トランジスタ。

20

【請求項 5】

前記電子走行層と前記バリア層との間に、InGaN 層、InGaN 層および AlN 層または InGaN 層および GaN 層を形成したことを特徴とする請求項 1、2 または 3 に記載の電界効果型トランジスタ。

【請求項 6】

基板上に GaN からなる電子走行層を形成する工程と、前記電子走行層上に InAlN からなるバリア層を形成する工程と、前記バリア層上に InGaN、InN、GaN の少なくとも 1 つからなるキャップ層を形成する工程と、前記キャップ層のゲート電極を形成する領域を除去する工程と、前記バリア層上に前記ゲート電極を形成する工程と、前記キャップ層上にソース電極およびドレイン電極を形成する工程とを含むことを特徴とする電界効果型トランジスタの製造方法。

30

【請求項 7】

基板上に GaN からなる電子走行層を形成する工程と、前記電子走行層上に InAlN からなるバリア層を形成する工程と、前記バリア層上に InGaN、InN、GaN の少なくとも 1 つからなるキャップ層を形成する工程と、前記キャップ層のゲート電極を形成する領域を除去する工程と、前記キャップ層を除去した領域に絶縁膜を形成する工程と、前記絶縁膜上に前記ゲート電極を形成する工程と、前記キャップ層上にソース電極およびドレイン電極を形成する工程とを含むことを特徴とする電界効果型トランジスタの製造方法。

40

【請求項 8】

基板上に GaN からなる電子走行層を形成する工程と、前記電子走行層上に InAlN からなるバリア層を形成する工程と、前記バリア層上に絶縁膜を形成する工程と、前記絶縁膜のソース電極およびドレイン電極を形成する領域を除去する工程と、前記絶縁膜を除去した領域に InGaN、InN、GaN の少なくとも 1 つからなるキャップ層を形成する工程と、前記絶縁膜を除去する工程と、前記バリア層上に前記ゲート電極を形成する工程と、前記キャップ層上に前記ソース電極および前記ドレイン電極を形成する工程とを含むことを特徴とする電界効果型トランジスタの製造方法。

【請求項 9】

基板上に GaN からなる電子走行層を形成する工程と、前記電子走行層上に InAlN

50

からなるバリア層を形成する工程と、前記バリア層上に絶縁膜を形成する工程と、前記絶縁膜のソース電極およびドレイン電極を形成する領域を除去する工程と、前記絶縁膜を除去した領域にInGa_nN、InN、Ga_nNの少なくとも1つからなるキャップ層を形成する工程と、前記絶縁膜上に前記ゲート電極を形成する工程と、前記キャップ層上に前記ソース電極および前記ドレイン電極を形成する工程とを含むことを特徴とする電界効果型トランジスタの製造方法。

【請求項10】

基板上にGa_nNからなる電子走行層を形成する工程と、前記電子走行層上にInAlNからなるバリア層を形成する工程と、前記バリア層上に絶縁膜を形成する工程と、前記絶縁膜のソース電極およびドレイン電極を形成する領域を除去する工程と、前記絶縁膜を除去した領域の前記バリア層を除去する工程と、前記バリア層を除去した領域の前記電子走行層の一部を除去する工程と、前記電子走行層の一部を除去した領域にn型のInGa_nN、InN、Ga_nNの少なくとも1つからなるキャップ層を形成する工程と、前記絶縁膜を除去する工程と、前記バリア層上にゲート電極を形成する工程と、前記キャップ層上に前記ソース電極および前記ドレイン電極を形成する工程とを含むことを特徴とする電界効果型トランジスタの製造方法。

10

【請求項11】

基板上にGa_nNからなる電子走行層を形成する工程と、前記電子走行層上にInAlNからなるバリア層を形成する工程と、前記バリア層上に絶縁膜を形成する工程と、前記絶縁膜のソース電極およびドレイン電極を形成する領域を除去する工程と、前記絶縁膜を除去した領域の前記バリア層を除去する工程と、前記バリア層を除去した領域の前記電子走行層の一部を除去する工程と、前記電子走行層の一部を除去した領域にn型のInGa_nN、InN、Ga_nNの少なくとも1つからなるキャップ層を形成する工程と、前記絶縁膜上にゲート電極を形成する工程と、前記キャップ層上に前記ソース電極および前記ドレイン電極を形成する工程とを含むことを特徴とする電界効果型トランジスタの製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は窒化物半導体から構成されたヘテロ構造を用いた電界効果型トランジスタおよびその製造方法に関するものである。

30

【背景技術】

【0002】

Ga_nNをはじめとした窒化物半導体は、高い絶縁破壊電界強度、高い熱伝導率および高い電子飽和速度等の特性を有しており、高周波のハイパワーデバイス向けの材料として優れている。例えば、サファイア基板上にGa_nNからなる電子走行層（バッファ層）およびAlGa_nNからなるバリア層を有するヘテロ接合構造においては、ヘテロ接合界面近傍に電子が高濃度に蓄積され、いわゆる2次元電子ガス（2DEG）を形成する。この2次元電子ガスは散乱要因となる導電性不純物が存在しないアンドープGa_nNからなる電子走行層内を走行できるために高い電子移動度を示し、いわゆる高電子移動度トランジスタ（HEMT）として動作させることが可能である。

40

【0003】

上に述べた例をはじめ、窒化物半導体から構成される高電子移動度トランジスタでは、AlGa_nN層をバリア層として用いることが多い。これは、AlGa_nN層の形成が比較的容易であること、AlGa_nN層のAl組成、層厚を変化させることにより、2次元電子ガスのシートキャリア濃度を制御できることなど、デバイス製造上、設計上のフレキシビリティがあるためである。

【0004】

しかし、AlGa_nNからなるバリア層を有する高電子移動度トランジスタでは、AlGa_nNとGa_nNとの格子不整合により、特にAl組成が高くなるにつれて形成できるAlGa_nN層厚範囲が狭くなり、2次元電子ガスのシートキャリア濃度について十分広範囲な設

50

計余裕を確保できない、という難点もあった。こうした難点を解決するために、バリア層の材料としてInAlNを用いた高電子移動度トランジスタが提案されている。

【0005】

InAlNはIn組成0.17においてGaNと格子整合するため、InAlNをバリア層に用いると、バリア層厚に対する制限がAlGaNをバリア層に用いた場合よりも格段に緩和される。また、In組成0.17におけるInAlNのエネルギー禁制帯幅はおよそ4.9 eVで、AlGaNからなるバリア層を有する高電子移動度トランジスタで通常用いられるAl組成範囲(典型的には0.1~0.3)でのAlGaNのエネルギー禁制帯幅(3.7~4.2 eV)より大きい。また、In組成0.17であるInAlNとGaNとのヘテロ接合界面に存在する伝導電子帯におけるエネルギー障壁 E_c は0.7 eV程度あり、AlGaNからなるバリア層を有する高電子移動度トランジスタにおけるAlGaNとGaNとのヘテロ界面に存在するエネルギー障壁 E_c (0.1~0.3 eV程度)よりも大きい。さらに、InAlNはAlGaNに比べて自発分極効果が大きい。これらの特徴から、InAlNをバリア層とする高電子移動度トランジスタではAlGaNをバリア層とする高電子移動度トランジスタよりも2次元電子ガスのシートキャリア濃度を高くすることができるという優れた特性を有する。

10

【0006】

加えて、InAlNのエネルギー禁制帯幅が大きく、かつ伝導電子帯におけるエネルギー障壁が高いという特徴は、バリア層上にゲート電極を形成した場合にゲートリーク電流を低減させ、かつゲート耐圧を向上させることを可能とする。

20

【0007】

図9はInAlNをバリア層とするInAlN/GaNヘテロ構造を用いた従来の電界効果型トランジスタ(高電子移動度トランジスタ)を示す断面図である。図に示すように、基板1上にGaNからなる電子走行層2が形成され、電子走行層2上にInAlNからなるバリア層3が形成され、バリア層3の上にはゲート電極4が形成され、ゲート電極4の両側にソース電極5およびドレイン電極6が形成されている。

【0008】

この電界効果型トランジスタにおいては、電子走行層2とバリア層3とのヘテロ界面近傍に高濃度の2次元電子ガス7が形成され、ゲート電極4に印加する電圧によって2次元電子ガスのシートキャリア濃度を制御することによりトランジスタとしての動作が実現される。このため、窒化物半導体を用いた電界効果型トランジスタでは、バリア層3の厚さが非常に薄く(典型的には数nm~数十nm)、2次元電子ガス7とゲート電極4とは空間的に近接する構造となる。したがって、バリア層3が2次元電子ガス7とゲート電極4との間に対して十分なエネルギー障壁を持たない場合には、ゲートリーク電流が発生して十分なゲート耐圧が得られず、良好な素子特性が得られなくなってしまうが、エネルギー禁制帯幅が大きく、かつ伝導電子帯におけるエネルギー障壁が高いInAlNをバリア層3に用いることで、バリア層3の厚さが極薄であってもゲートリーク電流を抑制しゲート耐圧を向上させることが可能となる。

30

【0009】

【非特許文献1】J. Kuzmik, Semicond.Sci. Technol. Vo1.17 (2002) pp.540-544

40

【発明の開示】

【発明が解決しようとする課題】

【0010】

上述したように、バリア層3をInAlNで構成することは、ゲートリーク電流の低減、ゲート耐圧の向上という観点では有利であるが、ソースおよびドレインのコンタクト抵抗の低減という観点からは不利となる。すなわち、図9に示した従来の電界効果型トランジスタにおいては、ソース電極5およびドレイン電極6もバリア層3上に形成しているから、ソース電極5とドレイン電極6との間に高いエネルギー障壁が存在することになり、ソースおよびドレインのコンタクト抵抗を増大させてしまう。

【0011】

50

本発明は上述の課題を解決するためになされたもので、良好なゲート耐圧特性を有し、かつソースおよびドレインのコンタクト抵抗が小さい電界効果型トランジスタ、その製造方法を提供することを目的とする。

【課題を解決するための手段】

【0012】

この目的を達成するため、本発明においては、基板上に形成されたGaNからなる電子走行層と、前記電子走行層上に形成されたInAlNからなるバリア層と、前記バリア層上に形成されたゲート電極と、前記ゲート電極の両側に形成されたソース電極およびドレイン電極とを有する電界効果型トランジスタにおいて、前記ソース電極および前記ドレイン電極と前記バリア層との間にInGaN、InN、GaNの少なくとも1つからなるキャップ層を形成する。 10

【0013】

また、基板上に形成されたGaNからなる電子走行層と、前記電子走行層上に形成されたInAlNからなるバリア層と、前記バリア層上に形成されたゲート電極と、前記ゲート電極の両側に形成されたソース電極およびドレイン電極とを有する電界効果型トランジスタにおいて、前記ソース電極および前記ドレイン電極と前記電子走行層との間にn型のInGaN、InN、GaNの少なくとも1つからなるキャップ層を形成する。

【0014】

これらの場合、前記バリア層と前記ゲート電極との間に絶縁膜を形成してもよい。

【0015】

これらの場合、前記電子走行層と前記バリア層との間にAlN層を形成してもよい。 20

【0016】

これらの場合、前記電子走行層と前記バリア層との間に、InGaN層、InGaN層およびAlN層またはInGaN層およびGaN層を形成してもよい。

【0017】

また、電界効果型トランジスタの製造方法において、基板上にGaNからなる電子走行層を形成する工程と、前記電子走行層上にInAlNからなるバリア層を形成する工程と、前記バリア層上にInGaN、InN、GaNの少なくとも1つからなるキャップ層を形成する工程と、前記キャップ層のゲート電極を形成する領域を除去する工程と、前記バリア層上に前記ゲート電極を形成する工程と、前記キャップ層上にソース電極およびドレイン電極を形成する工程とを行なう。 30

【0018】

また、電界効果型トランジスタの製造方法において、基板上にGaNからなる電子走行層を形成する工程と、前記電子走行層上にInAlNからなるバリア層を形成する工程と、前記バリア層上にInGaN、InN、GaNの少なくとも1つからなるキャップ層を形成する工程と、前記キャップ層のゲート電極を形成する領域を除去する工程と、前記キャップ層を除去した領域に絶縁膜を形成する工程と、前記絶縁膜上に前記ゲート電極を形成する工程と、前記キャップ層上にソース電極およびドレイン電極を形成する工程とを行なう。

【0019】

また、電界効果型トランジスタの製造方法において、基板上にGaNからなる電子走行層を形成する工程と、前記電子走行層上にInAlNからなるバリア層を形成する工程と、前記バリア層上に絶縁膜を形成する工程と、前記絶縁膜のソース電極およびドレイン電極を形成する領域を除去する工程と、前記絶縁膜を除去した領域にInGaN、InN、GaNの少なくとも1つからなるキャップ層を形成する工程と、前記絶縁膜を除去する工程と、前記バリア層上に前記ゲート電極を形成する工程と、前記キャップ層上に前記ソース電極および前記ドレイン電極を形成する工程とを行なう。 40

【0020】

また、電界効果型トランジスタの製造方法において、基板上にGaNからなる電子走行層を形成する工程と、前記電子走行層上にInAlNからなるバリア層を形成する工程と 50

、前記バリア層上に絶縁膜を形成する工程と、前記絶縁膜のソース電極およびドレイン電極を形成する領域を除去する工程と、前記絶縁膜を除去した領域にInGa_nN、InN、Ga_nNの少なくとも1つからなるキャップ層を形成する工程と、前記絶縁膜上に前記ゲート電極を形成する工程と、前記キャップ層上に前記ソース電極および前記ドレイン電極を形成する工程とを行なう。

【0021】

また、電界効果型トランジスタの製造方法において、基板上にGa_nNからなる電子走行層を形成する工程と、前記電子走行層上にInAlNからなるバリア層を形成する工程と、前記バリア層上に絶縁膜を形成する工程と、前記絶縁膜のソース電極およびドレイン電極を形成する領域を除去する工程と、前記絶縁膜を除去した領域の前記バリア層を除去する工程と、前記バリア層を除去した領域の前記電子走行層の一部を除去する工程と、前記電子走行層の一部を除去した領域にn型のInGa_nN、InN、Ga_nNの少なくとも1つからなるキャップ層を形成する工程と、前記絶縁膜を除去する工程と、前記バリア層上にゲート電極を形成する工程と、前記キャップ層上に前記ソース電極および前記ドレイン電極を形成する工程とを行なう。

10

【0022】

また、電界効果型トランジスタの製造方法において、基板上にGa_nNからなる電子走行層を形成する工程と、前記電子走行層上にInAlNからなるバリア層を形成する工程と、前記バリア層上に絶縁膜を形成する工程と、前記絶縁膜のソース電極およびドレイン電極を形成する領域を除去する工程と、前記絶縁膜を除去した領域の前記バリア層を除去する工程と、前記バリア層を除去した領域の前記電子走行層の一部を除去する工程と、前記電子走行層の一部を除去した領域にn型のInGa_nN、InN、Ga_nNの少なくとも1つからなるキャップ層を形成する工程と、前記絶縁膜上にゲート電極を形成する工程と、前記キャップ層上に前記ソース電極および前記ドレイン電極を形成する工程とを行なう。

20

【発明の効果】

【0023】

本発明に係る電界効果型トランジスタ、その製造方法においては、InAlNからなるバリア層を形成しているから、エネルギー障壁を高くすることができるので、ゲート耐圧特性を良好にすることができ、またソース電極およびドレイン電極とInAlNからなるバリア層との間にInGa_nN、InN、Ga_nNの少なくとも1つからなるキャップ層を形成しているから、ソースおよびドレインのコンタクト抵抗を小さくすることができる。

30

【0024】

また、本発明に係る他の電界効果型トランジスタ、その製造方法においては、InAlNからなるバリア層を形成しているから、エネルギー障壁を高くすることができるので、ゲート耐圧特性を良好にすることができ、またソース電極およびドレイン電極と電子走行層との間にn型のInGa_nN、InN、Ga_nNの少なくとも1つからなるキャップ層を形成しているから、ソース電極およびドレイン電極を形成する領域にはバリア層が存在しないので、ソースおよびドレインのコンタクト抵抗を低減することができるのと同時に、ソースおよびドレインの寄生抵抗成分も低減することができる。

40

【0025】

また、バリア層とゲート電極との間に絶縁膜を形成したときには、ゲートリーク電流を確実に低減することができる。

【0026】

また、電子走行層とバリア層との間にAlN層を形成したときには、ゲートリーク電流を確実に低減することができ、また電子移動度およびシートキャリア濃度を高くすることができる。

【0027】

また、電子走行層とバリア層との間に、InGa_nN層、InGa_nN層およびAlN層またはInGa_nN層およびGa_nN層を形成したときには、電子移動度を高くすることができる。

50

【発明を実施するための最良の形態】

【0028】

(第1の実施の形態)

図1は本発明における第1の実施の形態の電界効果型トランジスタを示す断面図である。図に示すように、サファイアからなる基板11上にGaNからなる電子走行層12が形成され、電子走行層12上にInAlNからなるバリア層13が形成され、バリア層13上にゲート電極15が形成され、バリア層13のゲート電極15の両側の領域上にInGaN、InN、GaNの少なくとも1つからなるキャップ層14が形成され、キャップ層14上にソース電極16およびドレイン電極17が形成されている。すなわち、ゲート電極15の両側にソース電極16およびドレイン電極17が形成され、ソース電極16およびドレイン電極17とバリア層13との間にキャップ層14が形成されている。

10

【0029】

この電界効果型トランジスタにおいては、InAlNからなるバリア層13を有しているから、エネルギー障壁を高くすることができるので、ゲートリーク電流を低減することができる。さらに、ソース電極16およびドレイン電極17とInAlNからなるバリア層13との間にInGaN、InN、GaNの少なくとも1つからなるキャップ層14が形成されているから、ソースおよびドレインのコンタクト抵抗を小さくすることができる。すなわち、オーミック電極と半導体材料との間のエネルギー障壁の高さは、オーミック電極を形成する金属材料の仕事関数と半導体材料の電子親和力とによって決まるが、本質的にエネルギー禁制帯幅の小さい半導体材料ほど電子親和力が大きくなり、結果的にエネルギー障壁を小さくすることができる。したがって、InAlNよりもエネルギー禁制帯幅を小さくできるInGaN、InN、GaNの少なくとも1つからなるキャップ層14をソース電極16およびドレイン電極17と接する部分に形成することによって、ソース電極16およびドレイン電極17を構成する金属材料とのエネルギー障壁を小さくすることができるから、ソースおよびドレインのコンタクト抵抗を小さくすることができる。

20

【0030】

なお、バリア層13とゲート電極15との間にGaN、InAlN、InGaN、InNよりも大きいエネルギー禁制帯幅を有する絶縁膜(AINを含む)を形成してもよい。この場合、ゲートリーク電流を確実に低減することができる。

30

【0031】

また、電子走行層12とバリア層13との間にAIN層を形成してもよい。この場合、ゲートリーク電流を確実に低減することができ、また電子移動度およびシートキャリア濃度を高くすることができる。

【0032】

また、電子走行層12とバリア層13との間に、InGaN層、InGaN層およびAIN層またはInGaN層およびGaN層を形成してもよい。この場合、電子移動度を高くすることができる。

【0033】

つぎに、図2、図3により図1に示した電界効果型トランジスタの製造方法、すなわち本発明に係る電界効果型トランジスタの製造方法を説明する。まず、図2(a)、(b)に示すように、サファイアからなる基板11上にノンドープGaNからなる電子走行層12を層厚2 μ m程度成長形成し、つぎにIn組成0.17程度のノンドープInAlNからなるバリア層13を層厚30nm程度成長形成し、さらにノンドープGaNからなるキャップ層14を2nm程度成長形成する。この電子走行層12、バリア層13、キャップ層14の成長形成工程には、例えば有機金属化学気相成長(MOCVD)法を用いる。また、N原料としてNH₃ガスを高圧ガスボンベより供給し、Ga原料、Al原料およびIn原料としてそれぞれトリメチルガリウム(TMGa)、トリメチルアルミニウム(TMAI)およびトリメチルインジウム(TMIn)という有機金属材料をバブリングにより供給する。また、成長圧力は全成長形成工程において1.33 $\times 10^4$ Pa(100Torr)と

40

50

した。また、電子走行層 12 の形成条件は、成長温度 1050、V/III 比 1500、成長速度 8 nm/sec、バリア層 13 の形成条件は、成長温度 850、TMIn/TMAI 供給比 13、V/III 比 300、成長速度 0.2 nm/sec、キャップ層 14 の形成条件は、成長温度 850、V/III 比 300、成長速度 0.2 nm/sec とする。

【0034】

上記成長形成工程終了後、図 2(c) に示すように、得られたエピ基板の上にフォトレジスト 21 を塗布し、通常の写真リソグラフィ技術を用いて、ゲート電極 15 を形成する領域からフォトレジスト 21 を除去して、キャップ層 14 を露出させる。つぎに、図 3(a) に示すように、露出したキャップ層 14 をエッチング工程により除去する。このエッチング工程には、例えば塩素系ガスを用いたドライエッチング技術を用いる。例えば、 $Cl_2 + CH_2Cl_2$ 混合ガスを用いた ICP-RIE (Inductive Coupled Plasma Reactive Ion Etching) 装置を用いる。また、エッチング条件は、プラズマ出力 100 W、試料バイアス 50 V、 Cl_2 / CH_2Cl_2 比 0.3、エッチング速度 0.1 nm/sec とする。

10

【0035】

また、エッチング工程終了後、図 3(b) に示すように、フォトレジスト 21 を除去する。つぎに、図 3(c) に示すように、通常工程にてバリア層 13 上にゲート電極 15 を形成し、キャップ層 14 上にソース電極 16 およびドレイン電極 17 を形成する。

【0036】

なお、図 2、図 3 により説明した電界効果型トランジスタの製造方法においては、ゲート電極 15 の形成領域のキャップ層 14 のエッチング工程後、ただちにフォトレジスト 21 を除去しているが、フォトレジスト 21 の除去前に、例えば SiO_2 など、GaN、InAlN、InGaN、InN よりも大きいエネルギー禁制帯幅を有する絶縁膜 (AlN を含む) を数 nm 堆積する工程を加えることにより、バリア層 13 とゲート電極 15 との間に絶縁膜が形成された電界効果型トランジスタを製作することができ、この場合にはゲート電極 15 の領域を絶縁膜で保護することができ、ゲートリーク電流を確実に低減することができる。

20

【0037】

つぎに、図 4、図 5 により図 1 に示した電界効果型トランジスタの他の製造方法、すなわち本発明に係る他の電界効果型トランジスタの製造方法を説明する。まず、図 4(a)、(b) に示すように、サファイアからなる基板 11 上にノンドープ GaN からなる電子走行層 12 を層厚 2 μ m 程度成長形成し、In 組成 0.17 程度のノンドープ InAlN からなるバリア層 13 を 30 nm 程度成長形成する。

30

【0038】

上記成長形成工程終了後、図 4(c) に示すように、得られたエピ基板の上に、GaN、InAlN、InGaN、InN よりも大きいエネルギー禁制帯幅を有する絶縁膜 (AlN を含む) 31、例えば SiO_2 を 10 nm 程度堆積する。この場合、絶縁膜 31 の堆積には例えば光 CVD 装置やスパッタ装置を用いる。具体的には、ECR (Electron Cyclotron Resonance) プラズマを用いたスパッタ装置を用いて SiO_2 を堆積する。つぎに、絶縁膜 31 上にフォトレジスト 32 を塗布する。つぎに、図 5(a) に示すように、通常の写真リソグラフィ技術を用いてゲート電極 15 を形成する領域を残してフォトレジスト 32 を除去して、絶縁膜 31 を露出させ、ついで露出した絶縁膜 31 をエッチング工程により除去する。すなわち、絶縁膜 31 のソース電極 16 およびドレイン電極 17 を形成する領域を除去する。このエッチング工程には、例えば塩素系ガスを用いたドライエッチング技術あるいはフッ酸系エッチング溶液によるウェットエッチング技術を用いる。具体的には、 $HF + NH_4F + H_2O$ 混合溶液を用いたウェットエッチングにより絶縁膜 31 を除去し、バリア層 13 の一部を露出させる。

40

【0039】

つぎに、図 5(b) に示すように、フォトレジスト 32 を除去し、ついで再度 MOCVD 装置に装填して、In 組成 0.1 程度のノンドープ InGaN からなるキャップ層 14 を 5 nm 程度成長形成する。この際、ゲート電極 15 の形成領域に残っている絶縁膜 31 が

50

マスクとなって、バリア層 13 が露出した領域にのみ選択的にキャップ層 14 が成長形成される。

【0040】

上記キャップ層 14 の選択成長形成工程終了後、図 5 (c) に示すように、再度エッチング工程によりゲート電極 15 の形成領域に残っている絶縁膜 31 を除去し、ついで通常工程にてバリア層 13 上にゲート電極 15 を形成し、キャップ層 14 上にソース電極 16 およびドレイン電極 17 を形成する。

【0041】

なお、図 4、図 5 により説明した電界効果型トランジスタの製造方法においては、キャップ層 14 を選択的に成長形成する工程後に、ゲート電極 15 を形成する領域に残っている絶縁膜 31 をエッチング工程により除去しているが、このエッチング工程を省くことにより、バリア層 13 とゲート電極 15 との間に絶縁膜 31 が形成された電界効果型トランジスタを製作することができ、この場合にはゲート電極 15 の領域を絶縁膜 31 で保護することができ、ゲートリーク電流を確実に低減することができる。

10

【0042】

(第2の実施の形態)

図 6 は本発明における第 2 の実施の形態の電界効果型トランジスタを示す断面図である。図に示すように、サファイアからなる基板 41 上に GaN からなる電子走行層 42 が形成され、電子走行層 42 上に InAlN からなるバリア層 43 が形成され、バリア層 43 上にゲート電極 45 が形成され、電子走行層 42 のゲート電極 45 の両側の領域上に高濃度

20

【0043】

にドーピングされた低抵抗の n 型の InGaN、InN、GaN の少なくとも 1 つからなるキャップ層 (コンタクト層) 44 が形成され、キャップ層 44 上にソース電極 46 およびドレイン電極 47 が形成されている。すなわち、ゲート電極 45 の両側にソース電極 46 およびドレイン電極 47 が形成され、ソース電極 46 およびドレイン電極 47 と電子走行層 42 との間にキャップ層 44 が形成されている。

30

【0044】

この電界効果型トランジスタにおいては、InAlN からなるバリア層 43 を有しているから、エネルギー障壁を高くすることができるので、ゲートリーク電流を低減することができ、ゲート耐圧を向上することができる。さらに、ソース電極 46 およびドレイン電極 47 と電子走行層 42 との間にキャップ層 44 が形成されているから、ソース電極 46

40

【0045】

およびドレイン電極 47 を形成する領域には InAlN からなるバリア層 43 が存在せず、低抵抗の n 型の InGaN、InN、GaN の少なくとも 1 つからなるキャップ層 44 が直接 2 次元電子ガス 48 と接するから、ソース電極 46、ドレイン電極 47 (オーミック電極) と 2 次元電子ガス 48 との間にはもはや電子の移動を妨げるようなエネルギー禁制帯幅の大きい層は存在しないので、ソースおよびドレインのコンタクト抵抗を低減することができるとともに、ソースおよびドレインの寄生抵抗成分も低減することができる。

【0046】

なお、バリア層 43 とゲート電極 45 との間に GaN、InAlN、InGaN、InN よりも大きいエネルギー禁制帯幅を有する絶縁膜 (AlN を含む) を形成してもよい。また、電子走行層 42 とバリア層 43 との間に AlN 層を形成してもよい。また、電子走行層 42 とバリア層 43 との間に、InGaN 層、InGaN 層および AlN 層または InGaN 層および GaN 層を形成してもよい。

50

上記成長形成工程終了後、図7(c)に示すように、得られたエピ基板の上に、Ga₂N、InAlN、InGa₂N、InNよりも大きいエネルギー禁制帯幅を有する絶縁膜(A₂Nを含む)51、例えばSiO₂を10nm程度堆積する。絶縁膜51の堆積には例えば光CVD装置やスパッタ装置を用いる。具体的には、ECRプラズマを用いたスパッタ装置を用いてSiO₂を堆積する。つぎに、絶縁膜51を堆積した後、フォトレジスト52を塗布する。つぎに、図8(a)に示すように、通常フォトリソグラフ技術を用いてゲート電極45を形成する領域を残してフォトレジスト52を除去して、絶縁膜51を露出させ、ついで露出した絶縁膜51をエッチング工程により除去する。すなわち、絶縁膜51のソース電極46およびドレイン電極47を形成する領域を除去する。このエッチング工程には、例えば塩素系ガスを用いたドライエッチング技術あるいはフッ酸系エッチング溶液によるウェットエッチング技術を用いる。具体的には、Cl₂+CH₂Cl₂混合ガスを用いたICP-RIE装置を用いる。このエッチング条件は、プラズマ出力100W、試料バイアス50V、Cl₂/CH₂Cl₂比0.3、エッチング速度0.1nm/secとする。また、このドライエッチング条件では、絶縁膜51のみならず、バリア層43、電子走行層42もエッチングできる。そこで、絶縁膜51を除去したあとそのままエッチング工程を継続し、電子走行層42の部分までエッチングする。エッチング深さはトータルで50nm程度とするが、このエッチング深さは電子走行層42の一部まで達していれば十分であるため、バリア層43の厚さ以上の深さであればよい。

10

【0047】

上記エッチング工程終了後、図8(b)に示すように、フォトレジスト52を除去し、ついで再度MOCVD装置に装填してIn組成0.1程度のn型InGa₂Nからなるキャップ層44を50nm程度成長形成する。この際、n型の導電性を持たせるために、SiH₄を同時に供給することでSiをドーピングする。また、ゲート電極45の形成領域に残っている絶縁膜51がマスクとなって、電子走行層42が露出した領域にのみ選択的にSiドーピングのInGa₂Nからなるキャップ層44が成長形成される。

20

【0048】

キャップ層44の選択成長形成工程終了後、図8(c)に示すように、再度エッチング工程によりゲート電極45の形成領域に残っている絶縁膜51を除去し、ついで通常工程にてバリア層43上にゲート電極45を形成し、キャップ層44上にソース電極46およびドレイン電極47を形成する。

30

【0049】

なお、図7、図8により説明した電界効果型トランジスタの製造方法においては、キャップ層44を選択的に成長形成する工程後に、ゲート電極45を形成する領域に残っている絶縁膜51をエッチング工程により除去しているが、このエッチング工程を省くことにより、バリア層43とゲート電極45との間に絶縁膜51が形成された電界効果型トランジスタを製作することができ、この場合にはゲート電極45の領域を絶縁膜51で保護することができ、ゲートリーク電流を確実に低減することができる。

【0050】

また、上述実施の形態においては、窒化物半導体層の成長形成工程にMOCVD法を用いているが、他の成長法(例えば、分子線エピタキシ)法やハイドライド気相成長法およびこれらから派生した類似の成長法であってもよい。また、上述実施の形態においては、サファイアからなる基板11、41上に電子走行層12、42、バリア層13、43を形成したが、基板として他の半導体基板(例えば、SiC基板やSi基板)や絶縁体基板(例えば、ZnOなどの酸化物基板)を用いてもよい。また、上述実施の形態においては、各層の層厚を記したが、これは上述実施の形態を説明する際の具体例の一つとしてあげたものであり、他の膜厚であってもよい。

40

【図面の簡単な説明】

【0051】

【図1】本発明における第1の実施の形態の電界効果型トランジスタを示す断面図である。

50

【図2】図1に示した電界効果型トランジスタの製造方法の説明図である。

【図3】図1に示した電界効果型トランジスタの製造方法の説明図である。

【図4】図1に示した電界効果型トランジスタの他の製造方法の説明図である。

【図5】図1に示した電界効果型トランジスタの他の製造方法の説明図である。

【図6】本発明における第2の実施の形態の電界効果型トランジスタを示す断面図である。

【図7】図6に示した電界効果型トランジスタの製造方法の説明図である。

【図8】図6に示した電界効果型トランジスタの製造方法の説明図である。

【図9】従来の電界効果型トランジスタを示す断面図である。

【符号の説明】

10

【0052】

1 1 ... 基板

1 2 ... 電子走行層

1 3 ... バリア層

1 4 ... キャップ層

1 5 ... ゲート電極

1 6 ... ソース電極

1 7 ... ドレイン電極

3 1 ... 絶縁膜

4 1 ... 基板

4 2 ... 電子走行層

4 3 ... バリア層

4 4 ... キャップ層

4 5 ... ゲート電極

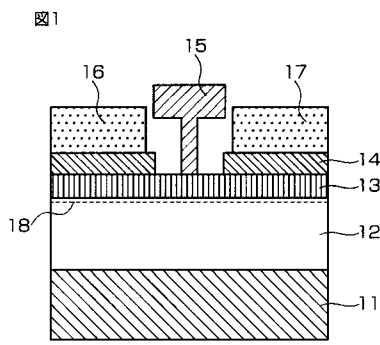
4 6 ... ソース電極

4 7 ... ドレイン電極

5 1 ... 絶縁膜

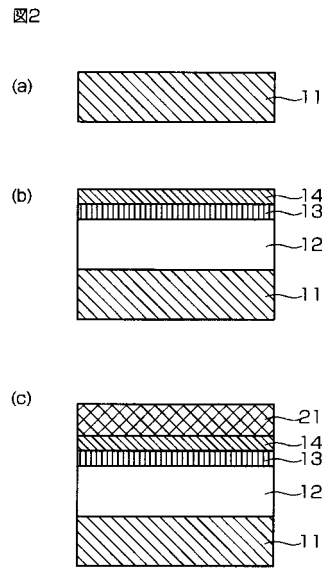
20

【 図 1 】



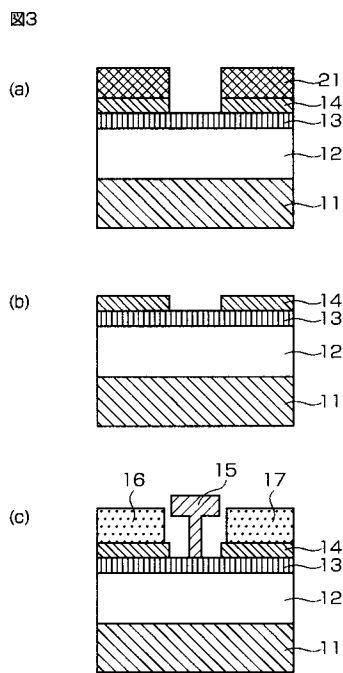
- 11…基板
- 12…電子走行層
- 13…バリア層
- 14…キャップ層
- 15…ゲート電極
- 16…ソース電極
- 17…ドレイン電極

【 図 2 】



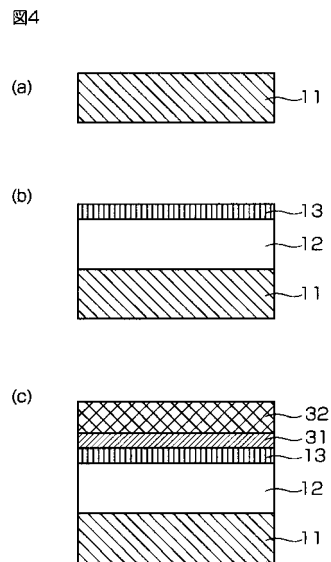
- 11…基板
- 12…電子走行層
- 13…バリア層
- 14…キャップ層

【 図 3 】



- 11…基板
- 12…電子走行層
- 13…バリア層
- 14…キャップ層
- 15…ゲート電極
- 16…ソース電極
- 17…ドレイン電極

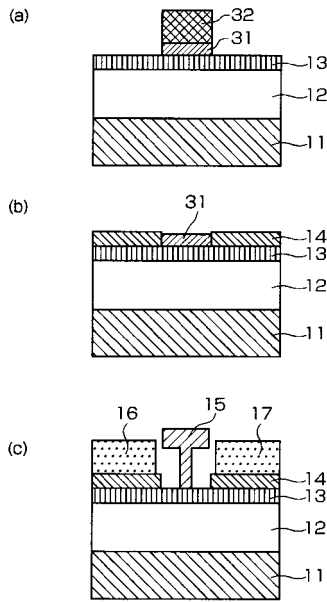
【 図 4 】



- 11…基板
- 12…電子走行層
- 13…バリア層
- 31…絶縁膜

【 図 5 】

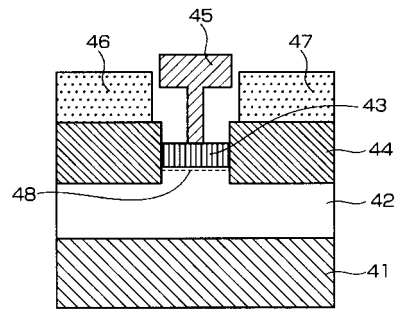
図5



- 11…基板
- 12…電子走行層
- 13…バリア層
- 14…キャップ層
- 15…ゲート電極
- 16…ソース電極
- 17…ドレイン電極
- 31…絶縁膜

【 図 6 】

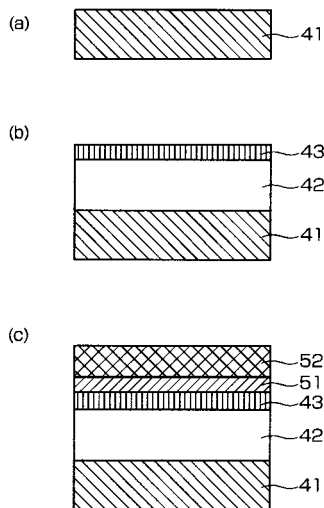
図6



- 41…基板
- 42…電子走行層
- 43…バリア層
- 44…キャップ層
- 45…ゲート電極
- 46…ソース電極
- 47…ドレイン電極

【 図 7 】

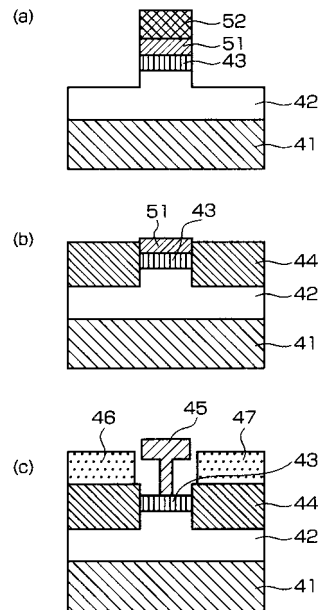
図7



- 41…基板
- 42…電子走行層
- 43…バリア層
- 51…絶縁膜

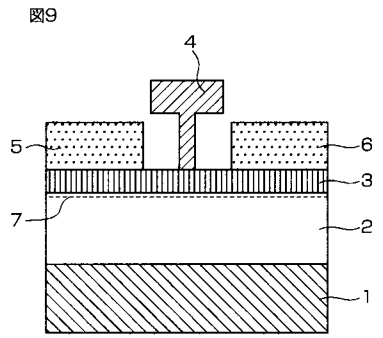
【 図 8 】

図8



- 41…基板
- 42…電子走行層
- 43…バリア層
- 44…キャップ層
- 45…ゲート電極
- 46…ソース電極
- 47…ドレイン電極
- 51…絶縁膜

【 図 9 】



フロントページの続き

(72)発明者 横山 春喜

東京都千代田区大手町二丁目3番1号

日本電信電話株式会社内

(72)発明者 小林 隆

東京都千代田区大手町二丁目3番1号

日本電信電話株式会社内

Fターム(参考) 5F102 FA01 FA03 GB01 GC01 GD01 GD10 GJ10 GL04 GM04 GM08
GN04 GQ01 GR04 HC01 HC02 HC15
5F110 AA03 AA12 BB12 CC01 DD04 FF02 FF28 FF29 GG04 GG19
GG24 GG42 GG44 HK08