



(10) **DE 11 2004 000 658 B4** 2014.12.31

(12)

## Patentschrift

(21) Deutsches Aktenzeichen: **11 2004 000 658.9**  
(86) PCT-Aktenzeichen: **PCT/US2004/007026**  
(87) PCT-Veröffentlichungs-Nr.: **WO 2004/095469**  
(86) PCT-Anmeldetag: **08.03.2004**  
(87) PCT-Veröffentlichungstag: **04.11.2004**  
(43) Veröffentlichungstag der PCT Anmeldung  
in deutscher Übersetzung: **20.09.2007**  
(45) Veröffentlichungstag  
der Patenterteilung: **31.12.2014**

(51) Int Cl.: **G11C 11/56 (2006.01)**  
**G11C 16/04 (2006.01)**

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:  
**10/413,800**                      **15.04.2003**      **US**

(62) Teilung in:  
**11 2004 003 155.9**

(73) Patentinhaber:  
**Spansion LLC (n.d.Ges.d. Staates Delaware),  
Sunnyvale, Calif., US**

(74) Vertreter:  
**Grünecker, Kinkeldey, Stockmair &  
Schwanhäusser, 80802 München, DE**

(72) Erfinder:  
**Hamilton, Darlene G., San Jose, Calif., US;  
Tanpairoj, Kulachet, Palo Alto, Calif., US; Hsia,  
Edward, Saratoga, Calif., US; He, Yi, Fremont,  
Calif., US**

(56) Ermittelter Stand der Technik:

<b>US</b>	<b>6 320 786</b>	<b>B1</b>
<b>US</b>	<b>2002 / 0 085 436</b>	<b>A1</b>
<b>US</b>	<b>6 011 725</b>	<b>A</b>
<b>US</b>	<b>6 115 285</b>	<b>A</b>
<b>EP</b>	<b>1 271 550</b>	<b>A2</b>

(54) Bezeichnung: **Verfahren zum Programmieren einer Doppelzellenspeichereinrichtung zur Speicherung von Mehrfach-Datenzuständen pro Zelle**

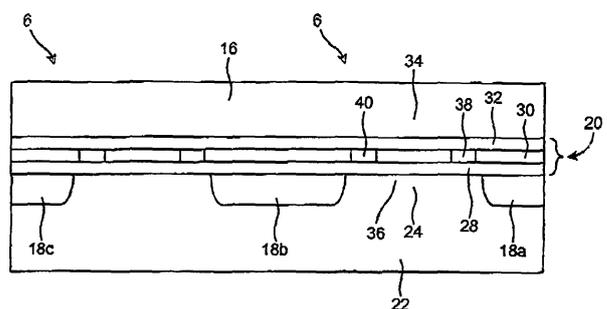
(57) Hauptanspruch: Verfahren zum Betreiben einer dielektrischen Ladungsträgereinfangkernspeichereinrichtung (6) mit einer kontinuierlichen dielektrischen Ladungsspeicherschicht (30), die ein erstes Ladungsspeichergebiet (38, 40) benachbart zu einem ersten leitenden Gebiet (18) und ein zweites Ladungsspeichergebiet (38, 40) benachbart zu einem zweiten leitenden Gebiet (18) umfasst, wobei das Verfahren umfasst:

Programmieren des ersten Ladungsspeichergebiets (38, 40), um eine erste Ladungsmenge zu speichern, wobei die erste Ladungsmenge einem ersten Gebietsdatenstand entspricht, der ausgewählt ist aus einem leeren Programmierpegel und einem von mehreren geladenen Programmierpegeln;

Programmieren des zweiten Ladungsspeichergebiets, um eine zweite Ladungsmenge zu speichern, wobei die zweite Ladungsmenge einem zweiten Gebietsdatenstand entspricht, der ausgewählt ist aus dem leeren Programmierpegel und einem der mehreren geladenen Programmierpegel; und

Auslesen eines der Ladungsspeichergebiete (38, 40), durch Vergleichen eines Stromes durch einen Kanal (36), der zwischen dem ersten leitenden Gebiet (18) und dem

zweiten leitenden Gebiet (18) angeordnet ist, mit mehreren Referenzströmen, um den Datenzustand zu bestimmen, auf den das ausgelesene Ladungsspeichergebiet (38, 40) programmiert ist, wobei mehrere dynamische Referenzen (8) mit der Kernspeichereinrichtung (6) verknüpft sind, wobei die dynamischen Referenzen (8) Speichereinrichtungen mit dem gleichen Aufbau und den gleichen Funktionseigenschaften wie die Ladungsträgereinfangkernspeichereinrichtung (6) sind, und die Referenzströme enthalten: einen ersten Referenzstrom, der ein Mittelwert eines Stroms durch einen Kanal einer ersten der verknüpften dynamischen Referenzen, ...



**Beschreibung**

## TECHNISCHES GEBIET

**[0001]** Die vorliegende Erfindung betrifft im Allgemeinen das Gebiet nicht-flüchtiger Speichereinrichtungen und betrifft insbesondere ein Verfahren zum Speichern von Mehrfachdatenzustände in jedem Ladungsspeichergebiet einer dielektrischen Doppelzellenladungseinfang-Flash-Speichereinrichtung.

## HINTERGRUND

**[0002]** US 6,011,725 A offenbart einen nicht flüchtigen Datenspeicher, bei dem in jeder Speicherzelle 2 Bit an Information gespeichert werden können.

**[0003]** US 6,320,786 B1 offenbart ein Verfahren zum Steuern eines NROM mit mehreren Zuständen. Dabei können in einer Speicherzelle mehrere Bit an Information gespeichert werden, indem verschiedene große Ladungsmengen in einem floating gate einer Speicherzelle gespeichert werden.

**[0004]** US 6,115,285 A offenbart eine Speichervorrichtung mit Speicherzellen, in denen jeweils drei oder mehr unterschiedliche Ladungsmengen gespeichert werden können. Beim Auslesen der Speicherzellen werden vier sogenannte "dummy cells" verwendet, die mit unterschiedlichen Ladungsmengen programmiert sind. Der Auslesestrom aus der Speicherzelle wird mit den Ausleseströmen aus den "dummy cells" verglichen, und es wird bestimmt, welchem der Ströme aus den "dummy cells" der Auslesestrom der Speicherzelle am ähnlichsten ist.

**[0005]** EP 1 271 550 A2 offenbart ein Verfahren zum Auslesen von mindestens einer programmierten Doppelbitspeicherzelle, bei dem mehrere programmierte Doppelbitreferenzzellen verwendet werden. Jede der Speicherzellen speichert 2 Bit an Information, wobei jedes Bit in einem linken Speicherbereich oder einem rechten Speicherbereich gespeichert wird.

**[0006]** US 2002/0085436 A1 offenbart eine Speichervorrichtung mit mehreren Pegeln, die mehrere Flashspeicherzellen umfasst, die mehrere Pegel aufweisen, wobei die Pegel unterschiedlichen Schwellwertspannungen der Speicherzellen entsprechen.

**[0007]** Ein ständiges Bestreben bei der Herstellung moderner integrierter Schaltungen besteht darin, die Menge der pro Einheitsfläche gespeicherten Daten in einer integrierten Schaltungsspeichereinheit, etwa einer Flash-Speichereinheit zu vergrößern. Speichereinheiten enthalten häufig eine relativ große Anzahl an Kernspeichereinrichtungen (manchmal auch als Kernspeicherzellen bezeichnet). Beispielsweise kann eine konventionelle Doppelzellenspeicherein-

richtung, etwa eine dielektrische Ladungseinfang-Flash-Speichereinrichtung, Daten in einer „Doppelbit“-Anordnung speichern. D. h. ein Bit (d. h. ein binärer Datenwert mit zwei Zuständen, etwa einer logischen 1 und einer logischen 0) kann unter Anwendung einer Speicherzelle auf einer ersten „Seite“ der Speichereinrichtung gespeichert werden, und ein zweites Bit kann unter Anwendung einer komplementären Speicherzelle auf einer zweiten „Seite“ der Speichereinrichtung gespeichert werden.

**[0008]** Das Programmieren einer derartigen Speichereinrichtung kann beispielsweise durch die Injektion heißer bzw. energiereicher Elektronen bewerkstelligt werden. Die Injektion heißer Elektronen beinhaltet das „Betreiben im Pulsbetrieb“ des Bauelements durch Anlegen geeigneter Spannungspotentiale an jeweils ein Gate und ein Drain der Speichereinrichtung für jeweils eine spezifizierte Dauer. Während des Programmierpulses wird das Source typischerweise geerdet. Das Lesen der Speichereinrichtung kann bewerkstelligt werden, indem eine geeignete Spannung an jeweils das Gate, das Source und/oder Drain angelegt wird und indem der Drain/Source-Strom (als Kennzeichen einer Bauteilschwellwertspannung) mit einem Referenzwert verglichen wird, um damit zu bestimmen, ob die jeweilige Speicherzelle in einem programmierten oder einem unprogrammierten Zustand vorliegt.

**[0009]** Obwohl konventionelle dielektrische Ladungsträgereinfangflash-Speichereinrichtungen in der Lage sind, zwei Einzelbitbinärdatenwerte pro Speicherzelle zu speichern, gibt es ein ständiges Bestreben, noch mehr Daten pro Einheitsfläche eines Speicherkerns zu speichern.

## ÜBERBLICK ÜBER DIE ERFINDUNG

**[0010]** Gemäß einem Aspekt der Erfindung wird ein Verfahren zum Programmieren einer dielektrischen Ladungsträgereinfang-Speichereinrichtung bereitgestellt, die eine erste Ladungsträgerspeicherzelle benachbart zu einem ersten leitenden Gebiet und eine zweite Ladungsträgerspeicherzelle benachbart zu einem zweiten leitenden Gebiet aufweist. Das Verfahren umfasst das Programmieren der ersten Ladungsspeicherzelle zur Speicherung einer ersten Ladungsmenge, wobei die erste Ladungsmenge einem ersten Zellendatenzustand entspricht, der ausgewählt ist aus einem im wesentlichen ungeladenen bzw. leeren Programmierpegel oder aus einem von mehreren geladenen Programmierpegeln; und das Programmieren der zweiten Ladungsspeicherzelle zur Speicherung einer zweiten Ladungsmenge, wobei die zweite Ladungsmenge einem zweiten Zellendatenzustand entspricht, der ausgewählt wird aus dem leeren Programmierpegel oder einem der mehreren geladenen Programmierpegel.

**[0011]** Gemäß einem weiteren Aspekt der Erfindung richtet sich diese an ein Verfahren zum Programmieren und nachfolgenden Auslesen einer dielektrischen Ladungsträgereinfang-Speichereinrichtung mit einer ersten Ladungsspeicherzelle benachbart zu einem ersten leitenden Gebiet und einer zweiten Ladungsträgerspeicherzelle benachbart zu einem zweiten leitenden Gebiet. Das Verfahren umfasst das Programmieren der Speichereinrichtung einschließlich des Programmierens der ersten Ladungsspeicherzelle zur Speicherung einer ersten Ladungsmenge, wobei die erste Ladungsmenge einem ersten Zellenzustand entspricht, der ausgewählt aus einem leeren Programmierpegel oder einem von mehreren geladenen Programmierpegeln; und Programmieren der zweiten Ladungsträgerspeicherzelle zur Speicherung einer zweiten Ladungsmenge, wobei die zweite Ladungsmenge einem zweiten Zellenzustand entspricht, der ausgewählt ist aus dem leeren Programmierpegel oder einem der mehreren geladenen Programmierpegel. Das Verfahren umfasst ferner das Auslesen einer der Ladungsspeicherzellen durch Vergleichen des Stromflusses von dem ersten leitenden Gebiet zu dem zweiten leitenden Gebiet mit mehreren Referenzströmen zur Bestimmung des Datenzustands, auf den die ausgelesene Ladungsspeicherzelle programmiert ist.

#### KURZE BESCHREIBUNG DER ZEICHNUNGEN

**[0012]** Diese und weitere Merkmale der vorliegenden Erfindung gehen aus der folgenden Beschreibung und den Zeichnungen hervor, in denen:

**[0013]** Fig. 1 eine schematische Blockansicht einer beispielhaften Speichereinheit mit mehreren Kernspeichereinrichtungen ist, auf die ein Verfahren zum Programmieren gemäß der vorliegenden Erfindung angewendet werden kann;

**[0014]** Fig. 2 eine schematische Blockansicht eines Teils eines Kernspeicherarrays von der Speichereinheit ist, die die Kernspeichereinrichtungen enthalten kann;

**[0015]** Fig. 3 eine schematische Querschnittsdarstellung beispielhafter Kernspeichereinrichtungen von dem Kernspeicherarray entlang der Linie 3-3 aus Fig. 2 ist;

**[0016]** Fig. 4 Besetzungshäufigkeiten zeigt, die die Verteilungsfunktionen für relative Programmierpegelschwellwertspannungen für das Mehrpegel-Zellen-(MLC)Programmieren einer Ladungsspeicherzelle der Kernspeichereinrichtung enthält; und

**[0017]** Fig. 5 ein Flussdiagramm ist, das ein Verfahren zum Auslesen einer ausgewählten Ladungsspeicherzelle der Kernspeichereinrichtung repräsentiert.

#### BESCHREIBUNG DER ERFINDUNG

**[0018]** In der folgenden detaillierten Beschreibung sind ähnliche Komponenten mit den gleichen Bezugszeichen belegt, unabhängig davon, ob diese in unterschiedlichen Ausführungsformen der vorliegenden Erfindung gezeigt sind. Um die vorliegende Erfindung in einer klaren und knappen Weise darzustellen, sind die Zeichnungen nicht notwendigerweise maßstabsgetreu und gewisse Merkmale können in einer gewissen schematischen Form dargestellt sein.

**[0019]** In Fig. 1 ist eine schematische Blockansicht einer beispielhaften Speichereinheit **2** gezeigt. Die Speichereinheit **2** kann ein Kernspeicherarray **4** aufweisen, in welchem mehrere Speichereinrichtungen, etwa elektrisch löschbare und programmierbare und nicht-flüchtige Doppelzellenflash-Speichereinrichtungen, enthalten sind. Beispielsweise können die Speichereinrichtungen ladungsträgereinfangende dielektrische Flash-Speichereinrichtungen sein, wie dies nachfolgend detaillierter erläutert ist.

**[0020]** Die Speichereinrichtungen des Kernspeicherarrays **4** können mehrere Kernspeichereinrichtungen **6** und damit verknüpfte dynamische Referenzspeichereinrichtungen **8** aufweisen. In einer Ausführungsform ist das Array **4** so angeordnet, dass die dynamischen Referenzspeichereinrichtungen **8** innerhalb einer Matrix der Kernspeichereinrichtungen **6** ausgebildet sind.

**[0021]** Andere Speichereinrichtungen, etwa externe Referenzen **10**, können ebenso ein Teil der Speichereinheit **2** sein. Die externen Referenzen **10** sind getrennt von dem Kernspeicherarray **4** und können beispielsweise Löschverifizierungsreferenzzellen, Programmierverifizierungsreferenzzellen und Weichprogrammierungsreferenzzellen enthalten.

**[0022]** Wie der Fachmann erkennt, können die Kernspeichereinrichtungen **6** von einem Anwender der Speichereinheit **2** verwendet werden, um Informationen, etwa Daten oder ausführbare Codierungen zu speichern. Die dynamischen Referenzen **8** können zur Unterstützung beim Auslesen der Kernspeichereinrichtungen **6** verwendet werden. Genauer gesagt, die dynamischen Referenzen **8** werden als Indikatoren des Datenpegelverhaltens der Kernspeichereinrichtungen **6** verwendet. Die diversen Operationen in der Speichereinheit **2**, wozu beispielsweise das Programmieren, Verifizieren, Auslesen und Löschen gehört, können mittels einer Logikschaltung **12** gesteuert werden.

**[0023]** Es wird zusätzlich auf Fig. 2 verwiesen, in der als Draufsicht eine schematische Blockdarstellung eines Teils oder eines Sektors **14** des Kernspeicherarrays **4** aus der Speichereinheit **2** gezeigt ist. Der Sektor **14** kann Kernspeichereinrichtungen **6**

und eine oder mehrere dynamische Referenzeinrichtungen **8** aufweisen. Der Sektor **14** kann Wortleitungen **16** und Bitleitungen **18** enthalten, die mit einem dielektrischen Stapel **20** angeordnet sind, um damit funktionsmäßig die Kernspeichereinrichtungen **6** und die dynamische Referenzeinrichtung(en) **8** zu bilden. Das Anlegen geeigneter Spannungen an die Wortleitungen **16** und die Bitleitungen **18** ermöglicht das Adressieren der Speichereinrichtungen **6**, **8** des Sektors **14**, so dass jede Speichereinrichtung programmiert, gelesen, verifiziert und/oder gelöscht werden kann. Bitleitungskontakte **22** können verwendet werden, um eine elektrische Verbindung zu den Bitleitungen **18** über den dielektrischen Stapel **20** herzustellen.

**[0024]** Es sei ferner auf **Fig. 3** verwiesen; hier ist ein Teil des Sektors **14** im Querschnitt dargestellt, um eine beispielhafte Anordnung der Speichereinrichtungen des Kernspeicherarrays **4** darzustellen. Der Querschnitt aus **Fig. 3** zeigt zwei Kernspeichereinrichtungen **6**. Jede der Kernspeichereinrichtungen **6** sowie die dynamischen Referenzspeichereinrichtungen **8** können als nicht-flüchtige elektrische löschrare und programmierbare Flash-Speichereinrichtungen mit Doppelzelle und virtueller Masse implementiert sein. Es sollte beachtet werden, dass die dargestellten Speichereinrichtungen **6** nur als Beispiele dargestellt sind und auch mittels alternativer Strukturen (beispielsweise in einer Anordnung mit gestapeltem Gate, in einer Anordnung mit vertieftem Gate, etc.) eingerichtet werden können. Ferner kann die relative Lage der Kernspeichereinrichtungen **6** in Bezug auf die dynamische Referenz **8** anders gestaltet sein.

**[0025]** Die beispielhaften Speichereinrichtungen **6** sind als ladungsträgereinfangende dielektrische Flash-Speichereinrichtungen eingerichtet, wobei jede ein Paar komplementärer Ladungsträgereinfanggebiete aufweist, die unabhängig programmiert und ausgelesen werden können.

**[0026]** Zur einfacheren Erläuterung wird nunmehr lediglich die Anordnung einer Kernspeichereinrichtung **6** beschrieben. Die restlichen Kernspeichereinrichtungen **6** und die dynamischen Referenzspeichereinrichtungen **8** können jedoch eine entsprechende Struktur und Funktionsweise aufweisen.

**[0027]** In der dargestellten Ausführungsform umfasst die Kernspeichereinrichtung **6** ein p-Halbleitersubstrat **22**. In dem Substrat **22** sind die Bitleitungen **18** als vergrabene Bitleitungen ausgebildet. Die Bitleitungen **18** (die im Weiteren auch als leitende Gebiete bezeichnet werden) können gebildet werden, indem ein n-Dotierstoff in das Substrat **22** implantiert wird, oder können aus einem Metall oder einer metallenthaltenden Verbindung (beispielsweise Silizidbitleitungen **18**) gebildet werden. Für jede Einrichtung **6** bildet ein benachbartes Bitleitungspaar **18**

leitende Gebiete, die als ein Source und ein Drain während diverser Programmier- und Leseoperationen dienen. Für jede Einrichtung ist ein Körper **24** zwischen benachbarten Paaren aus Bitleitungen **18** vorgesehen. Obwohl dies nicht dargestellt ist, kann eine Nitridschicht über den Bitleitungen **18** ausgebildet sein, und eine P<sup>+</sup>-Implantation kann benachbart zu den Bitleitungen **18** zusätzlich ausgeführt sein.

**[0028]** Über dem Substrat **22** ist der dielektrische Stapel **20** ausgebildet. Der dielektrische Stapel **20** umfasst eine untere dielektrische Schicht **28** (die auch als dielektrische Tunnelschicht bezeichnet wird), die beispielsweise aus Siliziumoxid (SiO<sub>2</sub>), oder einem Material mit standardmäßigem  $\epsilon$  (beispielsweise mit einer relativen Permittivität unter 10) oder einem Material mit großem  $\epsilon$  (beispielsweise mit einer relativen Permittivität, die in einer Ausführungsform über 10 liegt und in einer anderen Ausführungsform über 20 liegt) hergestellt ist.

**[0029]** Über der unteren dielektrischen Schicht **28** ist eine Ladungsträgereinfangschicht (die auch als Ladungsspeicherschicht **30** bezeichnet ist) angeordnet. Die Ladungsspeicherschicht **30** kann beispielsweise aus einem nicht leitenden Material hergestellt sein, wozu Siliziumnitrid (Si<sub>3</sub>N<sub>4</sub>) oder ein anderes geeignetes Material gehören.

**[0030]** Über der Ladungsspeicherschicht **30** ist eine weitere dielektrische Schicht (die auch als obere dielektrische Schicht **32** bezeichnet ist) vorgesehen, die aus einem Material, etwa beispielsweise Siliziumoxid oder einem anderen Material mit standardmäßigem  $\epsilon$  oder aus Material mit hohem  $\epsilon$  hergestellt ist.

**[0031]** Die Wortleitungen **16** sind über der oberen dielektrischen Schicht **32** ausgebildet. Für jede Kernspeichereinrichtung **6** fungiert eine der Wortleitungen **16** als eine Gateelektrode **34**. Die Wortleitungen **16** können beispielsweise aus polykristallinem Silizium hergestellt sein. In alternativen Anordnungen können die Gateelektroden **34** aus verbundenen leitenden Inseln oder Flächen hergestellt sein. Eine Austrittsarbeitsfunktion der Wortleitung **16** und des dielektrischen Stapels **20** steuert einen Kanal **36** innerhalb des Körpers **24**, der sich von einer Bitleitung **18** zu einer benachbarten Bitleitung **18** erstreckt.

**[0032]** Wie der Fachmann erkennt, können Modifizierungen an den Kernspeichereinrichtungen **6** gemacht werden. Derartige Modifizierungen beinhalten Änderungen an der physikalischen Anordnung der Kernspeichereinrichtung **6**, den verwendeten Materialien, den Dotierparametern und dergleichen. Jedoch können die Techniken zum Programmieren, Verifizieren, Lesen und/oder Löschen, wie sie hierin beschrieben sind, in Verbindung mit einer derartig modifizierten Einrichtung angewendet werden.

**[0033]** Die Kernspeichereinrichtungen **6** können als Einrichtungen mit virtueller Masse konfiguriert sein. D. h., während diverser Operationen der Speichereinrichtungen **6** können die Bitleitungen **18**, die mit der Speichereinrichtung **6** verknüpft sind, als eine Quelle von Elektronen und Löchern dienen, indem entsprechend die an die entsprechenden Bitleitungen **18** angelegten Spannungspotentiale gesteuert werden. Ferner kann die Bitleitung **18**, die als die Quelle für Elektronen und/oder Löcher dient, geerdet werden oder kann mit einem Vorspannungspotential verbunden werden.

**[0034]** Wie aus der nachfolgenden Erläuterung hervorgeht, umfasst in der Ladungsspeicherschicht **30** die Kernspeichereinrichtung **6** ein erstes Ladungsspeichergebiet (das hierin auch als normale Zelle bezeichnet wird, d. h. ein rechtes Bit oder eine erste Ladungsspeicherzelle **38**) benachbart zu einem der leitenden Gebiete (beispielsweise die Bitleitung, die als Bitleitung **18a** bezeichnet ist), und umfasst ein zweites Ladungsspeichergebiet (das hierin auch als komplementäre Zelle, d. h. linkes Bit oder zweite Ladungsspeicherzelle **40** bezeichnet ist) benachbart zu dem anderen leitenden Gebiet (beispielsweise die Bitleitung, die als Bitleitung **18b** bezeichnet ist).

**[0035]** In einer Ausführungsform kann jede Ladungsspeicherzelle **38, 40** mehrere Datenzustände besitzen, etwa vier Datenzustände. Die Datenzustände können ein 2-Bitbinärwort, etwa eine logische 0-0, eine logische 0-1, eine logische 1-0 und eine logische 1-1 repräsentieren. Der logische 1-1 Datenzustand kann beispielsweise eingerichtet werden, indem die gewünschte Ladungsspeicherzelle **38, 40** in einem unprogrammierten Zustand oder einem leeren Programmierpegel belassen wird, der im Weiteren hierin als „Pegel 1“ bezeichnet wird. Die anderen logischen Datenzustände können beispielsweise eingerichtet werden, indem unterscheidbare Ladungsmengen in der gewünschten Ladungsspeicherzelle **38, 40** gespeichert werden, wobei diese Zustände auch als geladene Zustände, programmierte Zustände, programmierte Pegel oder geladene Programmierpegel bezeichnet werden. Ein niedrigster geladener Programmierpegel entsprechend dem 1-0 Datenzustand wird im Weiteren als „Pegel 2“ bezeichnet. Ein mittlerer geladener Programmierpegel entsprechend dem 0-1 Datenzustand wird im Weiteren als „Pegel 3“ bezeichnet. Ein höchster geladener Programmierpegel entsprechend dem 0-0 Datenzustand wird hierin als „Pegel 4“ bezeichnet.

**[0036]** In der dargestellten Ausführungsform ist die Speichereinrichtung **6** ein strukturell symmetrisches Bauelement, in der das Programmieren, Verifizieren, Auslesen und Löschen der ersten Ladungsspeicherzelle **38** und der zweiten Ladungsspeicherzelle **40** möglich ist, indem die Rollen der Bitleitungen **18a** und **18b** (Source und Drain) während dieser Opera-

tionen entsprechend vertauscht werden. Daher werden die Bitleitungen **18a, 18b** in jeweils vertauschter Weise durch die Begriffe Source und Drain bezeichnet, abhängig von der gerade interessierenden Ladungsspeicherzelle **38, 40**.

**[0037]** Das Programmieren der Kernspeichereinrichtung **6** gemäß den hierin beschriebenen Techniken kann als Quad-Bit-Datenspeicherung bezeichnet werden. Im hierin verwendeten Sinne bezeichnet der Begriff „Quad-Bit“ oder „Quad-Bit-Datenspeicherung“ das unabhängige „Programmieren“ jeder Ladungsspeicherzelle **38, 40** mit einer Ladungsmenge, die aus den vier unterscheidbaren Mengen ausgewählt ist, zu denen der leere Programmierpegel und die drei geladenen Programmierpegel gehören. Daher besitzt in der Quad-Bit-Ausführungsform jede Kernspeichereinrichtung **6** (oder „Transistor“) 16 Datenzustände (d. h., zwischen dem zusammengehörenden Paar aus Ladungsspeicherzellen **38, 40** gibt es 16 Permutationen des leeren Programmierpegels und der drei geladenen Programmierpegel). In einer weiteren Ausführungsform sind mehr als drei geladene Programmierpegel vorgesehen.

**[0038]** Zum Zwecke der vorliegenden Offenbarung beinhaltet die Programmieretechnik zur Ladungsspeicherung für die beiden Ladungsspeicherzellen **38, 40** das Einführen heißer bzw. energiereicher Elektronen, was auch als Einführung heißer Kanalelektronen (CHE) bezeichnet wird. Es sollte jedoch beachtet werden, dass Modifizierungen an den Programmieretechniken durchgeführt werden können, um damit entsprechenden Änderungen in den speziellen verwendeten Speichereinrichtungen Rechnung zu tragen.

**[0039]** Unter Anwendung der Einführung heißer Elektronen kann die erste Ladungsspeicherzelle **38** auf den geladenen Programmierpegel programmiert werden, indem Spannungen an die Bitleitungen **18a** (die als Drain fungiert) und die Wortleitung **16** (die als die Gateelektrode **34** fungiert) angelegt werden. Die andere Bitleitung **18b** dient als das Source (d. h. Quelle für Elektronen) für die CHE-Programmierung für die Ladungsspeicherzelle **38**. In einer Ausführungsform wird auch ein Vorspannungspotential an das Source (anstelle des Erdens oder des Schwebenlassens des Source, wie dies in konventionellen dielektrischen Ladungsträgereinfangflash-Speichereinrichtungen anzutreffen ist) angelegt. Als Folge des Anlegens eines Vorspannungspotentials an das Source während des Programmierens kann eine bessere Steuerung der Elektroneneinfuhr erreicht werden, was zu einer verbesserten Datenhaltefähigkeit der Speichereinrichtung **6** führt.

**[0040]** Die an die Gateelektrode **34**, das Source und das Drain angelegten Spannungen erzeugen ein vertikales elektrisches Feld durch die dielektrischen

Schichten **28**, **32** und die Ladungsspeicherschicht **30** sowie ein laterales elektrisches Feld entlang der Länge des Kanals **36** von dem Source zu dem Drain. Bei einer gegebenen Schwellwertspannung tritt eine Inversion in dem Kanal **36** auf, so dass Elektronen aus dem Source herausgezogen und in Richtung auf das Drain beschleunigt werden. Wenn sich die Elektronen entlang der Länge des Kanals **36** bewegen, gewinnen die Elektronen Energie und bei Erreichen einer ausreichend hohen Energie sind die Elektronen in der Lage, die Potentialbarriere der unteren dielektrischen Schicht **28** zu überwinden und in die Ladungsspeicherschicht **30** zu gelangen, in der die Elektronen eingefangen werden. Die Wahrscheinlichkeit für das Überwinden der Potentialbarriere der Elektronen ist maximal in dem Bereich der Ladungsspeicherzelle **38** benachbart zu dem Drain (d. h. der Bitleitung **18a**), in welchem die Elektronen die höchste Energie gewonnen haben. Diese beschleunigten Elektronen werden als heiße Elektronen bezeichnet und bleiben in der Ladungsspeicherzelle **38** der Ladungsspeicherschicht **30**, sobald sie in die Ladungsspeicherschicht **30** injiziert sind. Die eingefangenen Elektronen neigen nicht dazu, sich in der Ladungsspeicherschicht **30** auszubreiten auf Grund der geringen Leitfähigkeit dieser Schicht und auf Grund des geringen lateralen elektrischen Feldes darin. Somit bleiben die eingefangenen Ladungen in dem Ladungsträgereinfanggebiet der Ladungsspeicherzelle **38** in der Nähe der benachbarten Bitleitung **18a** lokalisiert.

**[0041]** Die vorangegangene Technik zur Programmierung der ersten Ladungsspeicherzelle **38** kann auch angewendet werden, die zweite Ladungsspeicherzelle **40** zu programmieren, wobei die Funktionen der Bitleitungen **18a** und **18b** umgekehrt sind (d. h. Source und Drain).

**[0042]** Das Auslesen der Zellen **38**, **40** der Kernspeichereinrichtung **6** kann ausgeführt werden, indem beispielsweise eine umgekehrte Leseoperation angewendet wird. Beispielsweise kann zum Auslesen der ersten Ladungsspeicherzelle **38** eine Spannung an das leitende Gebiet gegenüberliegend dem ersten Ladungsspeichergebiet **38** (d. h. die Bitleitung **18b**, die auch während des Lesevorgangs als das Draingebiet bezeichnet wird) angelegt werden, und es kann eine Spannung an die Gateelektrode **34** angelegt werden. Das leitende Gebiet benachbart zu dem ersten Ladungsspeichergebiet **38** (d. h. der Bitleitung **18a**, die während eines Lesevorgangs auch als Source-Gebiet bezeichnet wird) kann geerdet werden. Um die zweite Ladungsspeicherzelle **40** auszu-lesen, werden die Rollen der Bitleitungen **18a** und **18b** vertauscht. Die Drain-Spannung für den Lesevorgang dient zur Maskierung oder „Abdeckung“ von Ladung, die in der „nicht gelesenen“ Ladungsspeicherzelle **38**, **40** gespeichert ist.

**[0043]** Während des Lesevorganges kann der Strombetrag, der über den Kanal **36** geflossen ist, als eine Indikation einer Schwellwertspannung der Kernspeichereinrichtung **6** verwendet werden und gegenüber einem bzw. mehreren Referenzströmen (als Indikationen der Referenzschwellwertspannungen) verglichen werden, um den Datenzustand der „ausgelesenen“ Ladungsspeicherzelle **38** bzw. **40** zu bestimmen. Das Erzeugen der Referenzströme und der Vergleich des Stroms des Kanals **36** mit den Referenzströmen wird anschließend detaillierter beschrieben.

**[0044]** In Fig. 4 ist ferner der Graph der Population bzw. Besetzung gezeigt, der die Verteilungen **42** der Schwellwertspannungen (VT) darstellt, die für die Datenzustände für eine der Ladungsspeicherzellen **38**, **40** der Kernspeichereinrichtung **6** kennzeichnend sind. Der ungeladene bzw. leere Zustand oder Pegel 1 wird durch die Verteilung **42a** repräsentiert, der Pegel 2 durch die Verteilung **42b**, der Pegel 3 durch die Verteilung **42c** und der Pegel 4 durch die Verteilung **42d**.

**[0045]** Die Verteilungen der relativen Schwellwertspannungen für die Datenzustände der jeweils anderen Ladungsspeicherzelle **38** bzw. **40** der Kernspeichereinrichtung **6** würden eine ähnliche Form aufweisen, wie dies in Fig. 4 gezeigt ist. Anzumerken ist, dass die Schwellwertspannungsverteilungen **42** eine Neigung aufweisen können, dass sie sich nach oben oder unten entlang der Schwellwertachse auf Grund von Faktoren, etwa dem Programmier/Lösch-(PE)Zyklusbetrieb der Speichereinrichtung **6** und der Komplementäritätsstörung (CBD) (d. h. die Wirkung der in einer Zelle **38**, **40** gespeicherten Ladung auf das Programmieren und/oder Auslesen der anderen Zelle **38**, **40**) zu verschieben.

**[0046]** Zu beachten ist, dass der Datenzustand jeder der Ladungsspeicherzellen **38**, **40** gleich oder unterschiedlich sein kann, um die asymmetrische Haltefähigkeit von dielektrischen Ladungsträgereinfangflash-Speichereinrichtungen vorteilhaft auszunutzen. Die Fähigkeit, mehrere Ladungsbeträge entsprechend den mehreren Programmierpegeln (beispielsweise Pegel 2 bis Pegel 4) zusätzlich zu einem leeren Zustand (beispielsweise Pegel 1) in einer der Zellen **38**, **40** zu speichern, kann als Multi-Level-Zellen- bzw. Mehrfachpegel-Zellen-(MLC)Datenspeicherung bezeichnet werden. Wie gezeigt, kann die hierin beschriebene asymmetrische Ladungsspeicherungstechnik mit vier Pegeln (oder vier Datenzuständen) für jede Zelle **38**, **40** als eine „Quad-Bit“-Datenspeicherung bezeichnet werden.

**[0047]** Die MLC-Programmierung in der Anordnung mit virtueller Masse kann erreicht werden, indem jedem geladenen Programmierpegel spezifizierte Programmierspannungen, einschließlich einer Gate-

spannung ( $V_{T_G}$ ), einer Sourcespannung ( $V_{T_S}$ ) und einer Drainspannung ( $V_D$ ) zugeordnet werden. Das Variieren von  $V_G$ ,  $V_S$  und  $V_D$  für jeden Programmierpegel ermöglicht die Steuerung der in den entsprechenden Ladungsspeicherzellen **38**, **40** gespeicherten Ladungsmenge. Als Folge davon fällt die Schwellwertspannung ( $V_t$ ) der Kernspeichereinrichtung **6** während des Verifiziervorganges auf einen Wert über einem Programmier-Verifizier-Referenzwert ab, der dem angestrebten geladenen Programmierpegel entspricht, und/oder während der Lesevorgänge fällt das  $V_t$  der Kernspeichereinrichtung **6** mit den vorbestimmten Schwellwertspannungsverteilungen **42**. Alternativ kann die Programmierdauer gesteuert werden, um die in der entsprechenden Ladungsspeicherzelle **38**, **40** gespeicherte Ladungsmenge zu regeln. In einer weiteren Ausführungsform können die Programmierspannungen und die Programmierdauer im Zusammenhang miteinander geändert werden, um die gewünschte Ladungsmenge in der angestrebten Ladungsspeicherzelle **38**, **40** zu erreichen.

**[0048]** In der Anordnung mit virtueller Masse der Kernspeichereinrichtung **6** kann eine Vorspannung (beispielsweise ein Spannungspotential, das nicht Massepotential ist) während des Programmierens an das Source angelegt werden. Die Sourcevorspannung kann in Kombination mit dem an die Gateelektrode **34** und das Drain angelegten Spannungspotential zu einer zusätzlichen Steuerung für die Programmierung der Kernspeichereinrichtung **6** verwendet werden.

**[0049]** Es sei weiterhin auf **Fig. 4** verwiesen; die Kombination der Programmierbedingungen wird so ausgewählt, dass, wenn die Zielladungsspeicherzelle **38**, **40** auf Pegel 4 programmiert wird, die von der Zelle **38**, **40** gespeicherte Ladungsmenge größer als die von der Zelle **38**, **40** gespeicherte Ladungsmenge ist, wenn die Zelle **38**, **40** auf den Pegel 3 programmiert ist. In einer Ausführungsform beträgt eine minimale Schwellwertspannung ( $V_{t_{PROG4}}$ ) der Verteilung **42d** im Pegel 4 ungefähr 1 Volt mehr als eine maximale Schwellwertspannung der Verteilung **42c** im Pegel 3. In ähnlicher Weise ist die von der Zelle **38**, **40** gespeicherte Ladungsmenge, wenn diese auf den Pegel 3 programmiert ist, größer als die von der Zelle **38**, **40** gespeicherte Ladungsmenge, wenn die Zelle **38**, **40** auf den Pegel 2 programmiert ist. In einer Ausführungsform beträgt eine minimale Schwellwertspannung ( $V_{t_{PROG3}}$ ) der Verteilung **42c** im Pegel 3 ungefähr 1 Volt mehr als eine maximale Schwellwertspannung der Verteilung **42b** des Pegels 2. In ähnlicher Weise ist die in der Zelle **38**, **40** gespeicherte Ladungsmenge, wenn diese auf Pegel 2 programmiert ist, größer als die von der Zelle **38**, **40** gespeicherte Ladungsmenge, wenn diese auf den Pegel 1 programmiert ist. In einer Ausführungsform beträgt eine minimale Schwellwertspannung ( $V_{t_{PROG2}}$ ) der

Verteilung **42b** im Pegel 2 ungefähr 1,5 Volt mehr als eine maximale Schwellwertspannung der Verteilung **42a** des Pegels 1 oder der Löschschnellwertspannung ( $V_{t_{BLANK}}$ ).

**[0050]** Nachdem die Kernspeichereinrichtung **6** einen Puls erhalten hat, um Ladung in eine der Ladungsspeicherzellen **38**, **40** einzuführen, kann eine Verifizierungsoperation ausgeführt werden, um zu Verifizieren, dass die Kernspeichereinrichtung **6** auf den gewünschten geladenen Programmierpegel 2 bis 4 programmiert ist. Die Verifizierungsoperation kann beinhalten: das Vergleichen eines Drain/Source-Stromes ( $I_{GS}$ ) der Kernspeichereinrichtung **6** (oder  $I_{CORE}$ ), der erzeugt wird, wenn geeignete Spannungen an die Gateelektrode **34**, das Source und/oder das Drain angelegt werden, mit einem Strom, der durch eine externe Verifizierreferenzeinrichtung entsprechend dem gewünschten geladenen Programmierpegel 2 bis 4 erzeugt wird. Folglich können die externen Referenzen **10** (**Fig. 1**) zumindest drei festgelegte (beispielsweise statisch geladene) Programmierverifizierreferenzen aufweisen, wovon jede einen Referenzstrom entsprechend den geladenen Programmierpegeln 2 bis 4 bereitstellen kann (beispielsweise  $I_{VREF2}$ ) zum Verifizieren der Ladungsspeicherung entsprechend dem Pegel 2,  $I_{VREF3}$  zum Verifizieren der Ladungsspeicherung entsprechend dem Pegel 3 und  $I_{VREF4}$  zum Verifizieren der Ladungsspeicherung entsprechenden dem Pegel 4. Wenn der Strom  $I_{CORE}$  größere ist als  $I_{VREF}$  für den gewünschten Programmierpegel, dann kann die Logikschaltung **12** erkennen, dass die Zielladungsspeicherzelle **38**, **40** geeignet aufgeladen ist, und das Programmieren einer nachfolgenden Ladungsspeicherzelle **38**, **40**, die zu Programmieren ist, kann begonnen werden. Wenn jedoch der Strom  $I_{CORE}$  kleiner ist als  $I_{REF}$ , der dem gewünschten Programmierpegel entspricht, dann kann die Logikschaltung **12** erkennen, dass die Zielladungsspeicherzelle **38**, **40** nicht auf den gewünschten Programmierpegel aufgeladen ist und die Zielladungsspeicherzelle **38**, **40** kann erneut mit einem Puls beaufschlagt werden.

**[0051]** Das Lesen der Ladungsspeicherzellen **38**, **40** kann ausgeführt werden, wobei der Einfluss berücksichtigt wird, den die ungelesene Zelle **38**, **40** auf die Schwellwertspannung (gekennzeichnet durch  $I_{DS}$ ) der Kernspeichereinrichtung **6** während des Lesens der zu lesenden Zelle **38**, **40** ausüben kann. D. h., eine Ladung, die in der anderen Ladungsspeicherzelle **38**, **40** vorhanden ist, kann die Schwellwertspannung der Speichereinrichtung **6** beeinflussen (d. h. erhöhen). Dieses Phänomen ist als Komplementäritätsstörung (CBD) bekannt und besitzt bekanntlicherweise einen größeren Einfluss, wenn die nicht gelesene Zelle **38**, **40** auf einen relativ hohen Programmierpegel programmiert ist (beispielsweise Pegel 3 oder Pegel 4, die mit größeren gespeicherten Ladungsmengen verknüpft sind).

**[0052]** Um der CBD entgegenzuwirken, wird jede Ladungsspeicherzelle **38, 40** in einer separaten „umgekehrten“ Leseoperation ausgelesen (oder abgefragt). Um die abgefragte Zelle **38, 40** auszulesen, werden ungefähr 3 Volt bis ungefähr 5 Volt an die Gateelektrode **34** und ungefähr 1,4 Volt bis ungefähr 2 Volt an das leitende Gebiet (d. h. die Bitleitung **18**) benachbart zu der ungelesenen Zelle **38, 40** (dieses leitende Gebiet wird während des Lesevorganges als das Drain bezeichnet) angelegt. Das leitende Gebiet (d. h. die Bitleitung **18**) benachbart zu der auszulesenden Zelle **38, 40** (dieses leitende Gebiet wird während des Lesevorganges als das Source bezeichnet) kann auf Masse gelegt werden. Die Drainspannung erzeugt ein Verarmungsgebiet innerhalb des Kanals **32** unter der nicht gelesenen Zelle **38, 40**, um Ladungen, die in der nicht gelesenen Zelle **38, 40** gespeichert sind, „abzudecken“.

**[0053]** Der Strom  $I_{DS}$  der Kernspeichereinrichtung **6** (oder  $I_{CORE}$ ) wird mit den Strömen aus den dynamischen Referenzspeicherzellen **8** verglichen, um den Datenzustand der abgefragten Zelle **38, 40** zu bestimmen. Wie gezeigt ist, können die dynamischen Referenzen **8** als Doppelzellenspeichereinrichtungen eingerichtet sein, die den gleichen Aufbau und die gleichen Funktionseigenschaften wie die Kernspeichereinrichtungen **6** aufweisen. In einer Ausführungsform bilden die dynamischen Referenzen **8** einen Teil des Kernspeicherarrays **4**. Kurz gesagt, jede Ladungsspeicherzelle der dynamischen Referenzen kann programmiert werden, um eine Ladungsmenge zu speichern, so dass die dynamischen Referenzen **8** mit gewissen Datenzustandskonfigurationen programmiert werden, die in den Kernspeichereinrichtungen **6** gespeichert werden könnten. Beispielsweise kann eine dynamische Referenz verwendet werden, um einen Pegel 1 in einer Zelle und einen Pegel 4 in der anderen Zelle zu speichern.

**[0054]** Im Laufe der Zeit kann die sich von den Zellen der dynamischen Referenzen **8** gespeicherte Ladungsmenge ändern und es können sich andere Faktoren, die zu der Schwellwertspannung der dynamischen Referenzen **8** beitragen, ändern. Diese Änderungen bewirken eine entsprechende Änderung der Schwellwertspannung der dynamischen Referenzen **8**. Die Änderung der Schwellwertspannung in den dynamischen Referenzen **8** kann von der der Speichereinheit **2** zugeordneten Logikschaltung **12** benutzt werden, um einer Verschiebung der Schwellwertspannung der verbleibenden Kernspeichereinrichtungen **6**, etwa während des Lesens der Kernspeicherzellen **6**, Rechnung zu tragen. Die Logikschaltung **12** kann ferner eine Überwachung der Schwellwertspannung der dynamischen Referenzen **8** verwenden, um die Kernspeichereinrichtungen und/oder die dynamischen Referenzspeichereinrichtungen **8** auf der Grundlage der Änderung der

Schwellwertspannung der dynamischen Referenzen **8** aufzufrischen oder erneut zu programmieren.

**[0055]** Zur einfacheren Darstellung wird ein Wert mit zwei digitalen Zuständen verwendet, um die von den entsprechenden Zellen **38, 40** einer abgefragten Kernspeichereinrichtung **6** oder einer abgefragten dynamischen Referenz **38, 40** gespeicherten Datenzustände zu beschreiben. Die erste Stelle repräsentiert den Datenzustand der gelesenen Zelle **38, 40** und die zweite Stelle repräsentiert den Datenzustand der ungelesenen Zelle **38, 40**. Wenn z. B. die gelesene Zelle **38, 40** auf Pegel 3 programmiert ist und die ungelesene Zelle auf Pegel 2 programmiert ist, kann die abgefragte Speichereinrichtung **6, 8** durch die Bezeichnung „32“ repräsentiert werden.

**[0056]** Der Drain/Source-Strom der abgefragten Kernspeichereinrichtung **6** ( $I_{CORE}$ ) kann mit Referenzströmen ( $I_{REF}$ ) verglichen werden, um den Datenzustand der gelesenen Zelle **38, 40** zu bestimmen. Die Referenzströme  $I_{REF}$  können aus einer Mittelung der Drain-Source-Ströme ausgewählter Paare aus dynamischen Referenzen **8** gewonnen werden, deren Zellen **38, 40** vorprogrammiert sind, um ausgewählte Datenzustände zu speichern (im hierin verwendeten Sinne kann der Begriff „Mitteln“ eine beliebige mathematische Analyse oder Strom/Spannungs-Vergleiche zusätzlich zur Gewinnung eines Mittelwertes bedeuten). Daher werden spezielle Referenzströme hierin als  $I_{REF-ab/nm}$  bezeichnet, wobei die Variablen a und b für die Datenzustände der gelesenen Zelle **38, 40** und der ungelesenen Zelle **38, 40** einer ersten dynamischen Referenz **8** von dem gemittelten Paar stehen, und wobei die Variablen n und m für die Datenzustände der gelesenen Zelle **38, 40** und der ungelesenen Zelle **38, 40** einer zweiten dynamischen Referenz **8** aus dem gemittelten Paar stehen. Bei Bedarf können Referenzströme alternativ abgeleitet werden, wobei mehr als zwei dynamische Referenzen **8** verwendet werden. Es sollte beachtet werden, dass das Vergleichen von  $I_{CORE}$  und  $I_{REF}$  eine direkte Angabe der Schwellwertspannung der Kernspeichereinrichtung **6** in Bezug auf die diversen Datenzustände ist (beispielsweise Pegel 1, Pegel 2, Pegel 3 und Pegel 4).

**[0057]** Unter weiterer Bezugnahme auf **Fig. 5** wird ein Flussdiagramm, das ein Verfahren zum Auslesen einer ausgewählten Zelle **38, 40** einer Kernspeichereinrichtung **6** repräsentiert, dargestellt. Obwohl das Flussdiagramm einen sequenziellen Vergleich des Stromes der Kernspeichereinrichtung **6** mit den Referenzströmen zeigt, kann die Logikschaltung **12** so eingerichtet sein, dass der Strom der Kernspeichereinrichtung **6** mit den diversen Referenzströmen gleichzeitig verglichen wird und ein geeignetes Ausgangssignal entsprechend dem ausgelesenen Datenzustand erzeugt wird. Eine derartige Ausführungsform hilft bei der Erhöhung der Auslesegeschwindigkeit.

keit in der Speichereinheit. Folglich kann die Logikschaltung **12** beispielsweise mittels mehrerer Fühlerverstärker zum Vergleichen von Strömen und mittels Logikgatter zum Ausgeben eines geeigneten binären Wortes auf der Grundlage der Stromvergleiche eingerichtet sein.

**[0058]** Das Verfahren zum Auslesen beginnt im Block **44**, in welchem die dynamischen Referenzen **8** ausgelesen und die Referenzströme erzeugt werden. In einer Ausführungsform können die Operationen des Blocks **44** einmalig für alle Zellen **38, 40** aller Kernspeichereinrichtungen **6**, die auszulesen sind, während des Gesamtlesevorgangs der Speichereinheit **2** ausgeführt werden. Danach kann im Block **46** die Kernspeichereinrichtung **6** abgefragt werden, um den Strom der Kernspeichereinrichtung **6** für die auszulesende Zelle **38, 40** zu bestimmen.

**[0059]** Anschließend wird im Block **48** der Strom der Kernspeichereinrichtung **6** ( $I_{CORE}$ ) mit einem ersten Referenzstrom ( $I_{REF14/21}$ ) verglichen. Der erste Referenzstrom kann von dynamischen Referenzeinrichtungen **8** so abgeleitet werden, dass dieser kennzeichnend ist dafür, ob die ausgelesene Zelle **38, 40** der Kernspeichereinrichtung **6** sich in dem leeren Datenzustand (d. h. Pegel 1) oder einem geladenen Programmierpegel (d. h. Pegel 2 oder höher) befindet. Der erste Referenzstrom wird in der dargestellten Ausführungsform durch Mitteln eines Referenzstromes von mindestens einer dynamischen Referenz abgeleitet, die die maximal mögliche Komplementäritätsteuerung für eine Zelle **38, 40** kennzeichnet, die einen leeren Zustand speichert, und eines Referenzstromes von mindestens einer dynamischen Referenz, die die minimal mögliche Schwellwertspannung für eine Zelle **38, 40** kennzeichnet, die den niedrigsten geladenen Programmierpegel gespeichert hat.

**[0060]** Die maximal mögliche Komplementäritätstörung für eine Zelle **38, 40**, in der der leere Datenzustand gespeichert ist, kann mittels einer dynamischen Referenzeinrichtung **8** gekennzeichnet werden, für die sich die Lesezelle **38, 40** in einen leeren Datenzustand (beispielsweise Pegel 1) befindet, und für die sich die ungelesene Zelle **38, 40** in dem höchsten geladenen Programmierpegel (beispielsweise für die Quad-Bit-Anordnung, der Pegel 4) befindet. Die minimal mögliche Schwellwertspannung für eine Zelle **38, 40**, die den tiefsten geladenen Programmierpegel speichert, kann mittels einer dynamischen Referenzeinrichtung **8** gekennzeichnet werden, für welche die Lesezelle **38, 40** Ladung entsprechend dem tiefsten geladenen Programmierpegel speichert (beispielsweise Pegel 2) und die ungelesene Zelle **38, 40** ungeladen ist oder sich in dem leeren Datenzustand (beispielsweise Pegel 1) befindet. Somit wird der erste Referenzstrom durch die Kurznotation  $I_{REF14/21}$  dargestellt.

**[0061]** Wenn  $I_{CORE}$  kleiner ist als  $I_{REF14/21}$  kann bestimmt werden, ob sich die Lesezelle **38, 40** der abgefragten Kernspeichereinrichtung **6** in dem leeren Datenzustand befindet, und im Block **50** kann eine Anzeige dieses Zustandes von der Logikschaltung **12** ausgegeben werden, etwa durch Ausgeben eines binären Wortes „11“.

**[0062]** Wenn  $I_{CORE}$  größer ist als  $I_{REF14/21}$ , dann kann bestimmt werden, dass die Lesezelle **38, 40** der abgefragten Kernspeichereinrichtung **6** sich in einem geladenen Programmierzustand befindet und das Verfahren kann zum Block **52** weitergehen, in welchem  $I_{CORE}$  mit einem zweiten Referenzstrom ( $I_{REF21/31}$ ) verglichen wird. Der zweite Referenzstrom kann von den dynamischen Referenzeinrichtungen **8** so abgeleitet werden, dass dieser kennzeichnend ist dafür, ob die Lesezelle **38, 40** der Kernspeichereinrichtung **6** sich in dem tiefsten geladenen Datenzustand (beispielsweise Pegel 2) oder einem höheren geladenen Programmierpegel (d. h. 3 oder höher) befindet. Der zweite Referenzstrom wird in der dargestellten Ausführungsform durch Mitteln eines Referenzstromes von mindestens einer dynamischen Referenz, die die minimal mögliche Schwellwertspannung für eine Zelle **38, 40** kennzeichnet, in der der tiefste geladene Programmierpegel gespeichert ist, und der minimal möglichen Schwellwertspannung für eine Zelle **38, 40**, die den mittleren geladenen Programmierpegel speichert.

**[0063]** Die minimal mögliche Schwellwertspannung für eine Zelle **38, 40**, die den tiefsten geladenen Programmierpegel speichert, kann durch eine dynamische Referenzeinrichtung **8** gekennzeichnet sein, für die die Lesezelle **38, 40** Ladung entsprechend dem tiefsten geladenen Programmierpegel (beispielsweise Pegel 2) speichert, und die ungelesene Zelle **38, 40** ungeladen ist oder sich in dem leeren Datenzustand (beispielsweise Pegel 1) befindet. Die minimal mögliche Schwellwertspannung für eine Zelle **38, 40**, die den mittleren geladenen Programmierpegel speichert, kann durch eine dynamische Referenzeinrichtung **8** gekennzeichnet werden, für die die Lesezelle **38, 40** Ladung speichert, die dem mittleren geladenen Programmierpegel (beispielsweise Pegel 3) entspricht, und wobei die ungelesene Zelle **38, 40** ungeladen ist oder sich in dem leeren Datenzustand (beispielsweise Pegel 1) befindet. Somit wird der erste Referenzstrom durch die Kurznotation  $I_{REF21/31}$  bezeichnet.

**[0064]** Wenn  $I_{CORE}$  kleiner ist als  $I_{REF21/31}$ , dann kann bestimmt werden, dass die Lesezelle **38, 40** der abgefragten Kernspeichereinrichtung **6** sich in dem tiefsten geladenen Programmierzustand (beispielsweise Pegel 2) befindet, und im Block **54** kann eine Anzeige dieses Zustandes durch die Logikschaltung **12** erfolgen, etwa durch Ausgeben eines binären Wortes „10“.

**[0065]** Wenn  $I_{CORE}$  größer als  $I_{REF21/31}$ , dann kann bestimmt werden, dass die Lesezelle **38, 40** der abgefragten Kernspeichereinrichtung **6** sich in einem geladenen Programmierzustand befindet, der höher ist als der tiefste geladene Programmierzustand und das Verfahren kann zum Block **56** weitergehen, in welchem  $I_{CORE}$  mit einem dritten Referenzstrom ( $I_{REF31/41}$ ) verglichen wird. Der dritte Referenzstrom kann von dynamischen Referenzeinrichtungen **8** abgeleitet werden, die dafür kennzeichnend sind, ob die Lesezelle **38, 40** der Kernspeichereinrichtung **6** sich in dem mittleren geladenen Datenzustand (beispielsweise Pegel 3) oder einem höheren geladenen Programmierpegel (d. h. Pegel 4) befindet. Der dritte Referenzstrom wird in der dargestellten Ausführungsform durch Mitteln eines Referenzstroms von mindestens einer dynamischen Referenz, die für die minimal mögliche Schwellwertspannung für eine Zelle **38, 40** kennzeichnend ist, die den mittleren geladenen Programmierpegel speichert, und die für die minimal mögliche Schwellwertspannung für eine Zelle **38, 40** kennzeichnend ist, die den höchsten geladenen Programmierpegel speichert, abgeleitet werden.

**[0066]** Die minimal mögliche Schwellwertspannung für eine Zelle **38, 40**, die den mittleren geladenen Programmierpegel speichert, kann mittels einer dynamischen Referenzeinrichtung **8** gekennzeichnet werden, für die die Lesezelle **38, 40** Ladung speichert, die dem mittleren geladenen Programmierpegel entspricht (beispielsweise Pegel 3), und wobei die ungelesene Zelle **38, 40** ungeladen ist oder sich in dem leeren Datenzustand (beispielsweise Pegel 1) befindet. Die minimal mögliche Schwellwertspannung für eine Zelle **38, 40**, die den höchsten geladenen Programmierpegel speichert, kann mittels einer dynamischen Referenzeinrichtung **8** gekennzeichnet werden, für die die Lesezelle **38, 40** Ladung entsprechend dem höchsten geladenen Programmierpegel (beispielsweise Pegel 4) speichert, und wobei die ungelesene Zelle **38, 40** ungeladen ist oder sich in dem leeren Datenzustand (beispielsweise Pegel 1) befindet. Somit wird der erste Referenzstrom durch die Kurznotierung  $I_{REF31/41}$  dargestellt.

**[0067]** Wenn  $I_{CORE}$  kleiner ist als  $I_{REF31/41}$ , dann kann bestimmt werden, dass die Lesezelle **38, 40** der abgefragten Kernspeichereinrichtung **6** sich in dem mittleren geladenen Programmierzustand (beispielsweise Pegel 3) befindet, und im Block **58** wird eine Kennzeichnung dieses Zustands von der Logikschaltung **12** ausgegeben, etwa durch Ausgeben eines binären Worts „01“.

**[0068]** Wenn  $I_{CORE}$  größer ist als  $I_{REF31/41}$  dann kann bestimmt werden, dass die Lesezelle **38, 40** der abgefragten Kernspeichereinrichtung **6** sich in dem höchsten geladenen Programmierzustand (beispielsweise Pegel 4) befindet, und im Block **60** kann eine Kennzeichnung dieses Zustandes durch die Logik-

schaltung **12** ausgegeben werden, etwa durch Ausgeben eines binären Worts „00“.

**[0069]** Sobald der Datenzustand der abgefragten Ladungsspeicherzelle **38, 40** bestimmt ist, kann das Verfahren aus **Fig. 5** wiederholt werden (möglicherweise mit Beginn bei Block **46**) für eine weitere Ladungsspeicherzelle **38, 40**, bis jede interessierende Kernspeichereinrichtung **6** vollständig ausgelesen ist.

**[0070]** Das Löschen der Speichereinrichtung **6** kann unter Anwendung konventioneller Techniken zum Löschen einer dielektrischen Ladungseinfangflash-Speichereinrichtung ausgeführt werden. Beispielsweise kann eine Band-zu-Band-(BTB)Technik für Injektion heißer Löcher angewendet werden, um Ladung aus den Ladungsspeicherzellen **38, 40** zu entfernen.

**[0071]** Es sollte klar sein, dass die erfindungsgemäße Programmiertechnik verwendet werden kann, um die Dichte der Datenbits, die pro Einheitsfläche in einem integrierten Schaltungsspeicherkern gespeichert sind, zu erhöhen. Ein einzelne Kernspeichereinrichtung **6** kann vier oder mehr konventionelle Speichereinrichtungen mit schwebendem Gate ersetzen oder kann zwei oder mehr konventionelle dielektrische Ladungseinfangflash-Speichereinrichtungen ersetzen. Folglich sind die Erfordernisse hinsichtlich der Leistungsaufnahme, der Größe und der Fertigungskosten eines Kernspeicherarrays **4** geringer, wenn die Kernspeichereinrichtungen **6** verwendet werden, die entsprechend der vorliegenden Erfindung programmiert werden.

**[0072]** Beispielsweise kann jede der Ladungsspeicherzellen **38, 40** mit größerer Auflösung (beispielsweise zusätzlichen Programmierpegeln) programmiert werden, so dass jede Ladungsspeicherzelle drei oder mehr Datenbits speichern kann.

## Patentansprüche

1. Verfahren zum Betreiben einer dielektrischen Ladungsträgereinfangkernspeichereinrichtung (**6**) mit einer kontinuierlichen dielektrischen Ladungsspeicherschicht (**30**), die ein erstes Ladungsspeichergebiet (**38, 40**) benachbart zu einem ersten leitenden Gebiet (**18**) und ein zweites Ladungsspeichergebiet (**38, 40**) benachbart zu einem zweiten leitenden Gebiet (**18**) umfasst, wobei das Verfahren umfasst:

Programmieren des ersten Ladungsspeichergebiets (**38, 40**), um eine erste Ladungsmenge zu speichern, wobei die erste Ladungsmenge einem ersten Gebietsdatenstatus entspricht, der ausgewählt ist aus einem leeren Programmierpegel und einem von mehreren geladenen Programmierpegeln;

Programmieren des zweiten Ladungsspeichergebiets, um eine zweite Ladungsmenge zu speichern,

wobei die zweite Ladungsmenge einem zweiten Gebietsdatenstatus entspricht, der ausgewählt ist aus dem leeren Programmierpegel und einem der mehreren geladenen Programmierpegel; und Auslesen eines der Ladungsspeichergebiete (38, 40), durch Vergleichen eines Stromes durch einen Kanal (36), der zwischen dem ersten leitenden Gebiet (18) und dem zweiten leitenden Gebiet (18) angeordnet ist, mit mehreren Referenzströmen, um den Datenstatus zu bestimmen, auf den das ausgelesene Ladungsspeichergebiet (38, 40) programmiert ist, wobei mehrere dynamische Referenzen (8) mit der Kernspeichereinrichtung (6) verknüpft sind, wobei die dynamischen Referenzen (8) Speichereinrichtungen mit dem gleichen Aufbau und den gleichen Funktionseigenschaften wie die Ladungsträger-einfangkernspeichereinrichtung (6) sind, und die Referenzströme enthalten: einen ersten Referenzstrom, der ein Mittelwert eines Stroms durch einen Kanal einer ersten der verknüpften dynamischen Referenzen, bei der sich das ausgelesene Ladungsspeichergebiet in leeren Programmierpegel befindet, und sich das nicht ausgelesene Ladungsspeichergebiet im höchsten geladenen Programmierpegel befindet, und eines Stroms durch einen Kanal einer zweiten der verknüpften dynamischen Referenzen, bei der sich das ausgelesene Ladungsspeichergebiet im niedrigsten geladenen Pegel befindet, und sich das nicht ausgelesene Ladungsspeichergebiet im leeren Programmierpegel befindet, ist.

2. Verfahren nach Anspruch 1, wobei jeder Datenstatus für eines der Ladungsspeichergebiete (38, 40) eine unterscheidbare Schwellwertspannung für die Kernspeichereinrichtung (6) ergibt.

3. Verfahren nach Anspruch 1 oder Anspruch 2, wobei während des Programmierens des ersten Ladungsspeichergebiets (38) auf einen der geladenen Programmierpegel ein Vorspannungspotential an das zweite leitende Gebiet (18) angelegt wird.

4. Verfahren nach einem der Ansprüche 1 bis 3, wobei während des Programmierens des zweiten Ladungsspeichergebiets (38, 40) auf einen der geladenen Programmierpegel ein Vorspannungspotential an das erste leitende Gebiet (18) angelegt wird.

5. Verfahren nach einem der Ansprüche 1 bis 4, wobei die mehreren geladenen Programmierpegel einen tiefsten Programmierpegel, einen mittleren Programmierpegel und einen höchsten Programmierpegel enthalten.

6. Verfahren nach einem der Ansprüche 1 bis 5, das ferner umfasst: Ausgeben eines ersten Digitalwortes, der mit dem bestimmten Datenstatus für das ausgelesene Ladungsspeichergebiet (38, 40) verknüpft ist, wobei das erste Digitalwort eine Länge von mindestens 2 Bits aufweist.

7. Verfahren nach Anspruch 6, das ferner umfasst: Auslesen des anderen Ladungsspeichergebiets (38, 40) und Ausgeben eines zweiten Digitalwortes, der mit dem Datenstatus des anderen Ladungsspeichergebiets (38, 40) verknüpft ist, wobei das zweite Digitalwort eine Länge von mindestens zwei Bits aufweist.

Es folgen 3 Seiten Zeichnungen

Anhängende Zeichnungen

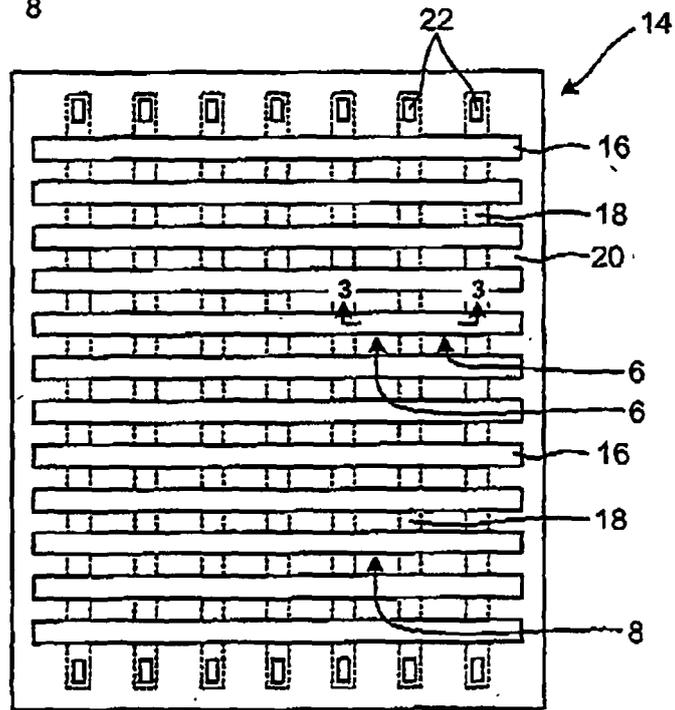
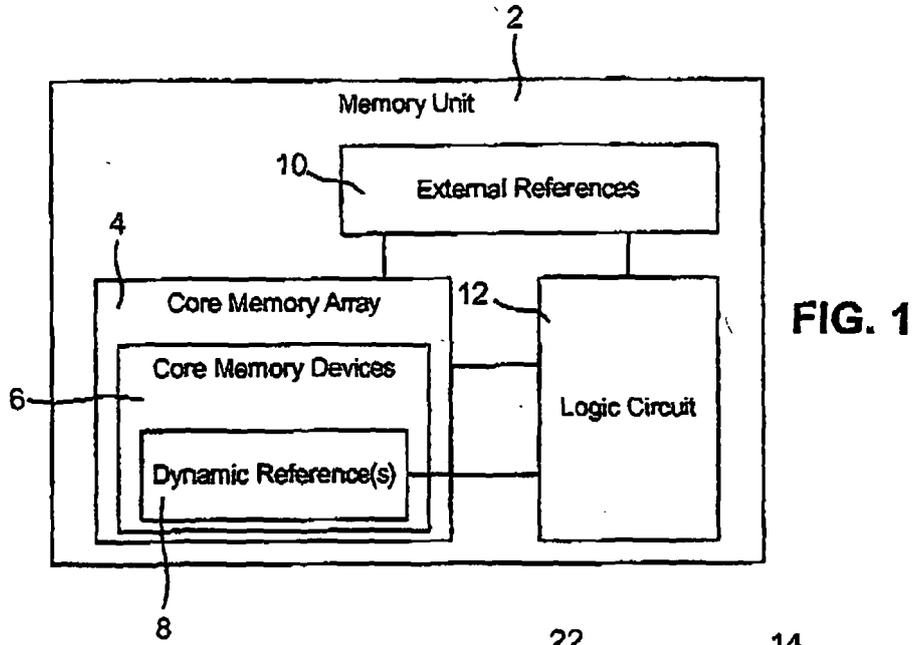


FIG. 2

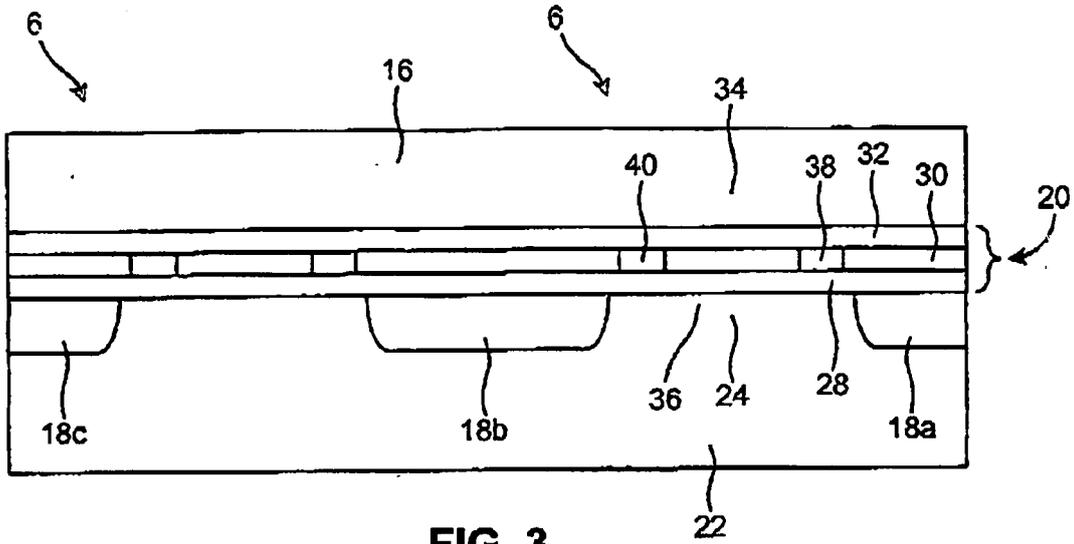


FIG. 3

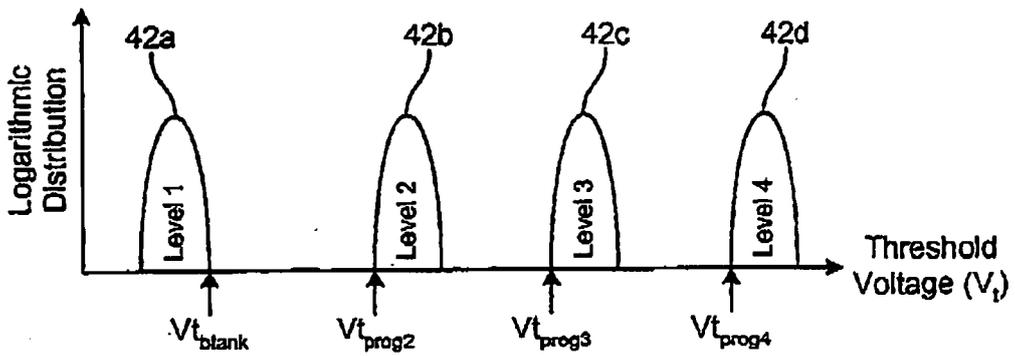


FIG. 4

