

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/266 (2006.01)

H01L 21/76 (2006.01)



[12] 发明专利说明书

专利号 ZL 200710152814.7

[45] 授权公告日 2009年12月2日

[11] 授权公告号 CN 100565805C

[22] 申请日 2003.8.13

[21] 申请号 200710152814.7

分案原申请号 03823803.9

[30] 优先权

[32] 2002.8.14 [33] US [31] 10/218,668

[73] 专利权人 先进模拟科技公司

地址 美国加利福尼亚州

[72] 发明人 理查德·K·威廉斯

迈克尔·E·康奈尔 陈伟田

[56] 参考文献

EP0718891B1 2002.6.12

US6391754B1 2002.5.21

CN1259763A 2000.7.12

US5817546A 1998.10.6

审查员 张 弘

[74] 专利代理机构 北京市柳沈律师事务所

代理人 陶凤波

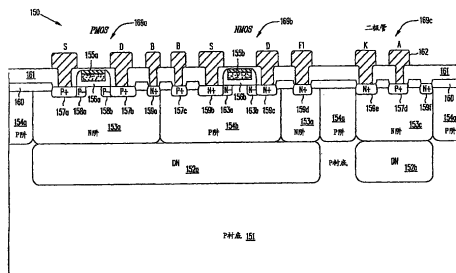
权利要求书 2 页 说明书 28 页 附图 67 页

[54] 发明名称

制造半导体器件的方法

[57] 摘要

本发明公开了一种制造半导体器件的方法，其包括：提供第一导电性类型的半导体衬底，衬底不包含外延层；在衬底的表面形成阶梯掩模层，掩模包括：具有第一厚度的第一部分，和位于第一部分相对侧的第二和第三部分，第二和第三部分具有大于第一厚度的第二厚度；通过掩模层注入第二导电性类型的掺杂剂以在衬底中形成隔离区，隔离区将衬底的被包围区域从衬底的其余部分隔离开；以及除去掩模层。使用本发明的技术。可以以高精度注入掺杂剂以限定衬底内的深度。通过避免热扩散过程，可以减少器件之间的水平分割和器件自身的水平尺寸。此外，可以避免与外延层生长有关的高成本。



1. 一种制造半导体器件的方法，其包括：
提供第一导电性类型的半导体衬底，所述衬底不包含外延层；
在所述衬底的表面形成阶梯掩模层，所述掩模包括：
具有第一厚度的第一部分，和
位于所述第一部分相对侧的第二和第三部分，所述第二和第三部分具有大于所述第一厚度的第二厚度；
通过所述掩模层注入第二导电性类型的掺杂剂以在衬底中形成隔离区，所述隔离区将衬底的被包围区域从衬底的其余部分隔离开；以及
除去所述掩模层。
2. 如权利要求1所述的方法，其中所述隔离区包括侧壁，所述侧壁分别在所述掩模层的第二和第三部分下的区域延伸到所述衬底的表面。
3. 如权利要求1所述的方法，其中所述被包围区域直接位于所述掩模层的第一部分的下方。
4. 如权利要求3所述的方法，其中所述掩模层包括氧化物。
5. 如权利要求1所述的方法，其中形成阶梯掩模层包括：
在该衬底的表面上形成第一层；
在该第一层的表面上形成第二层；
构图该第二层以在其中形成开口；
通过该第二层中的开口移除该第一层的一部分；和
在开口下的衬底上方形成第三层，该第三层比该第一层更薄，其中该第一和第三层包括氧化物且该第二层包括光致抗蚀剂。
6. 一种制造半导体器件的方法，其包括：
提供第一导电性类型的半导体衬底，所述衬底不包含外延层；
在所述衬底的第一区域上形成氮化物层；
在所述第一区域的第一侧的第二区域中和所述第一区域的第二侧的第三区域中生长氧化物层，所述氮化物层防止了在所述第一区域中生长所述氧化物层；
除去所述氮化物层；
将第二导电性类型的掺杂剂注入所述衬底中，所述掺杂剂形成第一隔离

区，所述第一隔离区将衬底的被包围区域从衬底的其余部分隔离开。

7. 如权利要求 6 所述的方法，其中所述被包围区域位于衬底的所述第一区域下方。

8. 如权利要求 6 所述的方法，包括注入所述第二导电性类型的掺杂剂以在所述被包围区域中形成所述第二导电性类型的阱。

9. 如权利要求 8 所述的方法，包括注入所述第一导电性类型的掺杂剂以在所述被包围区域中形成所述第一导电性类型的阱。

10. 如权利要求 6 所述的方法，其包括：

在所述衬底的第四区域上形成第二氮化物层，所述第四区域邻接所述第三区域；以及

在所述第二氮化物层的所述第三区域的相对侧的衬底的第五区域中生长氧化物层；且

其中注入所述第二导电性类型的掺杂剂形成第二隔离区，所述第二隔离区包围所述衬底的第二被包围区域。

11. 如权利要求 10 所述的方法，包括形成重叠于所述第一隔离区的第一接触区和重叠于所述第二隔离区的第二接触区。

12. 如权利要求 10 所述的方法，其中注入所述第二导电性类型的掺杂剂在衬底的所述第三区域下形成连接区域，所述连接区域在所述第一和第二隔离区之间提供电接触。

制造半导体器件的方法

本申请是申请日为2003年8月13日且发明名称为“无外延衬底中隔离的互补金属氧化物硅器件”的中国专利申请 No. 03823803.9 的分案申请。

技术领域

本发明涉及半导体器件技术，尤其涉及彼此电隔离且与它们形成于其中的衬底电隔离的互补金属氧化物硅（MOS）器件。

背景技术

在互补MOS（CMOS）器件的发展过程中，人们一直在努力将更多的器件装入一定面积的半导体晶片中。图1-5示出了这一发展中的几个阶段。

图1A示出了标准CMOS结构，其通常用在形体尺寸 $1.2\mu\text{m}$ 或更大的器件中。CMOS 10包括P沟道MOSFET 10a和N沟道MOSFET 10b，且形成在P衬底11中。

典型地，在P衬底11中形成许多其他的NMOSFET和PMOSFET。P沟道MOSFET 10a形成在N阱中，该N阱通过常规注入和扩展扩散工艺形成。N阱14注入衬底11较浅深度并在受到热处理时同时沿垂直和水平方向扩展。

MOSFET 10a和10b都是横向器件且分别包括栅极12a和12b，栅极12a和12b通过栅极氧化层16与衬底11分隔开。PMOSFET 10a包括P+源极区13a、P+漏极区13b和N+接触区13c，其用于与N阱14接触。NMOSFET 10b包括N+源极区14a、N+漏极区14b和P+接触区14c，其用于通过金属接触18与NMOSFET 10b的主体，P衬底11接触。栅极12a、12b之下的沟道区可能或可能不包含阈值调节注入。

金属接触点18连接在系统中最负值的电压，其通常为地。因此，CMOS 10不能在超过地很高的电压下工作。此外，NMOSFET 10b与CMOS 10中的任何其他NMOSFET分享共同的体端子，且注入衬底11的任何电流或噪声都连接到NMOSFET 10b和器件中的任何其他NMOSFET，因为这些

NMOSFET 未被隔离。

在 CMOS 10 中，必须要设计衬底 11 的掺杂浓度以设定 NMOSFET 10b 的电特性。这一局限在图 1B 所示的 CMOS 20 中得到了改善，其中 NMOSFET 10b 形成在 P 阱 21 中。不过，将 NMOSFET 10b 形成在 P 阱 21 中的主要目的是控制 NMOSFET 10b 的击穿(breakdown)和穿通(punchthrough)特性。由于 P 衬底 11 和 P 阱 21 之间没有 PN 结，NMOSFET 10b 仍然与 CMOS 20 中的任何其他 NMOSFET 以及任何其他与衬底连接的器件分享同一主体(body)，因为 NMOSFET 10b 的体端子在电气上是与 P 衬底 11 通用的且 N+ 区域 14a 和 14b 不能偏置高于 P 衬底 11 电势之上的大电压。

图 1C 一般性地给出了可用来制造 CMOS 20 的工艺。该工艺从在衬底 11 上形成场效应氧化层开始。用掩模遮蔽衬底并通过注入和扩散磷形成 N 阱 14。再次用掩模遮蔽衬底并通过注入和扩散硼形成 P 阱 21。

接下来，该工艺有两种变化。在一种变化中，通过掩模界定有源器件区域并从该有源器件区域蚀刻场效应氧化层。在另一种变化中，场效应氧化层被剥离并热生长垫氧化物层。通过常规 LOCOS 工艺形成场效应氧化物区域，该工艺包括通过构图氮化物层界定有源器件区域和从将要生长场效应氧化物蚀刻氮化物层。进行覆层磷注入(blanket phosphor implant)以形成 N 场效应淀积区 (NFD)，并形成掩模以界定将要注入硼以形成 P 场效应淀积区的区域 (PFD)。然后在其中已经除去氮化物层的区域中形成场效应氧化物区域，剥离氮化物层，并生长和剥离牺牲氧化物层以修复晶体损伤并除去可能影响栅极氧化层正常生长的任何氮化硅残余。

然后淀积栅极氧化层，并淀积、掺杂、掩蔽和蚀刻多晶硅层以形成 MOSFET 的栅极。PMOSFET 10a 的源极和漏极区域通过掩蔽衬底并注入硼形成，而 NMOSFET 10b 的源极和漏极区域通过掩蔽衬底并注入磷和/或砷形成。在硼和磷/砷的注入过程中使用退火进行推进 (drive)。

然后进行常规的互连形成工艺，包括淀积和蚀刻玻璃层和淀积 (溅射) 接触 PMOSFET 10a 和 NMOSFET 10b 的源极、漏极和主体区域的金属层。

图 2A 示出了一种利用更现代的工艺制造的 CMOS 30，这种工艺能够制造栅极尺寸更小的器件。N 阱 14 包含 PMOSFET 30a，且 P 阱 21 包含 NMOSFET 30b。N 阱 14 和 P 阱 21 彼此互补地形成，即，衬底 11 的整个表面被 N 阱 14 或 P 阱 21 占据。氧化物侧壁间隔层 19 形成在栅极 12a、12b

上。氧化物侧壁间隔层阻止了高浓度掺杂剂注入衬底 11 中，藉此在 PMOSFET 30a 中邻接源极和漏极区域 13a、13b 形成轻掺杂的 P 区域 33a、33b 并在 NMOSFET 30b 中邻接源极和漏极区域 14a、14b 形成轻掺杂的 N 区域。在栅极 12a、12b 的顶部形成硅化物层 32。CMOS 30 是代表了 0.25 μm 到 1.2 μm 范围内的大多数 CMOS 器件的非隔离双阱 CMOS。与图 1b 所示的 NMOSFET 10b 那样，NMOSFET 30b 与 CMOS 30 中的所有其他 NMOSFET 共享公用的主体区域。因此，NMOSFET 30b 必须要在地附近偏置，且对 P 衬底 11 中出现的任何噪声很敏感。

图 2B 所示的 CMOS 40 与 CMOS 30 类似，但是形成在轻掺杂 P 外延层 41 中，该 P 外延层 41 又是生长在重掺杂的 P+ 衬底 42 上的。通常这么做以通过防止沿衬底出现横向电压降改善器件的闩锁(latch-up)特性。重掺杂的 P+ 衬底 40 具有比图 2A 所示的 P 衬底 11 更低的电阻率。这是一种问题的标志，这种问题可能发生在共享轻掺杂共用主体区域的非隔离器件中。尽管重掺杂衬底能够降低普通数字 IC 中的闩锁效应，但它不能在功率和高电流 IC 中对闩锁提供足够的保护。

“外延”指在同种半导体的单晶衬底上生长单晶半导体薄膜。单词“外延”从希腊文含义“在……上布置”派生而来。参见 A.S. Grove 著, John Wiley Sons 出版社 (1967) 出版的 *Physics and Technology of Semiconductor Devices* (《半导体器件物理和技术》), 7-20 页。

图 2C 给出了可用于制造 CMOS 器件 30 和 40 的工艺。对于 CMOS 30, 该工艺从 P 衬底 11 开始, 对于 CMOS 40, 该工艺从 P+ 衬底 42 开始且包括在 P+ 衬底 42 上生长 P 外延层 41。互补阱的形成和 LOCOS 场效应氧化物的形成与图 1C 中所述的工艺大致相同。栅极的形成包括通过化学气相淀积在多晶硅栅极上形成金属层和随后进行硅化工艺。

继栅极形成之后, 用掩模掩蔽衬底并注入磷以形成轻掺杂 N 区域 34a、34b。除去该掩模并形成另一个掩模以界定轻掺杂 P 区域 33a、33b。注入 BF_2 以形成 P 区域 33a、33b。然后淀积并蚀刻侧壁氧化物以形成侧壁隔离层 38a、38b、39a 和 39b。

用掩模掩蔽衬底并注入砷以形成 N+ 区域 14a、14b。再次掩蔽衬底并注入 BF_2 以形成区域 13a、13b。执行退火工艺以推进掺杂剂。

互连的形成包括淀积带有中介质层的两个 Al-Cu 层。进行快速热退火

(RTA), 淀积、构图并蚀刻玻璃层, 并在第一 Al-Cu 层之前在玻璃上淀积 Ti 或 TiN 粘附层。典型地, 在构图之前通过回蚀或化学-机械抛光 (CMP) 对诸如旋涂式玻璃或 BPSG 的玻璃层进行平面化处理。继淀积第二玻璃层之后, 通过通透掩模蚀刻, 淀积钨并回蚀, 并淀积第二 Al-Cu 层。第二玻璃层可以是利用 TEOS 作为前体的化学气相淀积 (CVD) 层或旋涂式玻璃 (SOG) 层, 其应该在低温下形成以免熔化第一金属层。钨插栓 (tungsten plug) 典型地用于在淀积第二金属层之前平面化通孔。平面化通过回蚀或 CMP 进行。

图 3A 给出了一种根本不同的制造 CMOS 器件的方法, 其使用了从制造双极性器件发展来的技术。CMOS 50 包括形成在 P 阱 56 中的 NMOSFET 50a 和形成在 N 阱 55 中的 PMOSFET 50b。P 阱 56 和 N 阱 55 形成在 N 外延层 52 中, N 外延层 52 在 P 衬底 51 上生长。NMOSFET 50a 包括 N+ 源极区 60a 和 N+ 漏极区域 60b。轻掺杂 N 区域 62a、62b 分别邻接区域 60a、60b 形成。栅极形成在栅极氧化层 65 上, 硅化物层 59 淀积在该栅极上。到 P 阱 56 的接触通过 P+ 区域 61c 制造。

PMOSFET 50b 包括 P+ 源极区域 61b 和 P+ 漏极区域 61a。轻掺杂 P 区域 63a、63b 分别邻接区域 61a、61b 形成。栅极形成在栅极氧化层 65 上, 硅化物层 59 淀积在该栅极上。到 N 阱 55 的接触通过 N+ 区域 60c 制造。

N 外延层 52 的诸区域通过诸如包含 P 掩埋层 53 和 P 阱 56 的 P 扩散堆叠结构彼此隔离, 它们在 N 外延层 52 的顶部和底部注入然后加热以便使它们向上和向下扩散直到它们合并。使 P 掩埋层 53 和 P 阱 56 以这种方式扩散所必需的“热预算”(即, 温度 and 时间的乘积) 是极为重要的, 其决定了该布置许多电特性的设定。此外, P 掩埋层 53 和 P 阱 56 还在横向扩散, 这限制着器件的组装密度。

图 3B 给出了一种变化, 其中 N 掩埋层 54 被 CMOS 器件 70 中的混合 N 掩埋层 71 所代替。N 掩埋层 71 一般掺杂有磷, 但是含有掺杂有铈的中心区域 72。N 掩埋层 71 的掺磷部分向上扩散与 N 阱 55 合并, 消除了图 3A 的 CMOS 器件 50 中所示的位于中间的 N 外延层 52 部分。这提供了一条通向 N 阱 55 的低电阻通路, 有助于防止因 N 阱 55 中的横向电压降造成的闩锁。尽管如此, P 阱 56 仍然电连接到 P 衬底 51 上, 带来了上述的局限性和问题。

图 3C-3E 为图 3A 和 3B 所示的截面处掺杂浓度与衬底中深度的关系曲线图。如图所示, 形成这些 CMOS 器件所需的工艺对于诸如外延厚度、扩

散系数和温度之类的参数变动高度敏感，此外，它们往往相当昂贵，需要很长的处理时间和专用的高温扩散炉。示出的工艺要求 P 型掩埋层、砷 N 型掩埋层和磷 N 型掩埋层的每一层都具有其自己专用的掩模，这使得工艺成本更加昂贵。

图 4A 是图 3A 和 3B 分别示出的 CMOS 器件 50a 和 50b 的示意电路图。衬底 51 被示为地。PMOSFET 50b 被显示为通过二极管 97 与地隔离，该二极管 97 代表 P 衬底 51 和 N 掩埋层 71 之间的 PN 结。二极管 95 和 96 分别代表 P+源极区域 61b 和 P+漏极区域 61a 与 N 阱 55 之间的结。NMOSFET 50a 被示为未隔离。二极管 92 和 93 分别代表 N+漏极区域 60b 和 N+源极区域 60a 与 P 阱 56 之间的结。

图 4B 给出了也可以由该工艺形成的 PNP 双极性晶体管。P+区域可以是发射极，N 阱 55 和 N 掩埋层 71 可以是基极，而 P 衬底 51 可以是集电极。

图 5A 示出了一种 CMOS 器件 100，其包括三个掩埋层：位于 N 阱 104 下方的磷 N 掩埋层 103 (NBL2)、位于 P 阱 105 下方的 P 掩埋层 106 和连续延伸于 N 阱 104 和 P 阱 105 下方的锑(或砷)N 掩埋层 102 (NBL1)。PMOSFET 100a 和 NMOSFET 100b 类似于图 3A 和 3B 中所示的 PMOSFET 50a 和 NMOSFET 50b。

在 P 阱 105 下方延伸 N 掩埋层 102 有着将 PMOSFET 100a 与 P 衬底 101 隔离的效果。这样所有的 MOSFET 都与衬底隔离开了。不过，增加 N 掩埋层 102 需要额外的掩模，而且在很长的隔离扩散工艺中扩散 N 掩埋层 102 给工艺带来了更多的变数。因此，必须要超裕度设计包括掩埋层的全部向上扩散的所有参数，仅仅为了形成 30V 的器件（理想情况下不到 $2\mu\text{m}$ 的硅就可以支持这种器件）外延层 114 可能必须要生长到超过 $6\mu\text{m}$ 的厚度。此外，所有掩埋层的横向扩散和发生在隔离（阱）推进(drive-in)期间的 N 掩埋层 102 的向上扩散进一步降低了可能实现的组装密度。

图 5B 给出了一种用于 CMOS 器件 100 的可能工艺程序。该工艺开始于其上形成有厚氧化物层的 P 衬底。形成掩模用于 N 掩埋层 102，并注入锑和磷，且通过热处理使它们扩散。

然后在互补掩埋层工艺和多掩埋层工艺之间做出选择。在多掩埋层工艺中，分别使用不同的掩模限定 N 掩埋层 103 和 P 掩埋层 106 的位置。继每次掩蔽步骤之后，注入 N 型掺杂剂（磷）或 P 型掺杂剂（硼），在注入之后，

通过热处理扩散掺杂剂。在互补掩埋层工艺中，淀积氮化物层，然后使用 CBL 掩模构图和蚀刻，之后注入两个阱之一，随后将其氧化。氮化物防止在未被第一阱扩散到的区域中发生氧化，而第一阱则被厚氧化物所覆盖。然后剥离氮化物，并进行与第一阱互补的第二阱的注入。厚氧化物阻碍了从第一阱区域进行的注入。然后扩散第二阱，且剥离所有氧化物。于是，一个掩模就界定了诸互补阱。

在形成三个掩埋层之后，生长 P 外延层并如上述在外延层中形成 NMOS 和 PMOS 器件。很明显，这是一中非常复杂的工艺，包括了大量的掩蔽步骤。举例来说，仅仅在 6 英寸的晶片上形成掩埋层就可能要花 150 美元。如果在制造 NMOSFET 或 PMOSFET 的过程中出错，投入的成本将完全损失。此外，必需的多步扩散带来了很大的出错可能性，即使完美地完成了扩散，该工艺所固有的掺杂剂的横向扩散也减少了能够在衬底一定面积内形成的器件数量。

图 5C 示出了沿图 5A 的截面 5C-5C 所得的掺杂分布。该图示出了 N 掩埋层 102 和 P 阱 105 之间的 P 外延层区域。有时 N 掩埋层 102 与 P 阱 105 合并在一起。发生这一变化主要是因为 P 阱 105 参考的是外延层的顶面，而 N 掩埋层 102 参考的是 P 衬底 101 的表面。这些变化可能对器件的电特性具有显著影响，包括结击穿、电阻、电容、速度和电流。

图 5D 的示意图示出了 CMOS 器件 100 的优势。NMOSFET 100a 具有连接到独立端子 110a 的主体，且能够独立于 P 衬底 101 被偏置。二极管 127 代表 P 阱 105 和 N 掩埋层 102 之间的 PN 结，而二极管 128 代表 N 掩埋层 102 和 P 衬底 101 之间的 PN 结，它们为 NMOSFET 100a 提供了隔离。二极管 127 和 128 的阴极为 N 掩埋层 102。

图 5A-5D 证明，要形成隔离结构，需要非常复杂、成本很高的工艺，其具有大量的变数可能和可能的错误。这种工艺主要适于具有大的外形尺寸和大的横向间距的器件，并且只能在能进行高温操作的制造厂进行。这种工艺与诸如图 2A 所示的工艺的现代的 CMOS 工艺不协调，而图 2A 所示的工艺代表了当前存在的大约 90% 的制造能力。因此，在生产隔离 CMOS 器件所需工艺和今天可用于生产此类器件的制造设备之间存在一种基本的矛盾。无疑在半导体制造技术领域中有对克服这一问题的工艺的需求。

发明内容

根据本发明,使用一种高能量注入制造各种结构,以将晶体管及其他器件与半导体衬底电隔离并使它们彼此电隔离。可选地,可以使用不同能量的一系列注入。与现行做法形成鲜明对比的是,隔离结构和器件是在非外延半导体衬底中形成的。衬底受到非常有限的热预算,因此注入在纵横方向上的扩散都受到了限制。

在该隔离结构的一组实施例中,包括包围第二导电性类型的区域的深隔离层和侧壁,该侧壁从掩埋层向上延伸以形成第一导电性类型的杯形或碟形结构。深隔离层可以这样形成:用掩模掩蔽衬底的表面,通过掩模中的开口将第一导电性类型的掺杂剂注入衬底表面以下的预定深度。然后可以再次掩蔽衬底的表面,并可以通过开口注入第一导电性类型的掺杂剂以形成该隔离结构的侧壁,其中开口可以是环形的。为了增加侧壁的高度,可以以不同能量进行一系列注入以制作交叠掺杂区域的垂直堆叠结构。

隔离区可以形成在第二导电性类型的衬底中。由隔离结构包围的区域的掺杂浓度可以保持不变,或者可以加入额外的第二导电性类型的掺杂剂以形成第二导电性类型的阱。第二导电性类型的阱可以邻接隔离结构,或者掺杂浓度保持不变的衬底的中间层可以将阱从隔离结构隔开。在其他实施例中,该阱可以通过深隔离层延伸到掩埋层下方的衬底中。可以在隔离结构所包围的区域中分别形成第一和第二导电性类型的两个阱。该结构可以分别包括两个第一和第二导电性类型的深层。第二导电性类型的深层可以从第一导电性类型的深层向上或向下,或者同时向上和向下延伸。第二导电性类型的深层的横向尺寸可以小于第一导电性类型的深层的横向尺寸。

晶体管或其他器件可以形成在由隔离结构包围的区域或者隔离结构自身中,或者同时形成在二者之中。

在有些实施例中,隔离结构包括注入掩埋层或阱,但没有侧壁。

衬底常常被偏置在地电势或最负的芯片上(on-chip)电势,但并非必须要这样。

在可以利用本发明的技术与衬底隔离的器件中,有 N 沟道和 P 沟道 MOSFET、PNP 和 NPN 双极型晶体管、二极管、绝缘栅双极型晶体管(IGBT)、电阻、结型场效应晶体管、光电二极管、探测器或任何其他硅器件。

使用本发明的技术避免了上述的许多问题。可以以高精度注入掺杂剂以

限定衬底内的深度。通过避免热扩散过程，可以减少器件之间的水平分割和器件自身的水平尺寸，所避免的热扩散过程可以通过外延层的顶面注入的掺杂剂向下的扩散，或者是在外延层和其下的衬底之间的界面引入的掺杂剂的向上和向下的扩散。此外，可以避免与外延层生长有关的高成本。

附图说明

图 1A 和 1B 示出了已知的 CMOS 结构。

图 1C 示出了用于形成图 1B 所示的 CMOS 结构的工艺流程。

图 2A 和 2B 示出了利用比图 1C 所示的工艺更现代的工艺制造的 CMOS 器件。

图 2C 给出了可用于制造图 2A 和 2B 的 CMOS 器件的工艺。

图 3A 和 3B 示出了一种制造 CMOS 器件的方法，其使用了从制造双极性器件发展来的技术。

图 3C-3E 为图 3A 和 3B 所示的截面处掺杂浓度与衬底中深度的关系曲线图。

图 4A 为图 3A 和 3B 所示的 CMOS 器件的示意性电路图。

图 4B 为也可以从制造图 3A 和 3B 的器件的工艺形成的 PNP 双极性晶体管的示意电路图。

图 5A 给出了包含三个掩埋层的 CMOS 器件。

图 5B 示出了用于制造图 5A 的 CMOS 器件的工艺。

图 5C 示出了图 5A 所示的 CMOS 器件的掺杂分布。

图 5D 示出了图 5A 所示的 CMOS 器件的示意图。

图 6A-6V 给出了若干可以用本发明的方法形成的基本结构。

图 7A-7C 给出了根据本发明的包含图 6A-6V 所示的一些元件的器件，其包括完全隔离的 CMOS 器件、隔离的 NPN 型晶体管、N 沟道轻掺杂漏极 MOSFET (LDMOS)、横向双注入 P 沟道 LDMOS、衬底 PNP 型晶体管和隔离 NMOSFET。

图 8A-8H 给出了用于形成根据本发明的隔离 P 阱的工艺。

图 9A-9G 为代表图 7A-7C 所示的器件的示意电路图。

图 10A-10F 给出了在仍然提供隔离结构的前提下如何变化衬底中的 N 深隔离层深度。

图 11A-11G 示出了利用阶梯氧化物形成隔离区的方法。

图 12A-12F 示出了利用 LOCOS 技术形成隔离结构的工艺。

图 12G-12O 给出了图 12A-12F 中所示工艺的变化。

图 13 给出了可用于形成完全隔离的双阱 CMOS 器件的几种工艺。

图 14A-14H 给出了一种将常规 N 和 P 阱扩散与随后的深隔离 N 层注入组合的“混合”工艺。

图 15A 为示出硼和磷注入作为注入能量的函数的投影射程 (R_p) 的曲线图。

图 15B 为类似硼和磷注入的分散情况 (straggle, ΔR_p) 的曲线图。

图 16A 示出了 P+区域底部和 P 阱中的深隔离 N 层之间的垂直尺寸, 以及 P+区域底部和 P 衬底的一区域中的深隔离 N 层之间的垂直尺寸。

图 16B 为示出二极管的击穿电压如何随图 16A 所示垂直尺寸变化的曲线图。

图 16C 示出了击穿电压与深隔离 N 层的注入能量之间的函数关系。

图 17A-17E 示出了用于形成隔离区的侧壁的注入范围必须要受到控制以提供有效的隔离区。

图 18A-18D 示出了如何利用一系列注入形成隔离区的垂直侧壁。

图 19A-19D 示出了用于制造具有图 18A-18D 所示种类的侧壁的隔离区的工艺步骤。

图 20A-20D 示出了在衬底表面上生长场效应氧化物区域之后执行的类似于图 19A-19D 所示的工艺步骤。

图 21A 给出了在隔离区的侧壁中的注入的水平扩散。

图 21B 给出了通过深隔离层和填充氧化物的沟槽形成的隔离结构。

图 21C 和 21D 给出了通过填充氧化物的注入形成的隔离结构。

图 22A 和 22B 示出了每种结构中的隔离结构和深隔离层与衬底表面的重掺杂区之间的垂直间隔。

图 22C 为图 22A 和 22B 所示的每种结构中的深隔离层和重掺杂区之间的击穿电压曲线图。

具体实施方式

图 6A-6V 给出了若干可以用本发明的方法形成的基本结构。总的目的是

形成若干位于深注入的“表面下”层之上的注入阱。实际上这些是“积木”，可以在制造有用器件的过程中按照各种方式进行组合。这里所说的深注入层是与常规的“掩埋层”相比而言的，其在生长外延层之前和期间形成在外延层的底部。此类外延前掩埋层必然地在生长外延层期间表现出掺杂剂再分布。

图 6A 示出了 P 衬底 130 中深注入的 N 隔离层 131。图 6B 示出了深注入隔离层 133，其被分割为部分 133a 和 133b。图 6C 示出了在隔离层 131 之上形成且与之隔开的注入 P 阱 134。不过，没有侧壁隔离区，P 阱 134 未与 P 衬底 130 隔离。图 6D 示出了接触 N 隔离层 131 的 P 阱 134；而图 6E 示出，P 阱 134 可以以这种方式注入：P 阱 134 的一部分位于深 N 隔离层 131 的下面。

图 6F 示出了位于深 N 隔离层 131 上方且与之隔开的 N 阱 135；图 6G 示出了与深 N 隔离层 131 交叠的 N 阱 135；而图 6H 示出了一种环形 N 阱 135，其与深 N 隔离层 131 汇合，形成完全隔离区 140，该完全隔离区 140 在侧面由 N 阱 135，在底部由深 N 隔离层 131 所包围。

图 6I 示出了 P 阱 134 邻接 N 阱 135，且 N 阱 135 接触深 N 隔离层 131。图 6J 与图 6I 相似，只是 P 阱 134 与 N 阱 135 隔开。图 6K 示出了由互补阱工艺形成的结构，其中 P 衬底 130 的整个表面被 P 阱 134 或 N 阱 135 所占据，且 N 掩埋层位于 P 阱和 N 阱之下并与它们接触。如果 N 阱 135 形成围绕 P 阱 134 的中心部分的环或环形结构，那么该中心截面将以与图 6H 所示的隔离结构相同的方式被完全隔离。图 6L 与图 6H 相似，但是其示出的结构中 P 阱 134 之一注入到比 N 阱 135 浅的深度，且被 N 阱 135 所形成的环形圈所包围。图 6M 与图 6L 相似，不过 P 阱 134 延伸到深 N 隔离层 131 之下。在图 6L 和 6M 中，P 阱 134 都完全从 P 衬底 130 隔离。

图 6N 示出了在 P 衬底 130 中注入的 P 型表面下层 136。尽管在该实施例中沒有 PN 结，但其会具有颠倒的或“逆行的”掺杂浓度，即，从衬底 130 的表面朝向深 P 层 136 的向下方向，P 型杂质的掺杂浓度增大。图 6O 示出了与深 P 层 136 汇合的 P 阱 134，其可以是完全注入的。同样，这一结构可以具有逆行掺杂浓度。

图 6P-6R 示出了包括共处于 P 衬底 130 中的深 N 隔离层 131 和深 P 层 136 的结构。由于深层 131 和 136 具有不同的横向尺寸，在形成它们时使用

了不同的掩模。用于形成深层 131 的掩模会具有比用于形成深层 136 的掩模中的开口宽的开口。在其他实施例中，可以使用同一掩模形成深 N 层和深 P 层，在那种情况下诸层会具有大致相同的横向尺寸。图 6P 示出了同时从深 N 层 131 向上和向下延伸的深 P 层 136。图 6Q 示出了仅从深 N 层 131 向上延伸的深 P 层 136。图 6R 示出了仅从深 N 层 131 向下延伸的深 P 层 136。

图 6Q 示出的结构可以通过在这样的注入能量下注入深 P 层 136 形成，在这样的注入能量下，其具有小于深 N 层 131 的投影射程的投影射程。图 6R 示出的结构可以通过在这样的注入能量下注入深 P 层 136 形成，在这样的注入能量下，其具有深于深 N 层 131 的投影射程的投影射程。图 6P 的结构可以利用两次注入形成深 P 层 136 实现，一次注入比深 N 层 131 深，另一次比深 N 层 131 浅。另一种制造图 6P 的结构的方法包括单次注入硼以形成深 P 层 136，该注入具有与用于形成深 N 层 131 的磷注入相同的射程，不过剂量更低。发生超过和低于深 N 层 131 的深 P 层 136 的暴露部分是因为在任何给定深度上，硼表现出比磷更大的分散度。

图 6S 示出了一种包括 P 阱 134、深 P 层 136 和深 N 层 131 的实施例，P 阱 134 和深 P 层 136 位于深 N 层 131 上方。P 阱 134 和深 P 层 136 会具有逆行掺杂浓度。图 6T 与图 6S 相似，只是深 P 层 136 同时从深 N 层 131 向上和向下延伸，包括两次注入之一。图 6U 类似于图 6S，但是示出的深 P 层 136 与深 N 层 131 隔开。隔开深 P 层 136 和深 N 层 131 的 P 衬底的部分不是由外延工艺而是利用注入注入能量的差别形成的，因此能够以很大精度设置分隔距离。

图 6V 示出了类似于图 6L 相似的 N 阱 135，其围绕 P 阱 134 和深 P 层 136 注入。P 阱 134 和深 P 层 136 类似于图 6S 所示的结构进行安排。这样，图 6V 示出了完全隔离的逆行 P 阱可以最小热预算非常精确地形成。

总之，图 6A-6V 表明，不用依赖外延生长，可以利用本发明的原理制造多种多样的结构。因为没有涉及到外延工艺，因此可以更少的横向移动、更少的变数和对击穿电压的更多控制，非常精确地形成结构的组件。此外，掺杂浓度可以是衬底表面向下扩展的普通高斯分布，或者是颠倒或逆行分布（向着衬底表面上扩展的高斯分布）。可以利用组合的注入合成非高斯分布。

图 7A-7C 给出了包含图 6A-6V 所示的一些元件的 CMOS 结构。所有这

些结构无需生长外延层即能单片集成。

图 7A 示出了一种根据本发明制造的完全隔离的 CMOS 器件 150。CMOS 器件 150 含有 PMOSFET 169a 和 NMOSFET 169b。NMOSFET 169b 形成在 P 阱 154b 中，且大体类似于图 2A 中所示的 NMOSFET 30b。NMOSFET 169b 中包括了 N+源极区域 159b、N+漏极区域 163b 和 P+主体接触区 157c。N-区域 163a 和 163b 为轻掺杂漏极区域。栅极 155b 形成在栅极氧化层 156b 上方。LOCOS 场效应氧化层 160 和第二氧化物层 161 位于 P 衬底 151 的表面上。

P 阱 154b 位于深 N 层 152a 上面，且由 N 阱 153 包围，深 N 层 152a 和 N 阱 153a 一起将 NMOSFET 169a 从 P 衬底 151 隔离开。不过，在这种情况下，N 阱 153a 还是包含有 PMOSFET 169a，其与图 2A 所示的 PMOSFET 30a 大体相似，也与 P 衬底 151 隔离。PMOSFET 169a 中包括了 P+源极区域 157a、P+漏极区域 157b 和 N+主体接触区 159a。P-区域 158a 和 158b 为轻掺杂漏极区域。栅极 155a 形成在栅极氧化层 156a 上方。

在其他实施例中，N 阱 153a 不必包含 PMOSFET，但可以由 P 阱 154b 所包围，从而简单地提供了从 P 衬底 151 隔离开的 P 阱 154b。由 N 阱 153a 代表的隔离环的宽度可以加宽以提高结构的隔离能力。

二极管 169c 也形成在 N 阱 153c 中。二极管 169c 包括 P+阳极区 157d 和 N+阴极区 159e。深 N 层 152b 位于 N 阱 153c 之下且压制空穴在 P 衬底 151 中的注入，以防止 PNP 双极性行为影响到 P+阳极区 157d、N 阱 153c 和 P 衬底 151。可以通过加宽 N 阱 153c 抑制横向 PNP 导电，以将 N 阱 153c 的横向范围加大到 P+区域 157d 之外。

可选地，如果需要在 PMOSFET 169a 和 NMOSFET 169b 之间实现更大的隔离，PMOSFET 169a 可以放在与 N 阱 153a 隔开的 N 阱中，而 N 阱 153a 可完全用于将 NMOSFET 169b 从衬底隔离开。

图 7B 给出了一实施例，其中包含 NPN 型晶体管 169d 和 N 沟道轻掺杂漏极横向双扩散沟道 MOSFET (LDMOS) 169e。

在 NPN 型晶体管 169d 中，N+区域 159g 充当发射极，P+区域 157e 和 P 阱 154c 充当基极，而 N 阱 153d 和深 N 层 152c 充当集电极。深 N 层 152c 将基极 (P 阱 154c) 与 P 衬底 151 隔离开。

在 N 沟道 LDMOS 169e 中，N+区域 159i、N 阱 153f 和深 N 层 152 充当

漏极，其中 N 阱 153f 充当漏极的轻掺杂部分，以将电压降沿 N 阱 153f 的横向范围扩散并扩散离开 N+ 区域 159i 和 P 阱 154d。P+ 区域 157f 和 P 阱 154d 充当 MOSFET 的主体，而 N+ 区域 159i 充当源极。虽然如果使用了分离的源极和主体接触，源极和主体可以独立偏置，按照惯例，利用金属源极-主体接触 162 将源极和主体短接到一起。主体区域（P+ 区域 157f 和 P 阱 154d）通过 N 阱 153f 和深 N 层 152d 与 P 衬底 151 隔离。

图 7C 示出了三个器件：P 沟道 LDMOS 169f、衬底 PNP 型晶体管 169g 和非隔离 NMOSFET 169h。

在 P 沟道 LDMOS 169f 中，P+ 区域 157g 和 P 阱 154e 充当漏极，其中 P 阱 154e 充当漏极的轻掺杂延伸，以助于沿横向在 P+ 区域 157g 和 N 阱 153h 之间分散电压降。P+ 区域 157g 的电压不应该超过 P 阱 154e 和深 N 层 152e 之间的结击穿电压。N+ 区域 159k、N 阱 153h 和深 N 层 152e 充当主体，而 P+ 区域 157h 充当源极。同样，如图所示，源极和主体典型地通过金属源极主体接触 167 短接到一起，但是可以分别偏置。漏极（P+ 区域 157g 和 P 阱 154e）通过 N 阱 153h 和深 N 层 152e 与 P 衬底 151 隔离。

衬底 PNP 型晶体管 169g 包括充当发射极的 P+ 区域 157k、充当基极的 N+ 区域 159m 和 N 阱 153j 以及连接到 P 衬底 151 并共同充当集电极的 P+ 区域 157i 和 P 阱 154f。衬底 PNP 型晶体管 169g 可以在 P 衬底 151 中引起电流，因此衬底 PNP 型晶体管 169g 的电流密度一般限于小信号应用。

NMOSFET 169h 与 NMOSFET 169b（图 7A）类似，只是其主体（P 阱 154f）没有被 N 阱和深 N 层所包围，因此未与衬底隔离。NMOSFET 169h 包括 N+ 源极区域 159n、N+ 漏极区域 159p、多晶硅栅极 155e 和栅极氧化层 156e。P+ 区域 157j 提供到主体（P 阱 154f）的接触。决定是否令 NMOSFET 隔离或不隔离是设计选择的问题。

图 8A-8H 给出了用于形成根据本发明的隔离 P 阱的工艺。在图 8A 中，优选为厚的氧化物层 170 形成在 P 衬底 173 上。在氧化物层 170 上淀积光致抗蚀剂层 171 并使用常规光刻技术构图以形成开口。如图 8B 所示，通过该开口蚀刻氧化物层 170。可以进行受控制的蚀刻，在原地留下一部分氧化物层 170，或者可以完全除去开口下的一部分氧化物层 170 并可以生长新的薄氧化物层。无论哪种情况，在开口中的 P 衬底 173 上都保留一薄的氧化物层 170a。通过薄氧化物层 170a 注入诸如磷的 N 型掺杂剂以形成深 N 层 174。

然后剥离氧化物层 170 和 170a 以及光致抗蚀剂层 171，留下图 7C 所示的结构，其在 P 衬底中浮置有一紧凑的、高度有界的(highly defined)深 N 层 174。

表 1 总结了在形成深 N 层 174 过程中所用的处理步骤以及该工艺的一些可能的变体。

表 1

元件	可能的范围	优选范围	目标	标准
注入-阻挡二极管 (170)-厚度	100Å - 5μm	1μm - 3μm	2μm	氧化物 170 加掩模 171 必须阻挡注入
注入-阻挡二极管 (170)-氧化条件	30 分钟-10 小时 @900-1200 °C	2-4 小时 @1000-1100 °C	3 小时 @1050 °C	没有热限制
注入前氧化物 (170a)-厚度	100-1000Å	100-300Å	200Å	防止表面损伤
光致抗蚀剂阻挡 掩模(171)-厚度	1-5μm	2-3μm	2.5μm	掩模 171 加氧化物 170 必须阻挡注入
深 N 磷注入(174) -能量	100keV-3MeV	1.5-2.3MeV	2.3MeV	尽可能深地注入

根据深 N 层 174 上方诸层中形成的所需电压，表 1 所描述的条件可以改变。一般说来，器件的额定电压越高，N 层就应该注入得越深。如果在注入深 N 层之后发生任何显著的高温扩散/氧化（热预算），也必须要进行更深的注入。

可选地，可以薄薄地生长氧化物层 170 并在注入期间留在原地，因此就不需要用于形成层 170a 的回蚀了。

在 P 衬底 173 的表面上形成垫氧化物层 172，淀积并构图第二光致抗蚀剂层 176，留下开口，如图 8D 所示。该开口优选为环形（即，其中形成有孔的立体图案(solid pattern)）。注入诸如磷的 N 型掺杂剂，建立起 N 阱 175，因为开口的环形形状，N 阱 175 包围着 P 衬底 173 的任何和所有的隔离部分 177。

剥离光致抗蚀剂层 176，并淀积和构图第三光致抗蚀剂层 179 以在 N 阱

175 上形成开口。通过该开口注入诸如硼的 P 型掺杂剂以形成隔离的 P 阱 178，其具有比 P 衬底 173 的掺杂剂浓度更大的掺杂剂浓度。所得的结构在图 8E 中示出。并非所有隔离区 177 必须要接收用于形成 P 阱 178 的离子注入。

表 2 中描述了可以在形成 N 阱 175 和 P 阱 178 的过程中使用的工艺条件，其中包括一些工艺变体。

表 2

元件	可能的范围	优选范围	目标	标准
注入前 二极管	500-1000Å	50-200Å	100Å	低温，以避免深 N 层向上扩散
注入阻 挡掩模 (176, 179)	1-5μm	2-3μm	2.5μm	必须阻挡阱注入
N 阱 175 (磷)注 入条件	1E11-1E14cm ⁻² ,150keV-2MeV (一或多次注 入)	1E11-1E12cm ⁻² , E<300keV 或 1E12-1E14cm ⁻² , E>700keV	1E12cm ⁻² ,25 0keV 或 3E13cm ⁻² ,1 MeV	N 阱应当与深 N 层重叠于
P 阱 178 (硼)注 入条件	1E11-1E14cm ⁻² ,100keV-1.4Me V(一或多次注 入)	1E11-1E12cm ⁻² , E<200keV 或 5E12-1E14cm ⁻² , E>400keV	1E12cm ⁻² ,15 0keV 或 3E13cm ⁻² ,50 0keV	P 阱的投影射程应当小于 N 阱的投影射程

P 阱和 N 阱可以由单次注入形成，不过随后必须要重掺杂以避免穿通击穿。在表 2 中，目标举了一个包括浅和深注入的两次注入阱形成的例子。这种方法用于制造 5V 的 CMOS 器件时效果很好，并且用于制造 12V 的 CMOS 器件时获得了可接受的结果。

浅注入设定基本的 CMOS 器件特性，使其充分重掺杂以防止沟道穿通，但又充分轻掺杂以表现出足够接近目标的阈值电压，该目标即，浅 V_t 调节注入能够设定最后的阈值电压值（无需过度的反掺杂）。阱掺杂也必须充分

轻以实现所需的击穿电压。在本上下文中的“浅”注入是指，对于硼来说在 200keV 能量以下的或对于磷来说 300keV 能量以下的注入，“深”注入是指对于硼来说超过 400keV 能量的或对于磷来说超过 700keV 能量的注入。较深注入的剂量优选较高以助于抑制寄生双极性作用 (parasitic bipolar action)。不过，P 阱一定不能象深 N 层那么深，否则，P 阱可能会反掺杂 (counterdope) 深 N 层且器件的隔离能力将劣化。

也可以通过额外的注入形成阱掺杂分布，不过这时表面剂量可以进一步相应地减少。举例来说，如所述的 12V 兼容 N 阱可以包括 250keV 下 $1E12\text{cm}^{-2}$ 的磷注入和 1MeV 下 $3E13\text{cm}^{-2}$ 的磷注入。可以包括，例如在诸如 600keV 的中间能量下的额外 $7E12\text{cm}^{-2}$ 的额外注入 (added implant)。额外注入的能量越低，越可能影响到表面浓度。

在仅 5V 器件中，对多次系列注入的需要比 12V 器件中低，因为因为所有注入层都可以形成得离表面更近，即，在注入能量更低。由于掺杂剂限制在更薄的层内，给定剂量的所得浓度得到了提高。因此，可以更低的掺杂剂剂量制造 5V CMOS 阱，不过仍然制造具有更高掺杂剂浓度的层。

5V N 阱可以包括 500keV 下仅 $5E12\text{cm}^{-2}$ 的深注入，这是更深的 12V 深 P 阱的能量的一半和剂量的六分之一。5V N 阱的浅注入可以包括 250keV 下的 $6E11\text{cm}^{-2}$ 的剂量，这与 12V 器件在能量上没有很大差异。剂量低并不是如此关键，因为 PMOS 器件的特性与其说是阱本身的函数，不如说更是后续 V_t 调节注入的函数。此外，PMOS 器件比 NMOS 器件表现出寄生骤回 (parasitic snapback) 的可能更小。

在 5V P 阱中制造 5V NMOS 与在 12V P 阱中制造 12V NMOS 大不相同。5V P 阱和 12V P 阱都包括防止体穿通的深注入和防止表面穿通的浅注入的组合，在两种情况下浅注入都具有表面附近的峰值，这是 40keV 注入的结果。5V P 阱的浅注入一般具有比 12V P 阱更高的剂量，范围从高 20% 到多达两倍，主要用以防止在沟道长度短的 5V 器件中发生穿通。

不过，5V P 阱中所用的深硼注入比 12V P 阱既浅又轻。例如，5V P 阱可以包括 250keV 能量下 1 到 $2E13\text{cm}^{-2}$ 附近的注入剂量。相反，12V P 阱使用的是 500keV 附近的深注入，注入剂量为 $3E13\text{cm}^{-2}$ 到 $5E13\text{cm}^{-2}$ (几乎是 5V P 阱的能量的两倍和剂量的两倍)。直观看来似乎高压器件要使用更高剂量的注入，与低压器件相比，高压器件发生体穿通和骤回现象距表面更远。

因为更高的少数载流子寿命，加剧了体材料内的寄生双极性现象。通过饱和 MOSFET 中漏极耗尽区的高电场区域的电流通路的对准也加剧了碰撞电离。增加深注入的掺杂使这些影响降到最低。

如图 8F 所示，在垫氧化物层 173a 上方淀积氮化硅层 180。使用常规光刻技术构图并蚀刻氮化物层 180，以暴露垫氧化物层 173a 的特定区域。然后在氮化物层 180 上淀积光致抗蚀剂层 181 并构图以在 P 阱 178 上制作开口。通过氮化物层中的开口注入如硼的 P 型掺杂剂以在该结构的 P 阱 178 和其他 P 阱中形成高浓度的 P 型场效应掺杂 (PFD) 区域 182。

如图 8G 所示，除去光致抗蚀剂层 181，并通过氮化物层 180 中的开口注入如磷或砷的 N 型掺杂剂以形成高浓度 N 型场效应掺杂 (NFD) 区域 183。进入 N 阱 175 的掺杂剂形成 NFD 区域 183，而进入 P 阱 178 的 NFD 掺杂剂浓度并不足以完全反掺杂 PFD 区域 182。与常规 CMOS 器件的情况不同的是，必须要将热氧化时间和温度保持在最小，以防止掺杂剂在深 N 层以及 N 阱和 P 阱中，尤其是其重掺杂部分中重新分布。对于厚度约 4000Å 的场效应氧化物来说，使用 $5E13\text{cm}^{-2}$ 附近的 NFD 注入，而 PFD 注入则需要两倍的剂量。注入在低能量下进行，典型地约 50keV。

对 P 衬底 173 进行低温氧化，在 P 衬底中位于氮化物层 180 的开口下方的部分中制作场效应氧化层 184。这就是众所周知的硅局部氧化 (LOCOS) 工艺。退火也在 PFD 区域 182 和 NFD 区域 183 中进行推进，从而形成场效应掺杂剂区域，其与场效应氧化层 184 一起提供更高的场效应阈值并防止有源器件之间的区域中发生反型。

接着，在 P 衬底 173 的表面上形成牺牲氧化物层 (未示出) 并生长栅极氧化层 185。图 8H 所示的隔离结构已经能够用于形成 MOSFET 了，例如，图 7A 所示的 CMOS 器件。

图 9A-9G 为代表图 7A-7C 所示的器件的示意电路图，图 7A-7C 进行了与图 9A-9G 类似的编号。图 9A 示出了 PMOSFET 169a 和 NMOSFET 169b (图 7A)。NMOSFET 169b 由二极管 193 和二极管 197 与 P 衬底 151 隔离，二极管 193 代表着 P 阱 154b 和深 N 层 152a 之间的 PN 结，二极管 197 代表着深 N 层 152a 和 P 衬底 151 之间的 PN 结。二极管 193 和 197 为背对背二极管，它们将 NMOSFET 169b 从 P 衬底 151 完全隔离开。二极管 193 和 197 的阴极 (即，深 N 层) 可以偏置到任意电势，标记为 “FI” (“底隔离，floor

isolation”的缩写),但是典型地偏置在芯片上最正的电势。这一电势也共用偏置 PMOSFET 169a 的源极。

在图 9B 中,二极管 169c (图 7A) 由二极管 200 从 P 衬底 151 隔离开,二极管 200 代表着深 N 层 152b 和 P 衬底 151 之间的结。在工作中,二极管 169c 的阴极(引脚 K)必须保持比地(二极管 200 的阳极)更正的电势。图 9C 示出了 NPN 型晶体管 169d (图 7B),其中二极管 202 代表着 P 衬底 151 和深 N 层 152c 之间的结。图 9D 示出了衬底 PNP 型晶体管 169g (图 7C)。很重要的一点是,集电极(P+区域 157i)物理位置在基极(N阱 153i)附近,使得电流不会流得太远,以致进入 P 衬底 151 并沿之流动。

图 9E 示出了非隔离 NMOSFET 169h (图 7C),其具有类似图 9A 的 NMOS 169b 的结构,但没有形成二极管 193 和 197 的深 N 层。图 9F 示出了横向高压 PMOSFET 169f (图 7C)。二极管 212 代表深 N 层 152e 和 P 衬底 151 之间的结。主体(N阱 153h)短接到源极(P+区域 157h),而“反平行”二极管 211 代表主体和漏极(P阱 154e)之间的结。图 9G 示出了横向 NMOSFET 169e (图 7B)。二极管 209 代表深 N 层 152d 和 P 衬底 151 之间的结。主体(P阱 154d)短接到源极(N+区域 159j),而“反平行”二极管 208 代表主体和漏极(N阱 153f)之间的结。

图 10A-10F 给出了在仍然提供隔离结构的前提下如何变化衬底中的深 N 层深度。

图 10A 示出了注入到 P 衬底 221 中深度 d_1 处的深 N 层 221。深 N 层通过光致抗蚀剂层 223 中的开口和氧化物层 222 注入。在图 10B 中,光致抗蚀剂层 223 已经除去并为光致抗蚀剂层 224 所替代,光致抗蚀剂层 224 经构图具有环形开口。通过光致抗蚀剂层 224 中的环形开口注入掺杂剂以形成 N 阱 225,其与深 N 层 221 汇合以形成隔离结构。可选地,可以利用比 N 阱的剂量更高的另一次注入形成该环。

在图 10C 中,在 P 衬底 230 上淀积厚氧化物层 232 和光致抗蚀剂层 234 并构图以提供开口。在该开口中生长薄氧化物层 233。可选地,可以回蚀氧化物层 232 以形成薄氧化物层。通过薄氧化物层 233 在 P 衬底 230 中注入深 N 层 221。除去光致抗蚀剂层 234,并淀积具有环形开口的光致抗蚀剂层 235,如图 10D 所示。深 N 层 221 注入比 d_1 大的深度 d_2 ,这使得难于使用单个 N 阱,诸如图 10B 所示的 N 阱 225 形成隔离结构。相反,如图 10D 和 10E 所

示, 首先, 中间中等深度 N (MN) 阱 236 形成在深 N 层 231 的顶侧, 随后注入第二 N 阱 237, 其延伸到 P 衬底 230 的表面并与 N 阱 236 汇合。典型地, 形成 N 阱 237 的注入剂量是这样的, 要获得 N 阱 236 和 237 的逆行掺杂分布, 即, N 阱 237 的掺杂浓度小于 N 阱 236 的掺杂浓度, 该 N 阱 236 的掺杂浓度又小于深 N 层 231 的掺杂浓度, 虽然 MN 阱 236 和深 N 阱也可以具有同样的掺杂浓度。

结果是获得了 P 衬底 230 的隔离区 238。剥离氧化物层 232 和光致抗蚀剂层 235, 生成图 10F 所示的隔离结构, 该结构包括从深 N 层 231 向上延伸到 P 衬底 230 表面的 N 区域堆叠结构。可以通过这种方式堆叠任意数量的 N 区域, 以制作各种深度的隔离结构。N 区域的堆叠结构可以由各种能量和剂量的脉冲注入(pulsed implant)形成, 以获得所希望的任何尺寸和掺杂分布的隔离结构。顶部的 N 区域、N 阱 237 可以是 CMOS N 阱或专用的隔离注入。构成 MN236 和 N 阱 237 的侧壁也可以使用沟道注入或不同能量的多次注入形成。

图 8B、8D 和 10A-10E 所示的注入优选利用高能量注入机进行, 这种注入机可以实现 3000000eV 或更高的注入能量, 在形成时还要限制注入之后的热处理的量, 以避免注入掺杂剂的扩散。纵向和横向注入的掺杂剂的位置可以很大的准确度决定, 这和控制热扩散工艺结果的不确定性形成了鲜明的对照。结果, 隔离区紧凑且位置可以预定, 并且可以提高衬底内晶体管或其他器件的组装密度。

在迄今所述的工艺和结构中, 注入是通过均匀厚度的氧化物层完成的(从离子注入掩蔽出去的区域除外)。获得的阱和深层具有基本上与晶片的初始平面平行运行的掺杂剂分布和结。

图 11A-11G 示出了利用阶梯氧化物形成隔离区的方法。台阶氧化物可用于形成结的形状或轮廓。该工艺以在 P 衬底 240 上形成厚氧化物层 241 开始。在氧化物层 241 上淀积光致抗蚀剂层 242 并构图出开口, 通过开口蚀刻一部分氧化物层 241, 如图 11B 所示。如图 11C 所示, 在开口中生长更薄的氧化物层 243。淀积并构图另一光致抗蚀剂层 244, 如图 11D 所示, 这次形成较小的开口。通过较小开口除去一部分氧化物层 243, 除去光致抗蚀剂层 244, 并在开口中生长更薄氧化物层 245, 得到图 11E 所示的阶梯结构。

通过氧化物层 241、243 和 245 在单一能量下注入如磷的 N 型掺杂剂。

由于氧化物层 241、243 和 245 厚度不同，注入的射程有所不同，生成了深 N 层 246a 和 N 阱 246b 和 246c，如图 11F 所示。氧化物层 241 足够厚，使得其防止基本上所有的掺杂剂达到 P 衬底 240。经过短时间的退火，形成了如图 11G 所示的碟形隔离结构 247，其包围着 P 衬底 240 的隔离区 248。

与此前的结构相反，在任何存在氧化物台阶的地方，注入层的深度在整个芯片内沿横向都有变化。可以增加步骤数量以制作更渐增、平缓的掺杂分布。要制作连续变化的结，可以使用梯度氧化物(graded oxide)。

图 12A-12F 示出了一种形成隔离结构的工艺，其使用 LOCOS（硅局部氧化）技术形成梯度氧化物。该工艺始于 P 衬底 250，在其上淀积有氧化硅层 251 和氮化硅层 252，如图 12A 所示。利用常规光刻蚀刻氮化物层 252，形成开口 253，如图 12B 所示。然后对该结构执行 LOCOS 工艺，生长厚场效应氧化层 254，如图 12C 所示，其中包括众所周知的“鸟喙”形状 255，此处氮化物层 252 因生长氧化物层而向上弯曲。

然后除去氮化物层 252，如图 12D 所示，留下开口 252a，此处 P 衬底仅被氧化物层 251 所覆盖。注入如磷的 N 型掺杂剂以形成图 12E 所示的深 N 层 256。N 层在开口 252a 下的区域中被掩埋，在鸟喙形状 255 下的区域中向上弯曲到达 P 衬底 250 的表面。在一个实施例中，掺杂剂未穿透场效应氧化层 254。结果在图 12F 中示出，其中 P 衬底 250 的隔离区 257 被 N 层 256 所包围。

这种工艺可能有很多变化，图 12G-12O 示出了几种。图 12G 示出了一实施例，其中，在场效应氧化物中形成两个开口，且在该两个开口下形成 N 层 256a 和 256b，分别包围着两个隔离区 257a 和 257b。只要场效应氧化层的一部分 254 充分长，N 层 256a 和 256b 就保持隔离。还可以在阱之间引入额外的 P 型掺杂剂。图 12H 所示结构与图 12G 的类似，只不过在深 N 层 256a 上方所包围的区域中形成了 N 阱 258 和 P 阱 259。

在图 12I 中，在 N 层 256a 上方的区域中形成了 N 阱 258，且在 N 层 256b 上方的区域中形成了 P 阱 259。在整个结构上方淀积介质层 260。在介质层 260 中形成两个接触开口，并通过该接触开口注入 N 型掺杂剂以形成 N+接触区 261a 和 261b。用金属填充开口以形成接触 262a 和 262b。N 层 256a 被金属接触 262a 电接触，而 N 层 256b 被金属接触 262b 电接触，允许 N 层 256a 和 256b 偏置在所需的电势。其他接触可以同时形成，以连接到在隔离深 N

环中制造的器件。

图 12J 所示的结构与此类似,只不过 N 层 256a 和 256b 通过场效应氧化物的区域 254 下的 N 层 264 连接。这通过如下方式实现:如图 12K 所示,利用光致抗蚀剂层 270 掩蔽该结构,并以充分的能量注入掺杂剂使之穿透场效应氧化物区域 254 但不穿透光致抗蚀剂层 270。

可选地,如果想要隔离 N 阱 258 和 P 阱 259,可以用掩模掩蔽该结构,并注入如硼的 P 型掺杂剂以在场效应氧化物区域 254 下形成 P 场效应掺杂区(PFD) 271,如图 12L 所示。图 12M 示出了通过氮化物层 251 中的开口注入 P 型场效应掺杂剂,该开口是利用光致抗蚀剂层 252b 构图形成的。这发生在深 N 高能量注入之前。图 12M 示出了基本上与图 12B 所示相同的工艺阶段,其中已构图的氮化物层 252 覆盖在氧化物层 251 上。P 掺杂通过开口 253 注入以形成 PFD271。在生长了场效应氧化物 254 之后,PFD271 仍下沉在场效应氧化物 254 下方,如图 12N 所示。然后可以进行深 N 层注入。

可选地,可以在形成场效应氧化物之后,通过以高能量经过场效应氧化物 254 注入掺杂剂形成 PDF 271。

图 12O 示出了图 12K 与 12L 的组合,其中 PFD 271 把 N 阱从 P 阱 259 隔离开,N 层 264 将 N 层 256b 与相邻 N 层(未示出)连接起来。

图 13 给出了可用于形成双阱 CMOS 器件的几种工艺的总结。上面的路线表示使用高热预算的常规扩散阱工艺。下一条路线描述了根据本发明的低热预算工艺的两个变体。在一种变体中,形成初始氧化物层并掩蔽其表面用于注入深 N 层。在注入深 N 层之后,掩蔽其表面用于注入隔离结构的侧壁。可选地,可以进行 LOCOS 工艺并可以用高能量注入形成回转的(wraparound)隔离结构(如图 12A-12F 所示)。

形成隔离结构之后,可以形成互补 N 和 P 阱,其每一个都在掩蔽步骤之后进行。利用常规工艺并利用底隔离和侧壁隔离工艺,执行 LOCOS 工艺以生长场效应氧化物区域。利用回转工艺(wraparound process)已经形成了场效应氧化物区域,因此在形成互补阱之后该工艺就完成了。

图 14A-14H 给出了一种将常规 N 和 P 阱扩散与随后的深隔离 N 层注入组合的“混合”工艺。图 14A 示出了在 P 衬底 300 上形成氧化物层 301。氧化物层 301 可以具有,例如,100Å 到 1μm 的厚度。在图 14B 中,用光致抗蚀剂层 303a 掩蔽氧化物层 301 并通过光致抗蚀剂层 303a 中的开口蚀刻一部

分氧化物层 301 以制作薄氧化物层 302。氧化物层 302 可以具有从 50 到 1000Å 的厚度，优选为大约 200Å。通过光致抗蚀剂层 303a 中的开口以低能量注入磷形成 N 区域 304。典型地，磷注入的能量为 80 到 160keV，剂量为 $1E12$ 到 $5E13\text{cm}^{-2}$ 。如图 14C 所示，通过热处理扩散 N 区域 304 以形成 N 阱 304。扩散可以在 900 到 1200°C 下进行，但优选在大约 1050 到 1100°C 下进行，扩散时间从 4 到 12 小时，以实现 1 到 2 μm 的结深度。

淀积并构图第二光致抗蚀剂层 303b 并通过光致抗蚀剂层 303b 中的开口蚀刻另一部分氧化物层 301 以形成薄氧化物层 306，同样约 200Å 厚，如图 14D 所示。通过光致抗蚀剂层 303b 中的开口注入 P 型掺杂剂（硼）以形成 P 区域 305。如图 14E 所示，通过热处理扩散 P 区域 305 以形成 P 阱 305。用于注入和扩散 P 阱 305 的条件与上述用于注入和扩散 N 阱 304 的类似。如图所示，P 衬底 300 典型地包括若干个 N 阱 304 和 P 阱 305。

到目前为止该工艺为常规的高热预算工艺，且 N 阱 304 和 P 阱 305 中的掺杂剂分布为高斯型的，从衬底表面向下移动掺杂浓度在增加。

接下来，如图 14G 所示，剥离氧化物层 302、303 和 306，并在 N 阱 304 和 P 阱 305 上淀积第三光致抗蚀剂层 307 且构图出开口。利用高能量注入，在 P 衬底 300 中形成深 N 层 307。这样设定注入的能量，使得深 N 层 307 重叠于 N 阱 304，且可选地重叠于 P 阱 305 并在其下延伸。注入能量在 1.0 到 1.5MeV 的范围内，对于大产量低成本生产来说 2.3MeV 为最大值。超过大约 2.3MeV 以上，一般可用的注入机会出现低射束电流和长处理时间的问题。除去光致抗蚀剂层 307，得到图 14H 所示的结构。

图 15A 为示出硅中的硼和磷注入作为注入能量的函数的投影射程 (R_p) 的曲线图。曲线 310 示出了“成沟”(channeling)的硼的射程，曲线 312 示出了磷和非成沟硼的射程。因为成沟硼通过晶格中的沟道运动，因此它的射程稍大于非成沟硼的射程。

图 15B 为类似硼和磷注入的分散情况 (ΔR_p) 的曲线图。曲线 314 为硼的分散情况，曲线 316 为磷的分散情况。

图 16A 示出了 P+区域 355 底部和 P 阱 353 中的深 N 层 354 之间的垂直尺寸 X_{DP} (最大)，以及 P+区域 356 底部和 P 衬底 351 的一区域 352 中的深 N 层 354 之间的垂直尺寸 X_{DP} 。假定 P 阱 353 比区域 352 掺杂更重。由深 N 层 354、区域 352 和 P+区域 356 形成的二极管 352a 基本上是 PIN 二极管，

而由深 N 层 354 和 P 阱 353 形成的二极管 353 则为 PN 二极管。

图 16B 为一曲线图，其示出了二极管 352a 和 353a 的击穿电压如何分别随 X_{DP} 变化的。如对 PIN 二极管所预期的，二极管 352a 的 BV 随着 X_{DP} 而变化（即，深 N 层 354 和 P+区域 356 之间的 P 衬底区域 353 为 PIN 二极管的本征区）。二极管 353a 的 BV 在 X_{DP} 降到距离 $(X_{DP})_1$ 之前基本恒定，然后在距离小于 $(X_{DP})_1$ 时与二极管 352a 的 BV 重合。二极管 352a 的 BV 在 X_{DP} 值大于 $(X_{DP})_1$ 处更大。图 16C 示出了击穿电压与深 N 层的注入能量之间的函数关系。

因此，图 16A-16C 展示了，如何控制深 N 层深度 X_{DP} 这一变量以制造具有期望的击穿电压的器件。图 17A-17E 示出了如何必须控制用于形成隔离区的侧壁的注入射程这另一个变量。如图 17A 所示，器件 380 包含深 N 层 383 和侧壁注入 384，它们在标号为 385 的区域汇合。深 N 层 383 和侧壁注入 384 形成了包围 P 衬底 381 的区域 382 的隔离区的一部分。

图 17B 为截自图 17A 的 A-A' 截面的掺杂分布曲线图。侧壁 384 射程为 R_{P2} ，峰值浓度 387，深 N 层射程为 R_{P1} ，峰值掺杂剂浓度 388。在重叠于区域 385，深 N 层 383 和侧壁 384 的分布叠加在一起，掺杂剂浓度沿曲线 386 逐渐从峰值 387 降低到峰值 388。在深 N 层 383 的底部，在深 N 层 383 和 P 衬底 381 之间的结处净掺杂剂浓度降到零。曲线 386 区域中的掺杂浓度应当尽量高，以实现良好的隔离。

图 17C 和 17D 示出了两种其他的可能性。在图 17C 中，侧壁 384 和 N 掩埋区域 383 的相应射程分开得更宽，结果，曲线 386 所代表的掺杂剂浓度降到了低于深 N 层 383 的峰值浓度 388 的最小值。这是一种不如图 17B 所示的分布好的分布。图 17D 示出了一实施例，其中深 N 层 383 和侧壁 384 由本征 P 区域分隔（如图 17E 所示的截面所示）。这是更不合乎需要的实施例，因为隔离区非常容易泄漏，且器件的电性能不可预测。

图 18A-18D 给出了图 17D 和 17E 定义的问题的解决方案，其中深 N 层很深，使得在它和侧壁之间有一缝隙。在图 18A 中，器件 400 包含两个重叠于的注入 404 和 405，其以不同能量形成在不同深度以形成侧壁 406。下注入 404 也与深 N 层 403 重叠于。侧壁 406 和深 N 层 403 一起包围着 P 衬底 401 的区域 402。

在图 18B 中，以依次变大的能量和深度形成四个注入 411、412、413 和

414。注入 411-414 中的每一个都与其上面和/或下面的注入重叠于，形成连续的垂直侧壁 419。重叠于区域被标为 415-418。

类似地，根据所需要的侧壁的高度，可以使用任意数量的注入。典型地，每一注入仅持续几分之一秒，因此整个壁可以用快速连续的脉冲注入很快形成。图 18C 和 18D 为通过由一系列脉冲注入形成的侧壁的垂直截面获得的掺杂剂分布曲线。在两种情况下，注入 NI_1 、 NI_2 和 NI_3 （或深 N 层 DN）分别具有 RP_1 、 RP_2 和 RP_3 的投影射程和峰值掺杂剂浓度 420、421 和 422。在图 18D 中，每次注入的剂量相同，结果，随着注入越深，峰值浓度在下降。发生这种现象是因为随着射程的增加分散 (ΔRP) 在增加；因此，如果剂量相同，同样数量的杂质原子分散在更大的垂直距离上，峰值掺杂浓度必然会降低。在图 18C 中通过随注入变深增大剂量克服了这一效应。结果，每个注入中的峰值掺杂剂浓度几乎保持相同。

图 19A-19D 示出了用于制造具有图 18A-18D 所示种类的侧壁的隔离区的工艺步骤。图 19A 示出了通过光致抗蚀剂层 453 中的开口 450 在 P 衬底 451 中注入深 N 层 454。光致抗蚀剂层 453 被除去并代之以光致抗蚀剂层 460。如图 19B 所示，在光致抗蚀剂层 460 中形成开口 462 并以稍小于用于深 N 层 454 的能量完成注入 461。接着完成注入 463（图 19C）和注入 464（图 19D），其中每一个通过光致抗蚀剂层 460 的同一开口 462 以依次更低的能量完成。由于这一工艺是在低温下进行的，阴极注入 461、463 和 464 只有极少的水平散布，从而得到了界限清晰的垂直侧壁。结果是形成了包围 P 衬底 451 的区域 452 的隔离结构。

图 20A-20D 示出了在 P 衬底 482 的表面上生长场效应氧化物区域 481a 和 481b 之后执行的类似操作的相应步骤。在通过光致抗蚀剂层 485 的开口注入深 N 层 484 时，场效应氧化物区域 481a 和 481b 使得在深隔离层 484 中形成了升高的部分 484a 和 484b。不过，场效应氧化物区域 481a 和 481b 使得注入 486 具有碟形轮廓，这补偿了深 N 层 484 的升高部分 484a 和 484b（图 20B）。类似地，注入 488 和 489 也具有碟形，这补偿了其下的注入的形状（图 20C 和 20D）。结果，图 20D 所示的包围 P 衬底 482 的区域 483 的侧壁基本上具有与图 19D 所示的侧壁相同的紧凑的垂直剖面。

实际上，通过利用持续增大的能量提供注入而不是脉冲注入可以无限地增加注入的数量。如果浓度要在整个侧壁中保持相同，也可以随着能量提高

剂量。

如上所述，即使由该工艺形成的侧壁具有非常紧凑的垂直形状，掺杂剂仍然有一些不可避免的水平扩散。这在图 21A 中示出，其中，尽管光致抗蚀剂层 506 中的开口水平尺度为 Y_{PR} ，注入 504 和 505 分别横向扩散到尺度 Y_{NI1} 和 Y_{NI2} ，两者都稍大于 Y_{PR} 。实际上，注入越深，水平扩散的范围或“分散”越大，即， Y_{NI2} 会典型地大于 Y_{NI1} 。这样一来，如果必须要形成非常深的隔离区，深注入必然带来的水平分散的量可能会超过实现器件所需的最小形体尺寸可接受的程度。

这一问题的一种解决方案如图 21B 所示，其中在 P 衬底 511 中形成了填充氧化物的沟槽 514。填充氧化物的沟槽 514 邻接深 N 层 513 以形成包围 P 衬底 511 的区域 512 的隔离区。这一结构可以如下形成：注入深 N 层 513，蚀刻沟槽，在沟槽中淀积氧化物（例如，通过 CVD 工艺），并平面化氧化物填充物的顶面。

在有些情况下，可能难以在填充氧化物的沟槽和深掩埋层之间实现适当的重叠。可以使用图 21C 所示的技术解决这一问题，其中通过填充氧化物的沟槽 524，即在沟槽被介质填充之后，注入如磷的 N 型掺杂剂。P 衬底 521 的表面利用光致抗蚀剂层 525 掩蔽。因为沟槽 524 中的氧化物对掺杂剂的通过有着比衬底稍强的抵抗力，因此形成了稍呈杯形或碟形的深 N 层 523，从沟槽 524 的底部向下延伸，转到水平方向，然后朝着相邻沟槽（未示出）的底部向上转弯。除去光致抗蚀剂层 525，得到图 21D 所示的结构。注意，为了清楚起见，放大了深 N 层 523 的曲率。

另一个设计者必须要注意的条件是在衬底表面处深层和重掺杂区域之间的穿通击穿的可能性。这一问题在图 22A 和 22B 中示出。图 22A 示出了一个器件 530，其 P 衬底 531 的区域 532 被深 N 层 533 和侧壁注入 534 和 535 所包围。深 N 层 533 与 P 衬底 531 表面的 N+ 区域 536 隔开垂直距离 X_{NIN} 。图 22B 示出了与之形成对比的器件 540，其与器件 530 相同，只不过在被包围的区域中形成了更为重掺杂的 P 阱 537，且深 N 层 533 与 N+ 区域 536 隔开垂直距离 X_{NPN} 。

图 22C 为一曲线图，示出了 N+ 区域 536 和深 N 层 533 之间的击穿电压作为用于形成深 N 层 533 的注入能量的函数的变化（其与图 22A 和 22B 所示的垂直距离 X_{NIN} 和 X_{NPN} 直接相关）。如图所示，在器件 540（曲线 542）

中，在深 N 层变得相当浅之前，击穿电压基本保持恒定，其中在 $V_{PT}(NPN)$ 处发生穿通。在器件 530（曲线 544）中，在 $V_{PT}(NIN)$ 处发生穿通之前击穿电压直接随着深 N 层的注入能量变化， $V_{PT}(NIN)$ 比 $V_{PT}(NPN)$ 高相当多。因此提供 P 阱从总体上降低了击穿电压，但使得击穿电压在发生穿通之前对垂直距离相对地不敏感。在被包围的区域中“照原样”保留 P 衬底在垂直距离 X_{NIN} 较大时增大了击穿电压，但击穿电压对 X_{NIN} 敏感且在 X_{NIN} 值较大时发生穿通。

依赖高温扩散的工艺在高温工艺过程中导致硅中所有的掺杂剂扩散和重新分布。总的“热时间”，即对衬底进行高温处理的时间一般称为工艺的“热预算”。由于 IC 和晶体管的制造过程一般使用一系列可能涉及各种时长的不同温度扩散的步骤，一般不容易仅使用温度和时间对各种不同工艺的累积热预算进行比较。不过，实际上在任何工艺中第一个被引入硅中的掺杂剂确实会在工艺的整个热预算中经历扩散，因此工艺的“热预算”从第一个掺杂剂被引入衬底的时间开始计量。这些掺杂剂在热处理过程中的运动受 Fick 扩散定律的支配，如 A.S. Grove 在 *Physics and Technology of Semiconductor Devices*（《半导体器件物理和技术》）（1967）第 50 页中所描述的，该定律被写成一个描写高斯型掺杂剂浓度分布 $N(x)$ 作为时间函数的方程：

$$N(x) = N_0 \cdot e^{-\frac{x^2}{4Dt}}$$

其中 D 为掺杂剂在衬底中的扩散系数， t 为时间， N_0 为由如下关系式以注入剂量 Q 描述的扩散过程中任意给定时间的表面浓度：

$$N_0 = \frac{Q}{\sqrt{\pi(Dt)}}$$

两个方程共同揭示了，热预算 Dt 的增加成比例地降低了表面浓度 N_0 和任意深度处掺杂剂的浓度 $N(x)$ 。对任意扩散的结深 X_j 整理方程，得到

$$x_j = \sqrt{-4(Dt) \ln\left(\frac{N(x_j)}{N_0}\right)}$$

其中 $N(x_j)$ 为扩散发生到其中的相反导电类型层的本底掺杂浓度。因此，结的深度大致与其“ Dt ”热预算的平方根成正比。因此，可以简单地通过将每一部分的 Dt 值求和得到整个工艺的总 Dt 值，用 Dt 描述单次扩散或

一系列许多时间和温度都不同的扩散。

扩散系数 D 是温度 T 、掺杂剂种类（例如硼 B、磷 P、砷 As 或锑 Sb）的函数，在有些情况下，例如磷，还稍微依赖于浓度。这些掺杂剂的扩散系数在 O.D. Trapp 等人的 Semiconductor Technology Handbook（《半导体技术手册》）（1980 年版）4-6 页中给出，或者通过仿真获得。

根据本发明的工艺可以使用如下面表 3 中给出的热预算非常低的工艺，例如，其中大部分扩散，即，最大的 Dt ，发生在形成栅极氧化层和 S/D 注入氧化期间。更高温度栅极氧化（850℃）的动机是为了获得高质量的氧化物。S/D 注入氧化用来使栅极的侧壁隔离层的侧壁氧化物增加密度，该侧壁氧化物是一开始淀积的。

表 3
低热工艺示例

工序			硼		磷	
步骤	温 度 (℃)	时 间 (分)	Dt (步 骤)	Dt (总 和)	Dt(步骤)	Dt (总 和)
栅极氧化 1	850	75	0.000340	0.000340	0.00451	0.00451
栅极氧化 2	850	52	0.000236	0.000576	0.00313	0.00764
S/D 氧化	850	56	0.000254	0.000830	0.00337	0.01101
RTA	960	0.4	0.000017	0.000847	0.00005	0.01106
RTA	900	0.3	0.000003	0.000850	0.00004	0.01110

这样一来，累积热预算为所有单个步骤的所有 Dt 值之和。在上面描述的示例工艺中，硼的总 Dt 为 $0.00085 \mu\text{m}^2$ ，磷的为 $0.01110 \mu\text{m}^2$ 。一般地，低热预算可以认为是这样一种情况，其大部分的热预算发生在 850℃ 下总计不到 4 小时内，或者（考虑到种种工艺流程）其总的 Dt 热预算对硼来说低于 $0.03 \mu\text{m}^2$ 或对磷来说低于 $0.05 \mu\text{m}^2$ 。

一可选实施例为场效应氧化或部分阱扩散使用了中等热预算，其可以包括 1000℃ 或更高温度但不超过 1100℃ 下两到三小时的热时间（参见表 4）。在这期间，会发生显著的但并非无法忍受的掺杂剂再分布，特别是在深注入层中。中等热预算可以通过硼的 Dt 值在 $0.3 \mu\text{m}^2$ 以下且磷的 Dt 值在 0.5μ

m² 以下的工艺近似，或者粗略地比低热预算工艺流程高一个数量级。

表 4

中等热预算步骤

工艺			硼	磷
步骤	温度 (°C)	时间 (分)	Dt (步骤)	Dt (步骤)
场效应氧化	1000	120	0.0141	0.0212
	1050	120	0.0481	0.0707
	1100	120	0.1458	0.2380

与此相反，如表 3 所列举的，用于深高压阱、深隔离结、高压双极性基极扩散和 DMOS 晶体管主体扩散的常规高热预算工艺可能包括非常长的扩散，典型地，根据所需的深度从 3 小时到 15 小时。这些扩散导致所有掺杂剂发生显著的重新分布，尤其是在深掩埋层或结中更是如此。

表 5

高热预算工艺步骤

工艺			硼	磷
步骤	温度 (°C)	时间 (小时)	Dt (步骤)	Dt (步骤)
常规基极扩散	1100	6	0.4374	0.714
DMOS 主体扩散	1100	10	0.729	1.190
结隔离扩散	1100	15	1.094	1.785

上文实施例应被看作例证性的而不是限制性的。对于本领域的技术人员来说，根据本发明的宽阔原理，许多其他的实施例将是显而易见的。

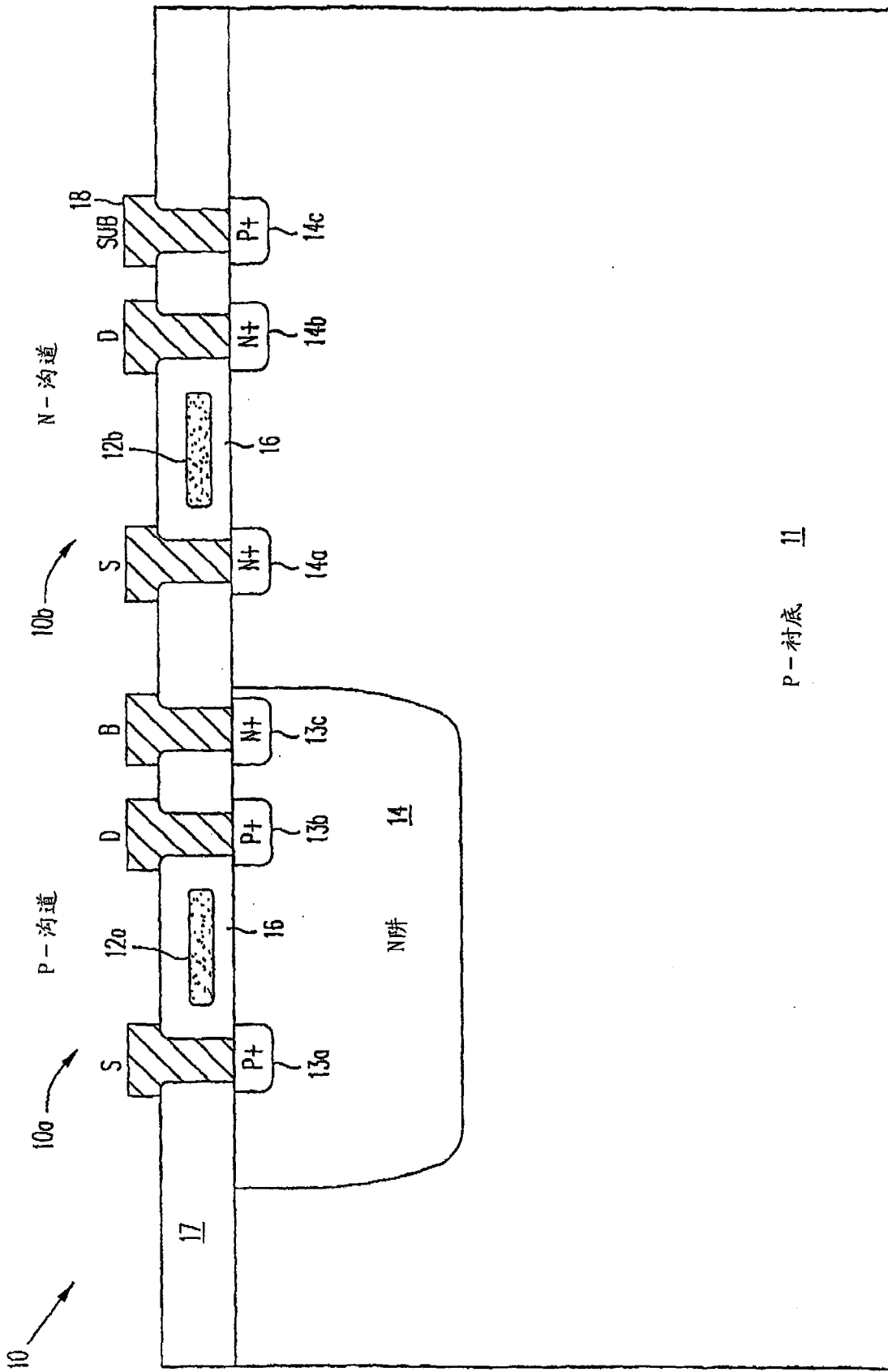
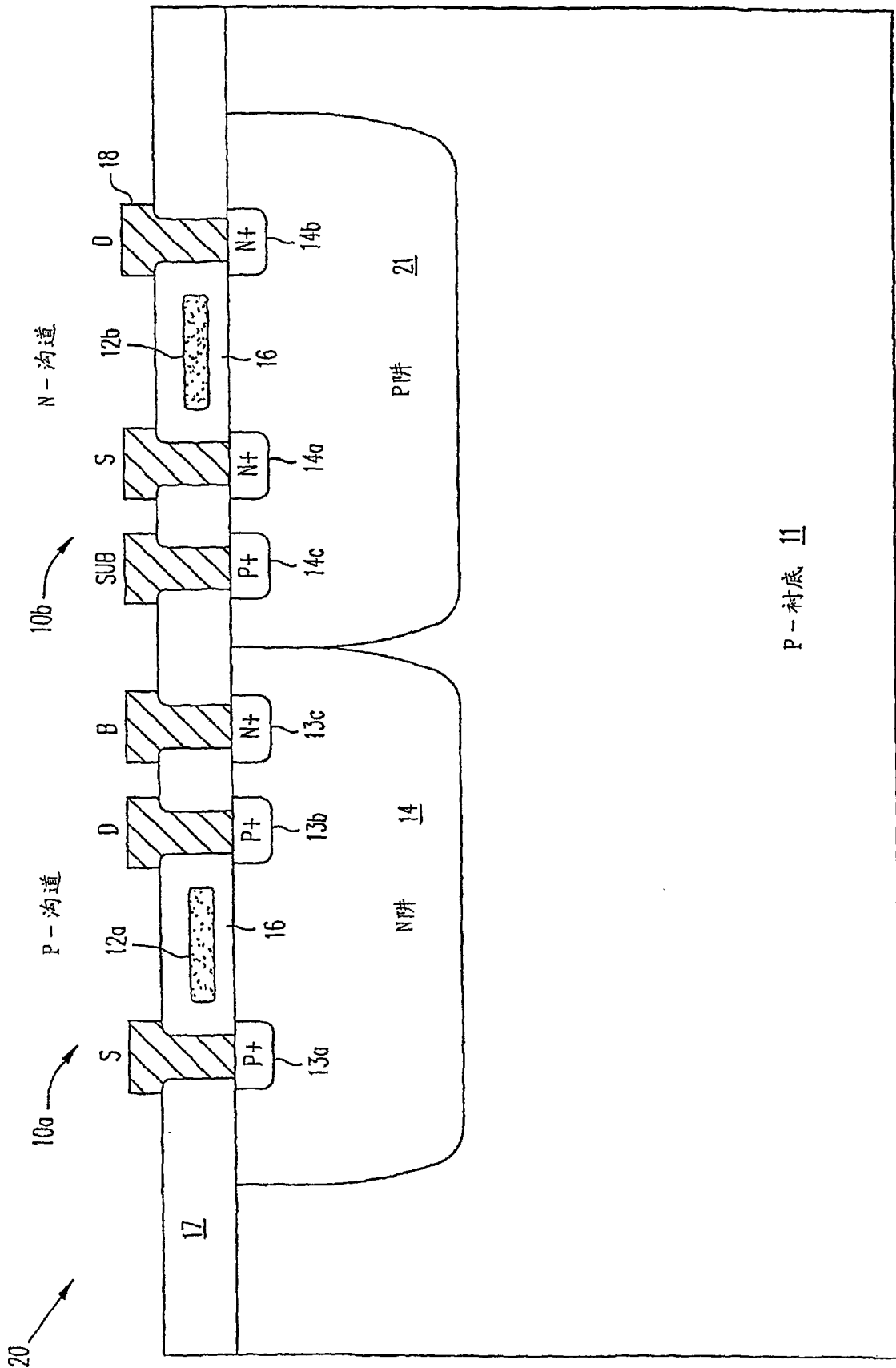


图 1A



P-衬底 11

图 1B

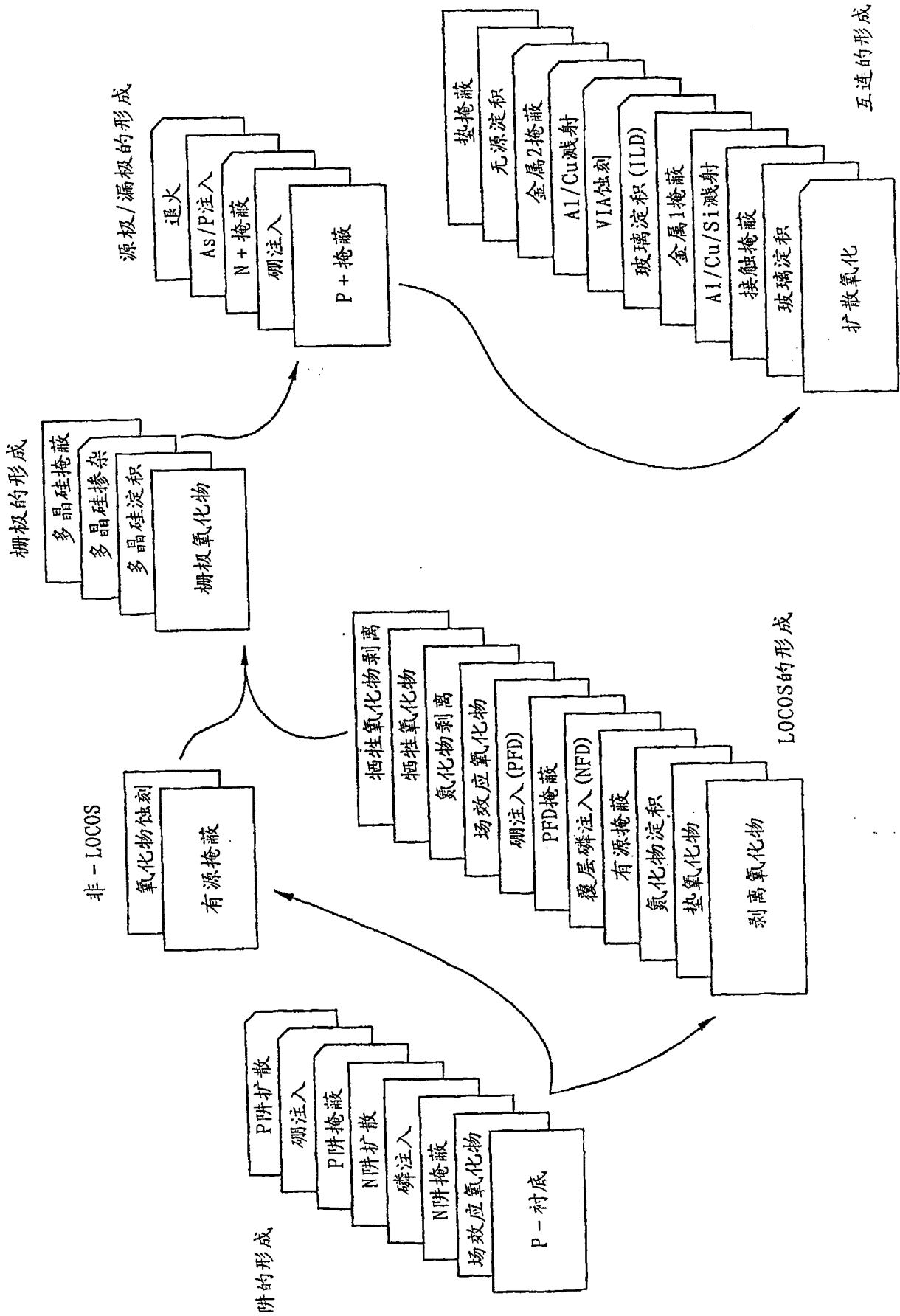


图 1C

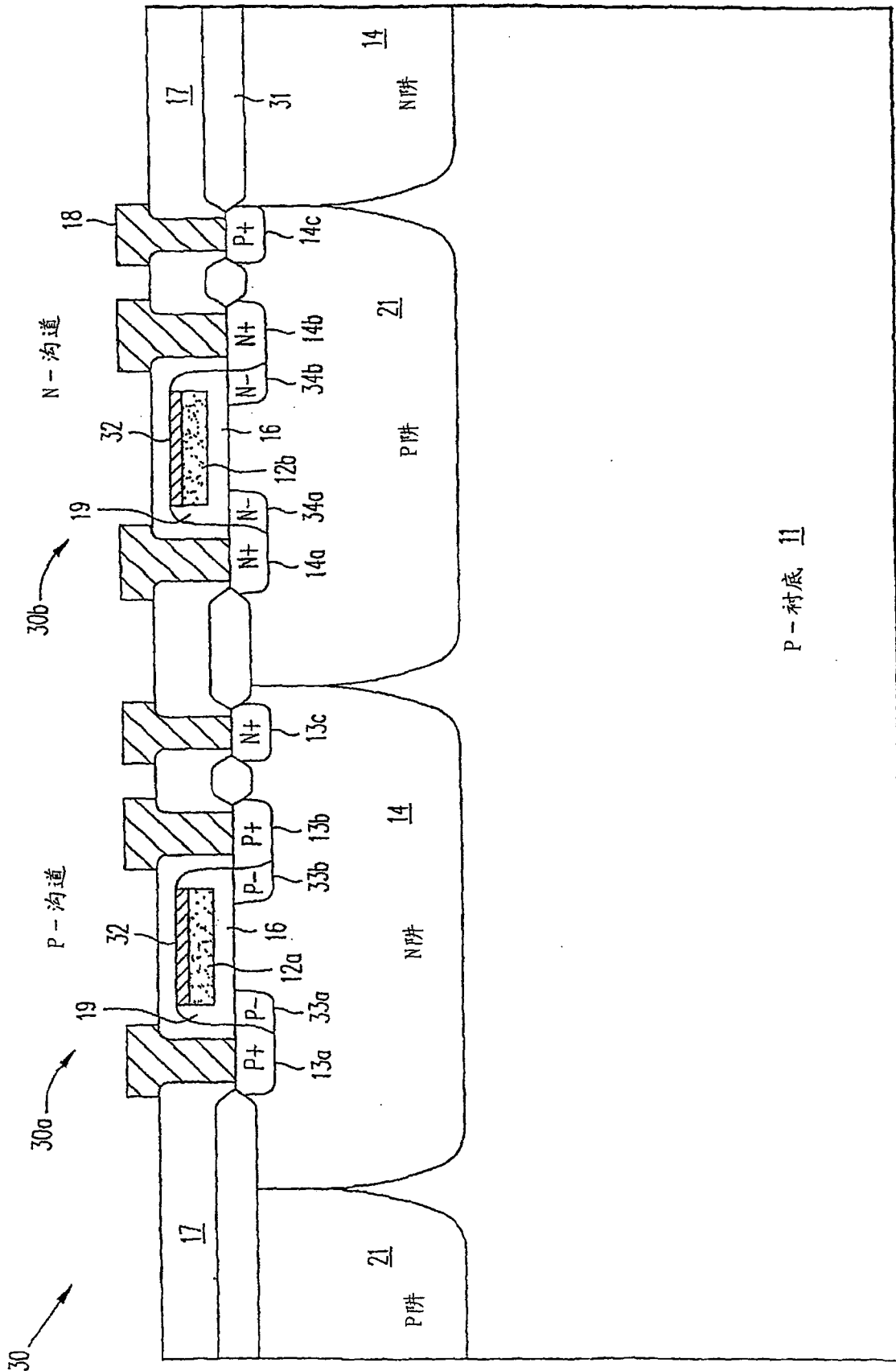


图 2A

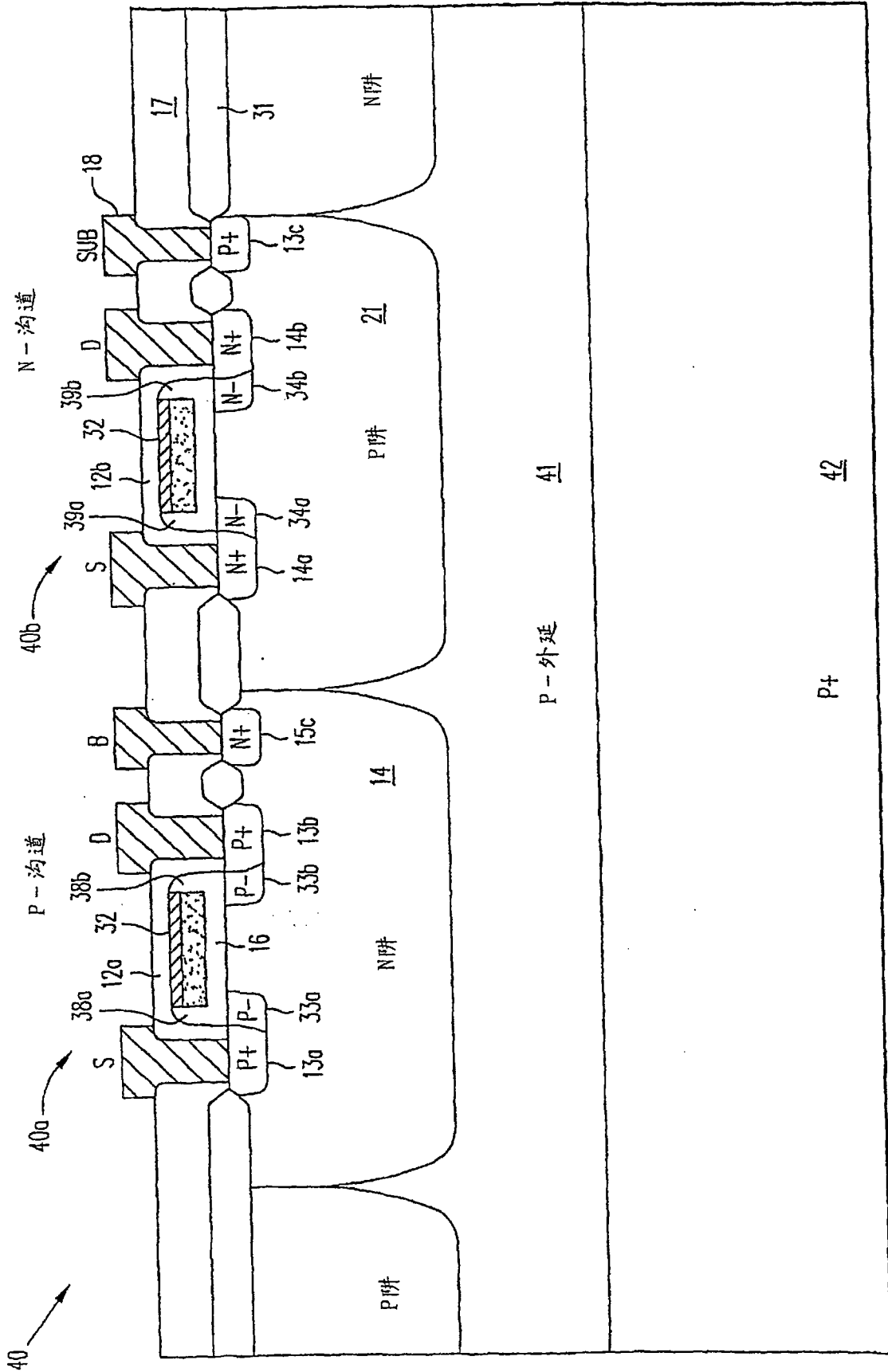


图 2B

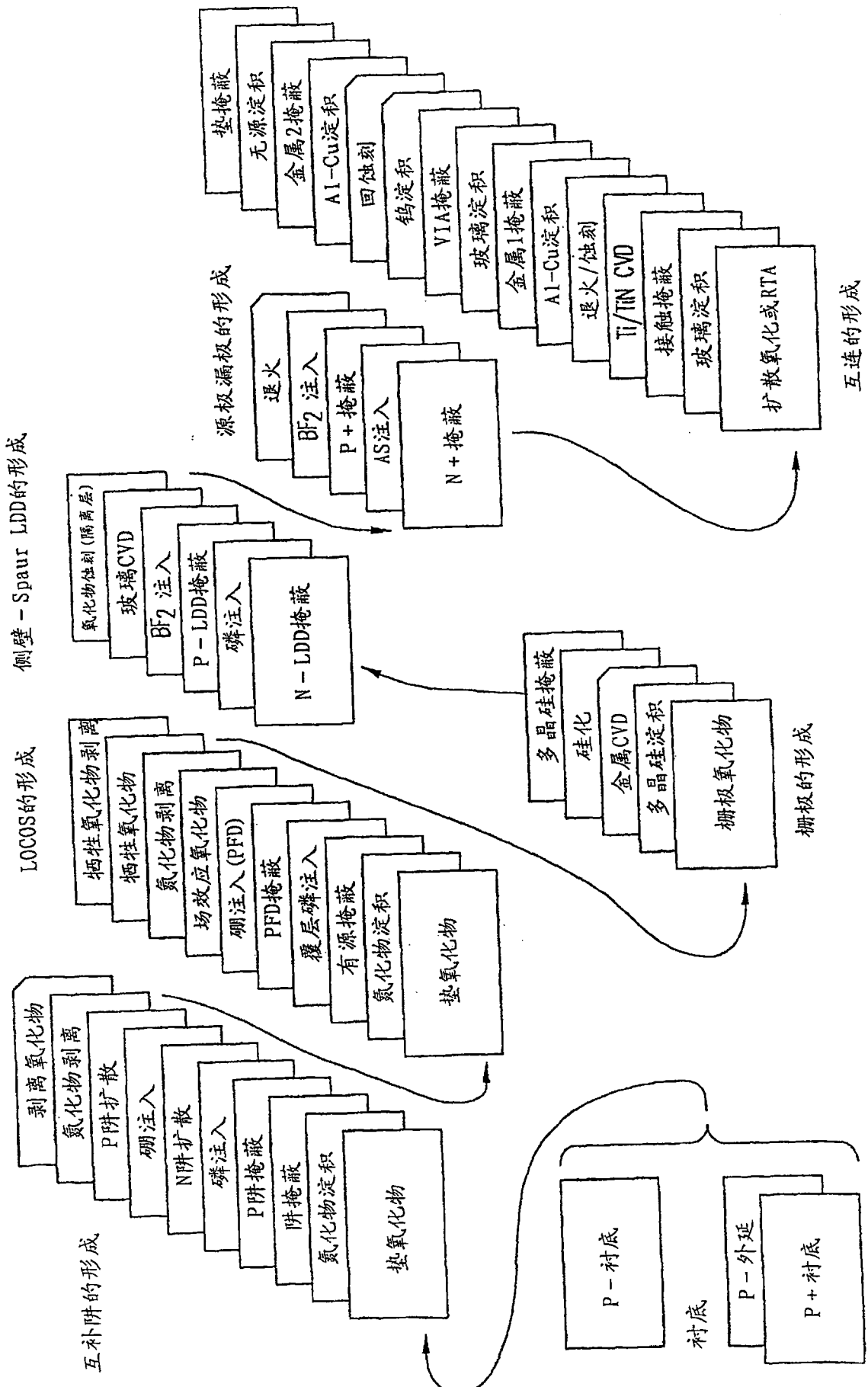


图 2C

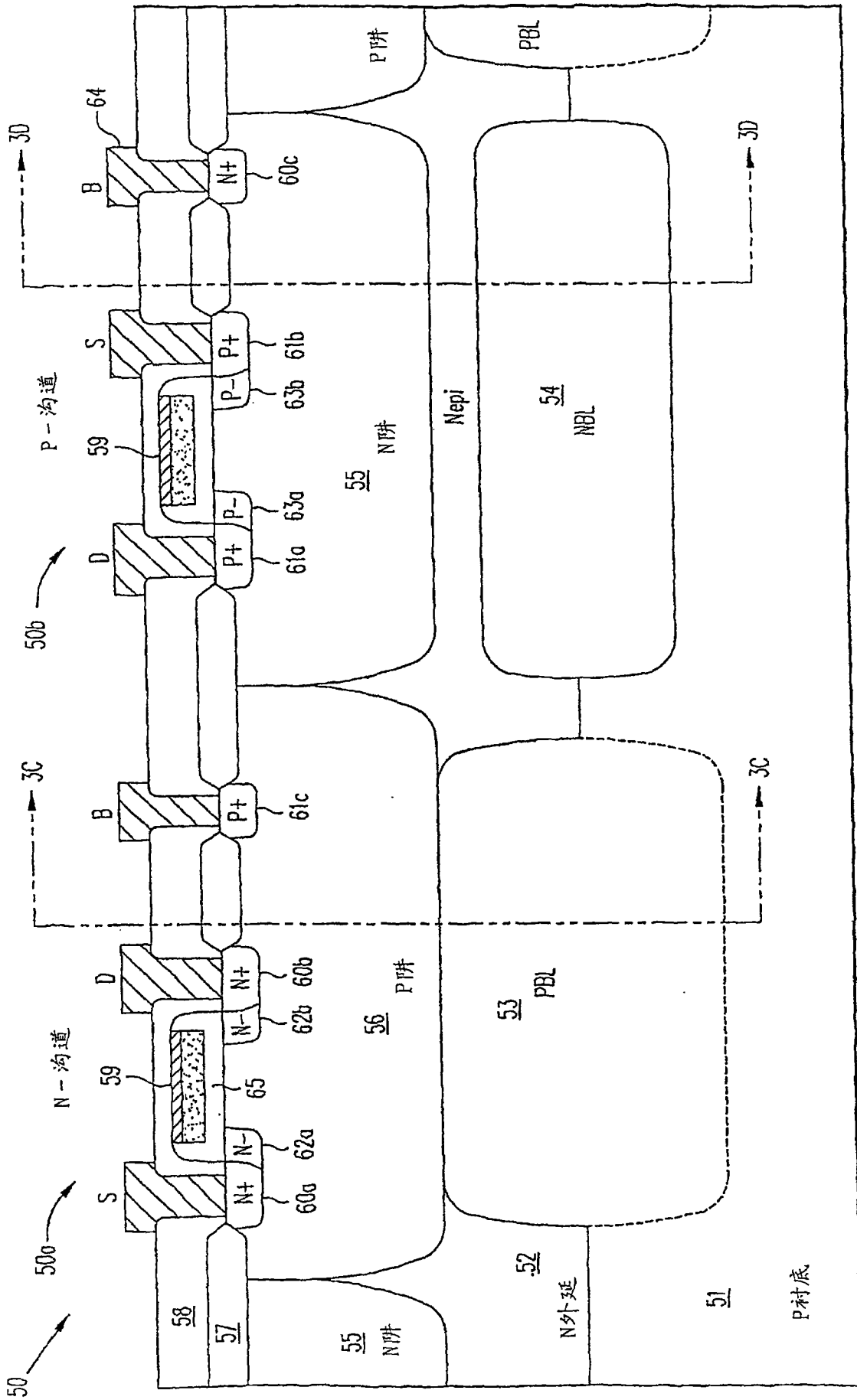


图 3A

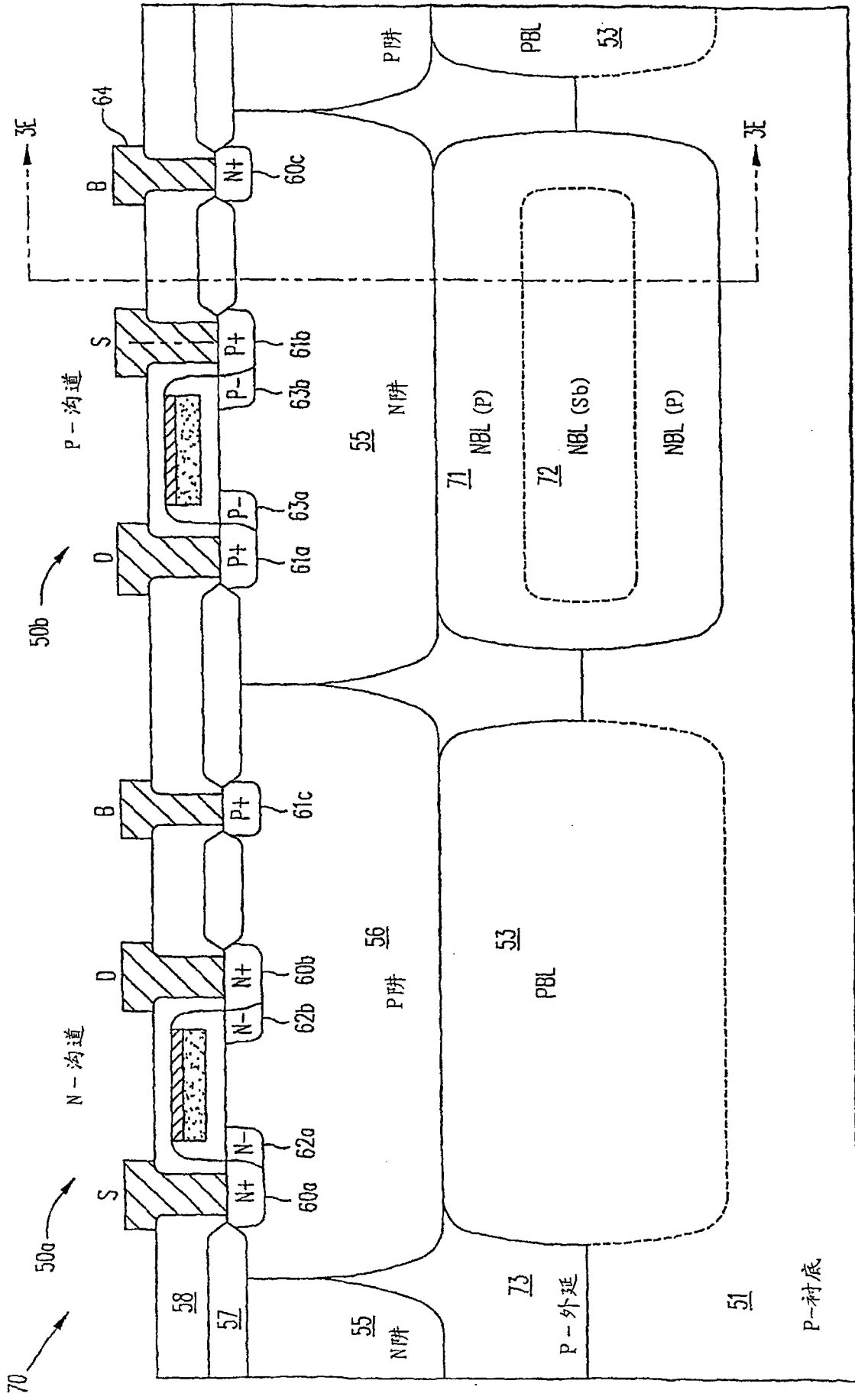


图 3B

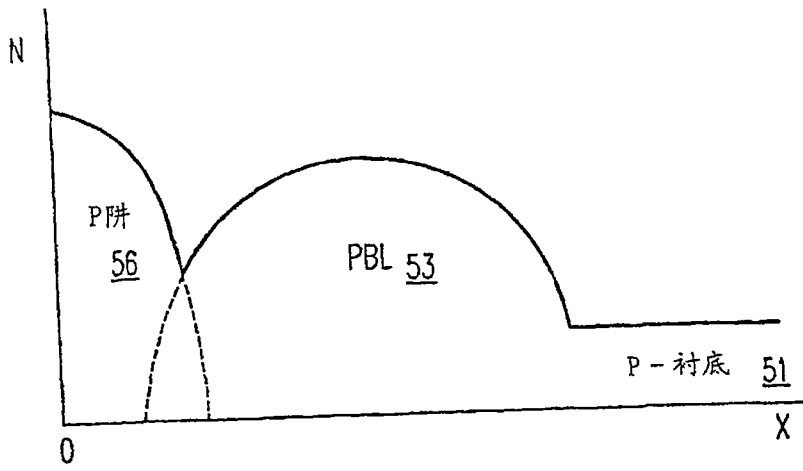


图 3C

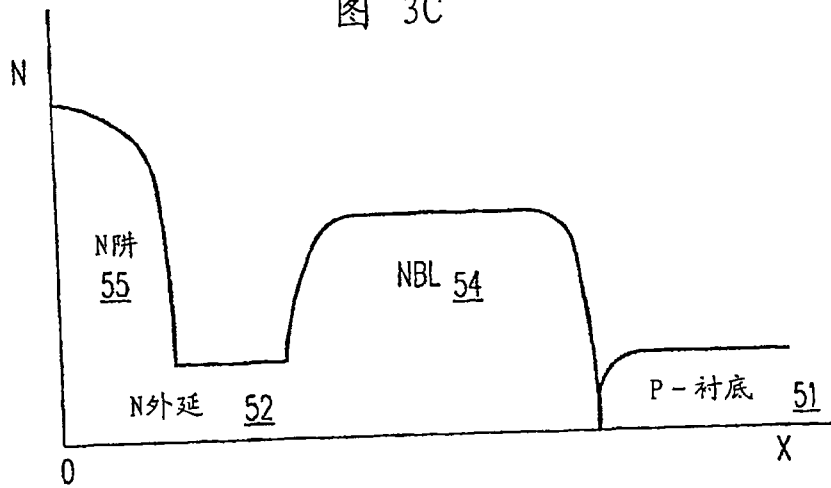


图 3D

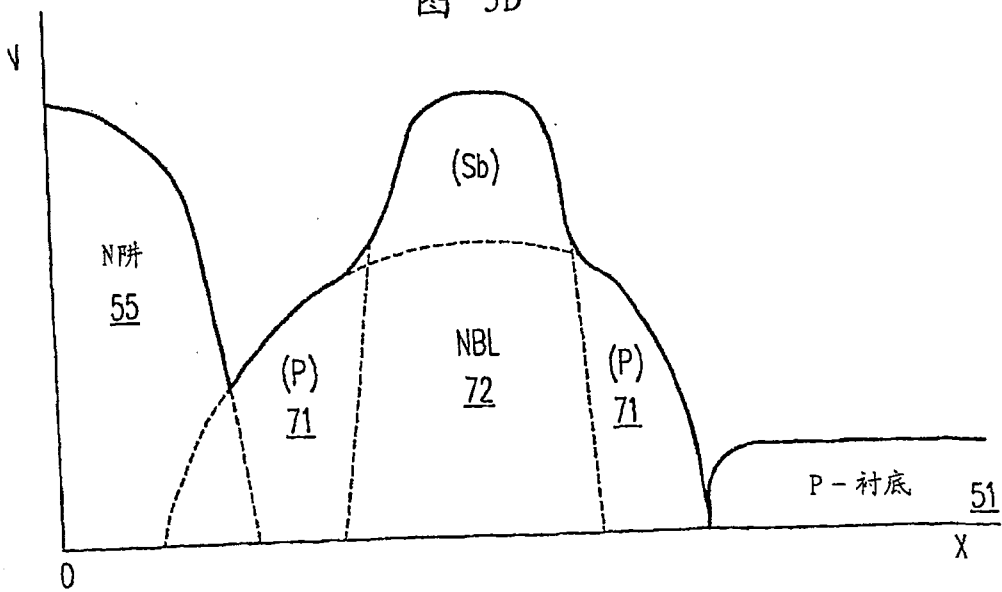


图 3E

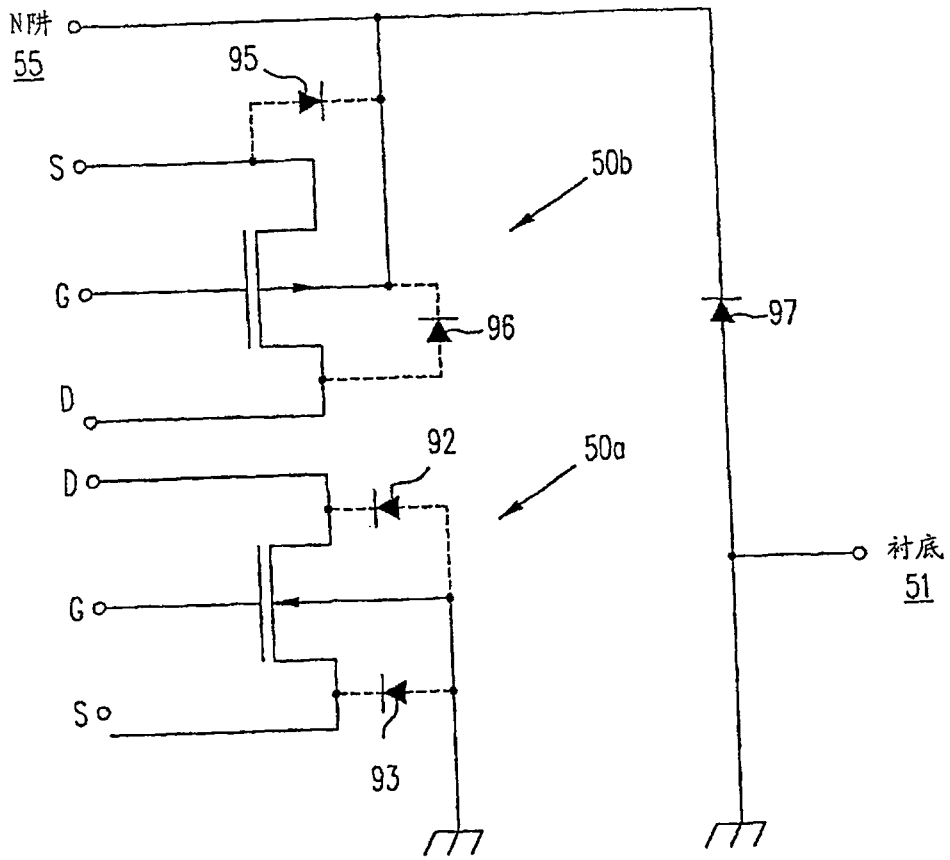


图 4A

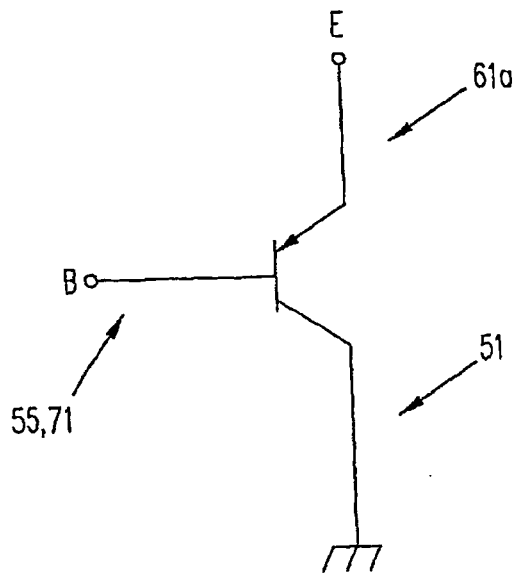


图 4B

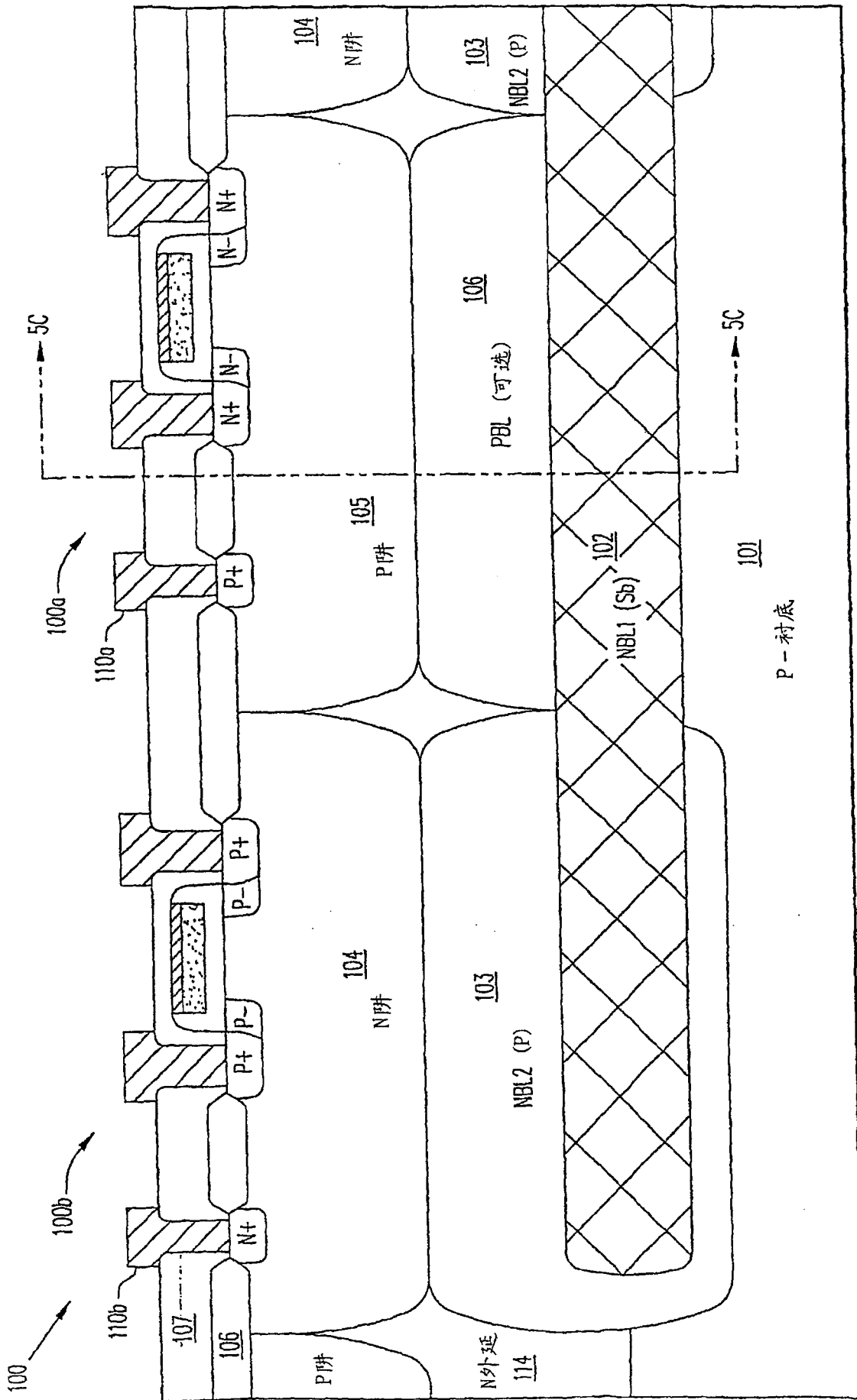


图 5A

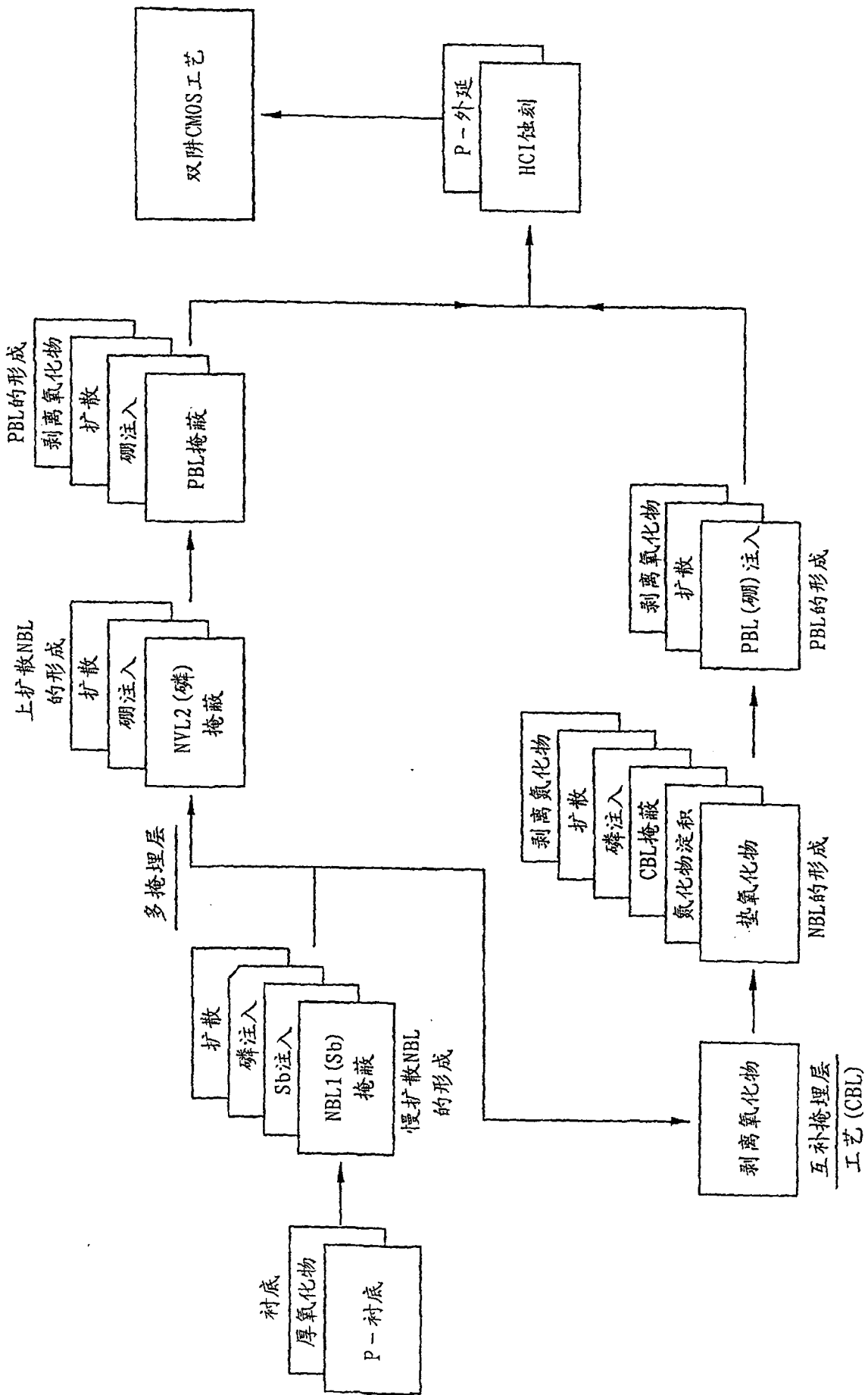


图 5B

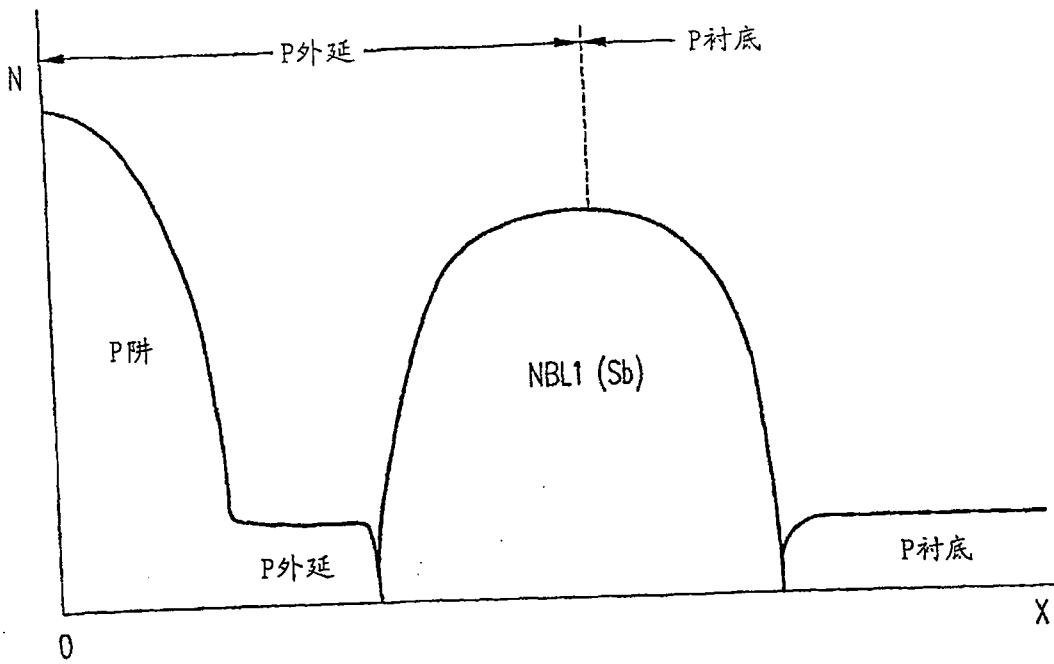


图 5C

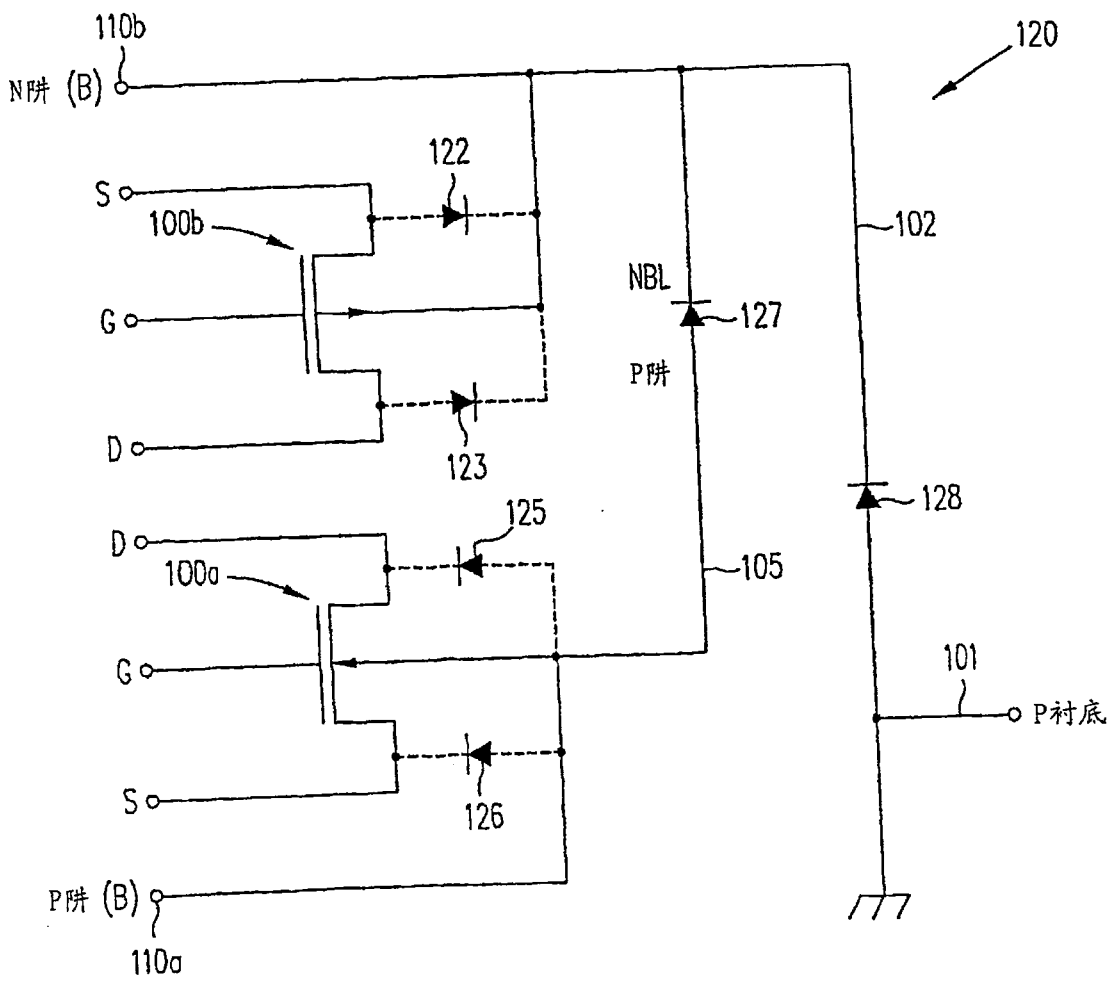


图 5D

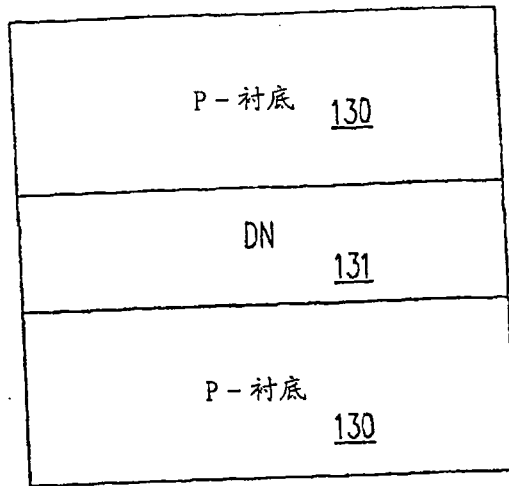


图 6A

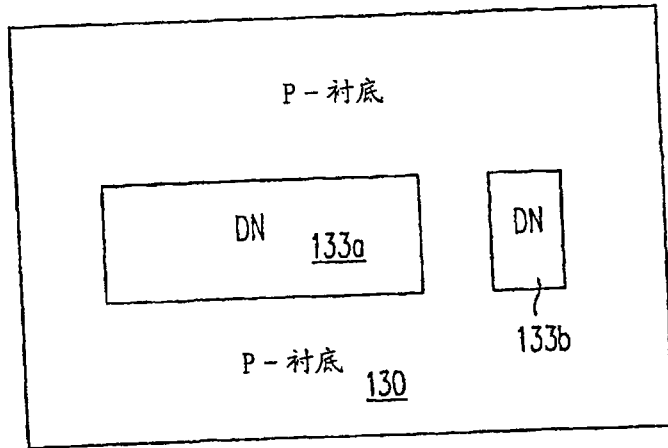


图 6B

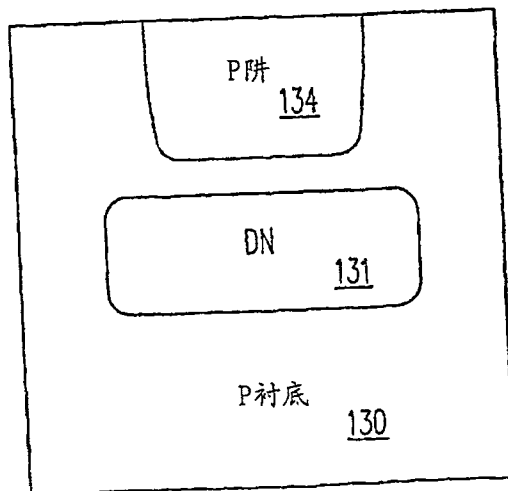


图 6C

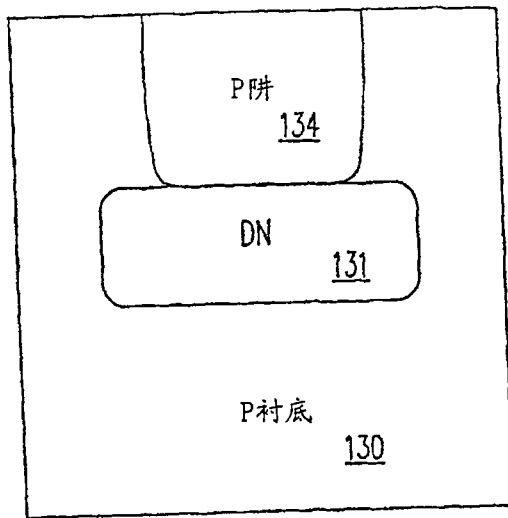


图 6D

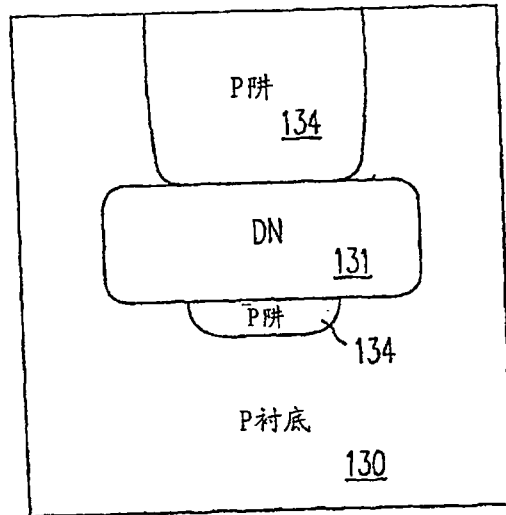


图 6E

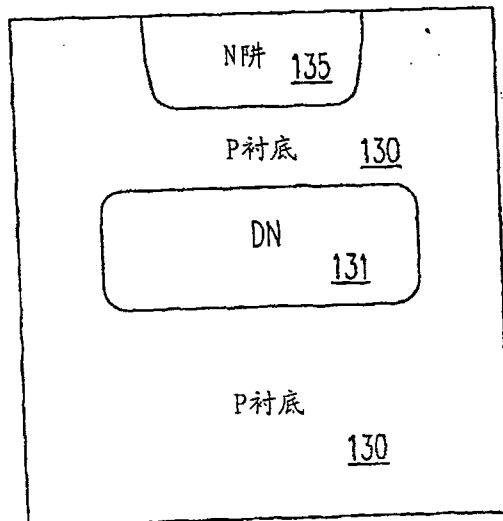


图 6F

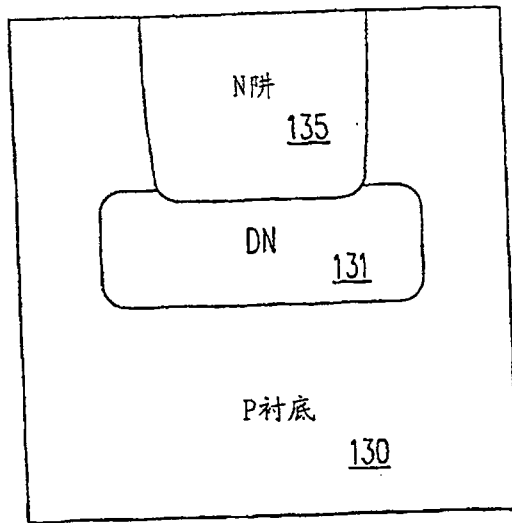


图 6G

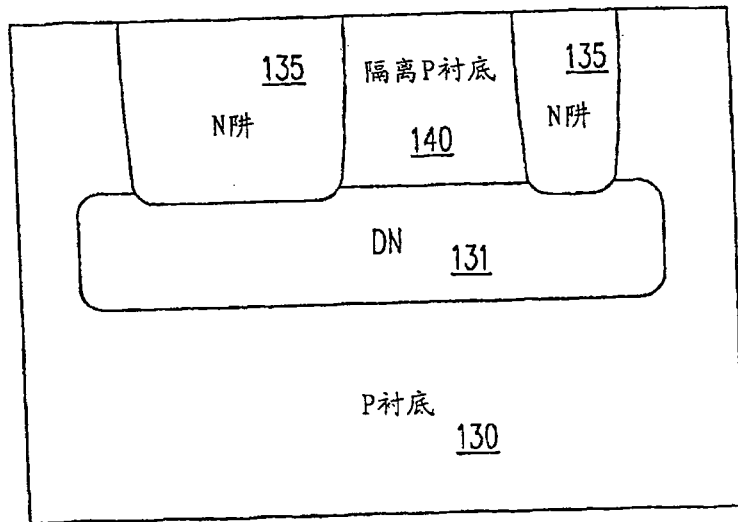


图 6H

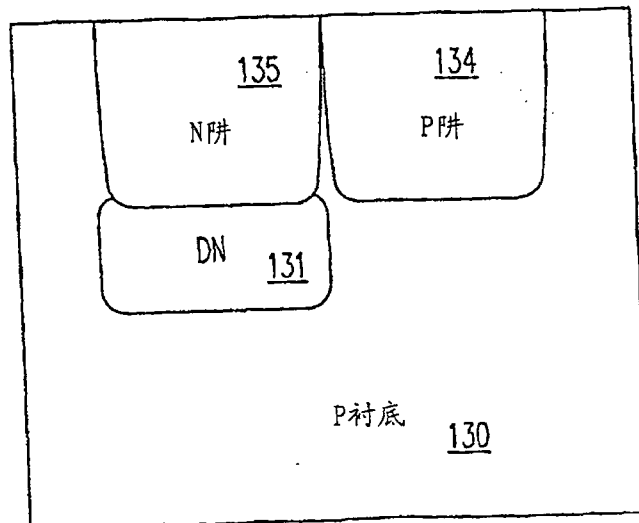


图 6I

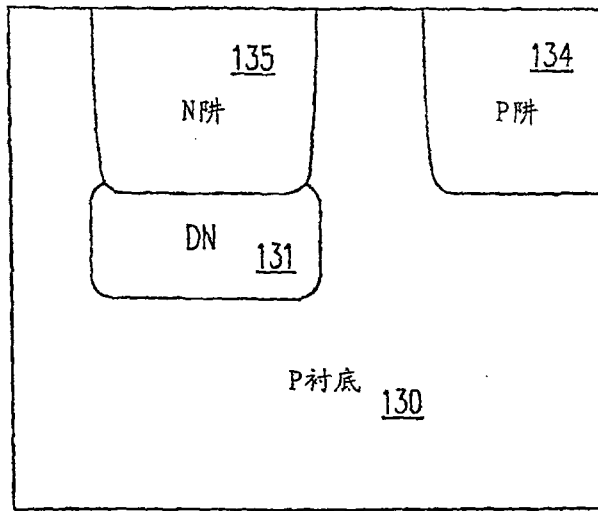


图 6J

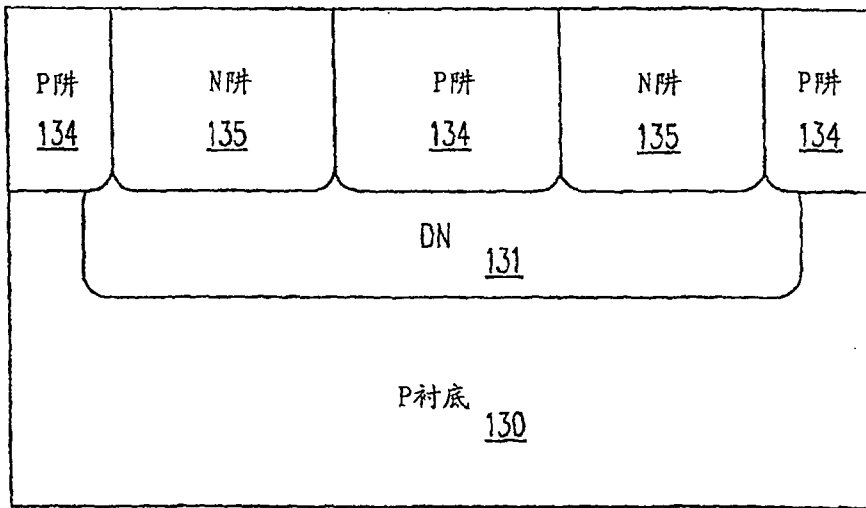


图 6K

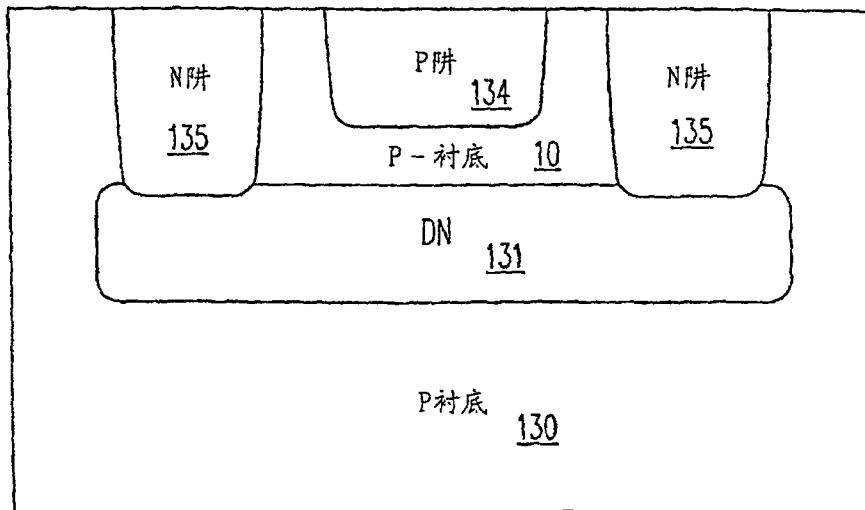


图 6L

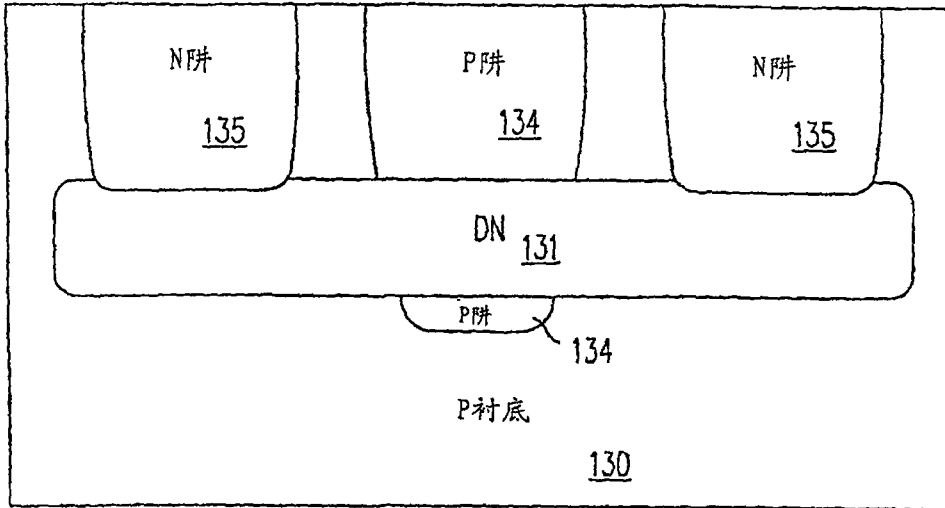


图 6M

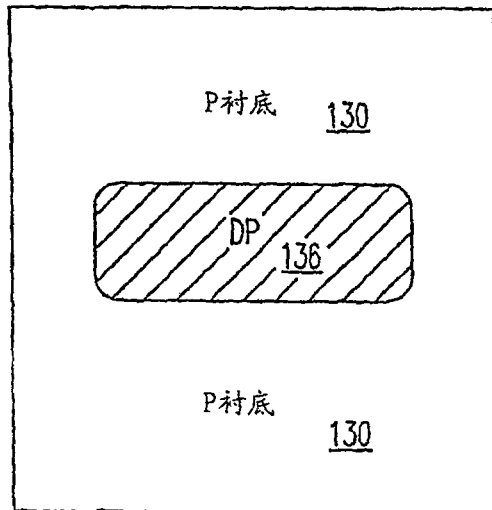


图 6N

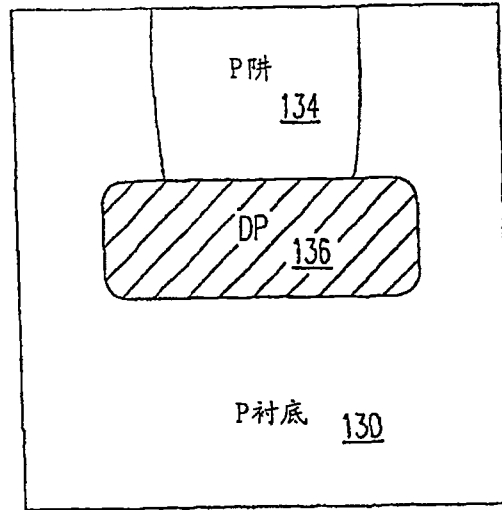


图 60

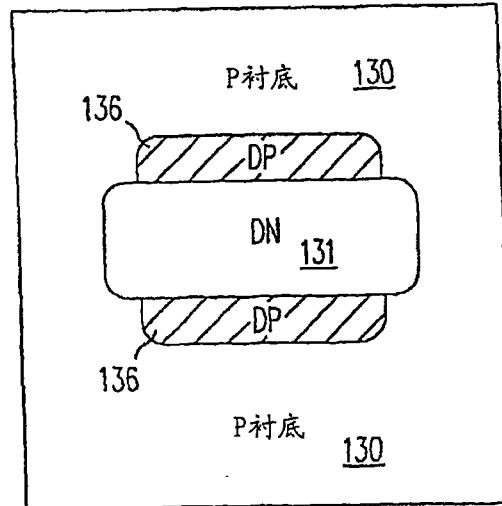


图 6P

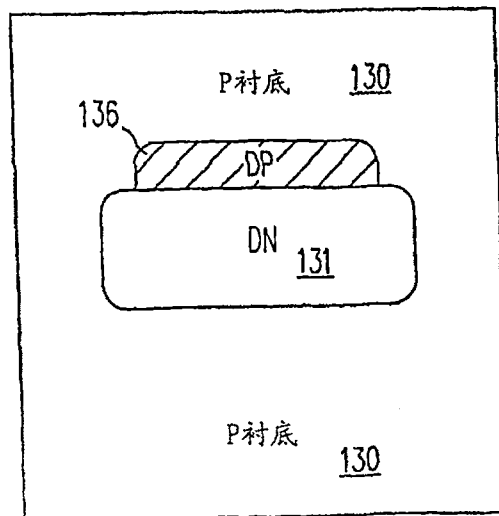


图 6Q

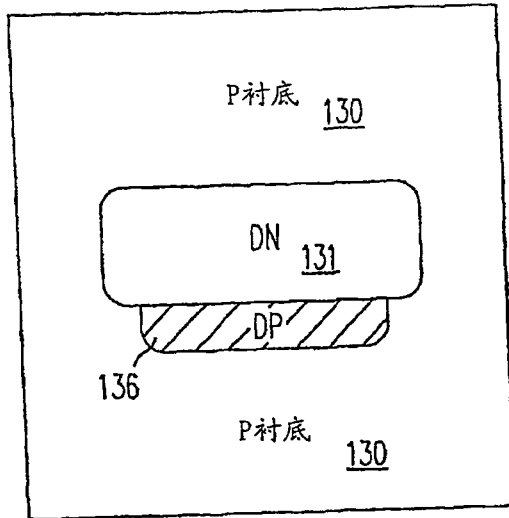


图 6R

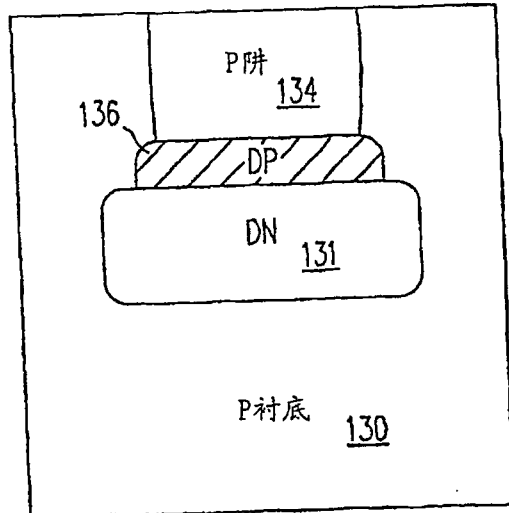


图 6S

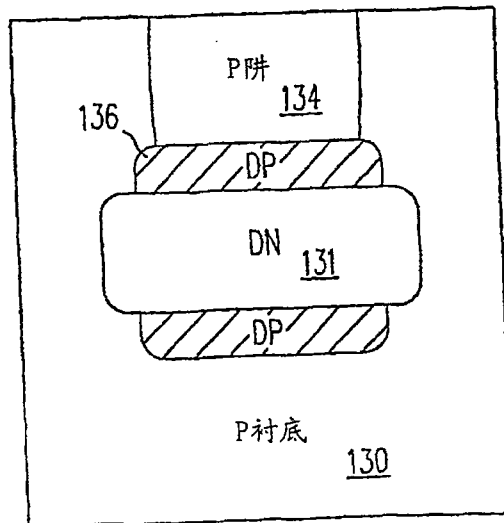


图 6T

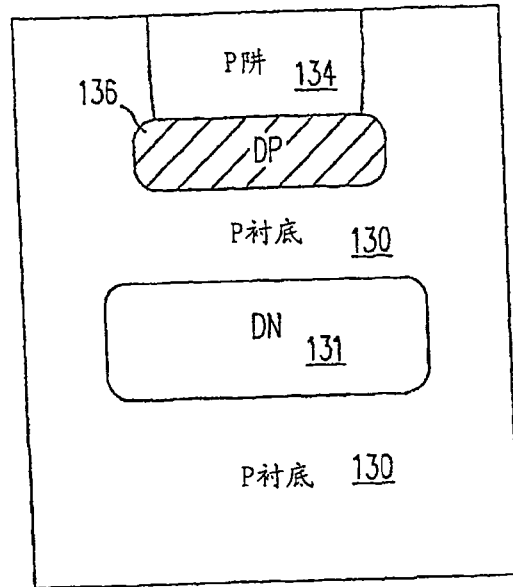


图 6U

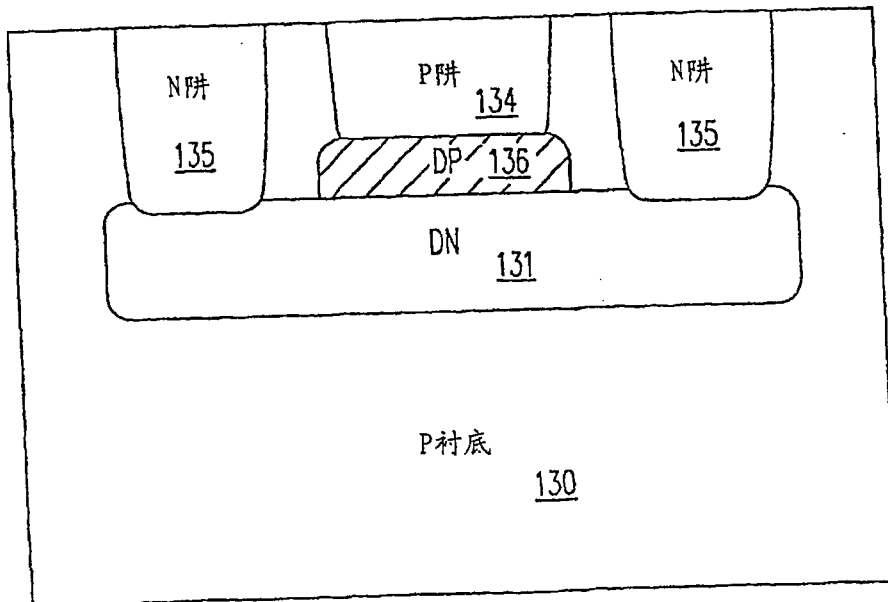


图 6V

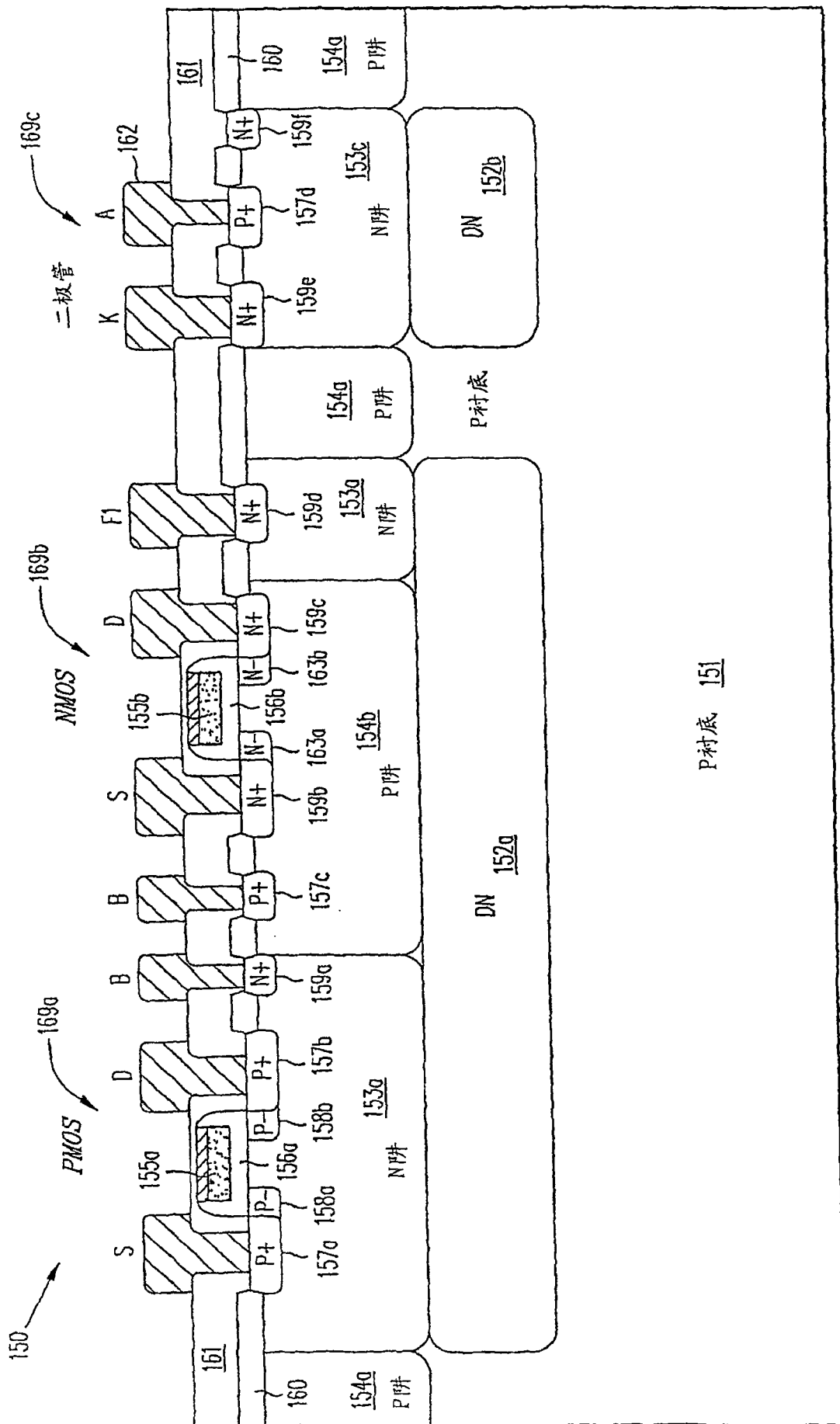
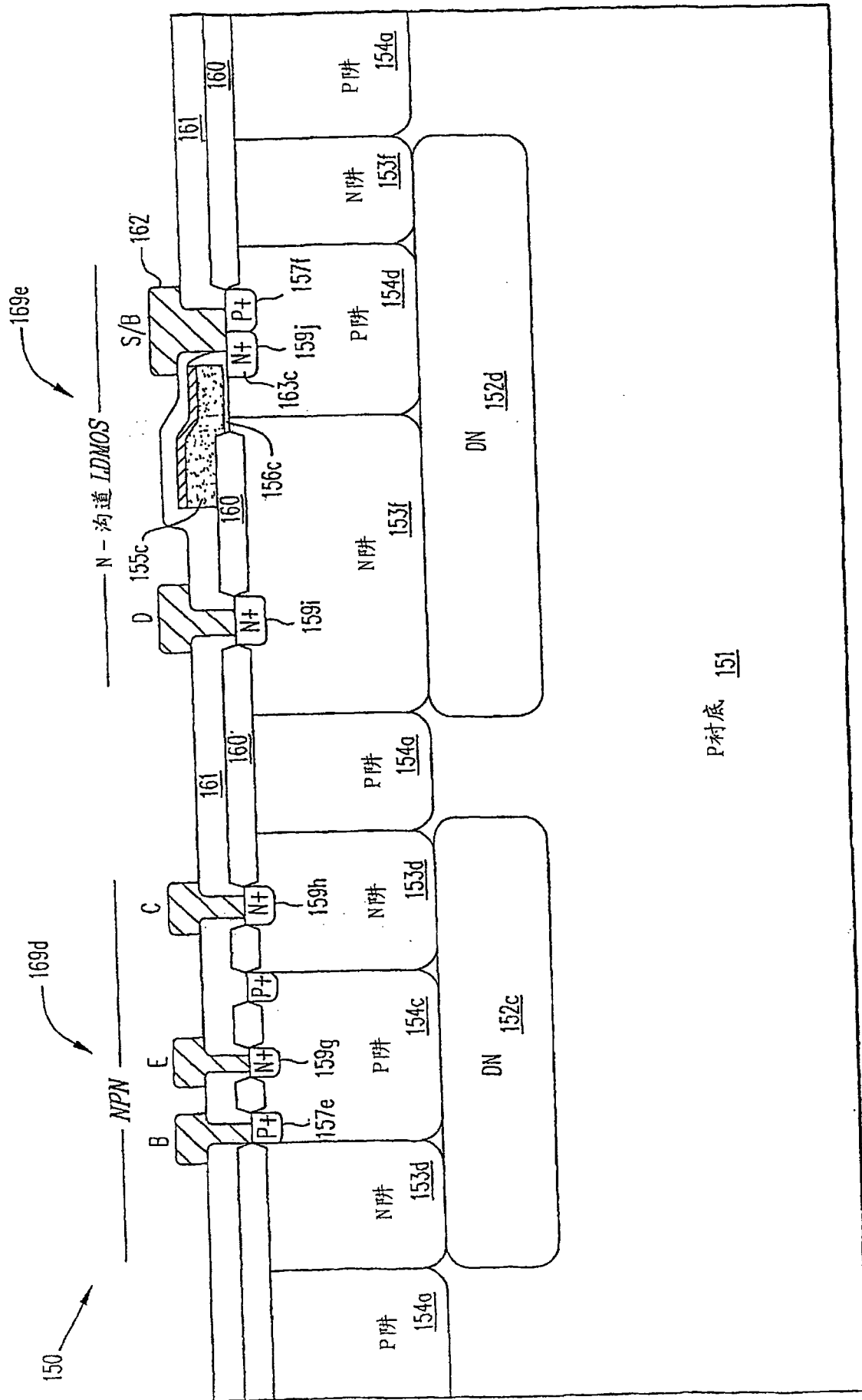


图 7A



P衬底 151

图 7B

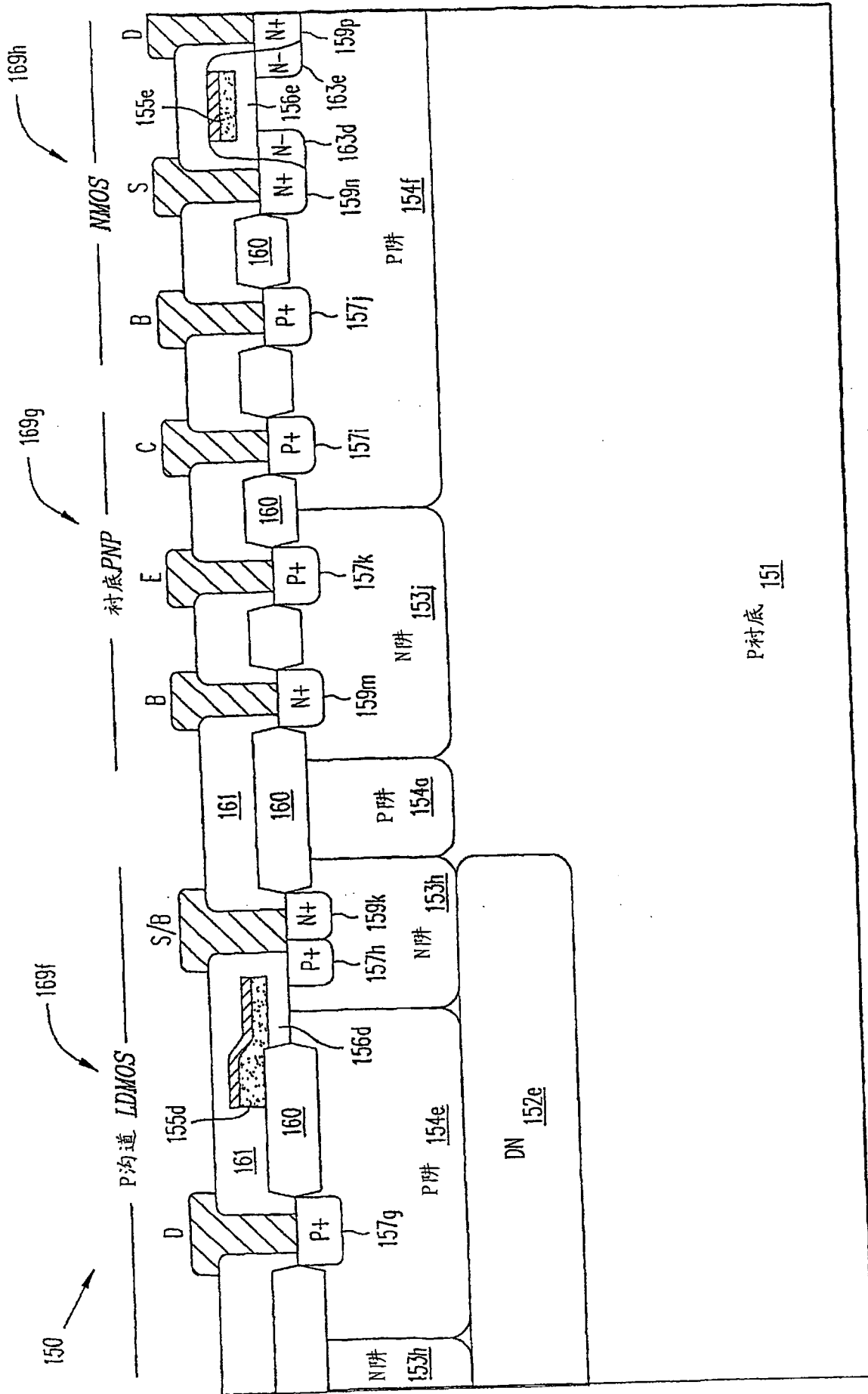


图 7C

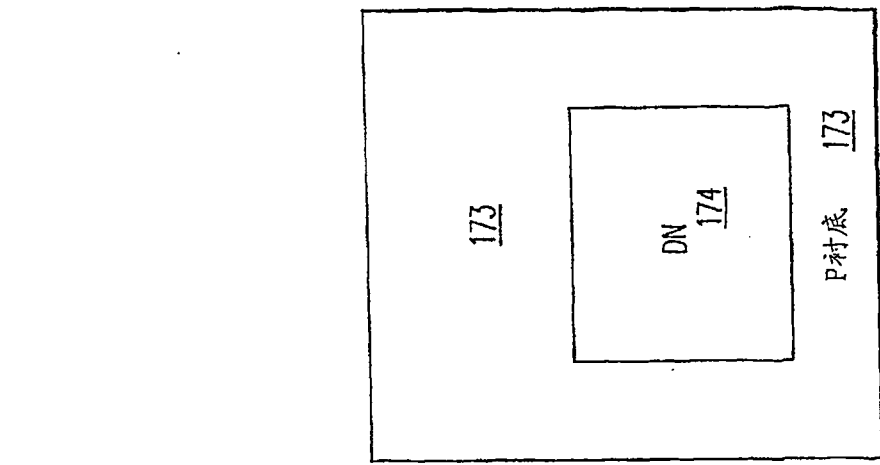


图 8C

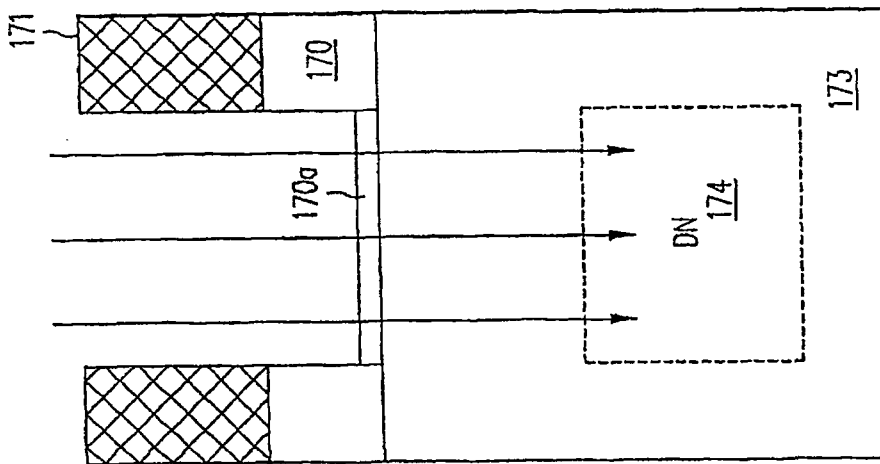


图 8B

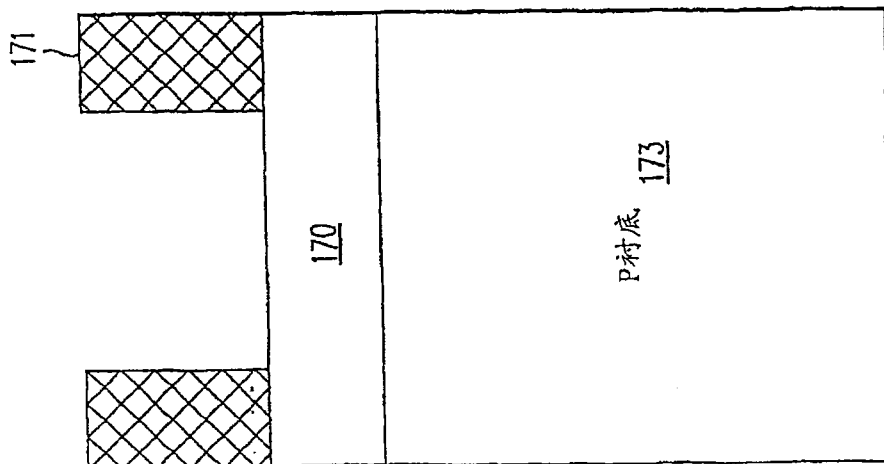


图 8A

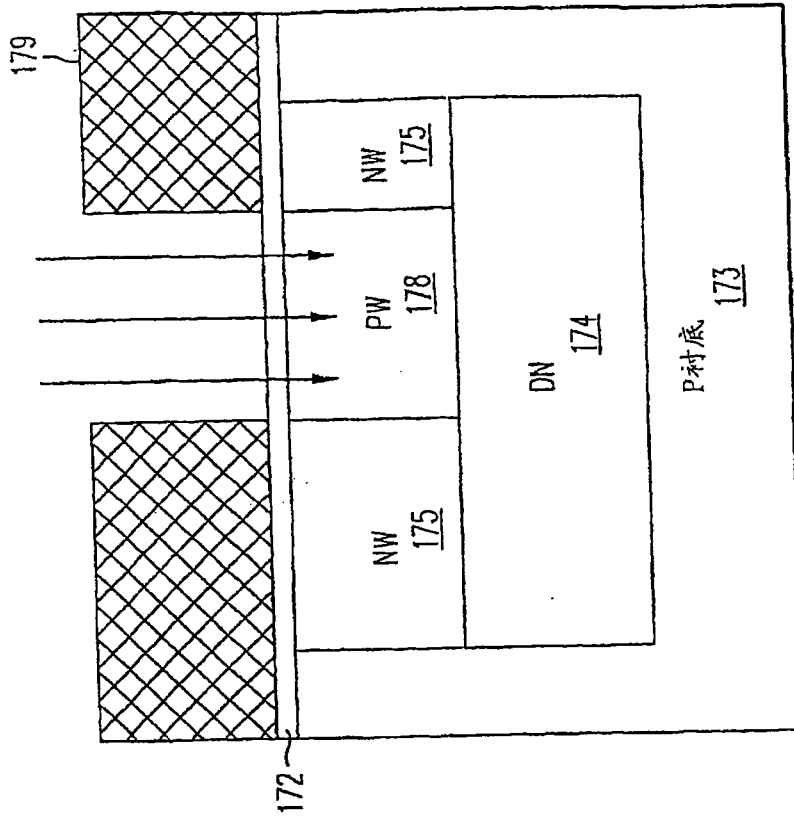


图 8E

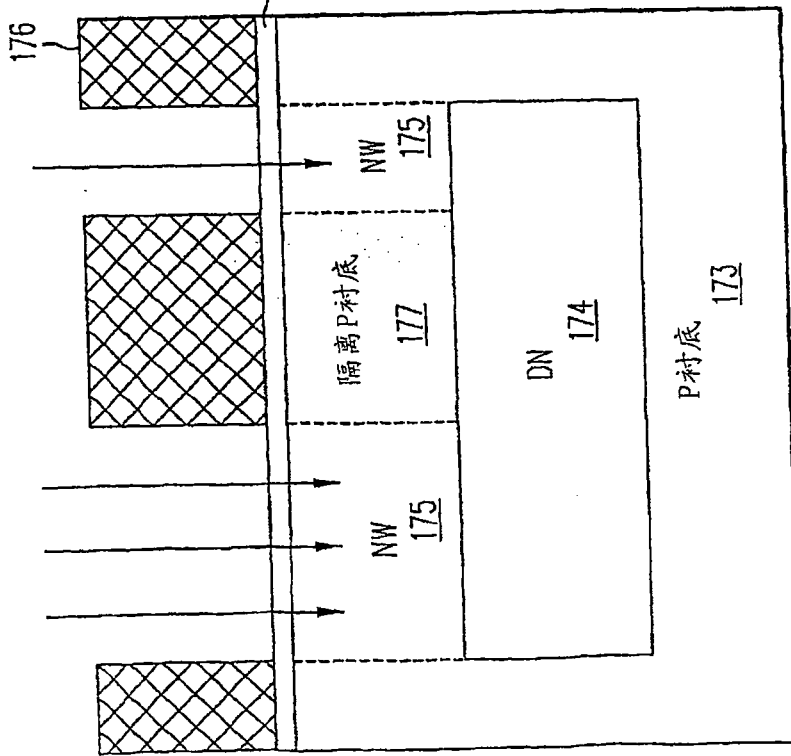


图 8D

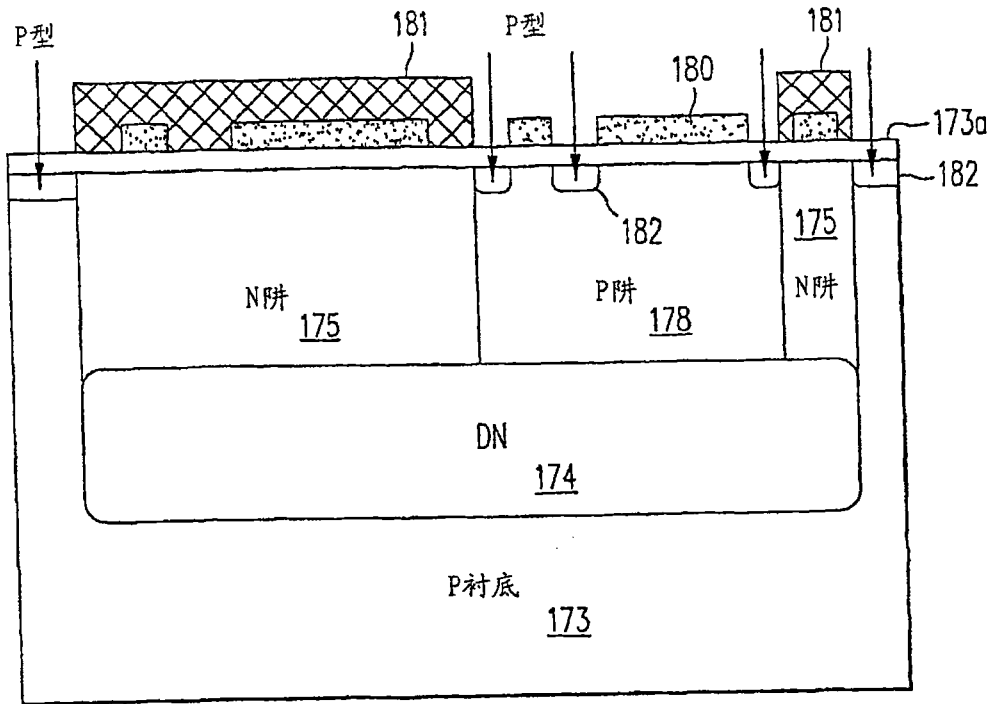


图 8F

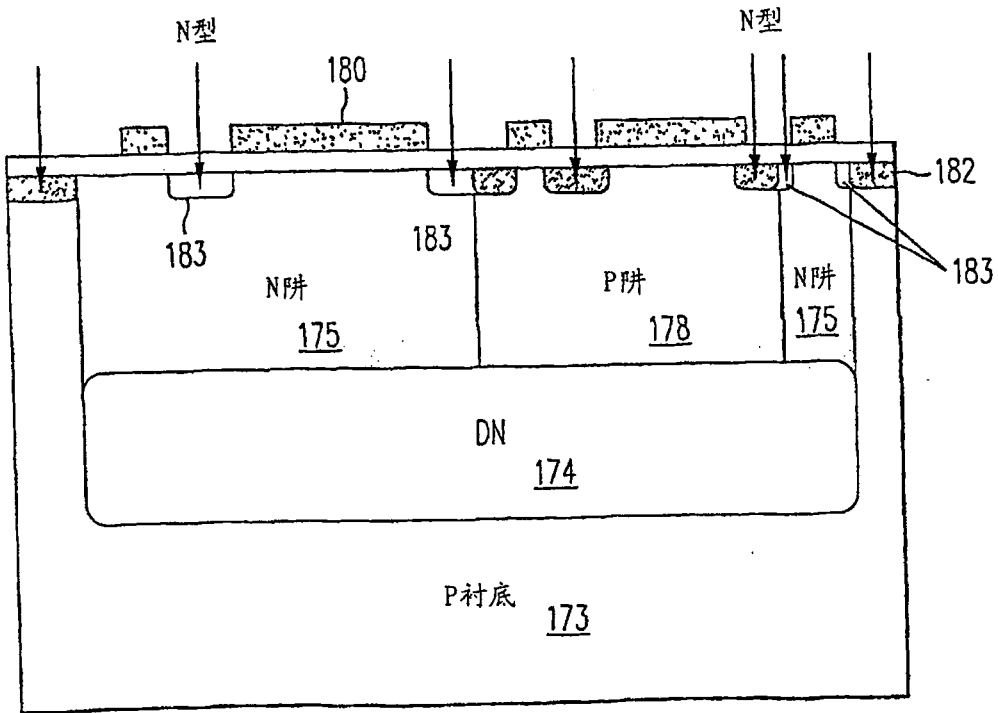


图 8G

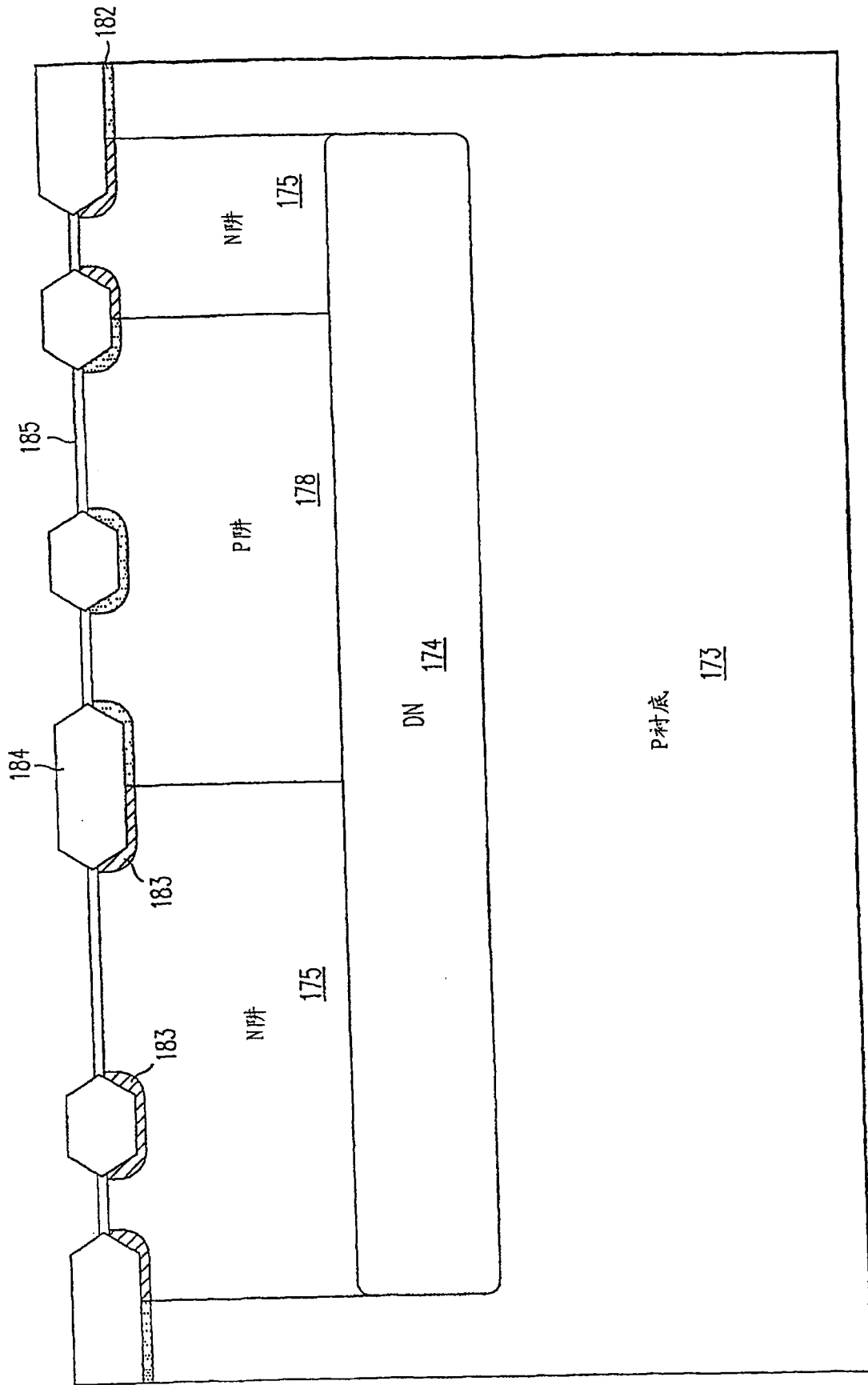


图 8H

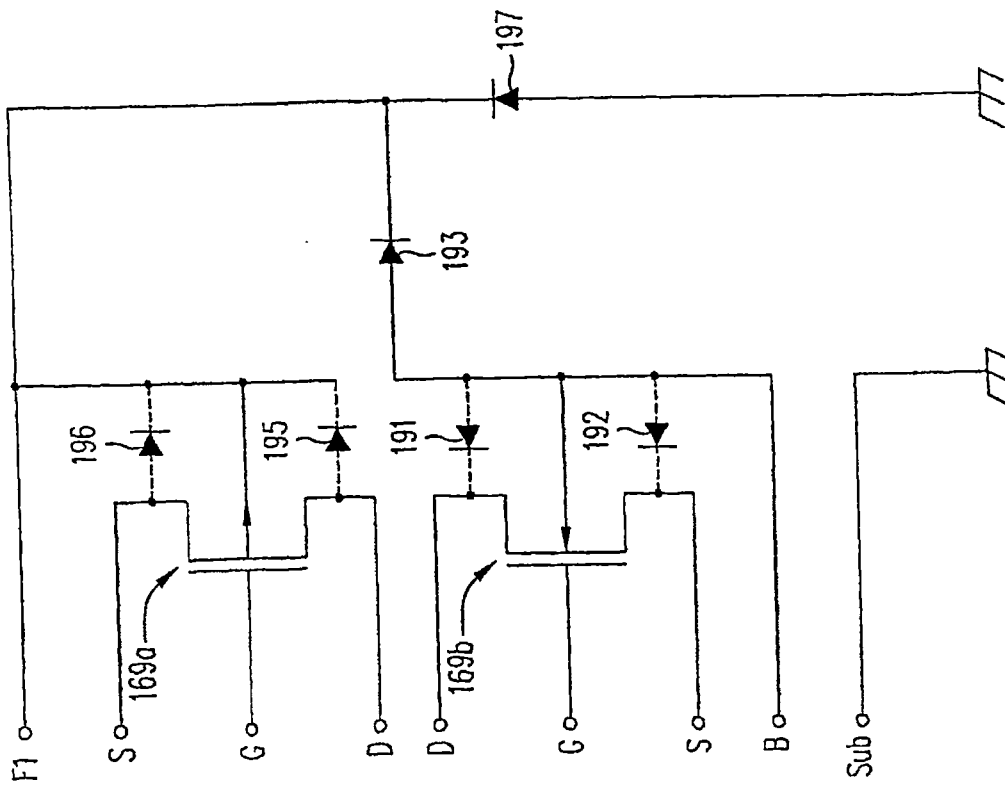


图 9A

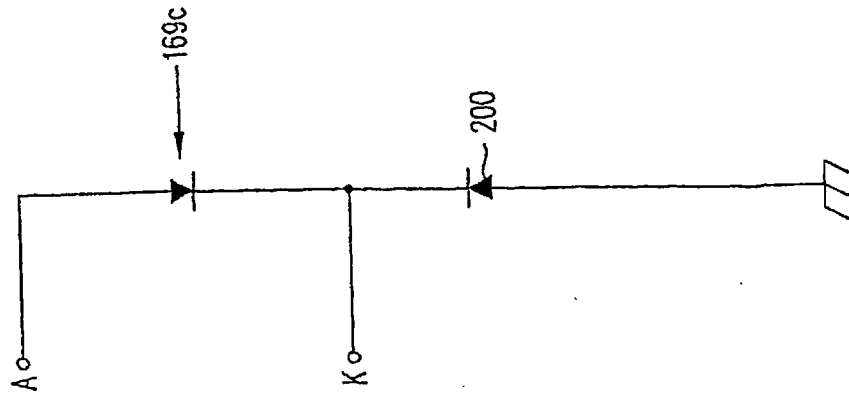


图 9B

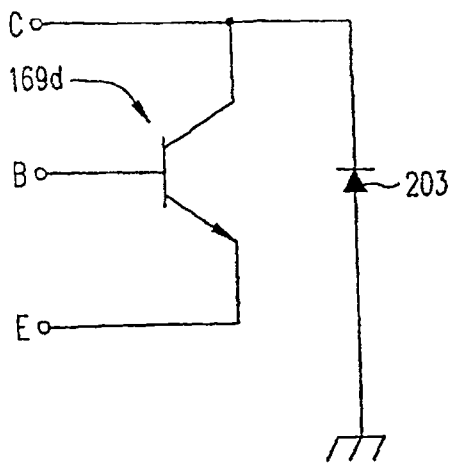


图 9C

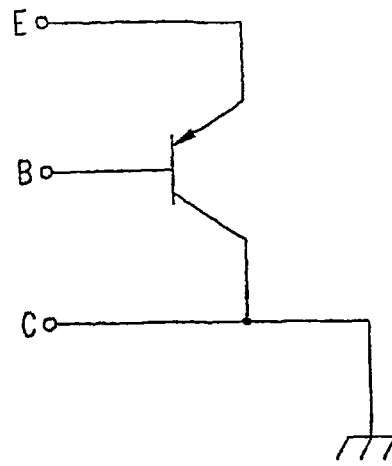


图 9D

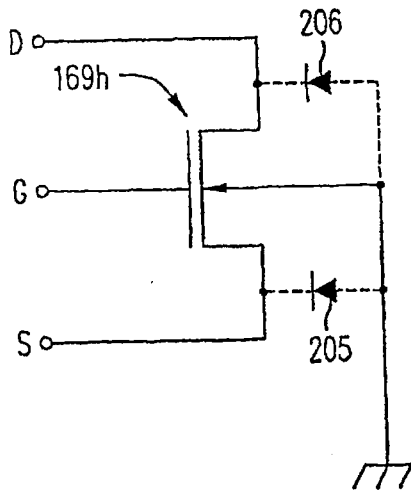


图 9E

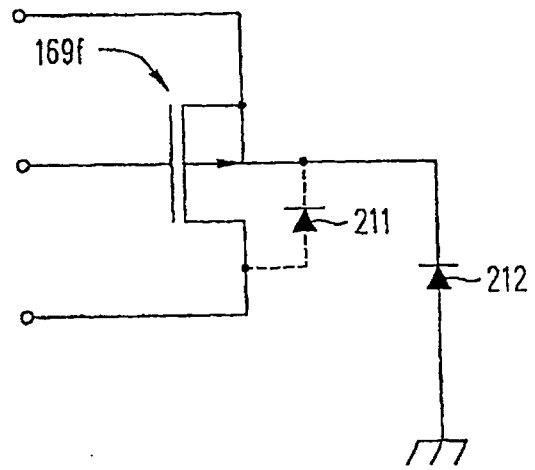


图 9F

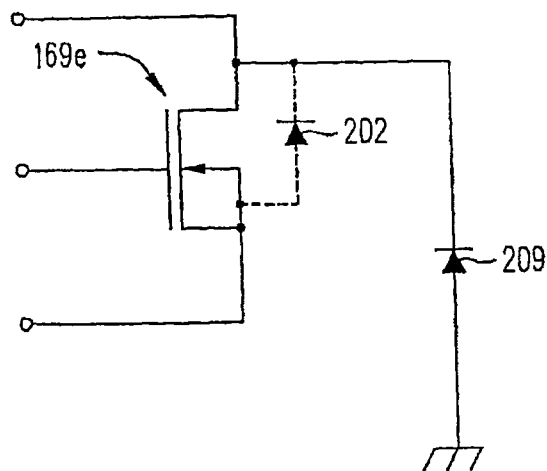


图 9G

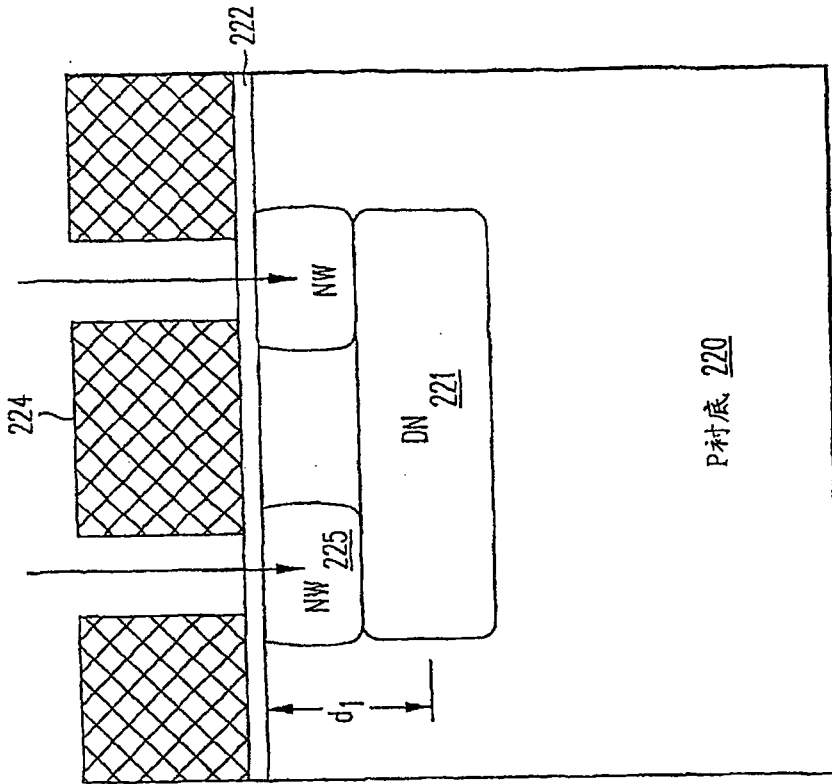


图 10B

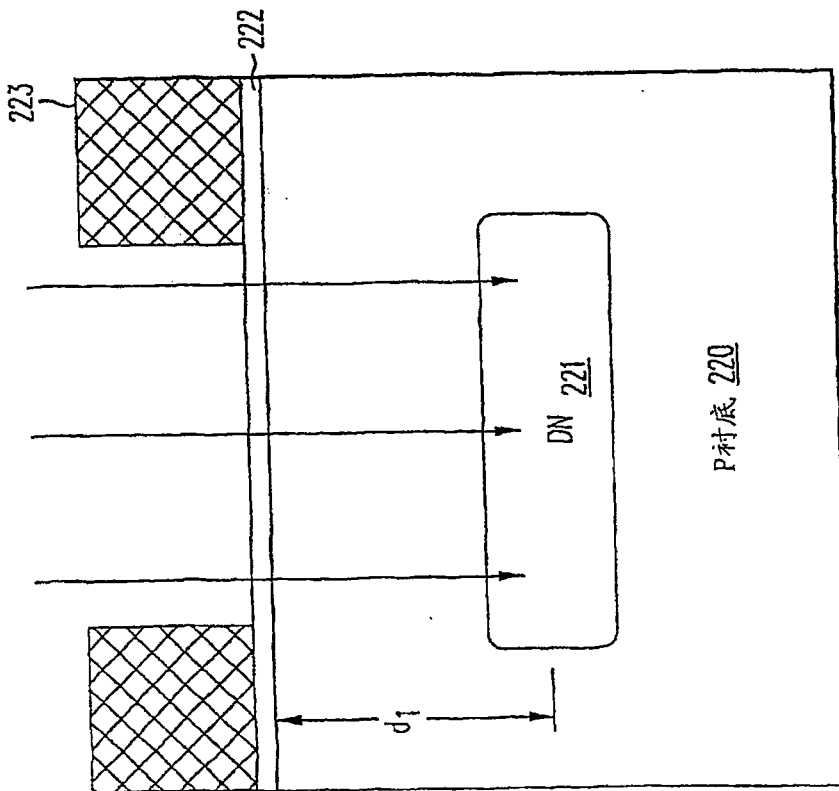


图 10A

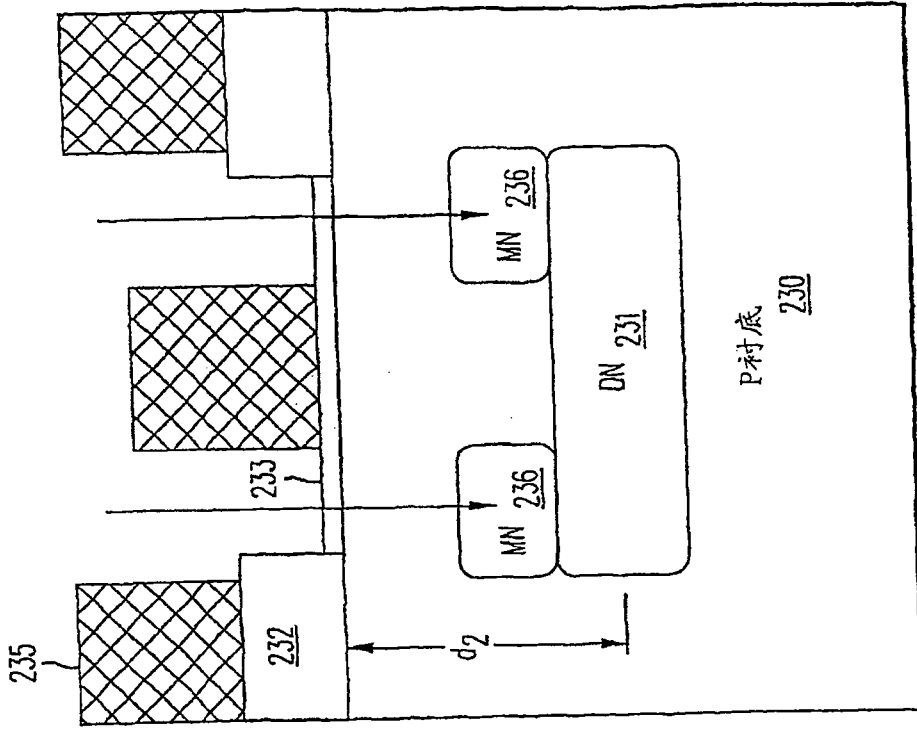


图 10D

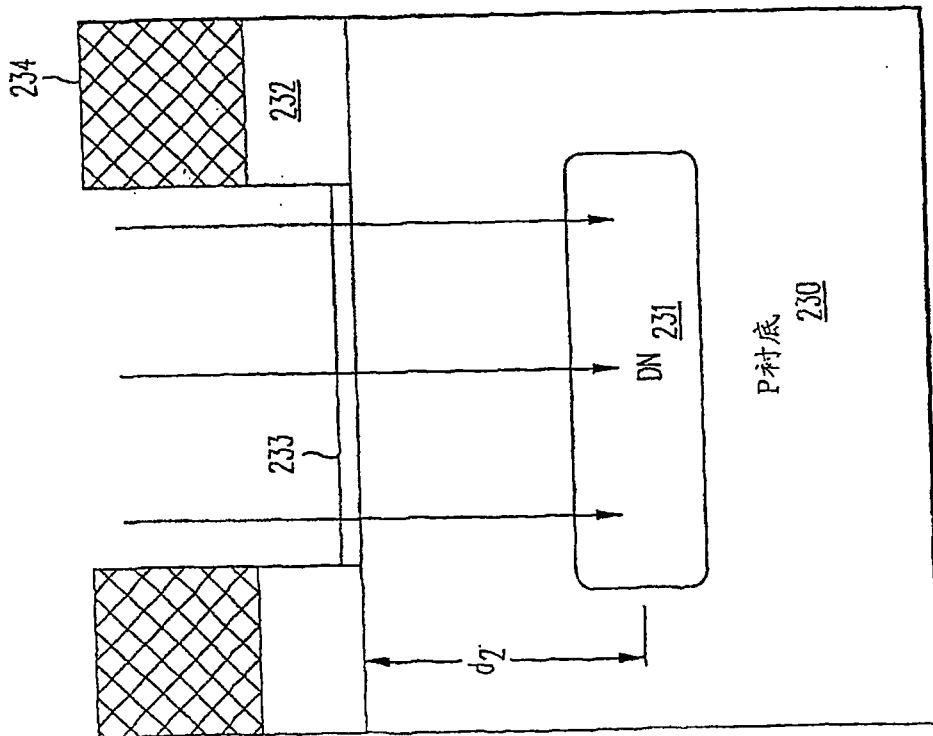


图 10C

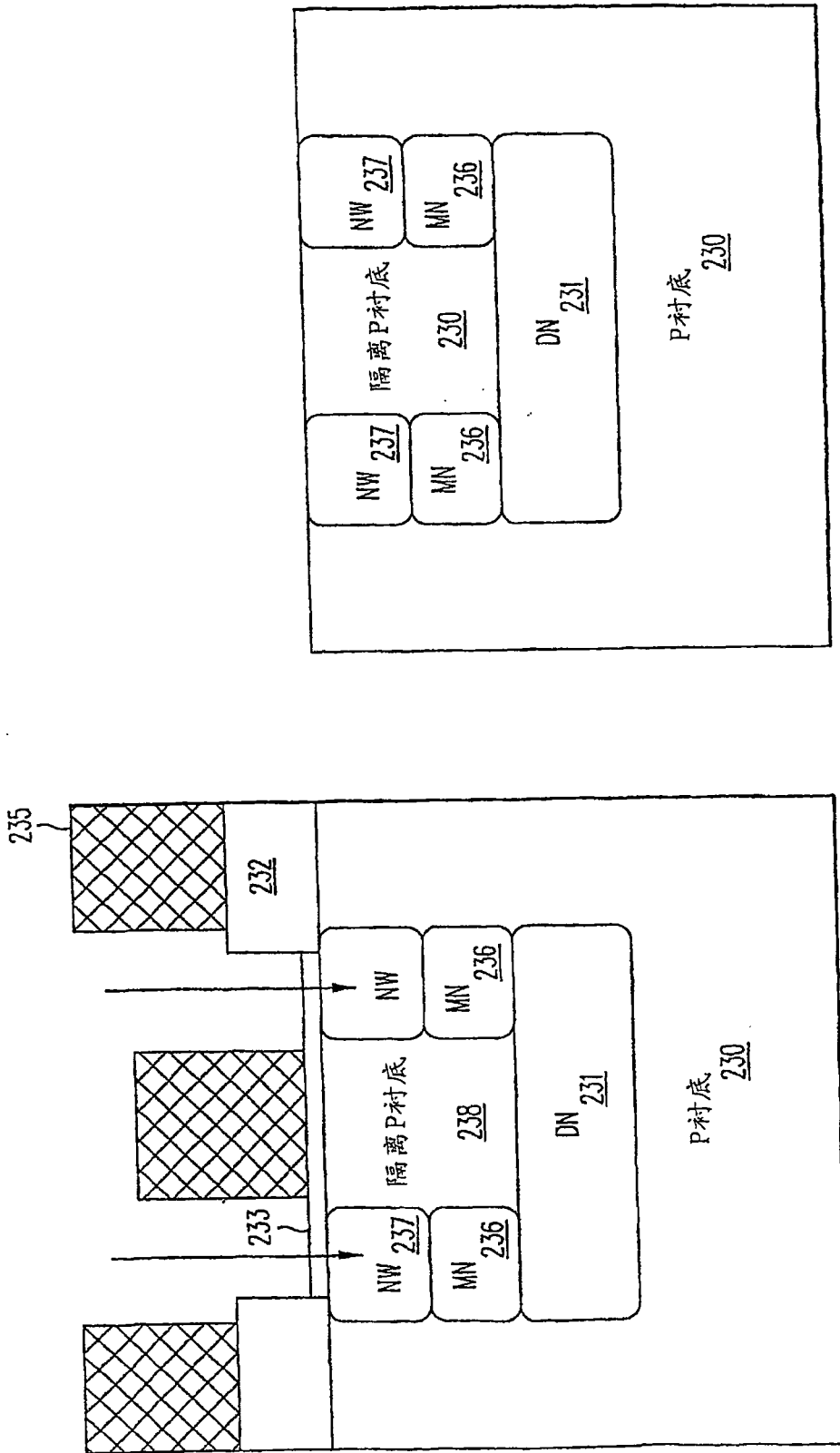


图 10F

图 10E

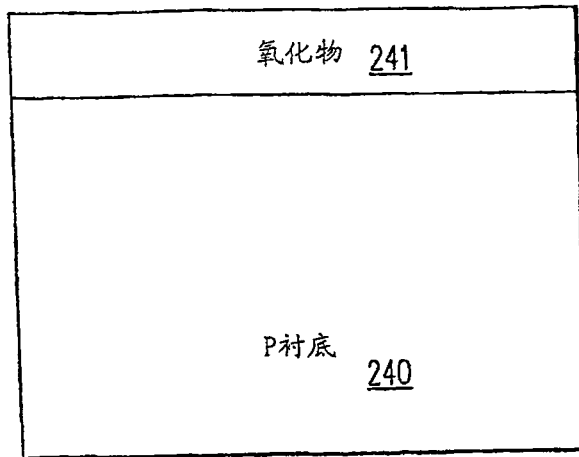


图 11A

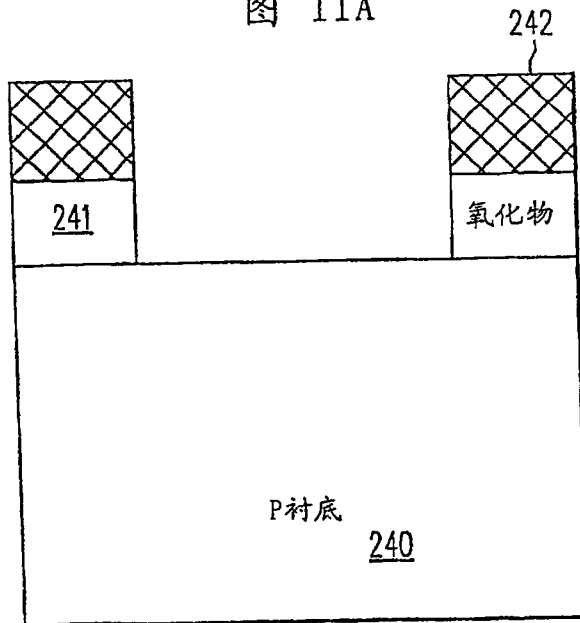


图 11B

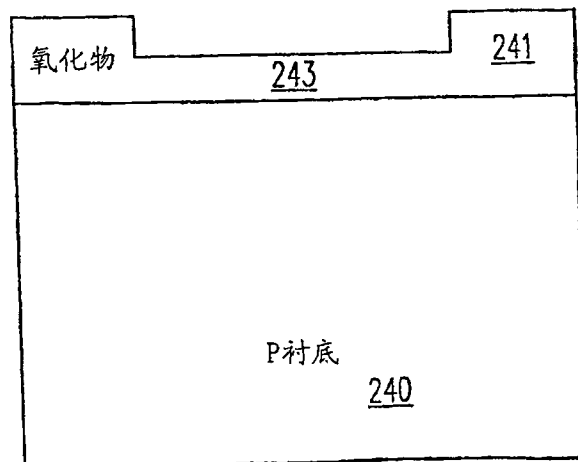


图 11C

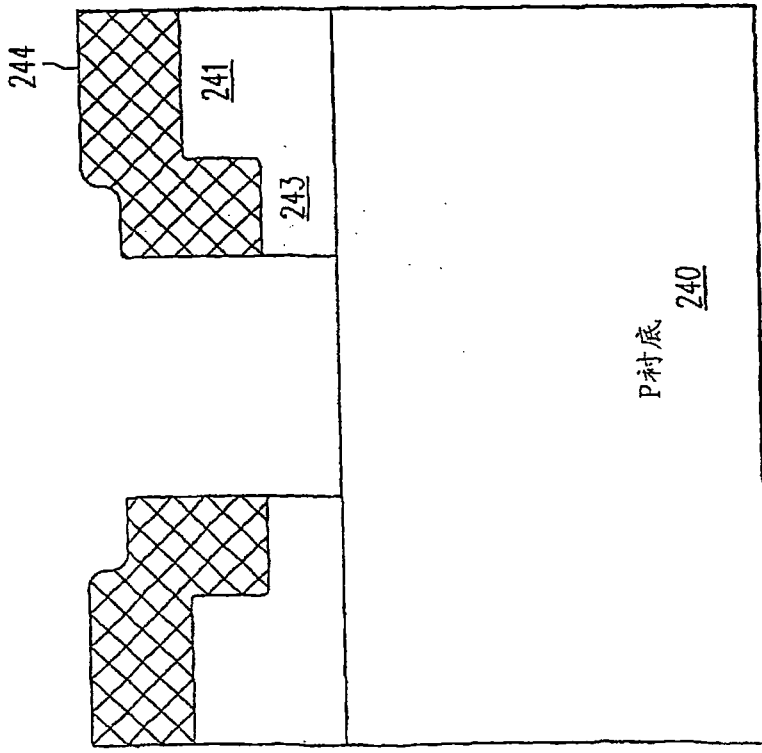


图 11D

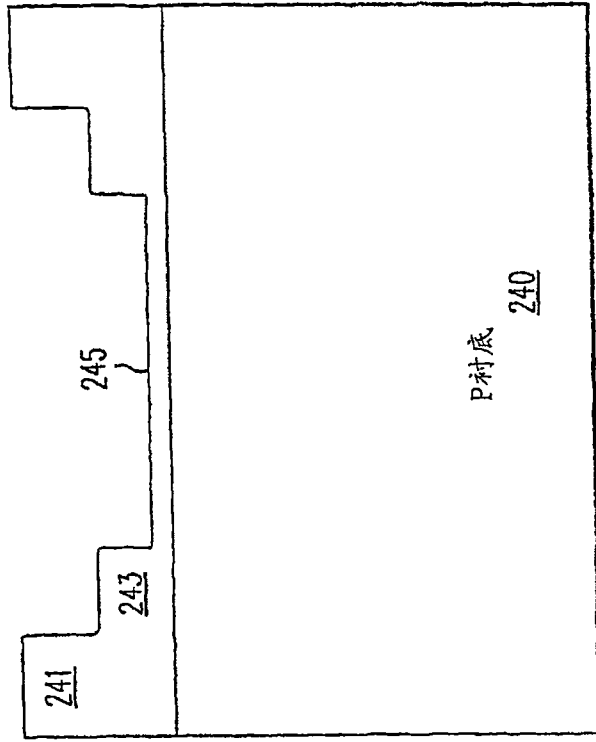


图 11E

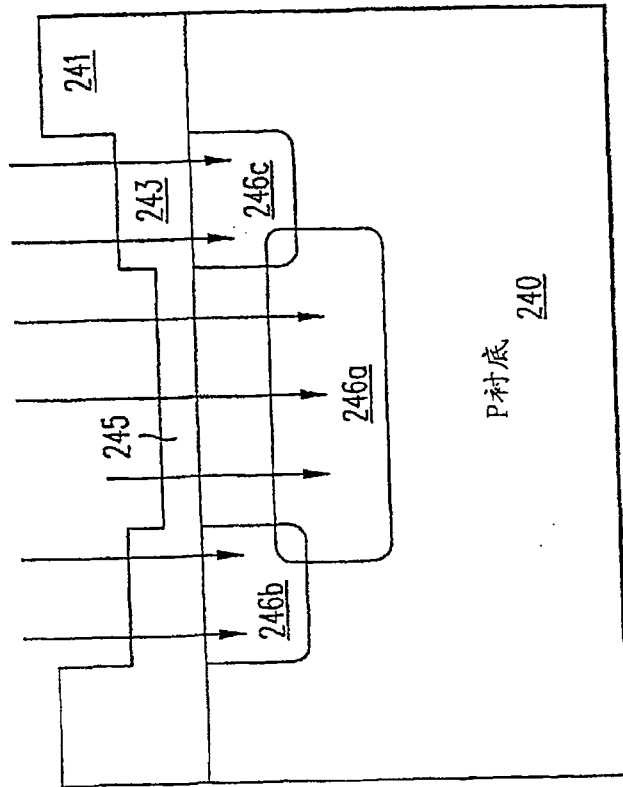


图 11F

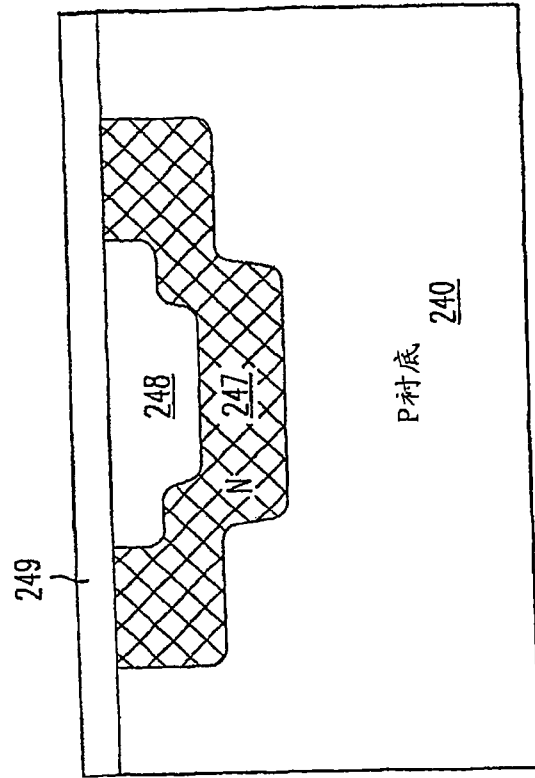


图 11G

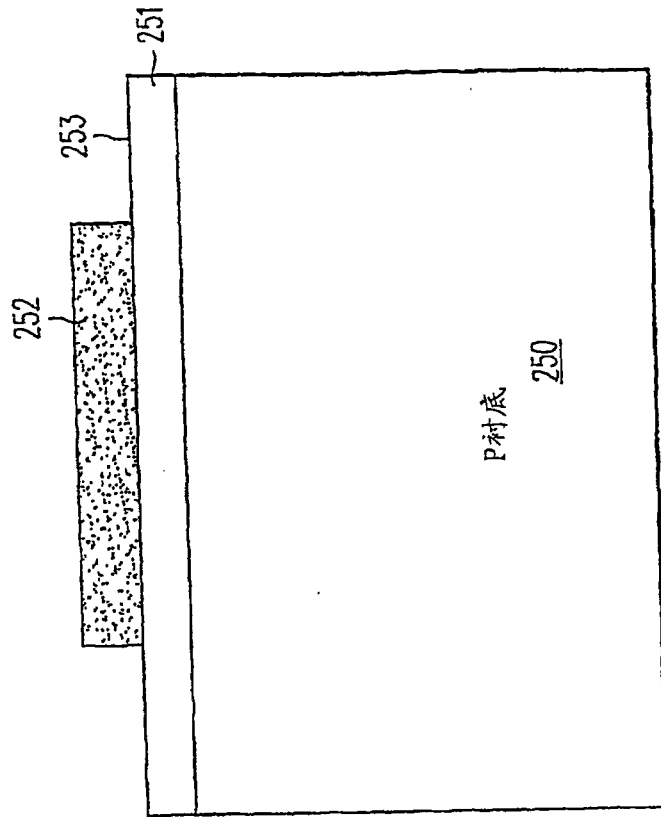


图 12B

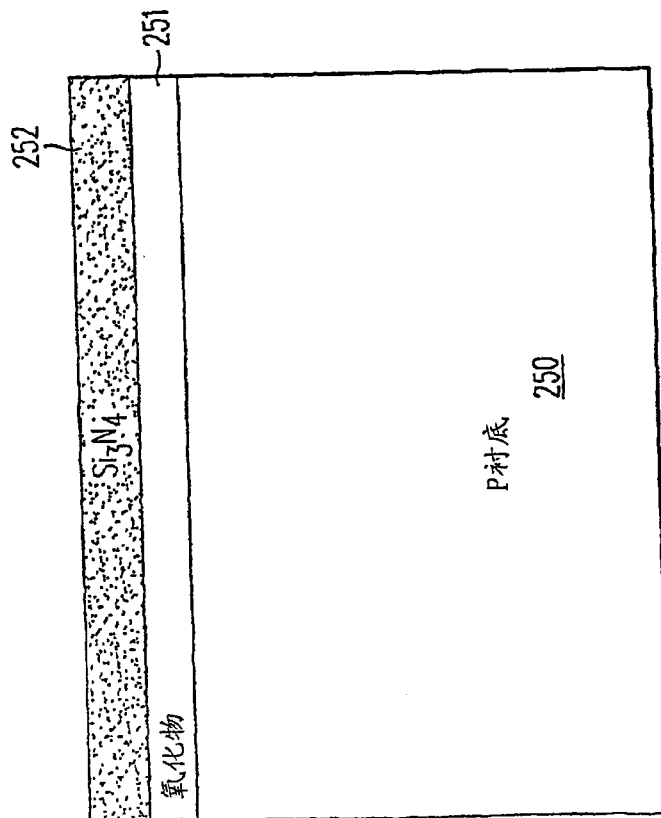


图 12A

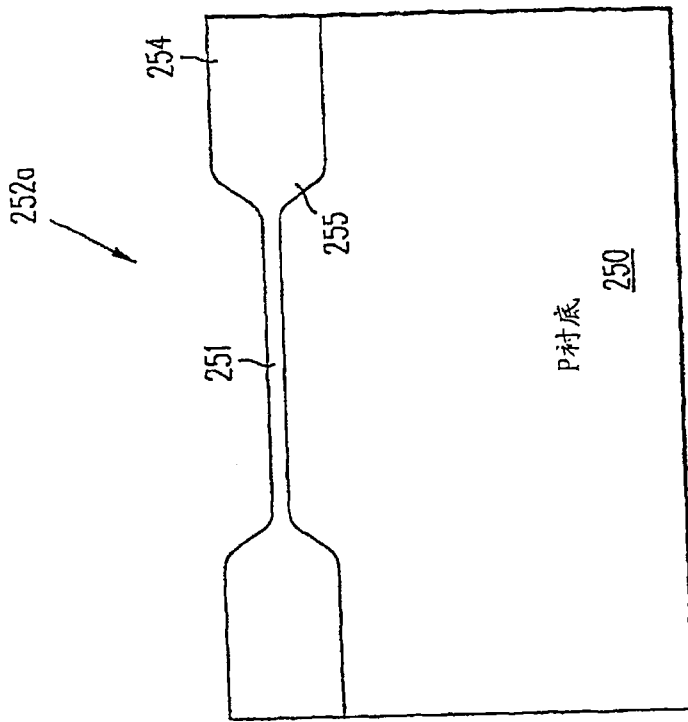


图 12D

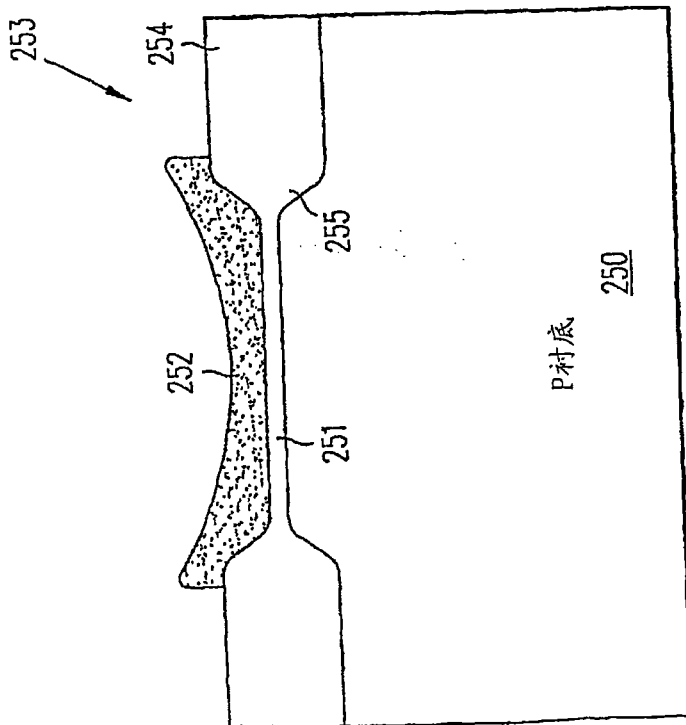


图 12C

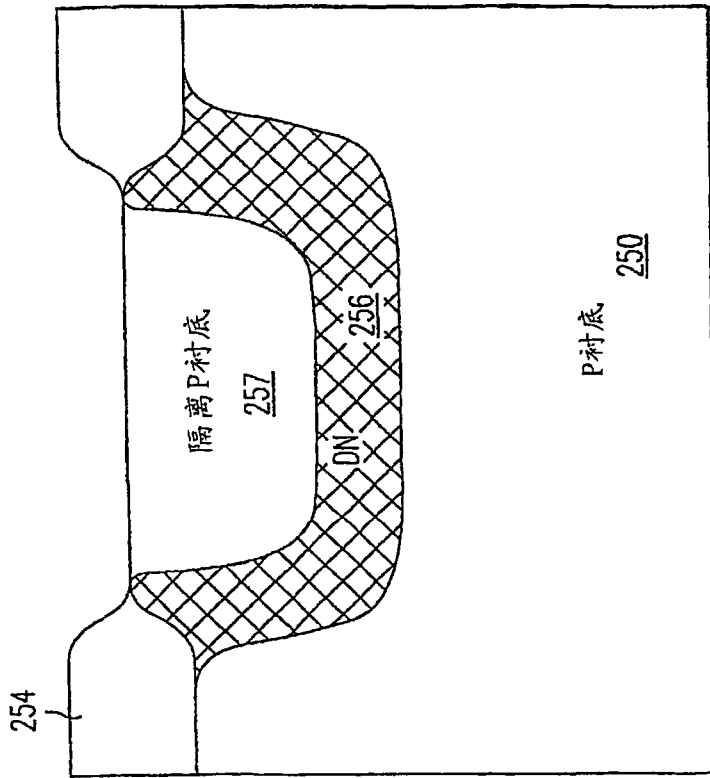


图 12F

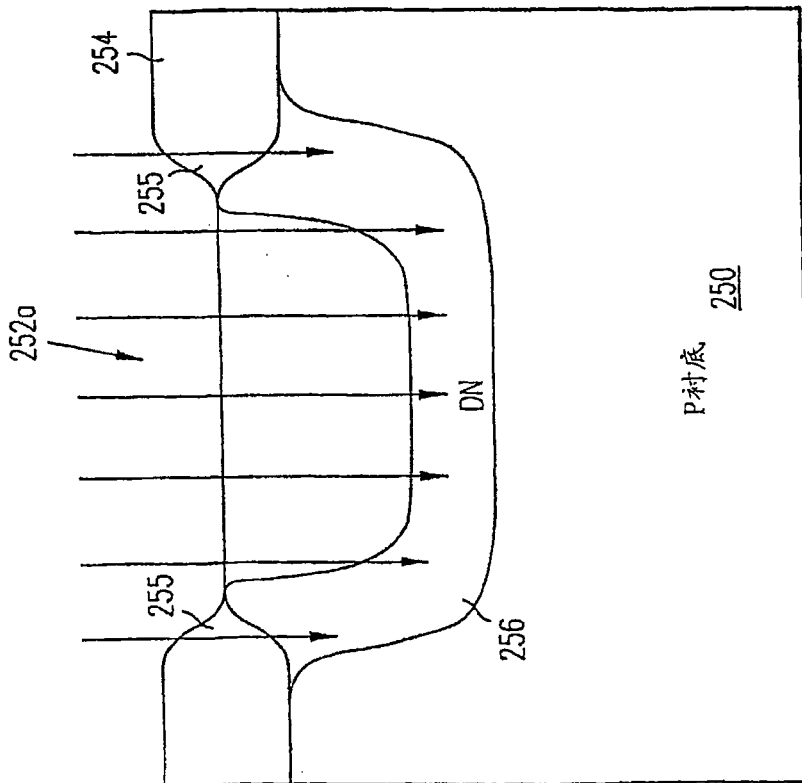


图 12E

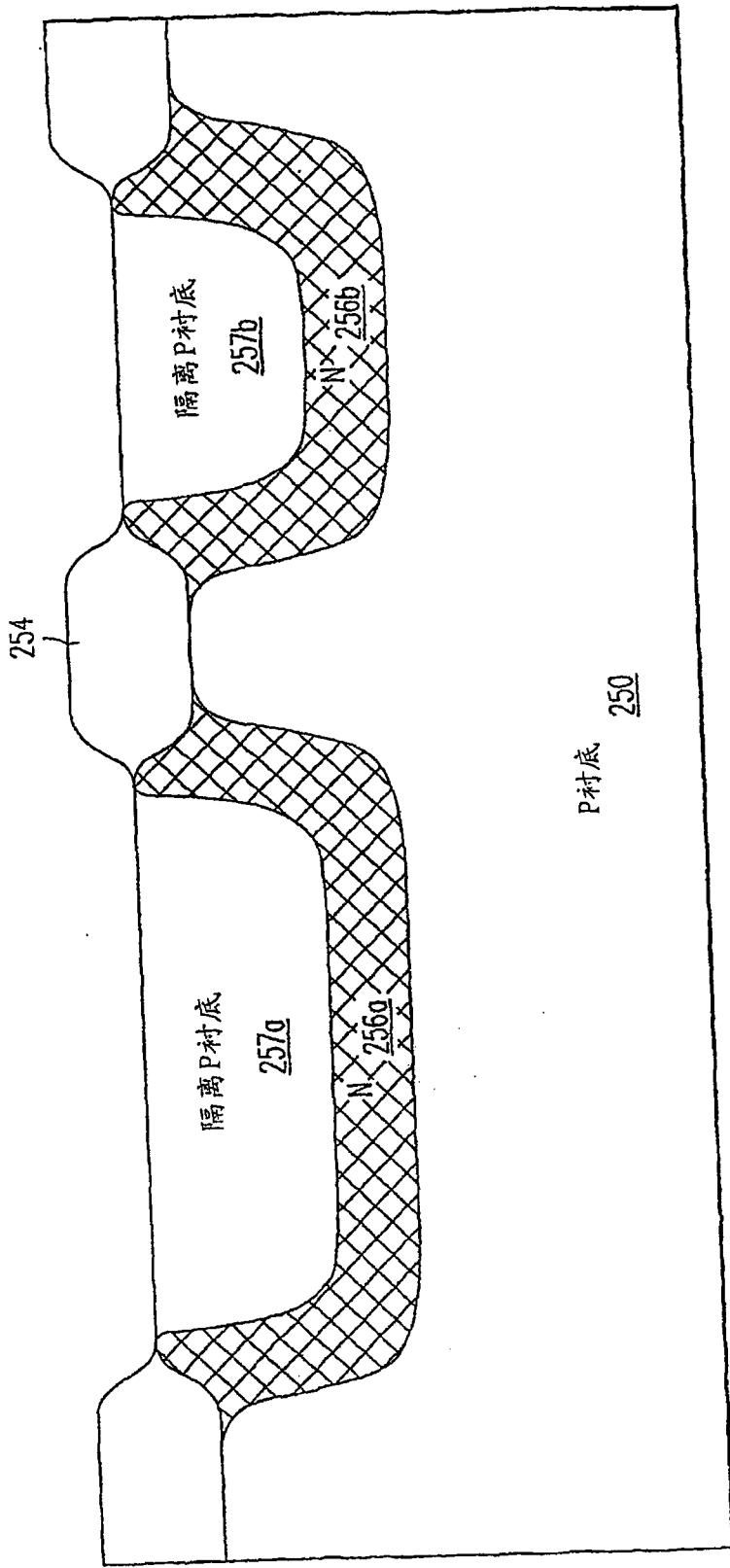


图 12G

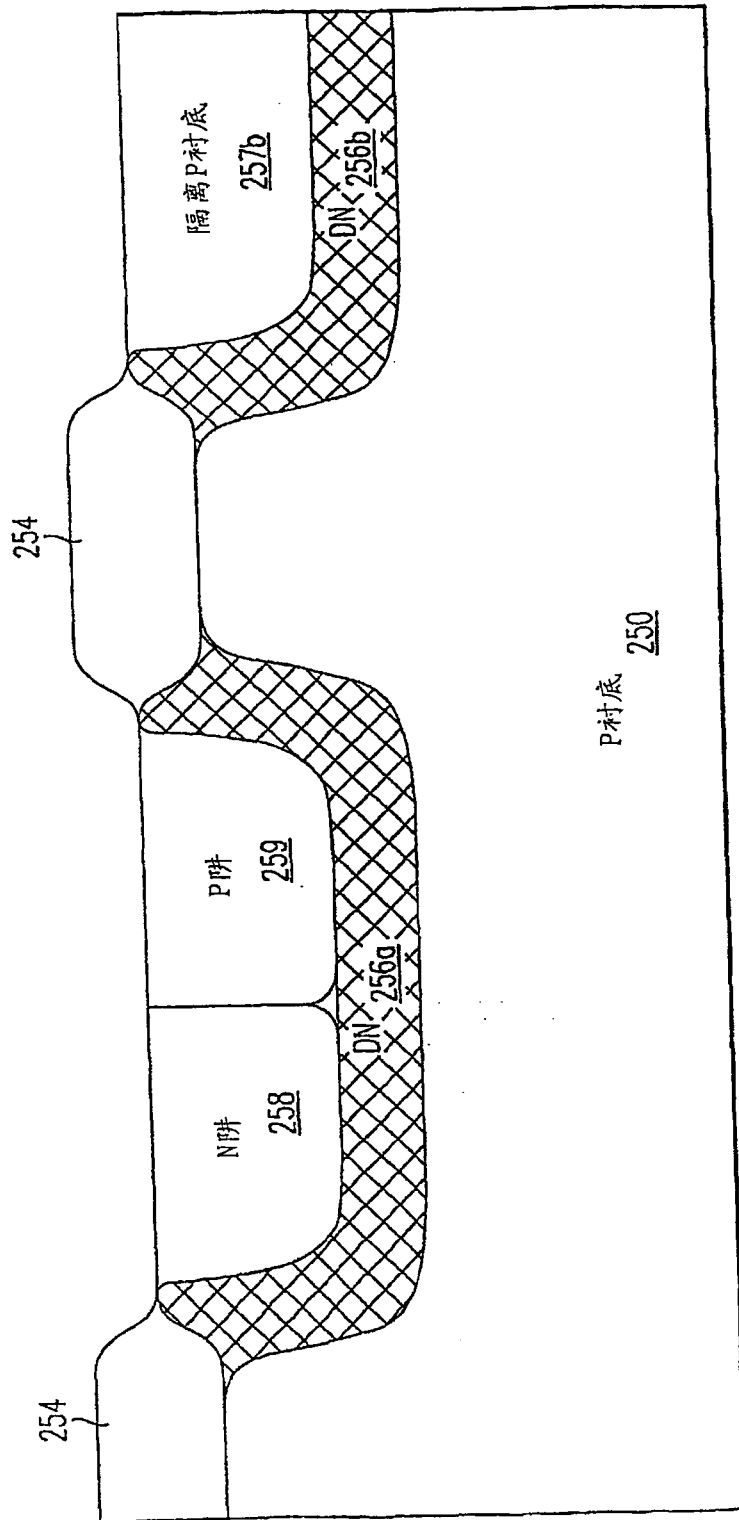
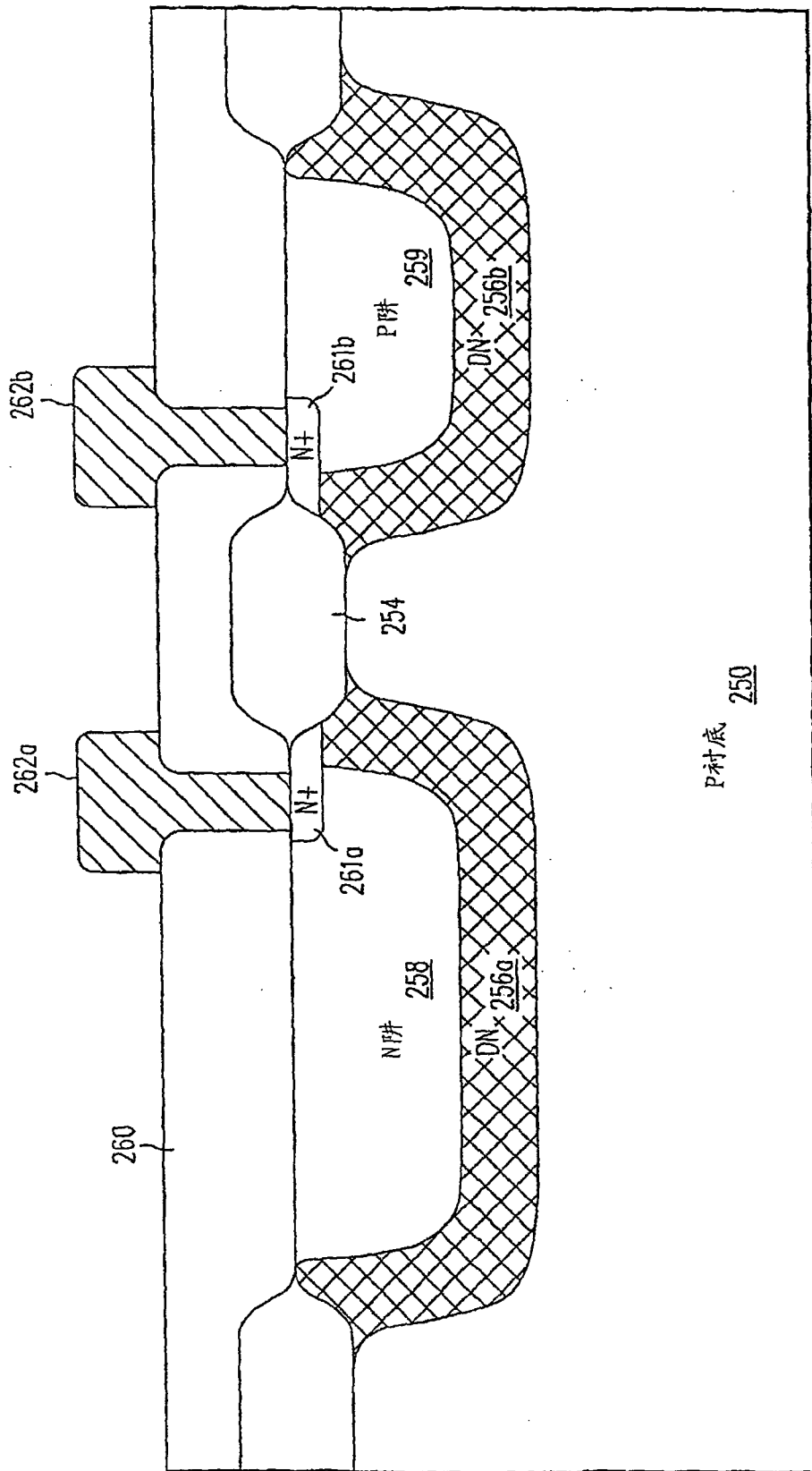


图 12H



P衬底 250

图 12I

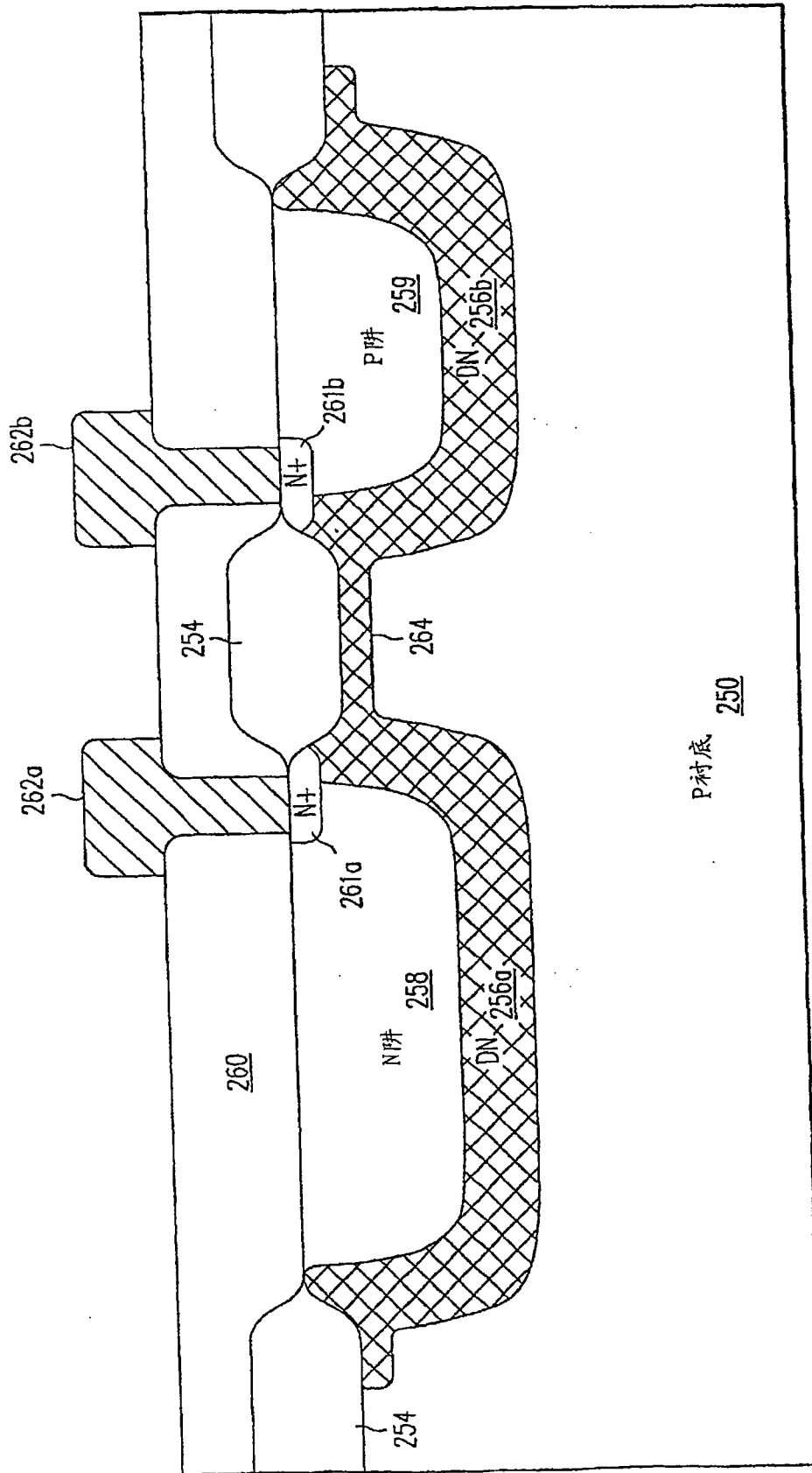


图 12J

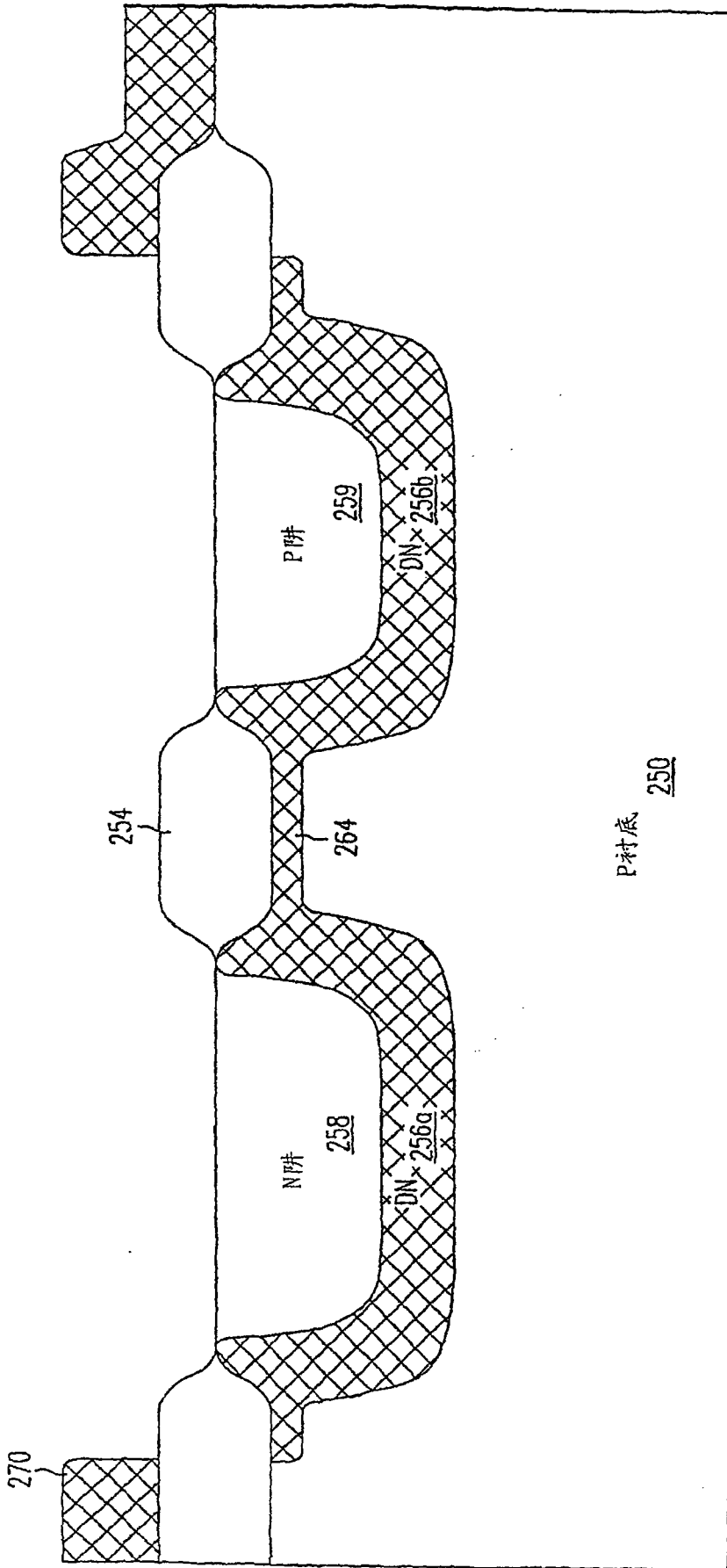


图 12K

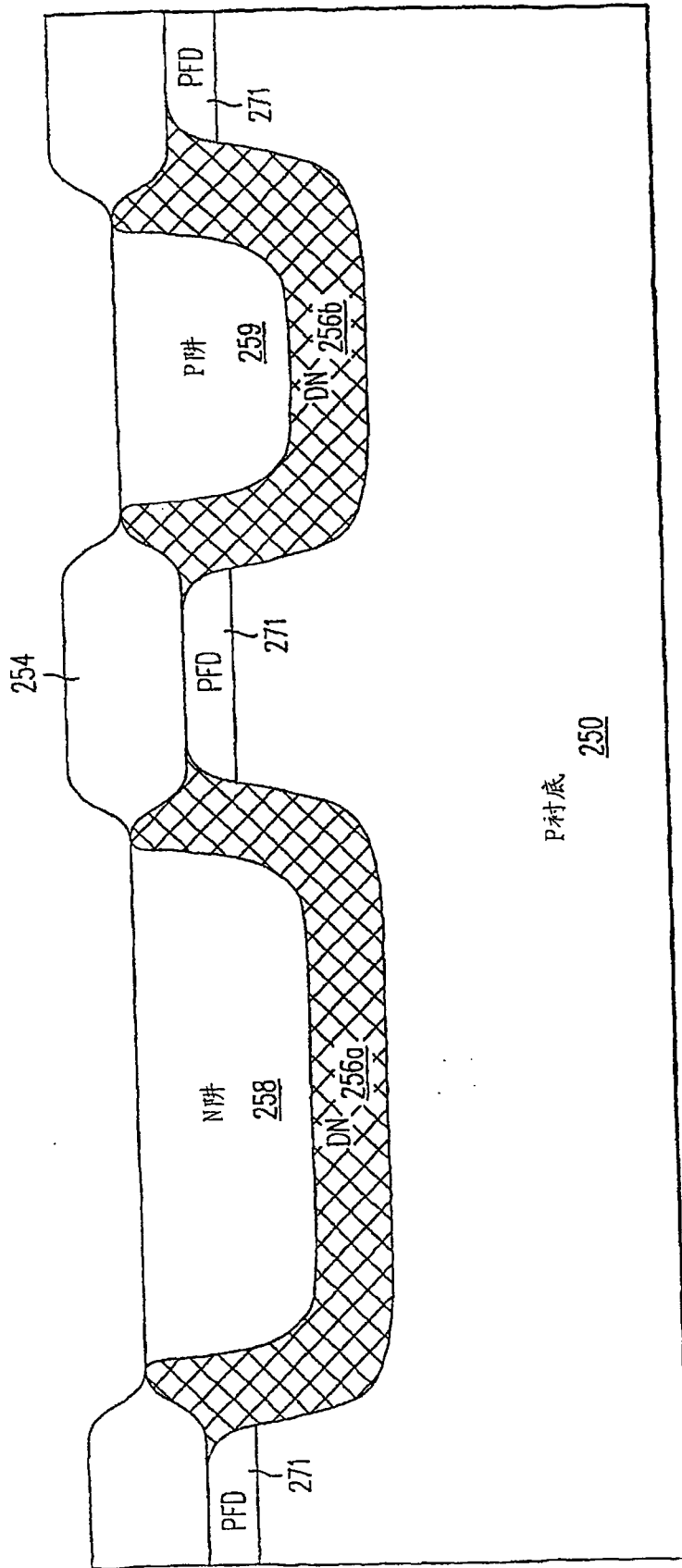


图 12L

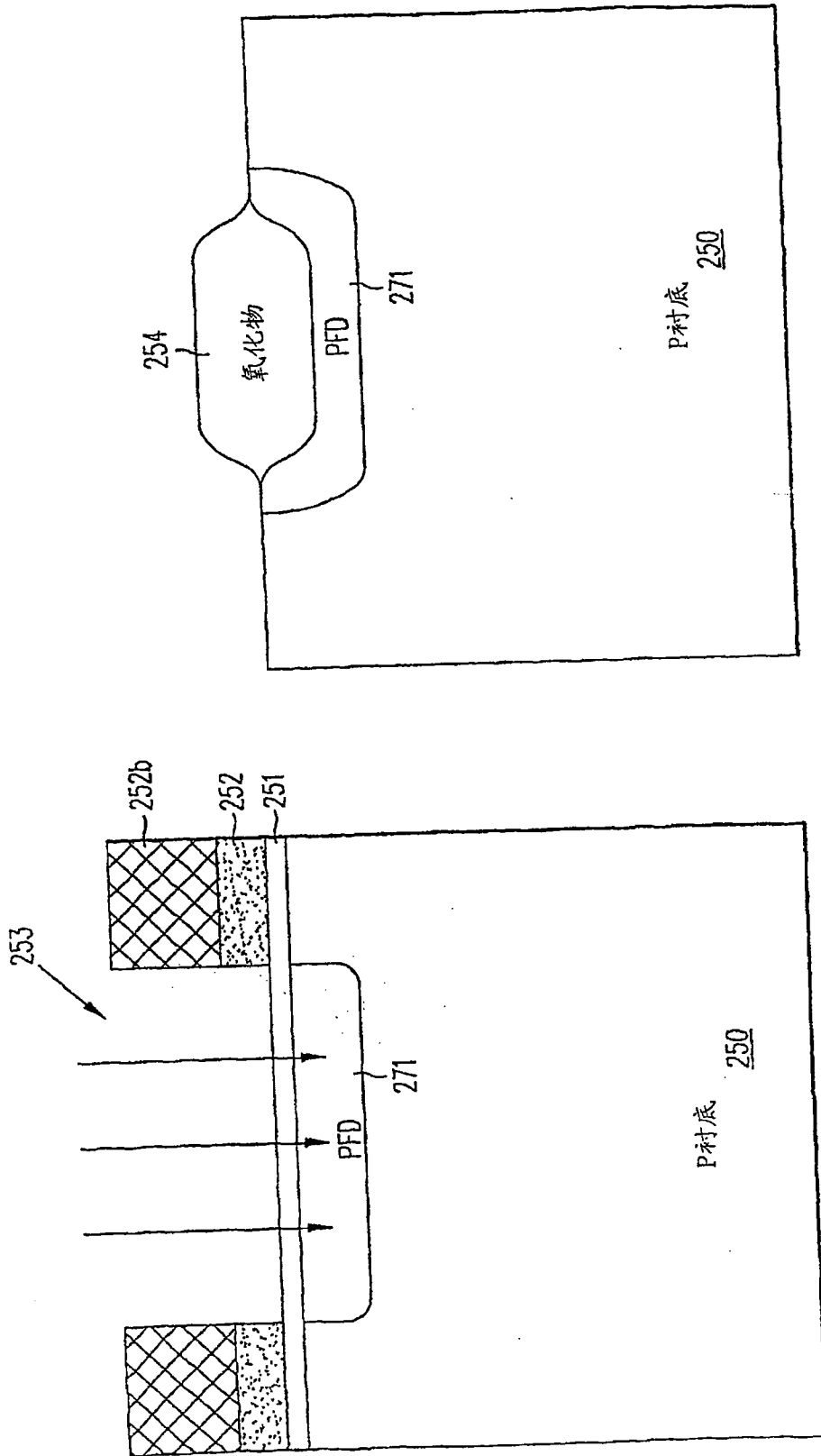


图 12N

图 12M

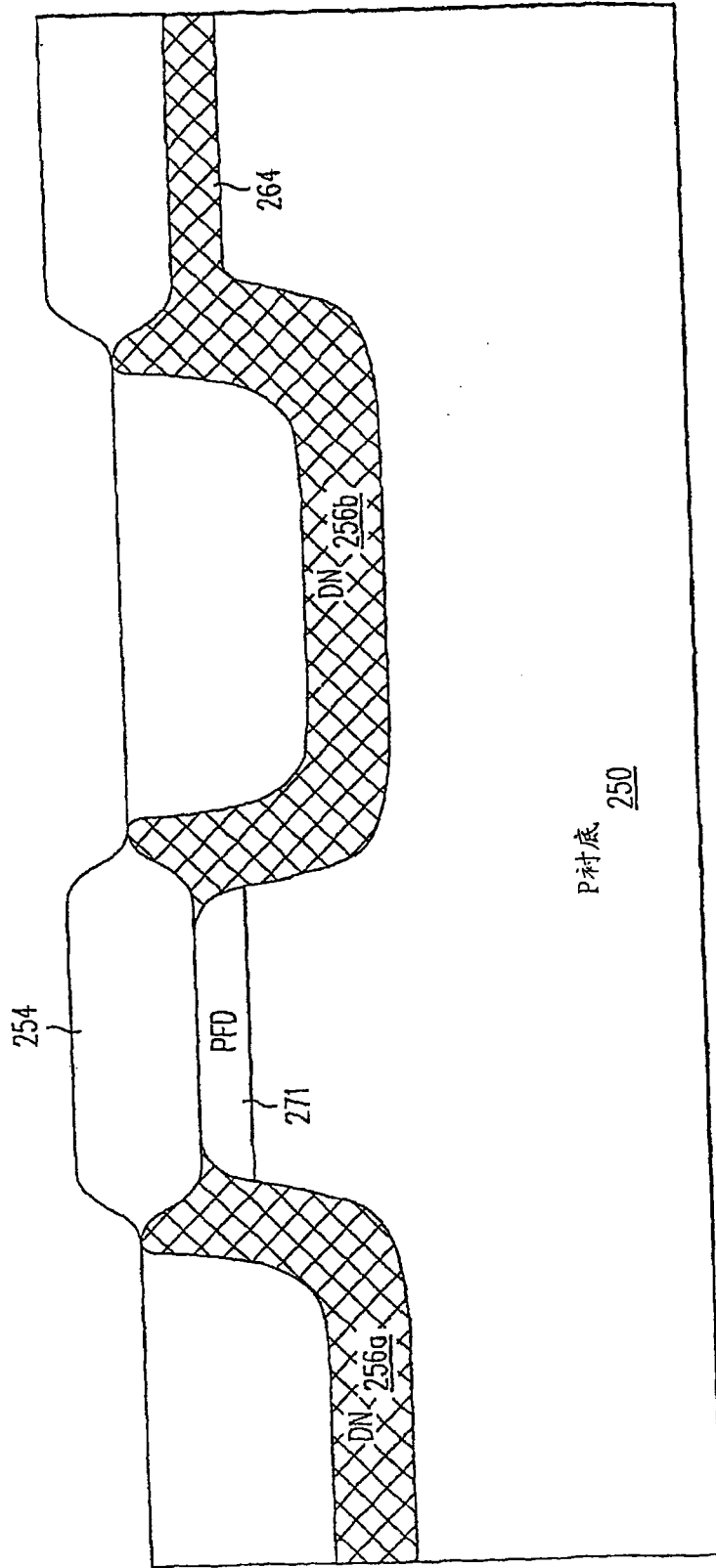


图 120

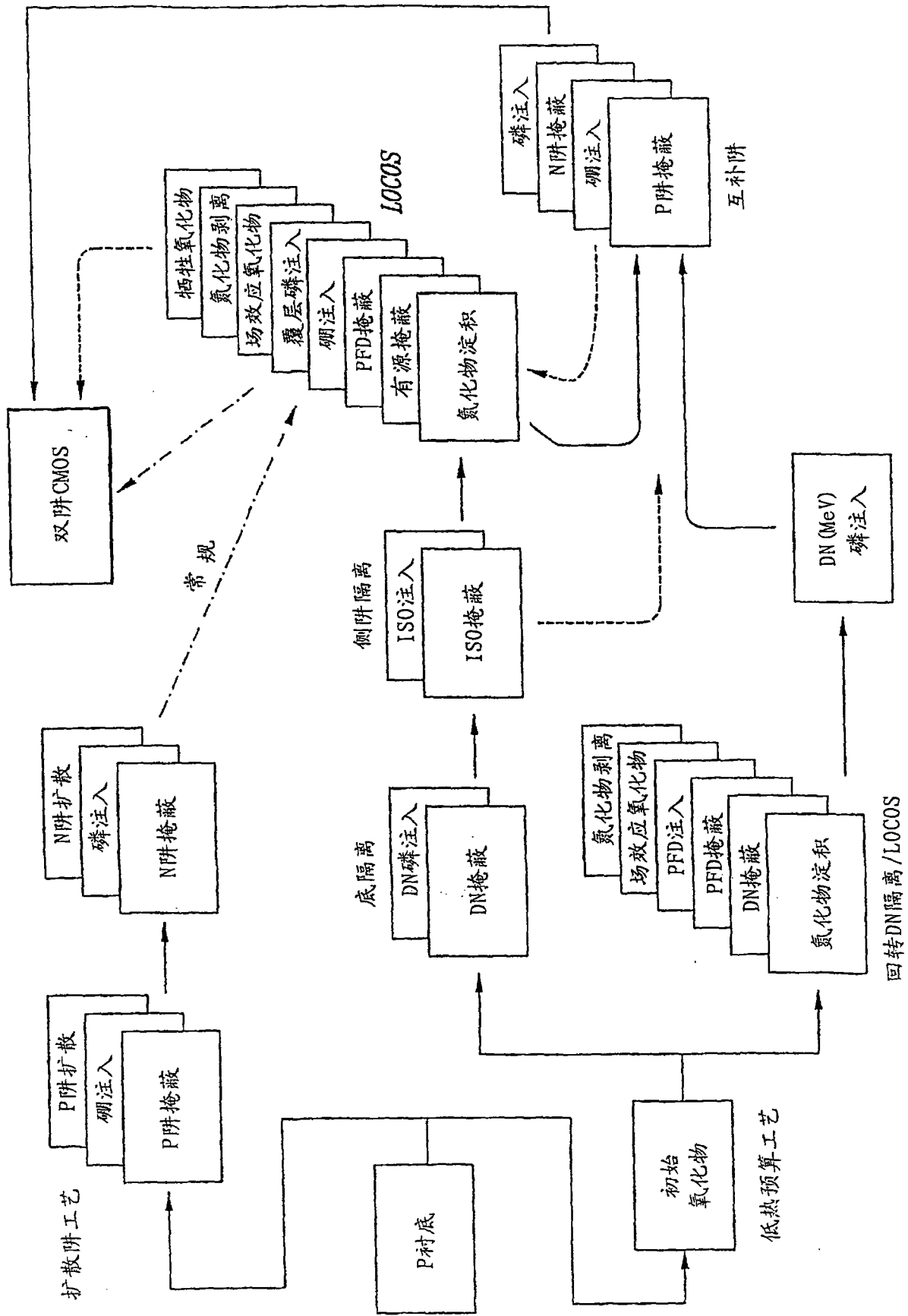


图 13

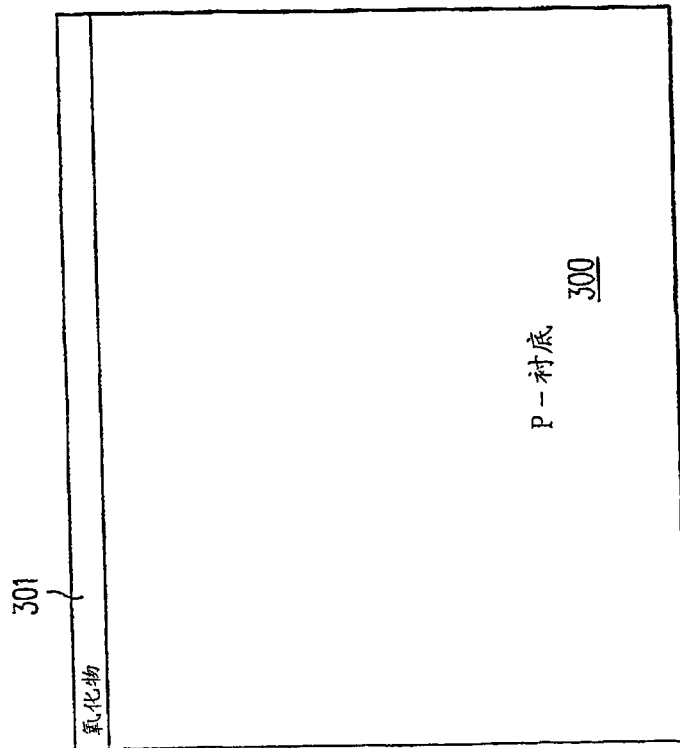


图 14A

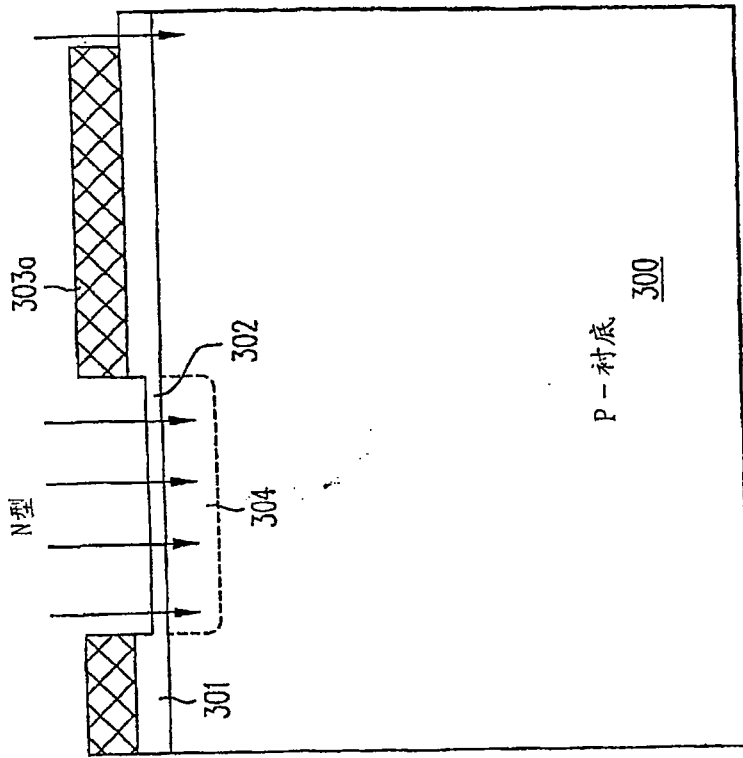


图 14B

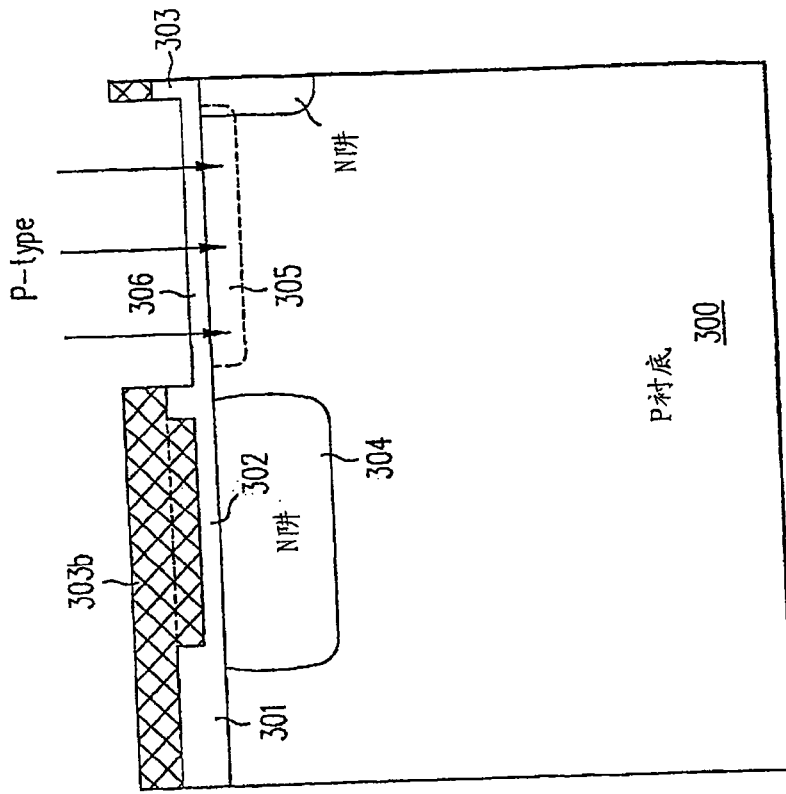


图 14D

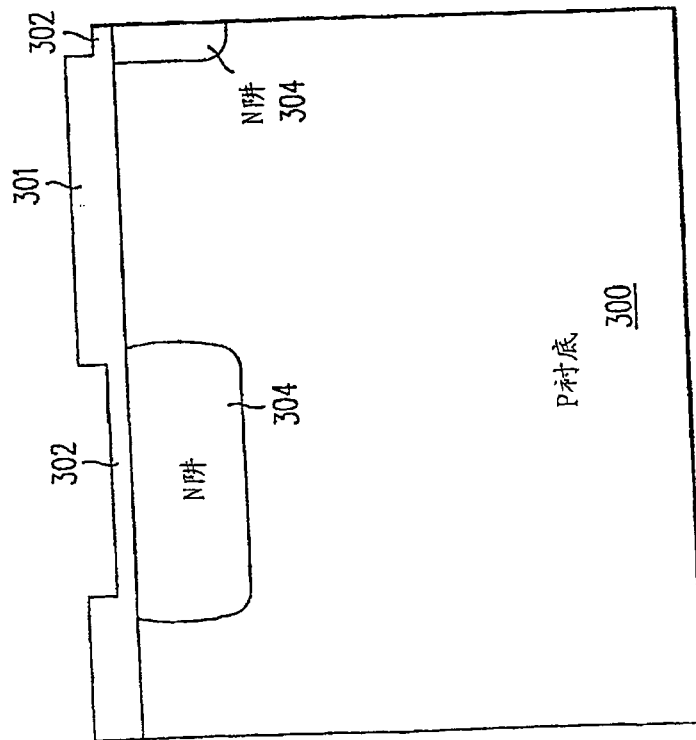


图 14C

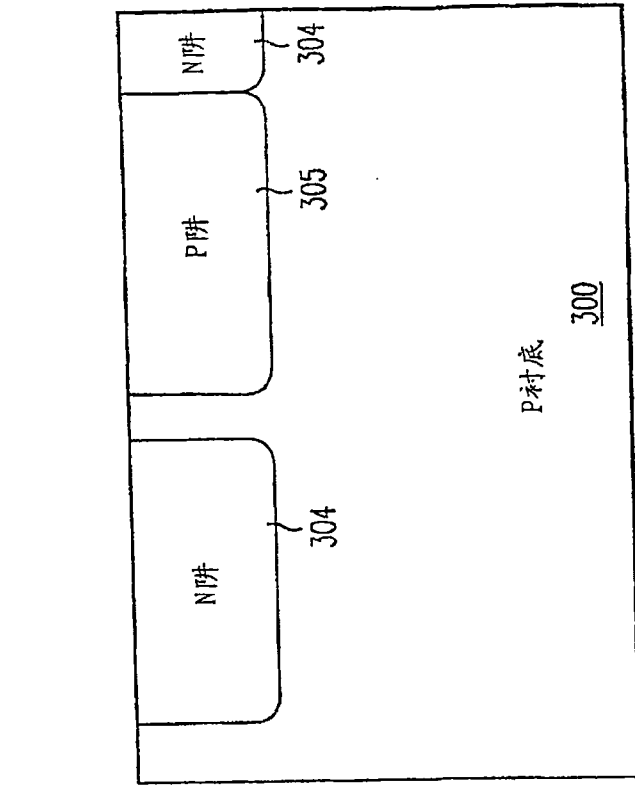


图 14F

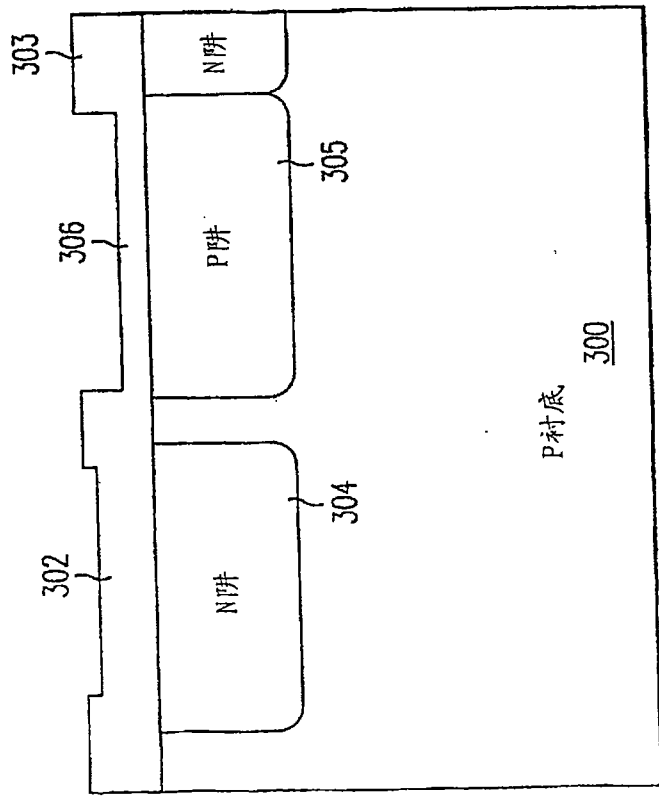


图 14E

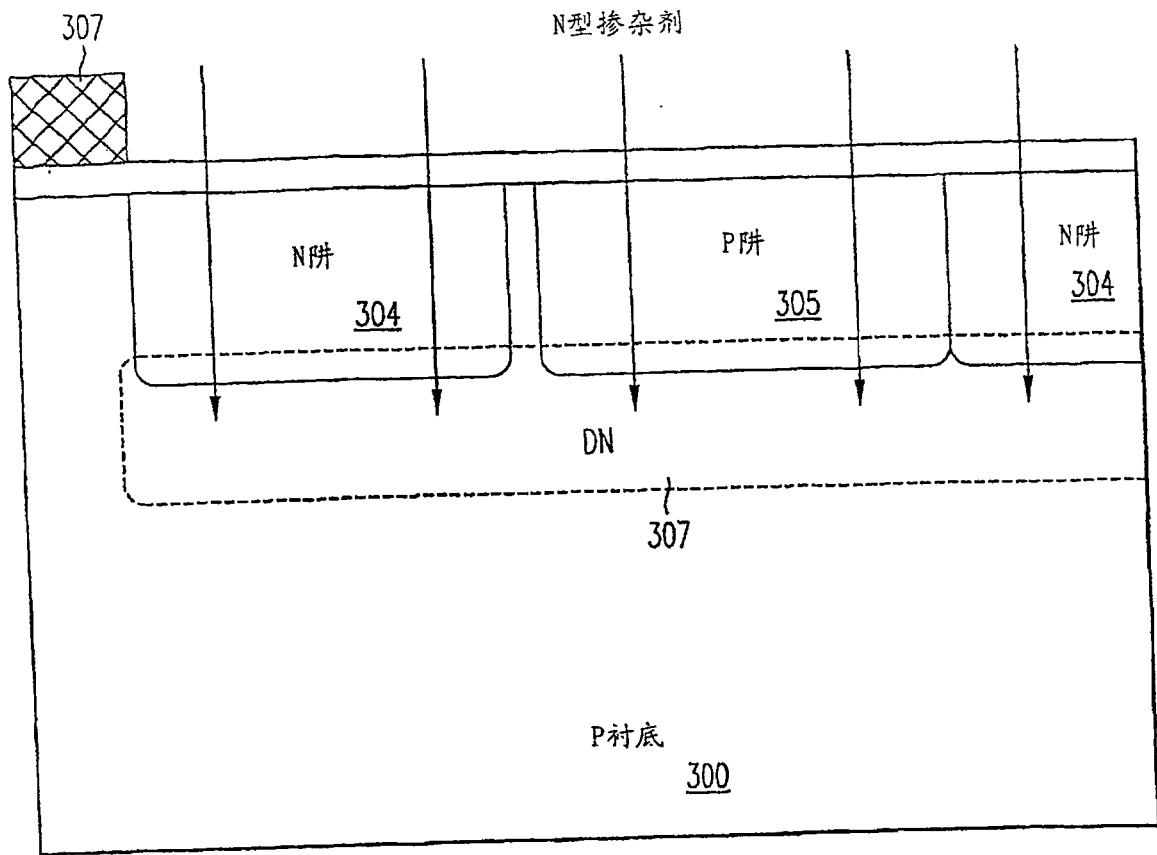


图 14G

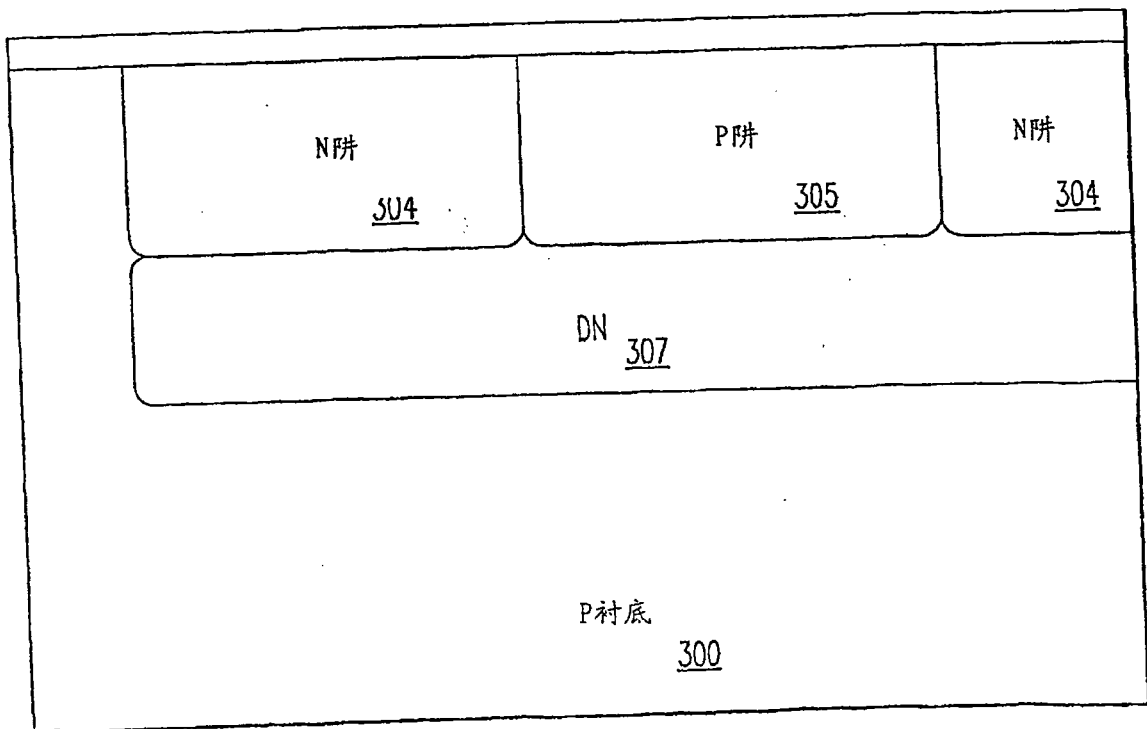


图 14H

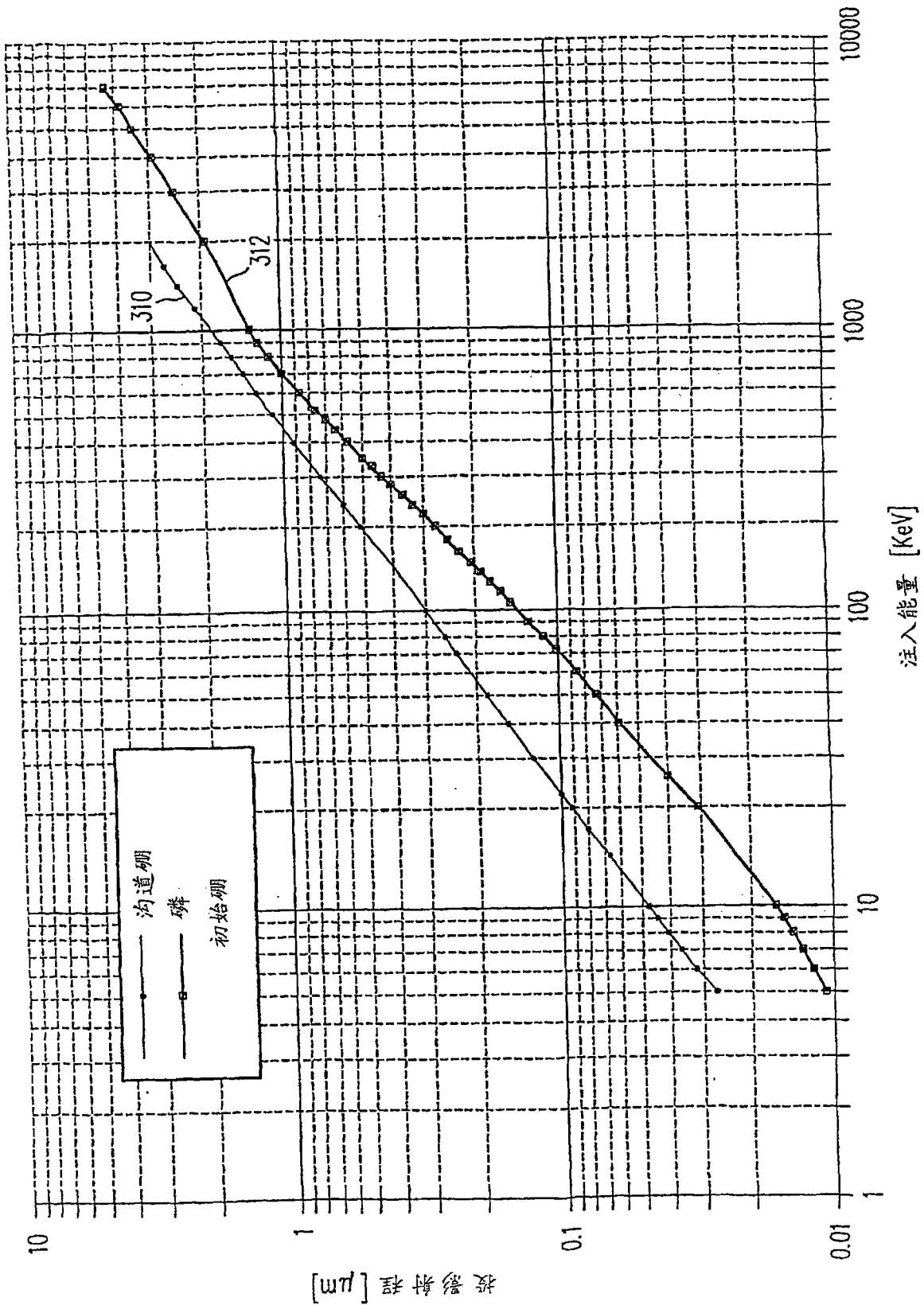


图 15A

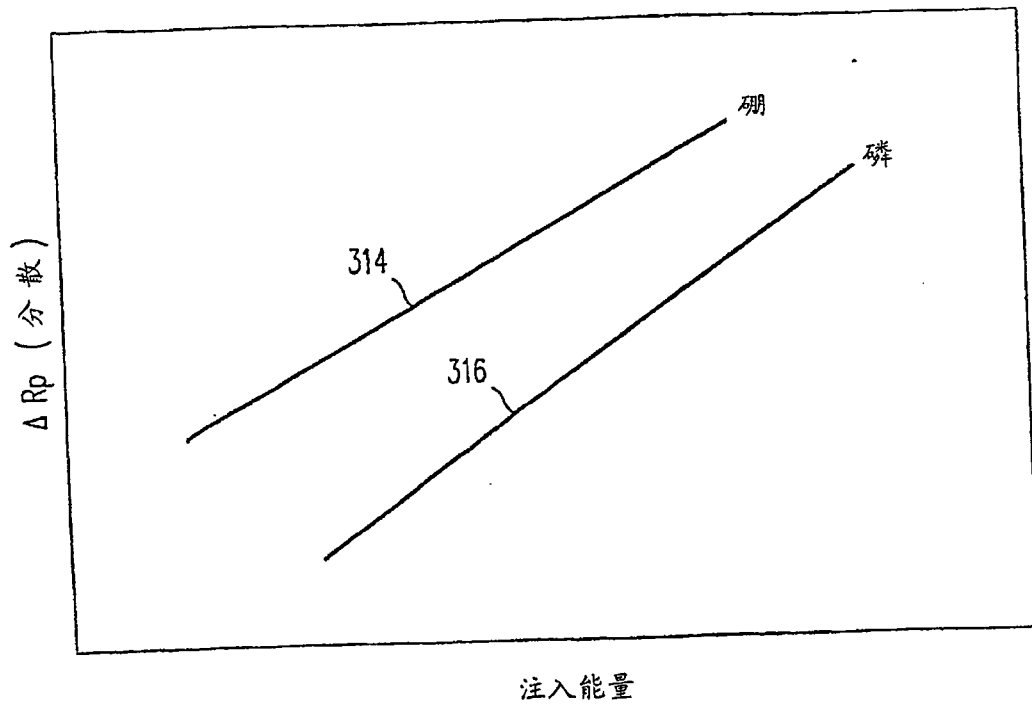


图 15B

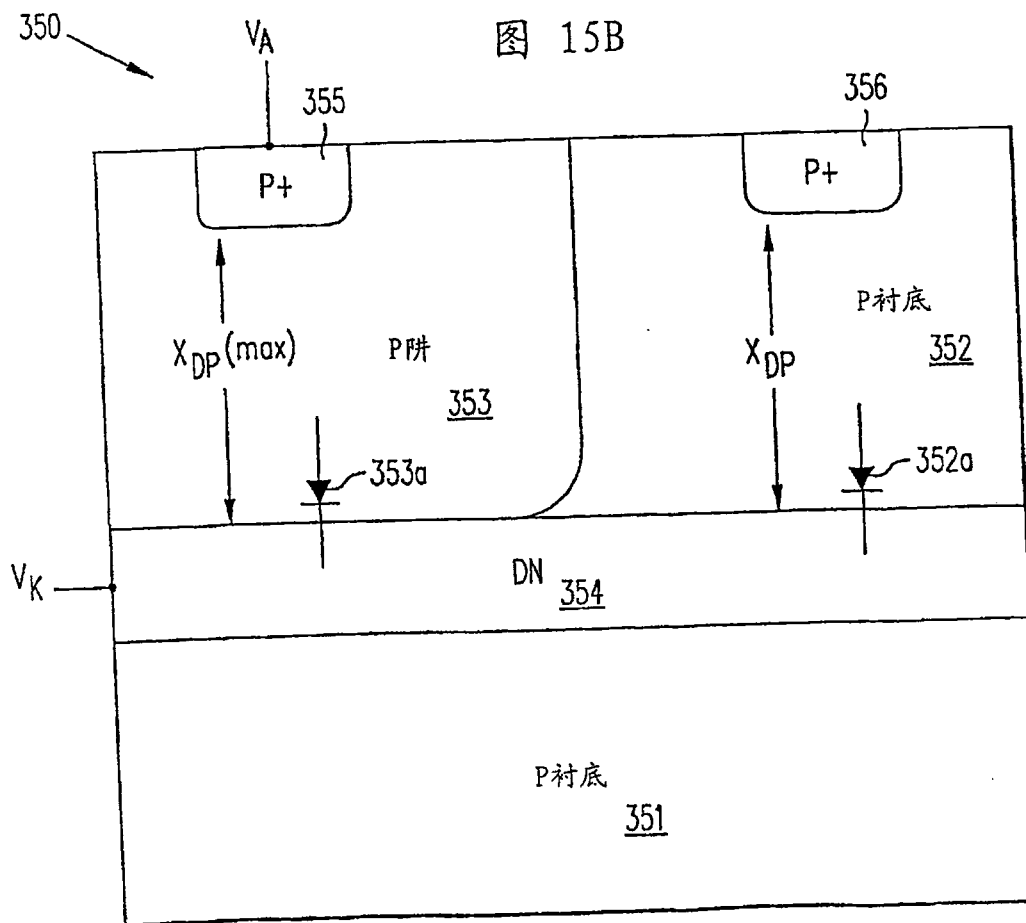
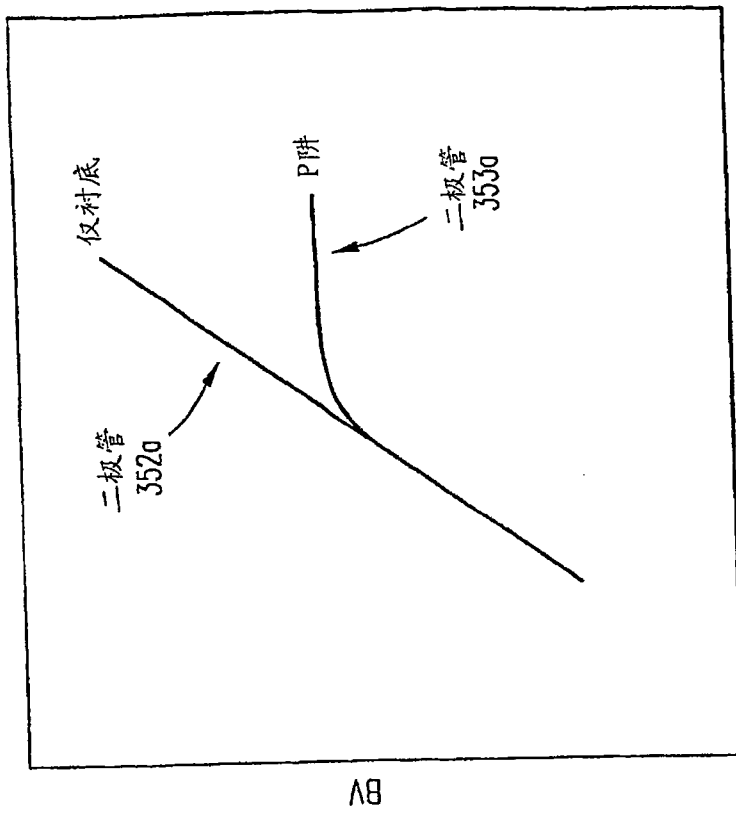
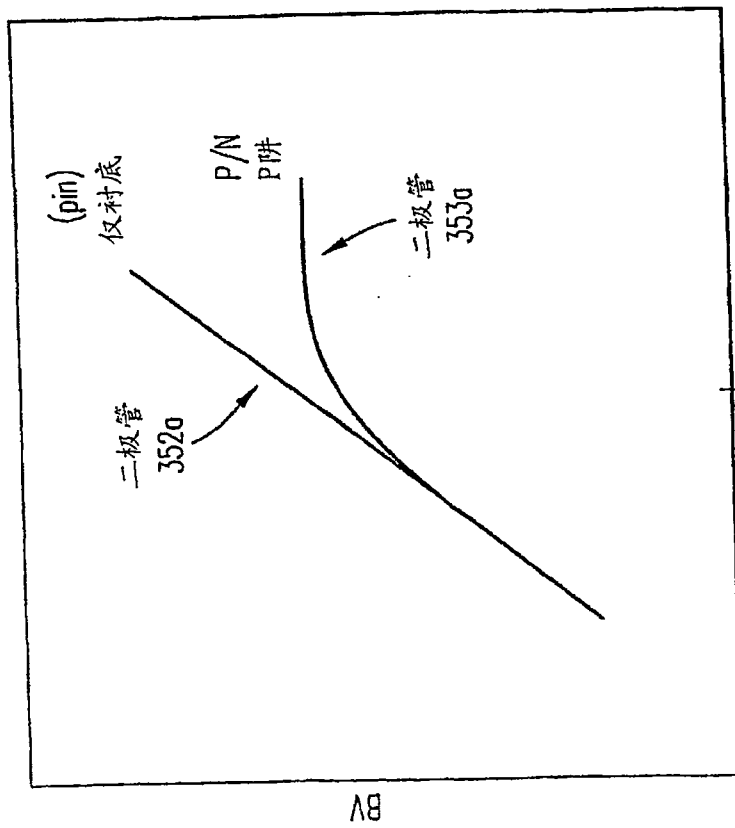


图 16A



DN注入能量

图 16C



$X_{DP} / 1$
 X_{DP}

图 16B

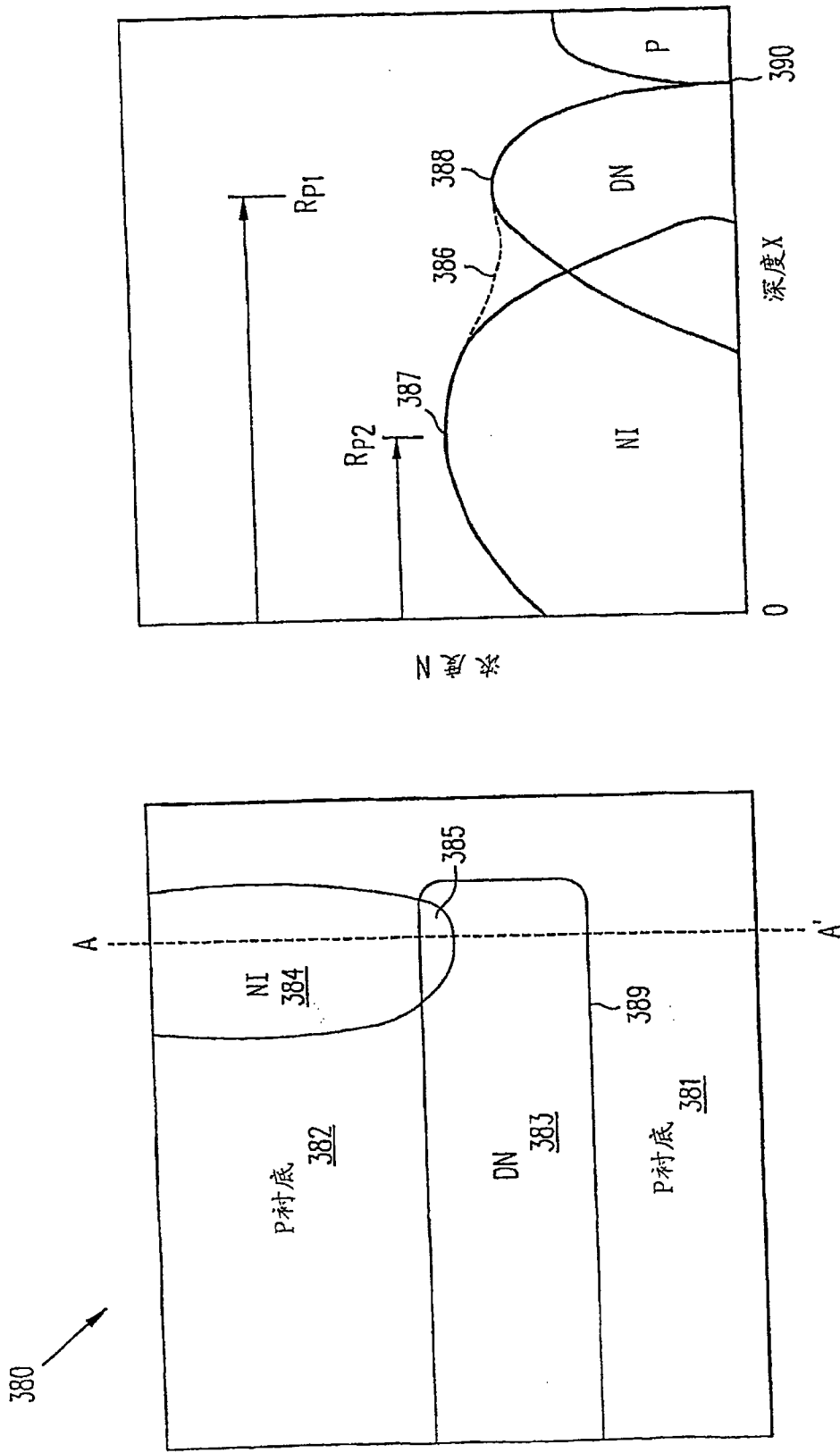


图 17B

图 17A

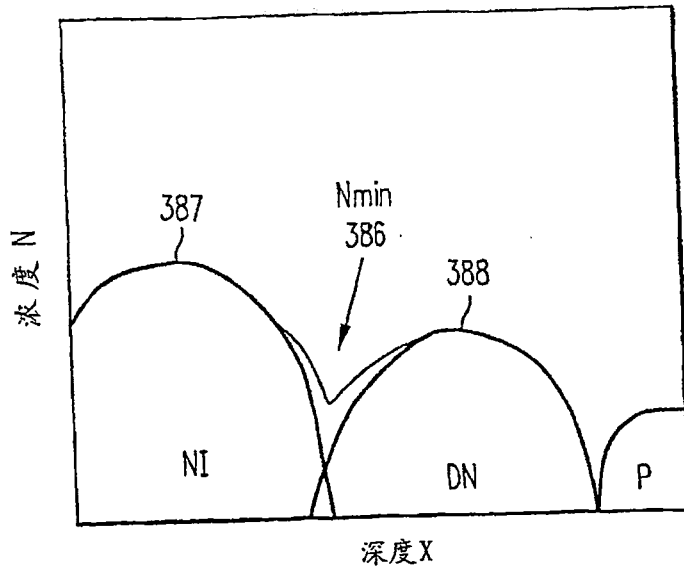


图 17C

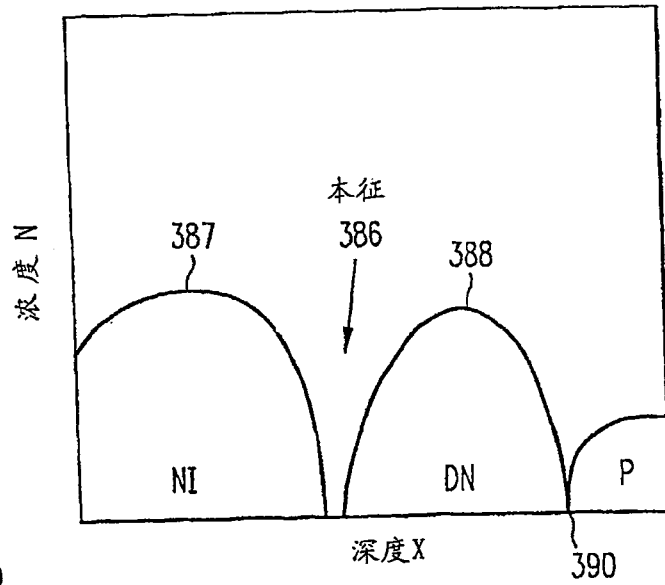


图 17D

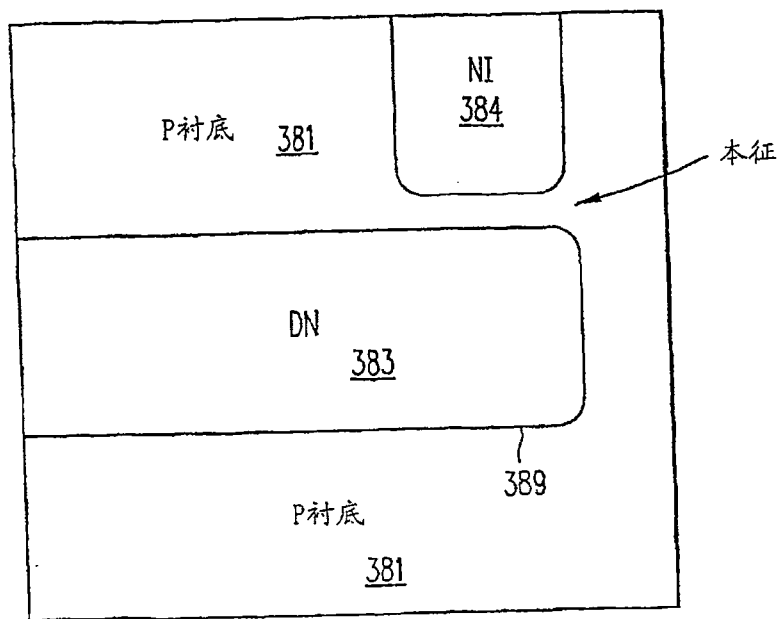


图 17E

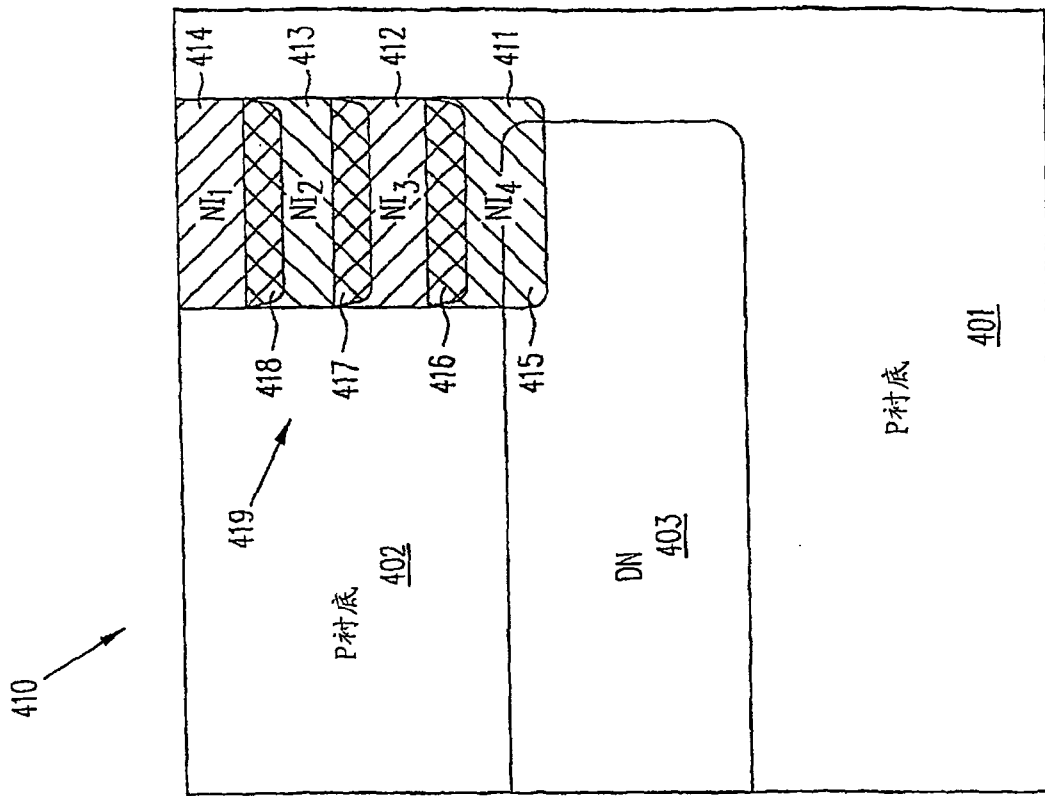


图 18B

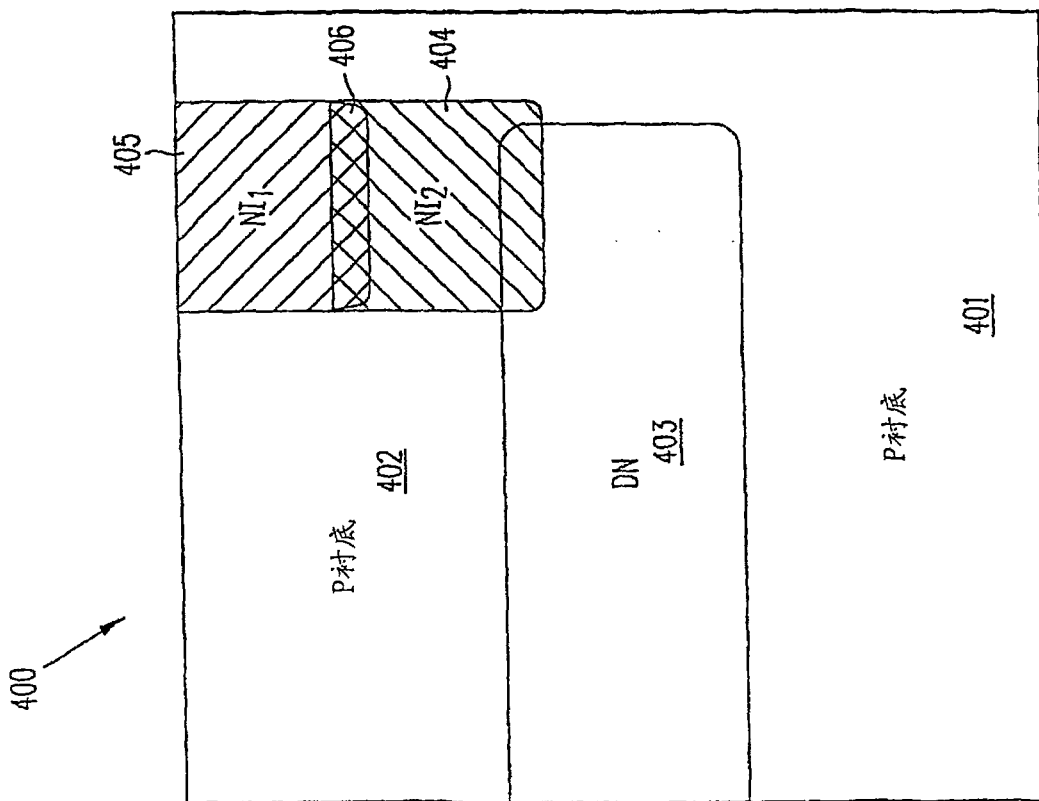


图 18A

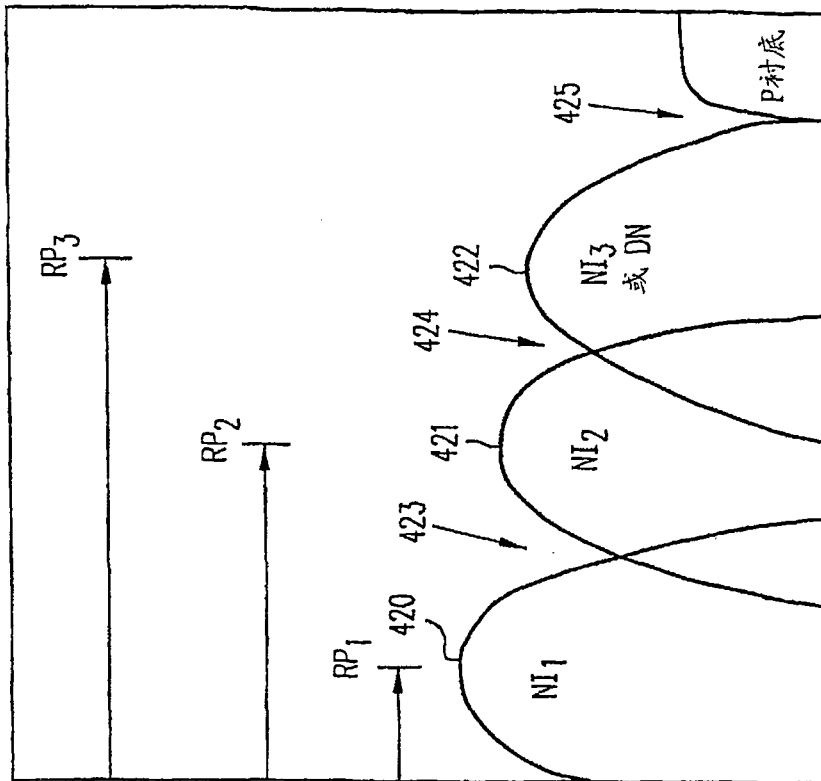


图 18D

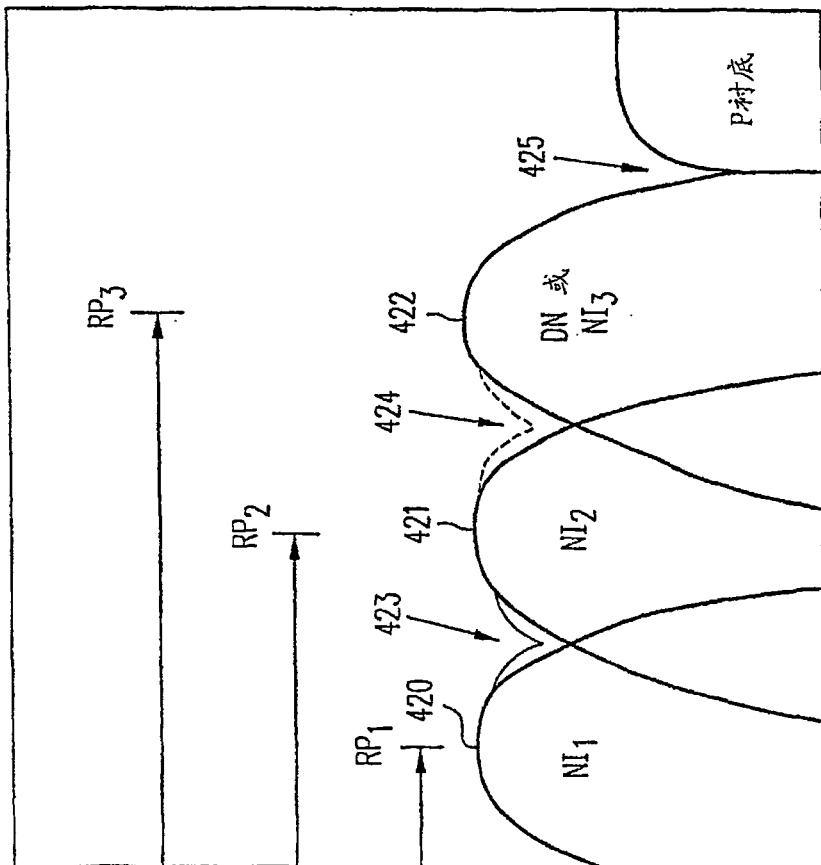


图 18C

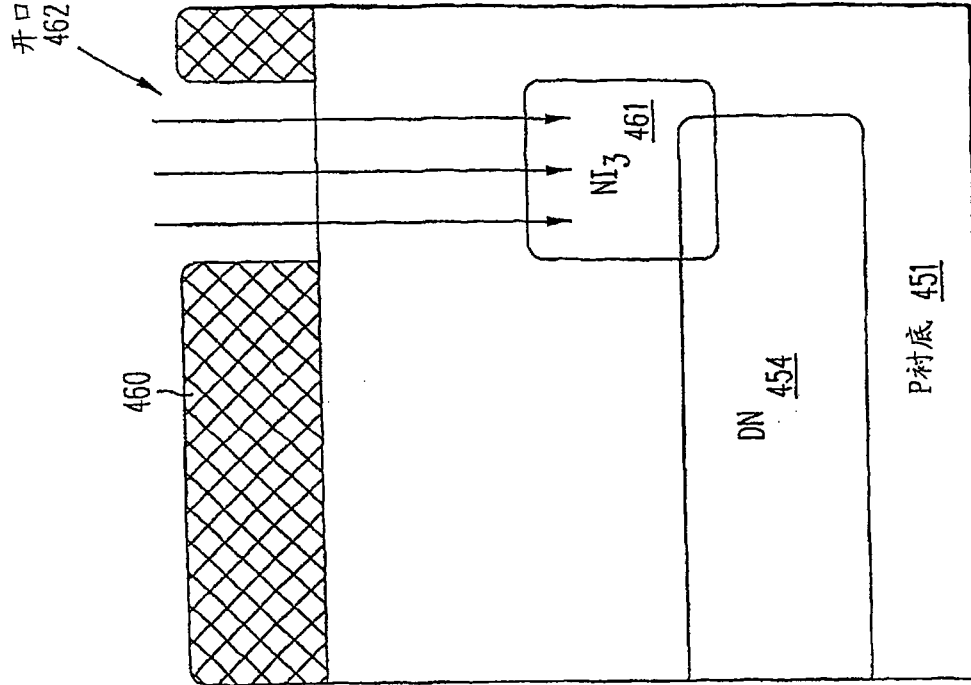


图 19B

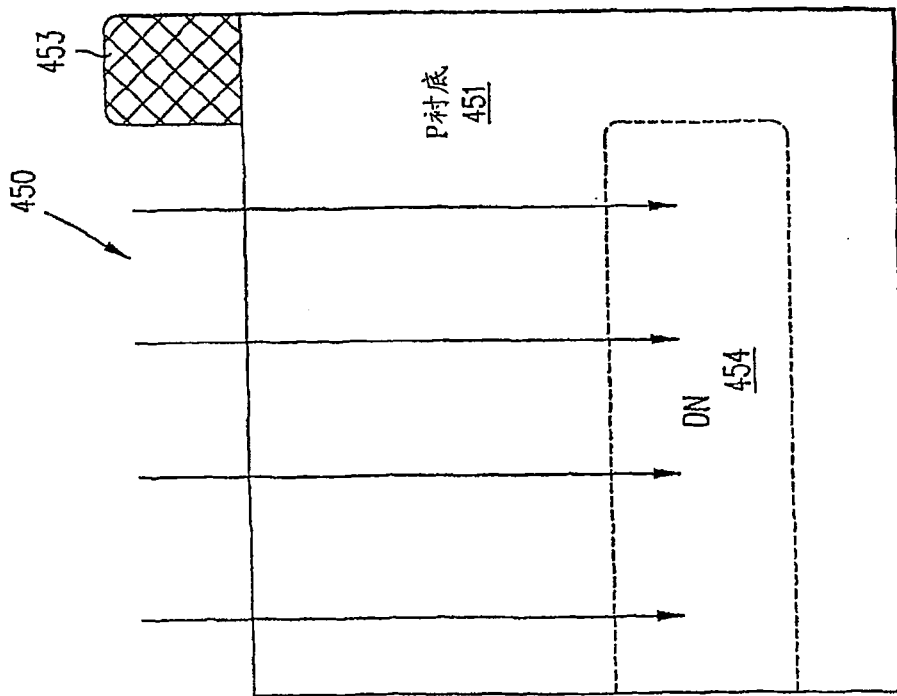


图 19A

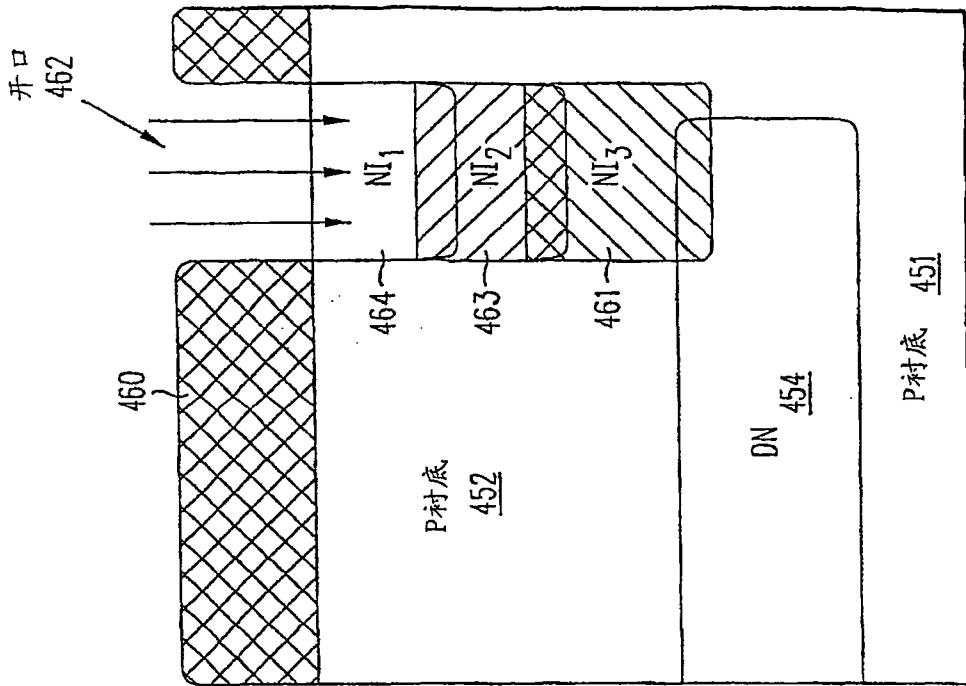


图 19D

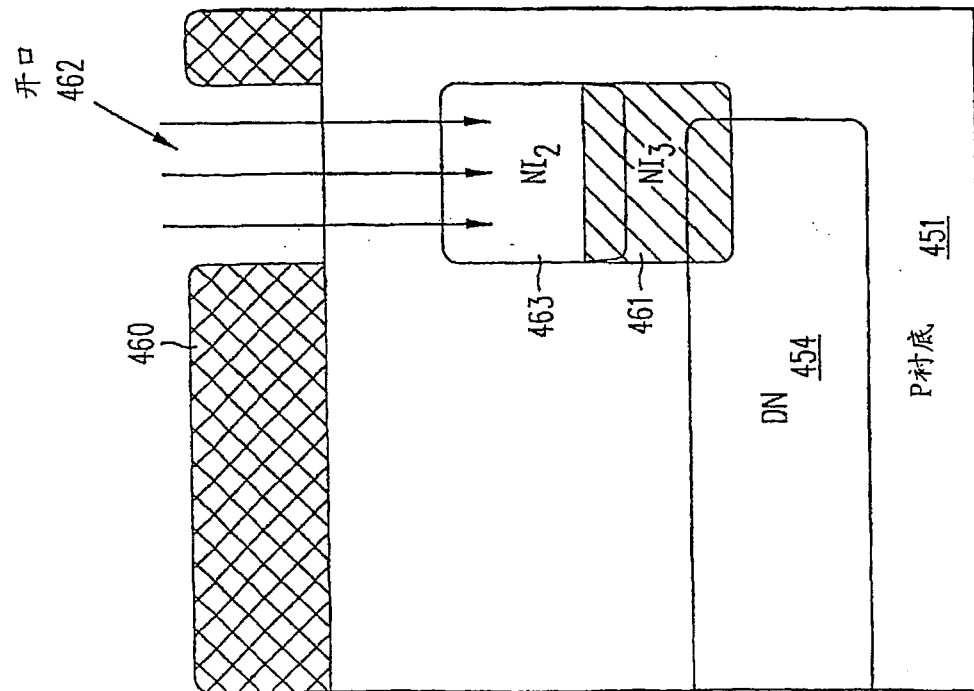


图 19C

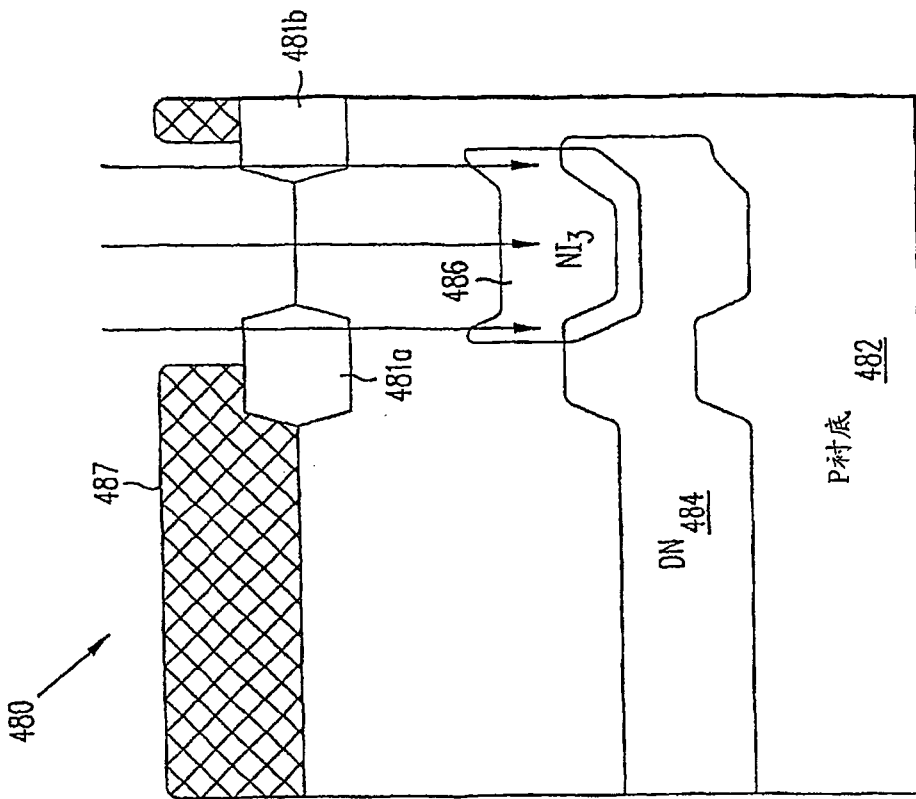


图 20B

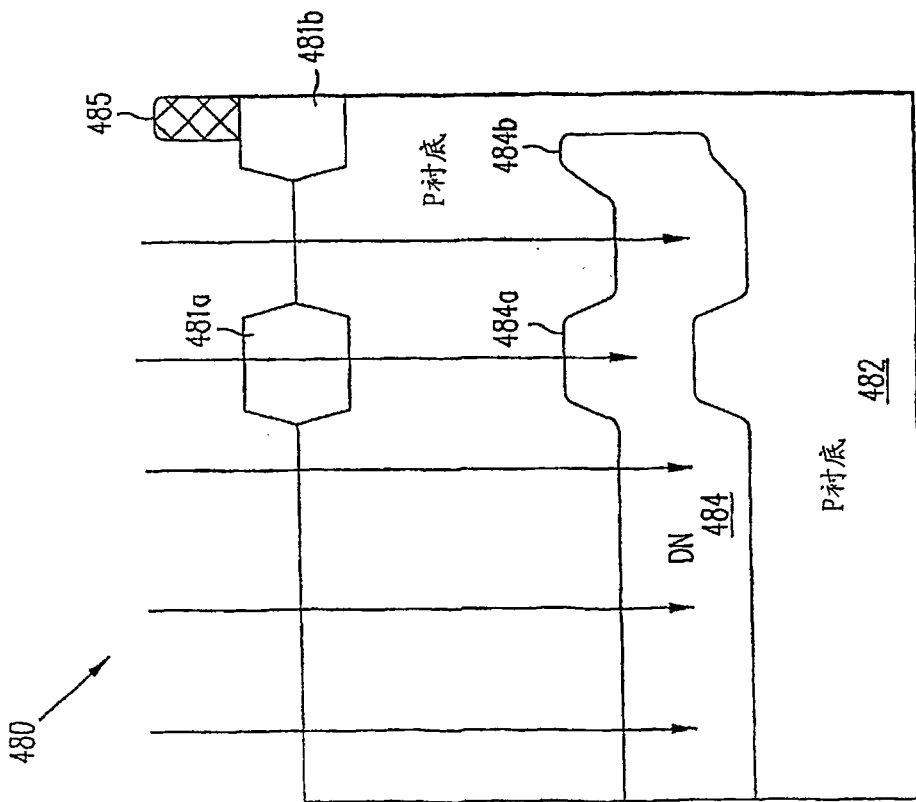


图 20A

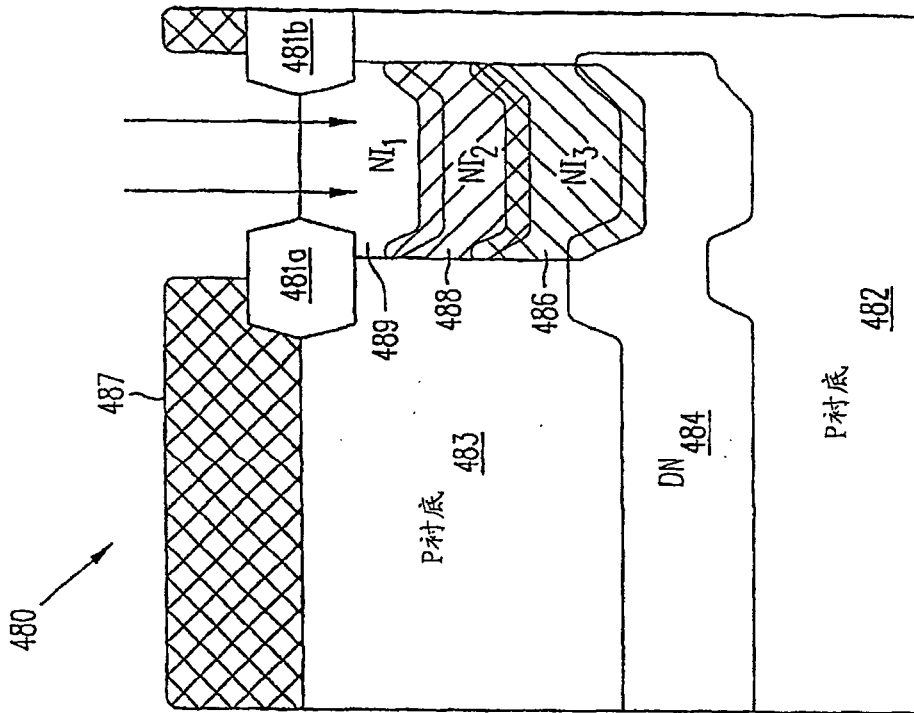


图 20D

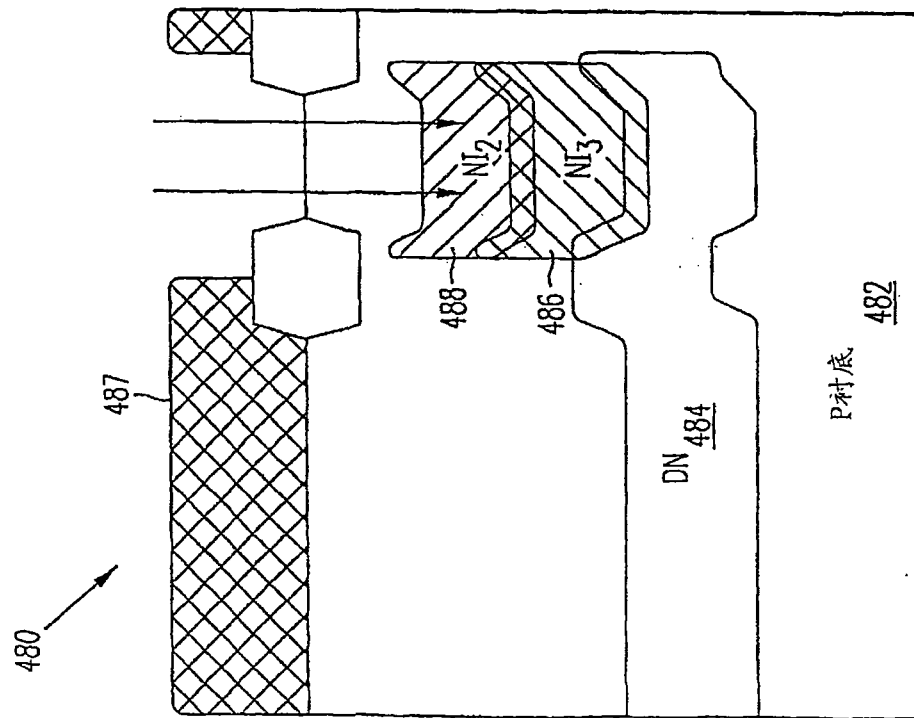


图 20C

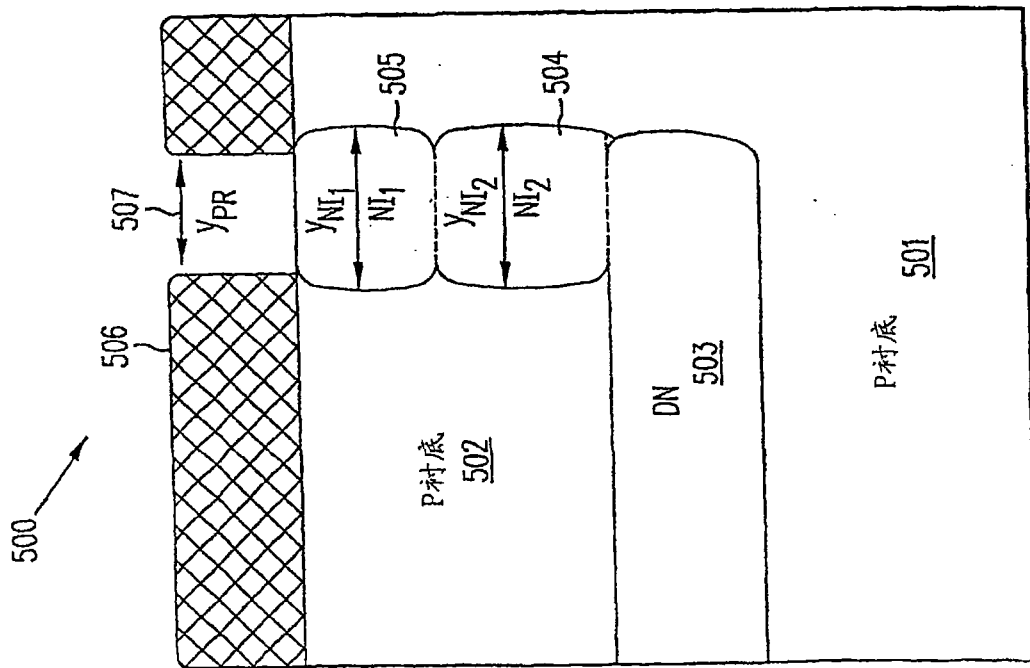


图 21A

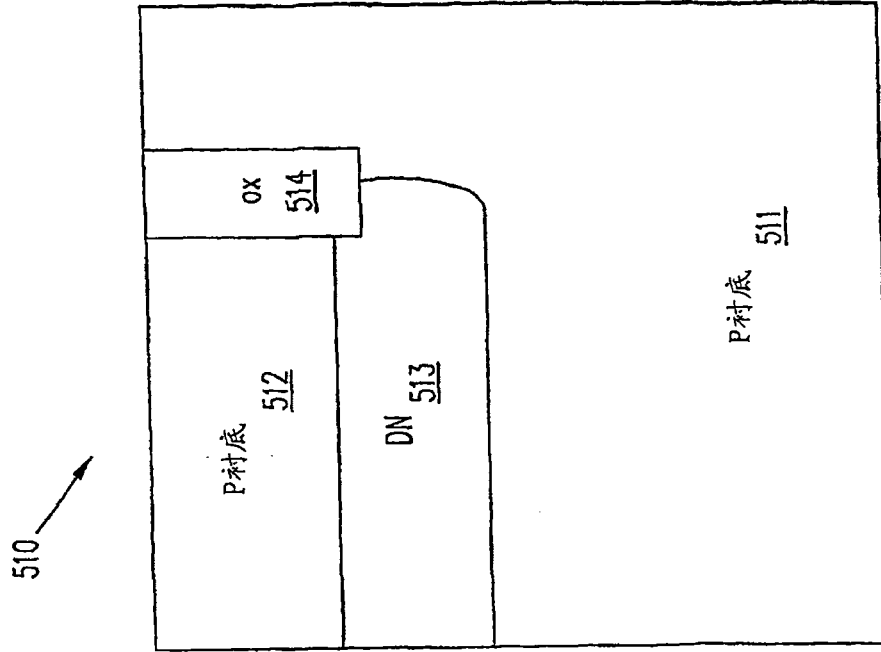


图 21B

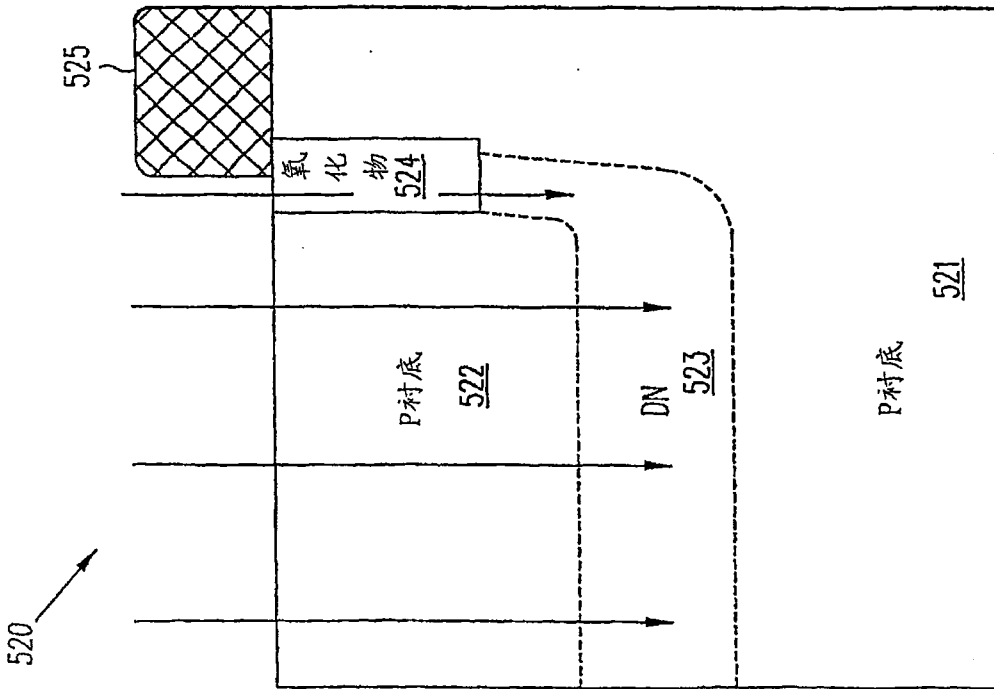


图 21C

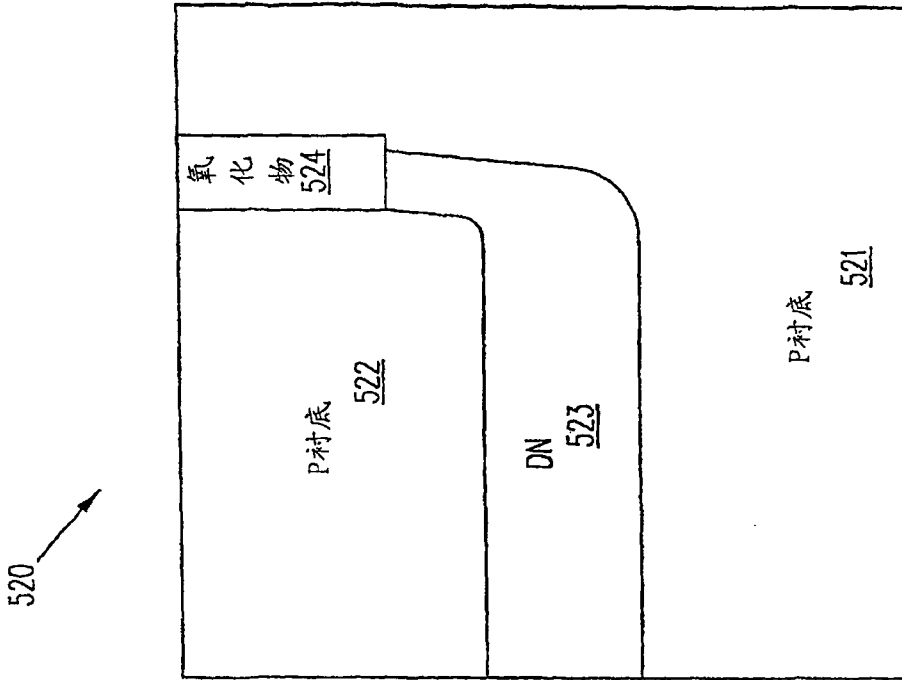


图 21D

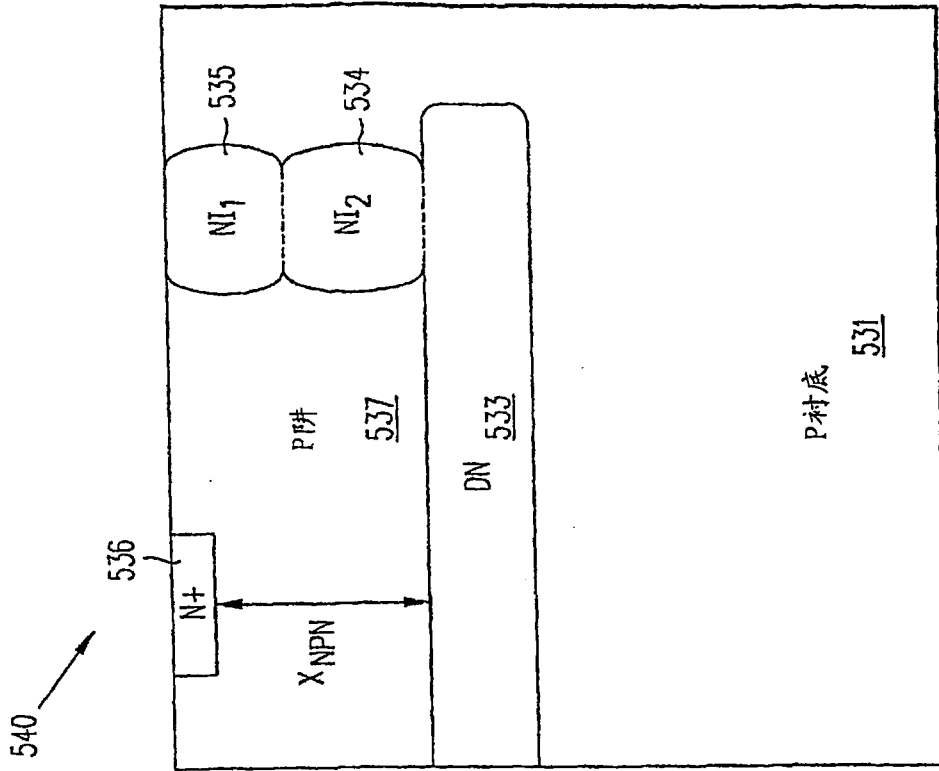


图 22B

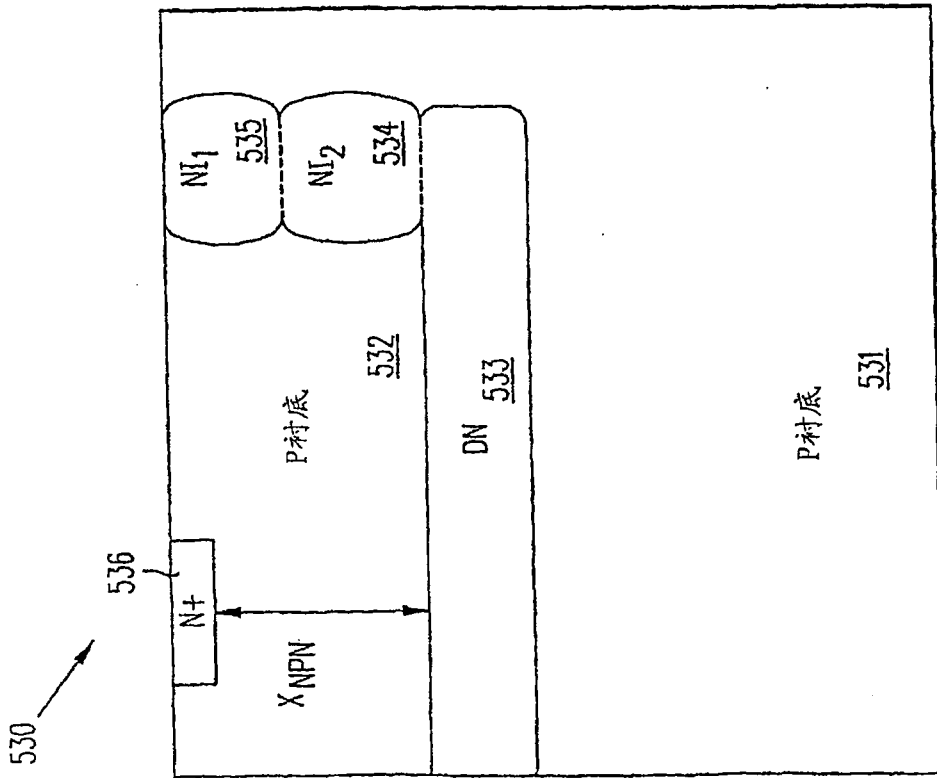


图 22A

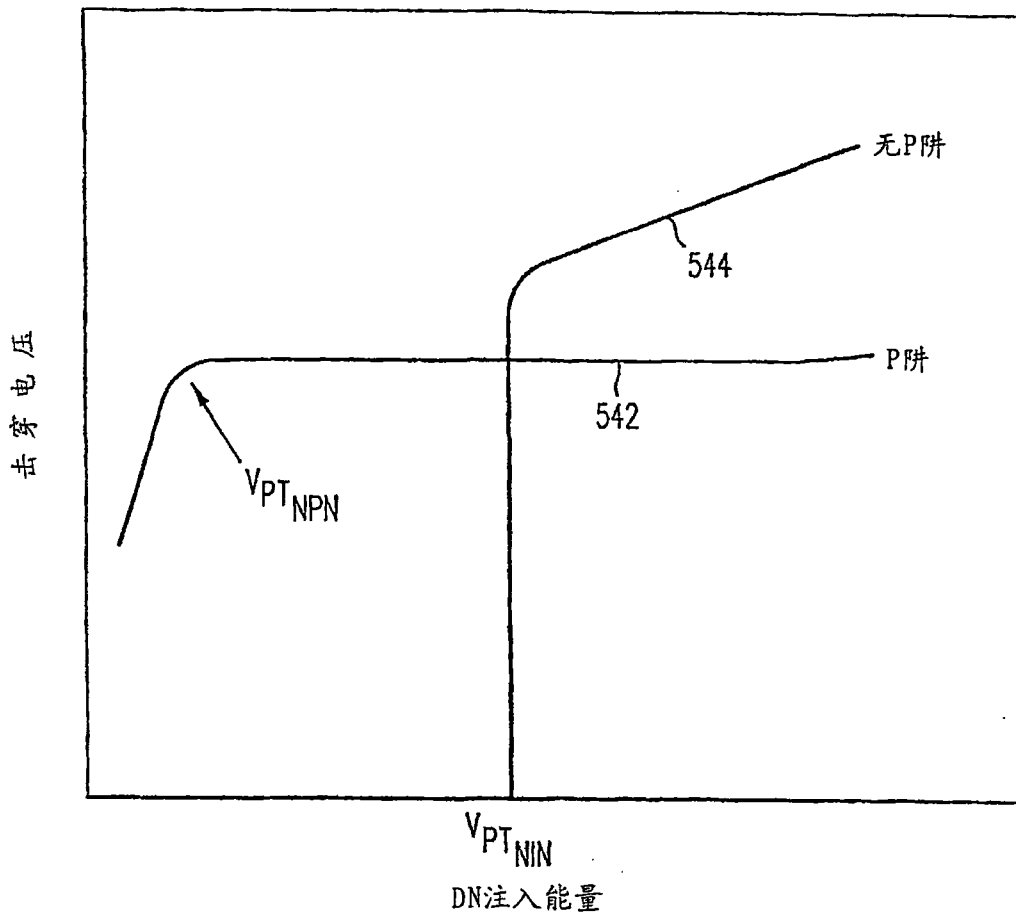


图 22C