

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 15105329

※ 申請日期： 15.2.17

※IPC 分類：H01L 29/172 (2006.01)

一、發明名稱：(中文/英文)

用於高效能混合式導向的絕緣體層上覆矽的互補金屬氧化物半導體裝置中製造混合式基板之結構與方法

STRUCTURE AND METHOD OF FABRICATING A HYBRID
SUBSTRATE FOR HIGH-PERFORMANCE HYBRID-ORIENTATION
SILICON-ON-INSULATOR CMOS DEVICES

二、申請人：(共1人)

姓名或名稱：(中文/英文)

美商萬國商業機器公司
INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文)

琳恩 D 安德森
ANDERSON, LYNNE D.

住居所或營業所地址：(中文/英文)

美國紐約州阿蒙市新果園路
NEW ORCHARD ROAD, ARMONK, NY 10504, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 麥克 李歐
LEONG, MEIKEI

2. 楊敏
YANG, MIN

國 籍：(中文/英文)

1. 美國 U.S.A.

2. 中國大陸 P.R.C.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2005 年 02 月 25 日；11/066,659

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於用於數位或類比應用之高效能金屬氧化物半導體場效電晶體(MOSFET)，且更特定言之係關於使用由表面導向增強載流子遷移率及由絕緣半導體(SOI)結構減少寄生及洩漏之MOSFET。

【先前技術】

在本半導體技術中，通常在具有單一晶向之半導體晶圓(諸如Si)上製造諸如n型FET或p型FET之互補金屬氧化物半導體(CMOS)裝置。詳言之，現今大多數半導體裝置建置於具有一(100)晶向之Si上。

一方面，已知電子對於(100)Si表面導向具有高表面遷移率，但已知電洞對於(110)表面導向具有高遷移率。即，(100)Si之電洞遷移率值約低於相應電子對於此結晶學導向之遷移率的2x-4x。為補償此差異，通常將p型FET設計為具有較大寬度以使上升電流與n型FET下降電流保持平衡並達成均一電路交換。具有較大寬度之p型FET為不需要的，因為其佔據相當大量的晶片面積。

另一方面，(110)Si上之電洞遷移率比(100)Si表面上高2.5x；因此，在(110)表面上形成之p型FET將較在(100)表面上形成之p型FET展示顯著更高之驅動電流。不幸地，與(100)Si表面相比，(110)Si表面上之電子遷移率顯著降級。

自以上討論可推斷，(110)Si表面由於極佳電洞遷移率而對於p型FET裝置為最佳的，而該晶向完全不合適於n型FET

裝置。相反，由於晶向支持電子遷移率，因此(100)Si表面對於n型FET裝置為最佳的。

於2003年6月17日申請同在申請中且共同讓渡之美國專利申請案第10/250,241號提供一在混合式導向上製造CMOS裝置之方法，其中在(110)表面導向上形成p型FET且在(100)表面導向上形成n型FET。由於電洞遷移率在(110)導向上比在(100)導向上大150%，因此p型FET裝置之驅動電流自習知CMOS技術得到極大增強。

然而，'241申請案中描述之先前技術方法視SOI及處理晶圓之表面導向而定將一類型之裝置置放在絕緣半導體(SOI)上且將其他類型之裝置置放在塊狀材料(意即，磊晶層)上。舉例而言，使用(100)SOI及(110)塊狀處理晶圓，n型FET將為SOI裝置且p型FET將為塊狀裝置。使用(110)SOI及(100)處理晶圓，n型FET將為塊狀裝置且p型FET將為SOI裝置。

如熟習該項技術者所知，在SOI基板上形成之裝置與其塊狀對應物相比提供許多優點，該等優點包括(例如)歸因於寄生電容及洩漏減少之較高效能、不存在鎖定、較高裝填密度及低電壓施加。

鑒於上述，需要提供具有位於特定最佳晶向上之不同類型裝置之一半導體結構，其中不同類型裝置之每一者為類似SOI之裝置。

【發明內容】

本發明提供一種整合半導體裝置之方法，其使得在增強

每一類型裝置效能之特定晶向之混合式基板上形成不同類型之裝置。特定言之，本發明提供一種整合半導體裝置(意即，p型FET及n型FET)之方法，其使得p型FET位於一(110)結晶學平面上，而n型FET位於一平坦混合式基板之一(100)結晶學平面上。本發明之方法亦改良使用一內埋式絕緣體及反摻雜層之一組合產生似SOI式裝置之效能。術語"似SOI式"在本發明中用以表示裝置之主體(意即，SOI層)由包括反摻雜區域之不連續內埋式絕緣層與底部基板層隔離。

本發明亦提供一種將不同互補金屬氧化物半導體(CMOS)裝置整合在具有不同結晶表面平面之混合式基板上之方法，其中在CMOS裝置之間形成隔離區域。

根據本發明，提供可組合SOI與混合式導向優點之半導體結構(包括一混合式基板)及製造方法。在本發明中，新遮罩層級(mask level)用於界定小於半導體區域之一之作用區的磊晶窗口。反摻雜亦用於本發明以提供含有至少一反摻雜區域之不連續內埋式絕緣層，該反摻雜區域將裝置主體與基板隔離以產生一偽SOI(或似SOI式)結構。若磊晶窗口位於源極/汲極區，則反摻雜區域之存在亦可減小源極/汲極至基板之接面電容。

特定言之，且在廣義術語中，本發明提供一半導體結構(例如，一混合式晶向基板)，該半導體結構包括

一第一半導體區域，其包含具有第一結晶學導向之第一半導體材料；

一第二半導體區域，其包含具有第二結晶學導向之第二

半導體材料，其中該第一結晶學導向不同於該第二結晶學導向，且該第一半導體材料及該第二半導體材料具有大體上彼此共面之上表面；

一連續內埋式絕緣層，其存在於該等半導體材料之一之下；及

一不連續內埋式絕緣層，其存在於該另一半導體材料之下，其中存在至少一反摻雜區域，該區域在產生偽SOI區域之內埋式絕緣層中提供不連續性。

在本發明中，反摻雜區域包括第一導電類型(P或N，較佳為P)之一上部摻雜區域、不同於第一導電類型(N或P，較佳為N)之第二導電類型之一中間摻雜區域及該第一導電類型(P或N，較佳為P)之一下部摻雜區域。反摻雜區域之下部摻雜區域位於底部半導體材料之上表面。反摻雜區域之上部摻雜區域直接與上覆半導體材料接觸。

在本發明之某些實施例中，在第一半導體區域與第二半導體區域之間存在一隔離區域。在本發明之另一實施例中，混合式基板進一步包括(除了以上描述之第一及第二半導體區域之外)：一第三半導體區域，其包含第三結晶學導向之第三半導體材料；及一第四半導體區域，其包含具有第四結晶學導向之第四半導體材料，其中第三結晶學導向不同於第四結晶學導向，但等於第一結晶學導向，且該第四結晶學導向等於第二結晶學導向。在此實施例中，各種半導體材料各具有彼此共面之上表面，且第三或第四區域之一包括一連續內埋式絕緣層(SOI)，且該第三或該第四區

域中之該另一者存在於具有該第二晶向(塊體)之半導體基板上。

在本發明之其他實施例中，至少一反摻雜區域具有一摻雜分佈(doping profile)，其經設計用於較佳之短通道效應(SCE)控制而無額外電容、洩漏及遷移率降級。舉例而言，反摻雜區域可包含一上部P型摻雜區域、一中間N型摻雜區域及一下部P型摻雜區域，其中上部P型摻雜區域相對於相同導電類型下部摻雜區域在半導體材料附近具有更高摻雜濃度，該半導體材料將包括裝置通道。

本發明亦提供一半導體結構，其中至少一CMOS裝置(例如，FET)位於以上描述混合式基板之各種半導體區域之每一者中。CMOS裝置位於具有結晶學導向之半導體材料(例如，第一或第二)上，該結晶學導向為彼裝置提供最佳效能。舉例而言，p型FET將存在於具有(110)結晶學導向之半導體材料頂上，而n型FET將存在於具有(100)結晶學導向之半導體材料頂上。

本發明亦提供一種製造本發明混合式基板之方法以及一種在混合式基板之各種區域之每一者中整合CMOS裝置之方法。特定言之，本發明之混合式基板由以下形成：

提供一基板，其包含由內埋式絕緣層隔離之第一結晶學導向之上部半導體材料與第二結晶學導向之下部半導體材料，該第一結晶學導向不同於該第二結晶學導向；

保護該基板之一部分以界定第一半導體區域，同時留下基板未保護之另一部分，並界定第二半導體區域；及

首先蝕刻基板之該未保護部分以使用在第二半導體區域內界定一作用區之第一遮罩來曝露內埋式絕緣層之表面；

其次蝕刻該內埋式絕緣層之該曝露表面以使用具有至少一開口之第二遮罩來曝露該下部半導體材料，該開口提供大小上小於作用區之一窗口；及

在該曝露之下部半導體材料上在該第二半導體區域內生長一半導體材料，該再生長半導體材料具有該第二結晶學導向，其中在該生長過程初始階段期間在該至少一開口內形成一反摻雜區域。

在本發明之某些實施例中，在生長過程之後形成隔離區域以隔離該第一半導體區域與該第二半導體區域。在本發明之另一實施例中，在該第一裝置區域中形成至少一第一半導體裝置，且在該第二半導體區域中形成至少一第二半導體裝置。

【實施方式】

現將參看附隨本申請案之圖式更詳細描述本發明。為說明目的而提供該等圖式，且因此出於相同原因未按比例描繪該等圖式。注意在圖式及以下提供之說明中，在第二半導體區域中形成反摻雜區域。儘管已描述並說明此實施例，但本發明亦預期在第一半導體區域而非第二半導體區域中形成反摻雜區域。又，儘管該等圖式展示一反摻雜區域之存在，但本發明預期形成一個以上反摻雜區域。

首先參看圖1A-1G，其說明用於本發明以提供本發明半導體結構(例如：混合式基板及在該混合式基板上之CMOS裝

置)之基本處理步驟。藉由提供圖1A所示之基板10開始本發明過程。如圖所示，基板10包含一上部半導體材料16、一內埋式絕緣層14及一下部半導體層12。表面介電層18亦可位於上部半導體材料16頂上。

基板10之表面介電層18包含一氧化物、氮化物、氮氧化物或其之多層，諸如一氮化物/氧化物堆疊，其在執行層轉移過程之前存在於初始晶圓之一中或在層轉移過程之後被形成在上部半導體材料16頂上。當在層轉移過程之後在半導體材料16上形成表面介電層18時，可使用熱製程(諸如，氧化、氮化或氮氧化)或習知沉積製程(諸如，化學氣體沉積(CVD)、電漿增強化學氣體沉積(PECVD)、化學溶液沉積或蒸發)。不管表面介電層18之起源，表面介電層18通常具有約3至約500 nm之厚度。

基板10之上部半導體材料16包含任何半導體材料，該半導體材料包括(例如)Si、SiC、SiGe、SiGeC、Ge合金、GaAs、InAs、InP以及其他III/V或II/VI化合物半導體。上部半導體材料16亦包含預成型SOI基板或層化半導體之SOI層，諸如Si/SiGe。上部半導體材料16之特徵亦在於具有較佳為(110)之第一結晶學導向。儘管(110)晶向為較佳的，但第一半導體層16可具有(111)或(100)之晶向。注意，上部半導體材料16形成本發明混合式基板之第一半導體材料。

上部半導體材料16之厚度可視用於形成基板10之初始開始晶圓而改變。然而，上部半導體材料16通常具有約5至約500 nm之厚度，約5至約100 nm之厚度為極其較佳的。

位於上部半導體材料16與下部半導體材料12之間之絕緣層14(或內埋式絕緣層14)具有視用於製造基板10之初始晶圓而定的可變厚度。然而，絕緣層14通常具有約1至約500 nm之厚度，約5至約100 nm之厚度為更典型的。絕緣層14為先於執行層轉移過程在一或兩個晶圓上形成之氧化物或其他類似絕緣材料。

下部半導體材料12包含可與上部半導體材料16相同或不同之任何半導體材料。因此，下部半導體材料12可包括(例如)Si、SiC、SiGe、SiGeC、Ge合金、GaAs、InAs、InP以及其他III/V或II/VI化合物半導體。下部半導體材料12亦可包含預成型SOI基板或層化半導體之SOI層，諸如Si/SiGe。下部半導體材料12之特徵亦在於具有不同於第一結晶學導向之第二結晶學導向。應注意，下部半導體材料12之結晶學導向將判定隨後藉由磊晶法在材料12之曝露部分再生長的第二半導體材料之結晶學導向。由於上部半導體材料16較佳為(110)表面，因此下部半導體材料12之結晶學導向較佳為(100)。儘管(100)晶向為較佳的，但下部半導體材料12可具有(111)或(110)之晶體結構。

下部半導體材料12之厚度可視用於形成基板10之初始開始晶圓而改變。然而，下部半導體材料12通常具有約5 nm至約200 nm之厚度，約5至約100 nm之厚度為更典型的。

使用層轉移過程形成圖1A所說明之基板10，其中使用至少兩晶圓之接合。用於製造基板10之兩晶圓可包括：兩SOI晶圓，其中該等晶圓之一包括基板10之上部半導體材料

16，且另一晶圓包括基板10之下部半導體材料12；一SOI晶圓及一塊狀半導體晶圓；兩個塊狀半導體晶圓，兩者在其上均含有絕緣層14；或包括諸如H₂植入區域之離子植入區域之一塊狀晶圓及一SOI晶圓，該離子植入區域可用於在層轉移過程期間該離子植入區域分裂至少一晶圓之一部分。

藉由首先使兩晶圓彼此緊密接觸，視情況將一外力施加至接觸晶圓，且接著在能夠兩晶圓接合到一起之條件下加熱兩接觸晶圓來達成層轉移。可在存在或不存在外力的情況下執行加熱步驟。通常以約200°至約1050°C之溫度在惰性環境中執行加熱步驟約2至約20小時之時期。更通常地，以約200°至約400°C之溫度執行接合。本文亦預期亦能夠接合兩晶圓之其他接合溫度及時間。術語"惰性環境"用於本發明以表示一使用諸如He、Ar、N₂、Xe、Kr或其混合物之惰性氣體的氣氛。在接合過程期間所使用之較佳環境為N₂。

在使用兩SOI晶圓之實施例中，在接合之後可使用諸如化學機械拋光(CMP)或研磨及蝕刻之平坦化過程來移除至少一SOI晶圓之某些材料層。當到達表面介電層18時終止平坦化過程。因此，在本發明中表面介電層18可充當蝕刻終止層。

在晶圓中之一者包括一離子植入區域之實施例中，離子植入區域在接合期間形成一多孔區域，其導致晶圓在離子植入區域上之一部分斷開，留下如(例如)圖1A所示之基板10。植入區域通常包含使用熟習該項技術者所熟知之離子

植入條件而植入晶圓表面之 H_2 離子。在此實施例中，通常使用較彼等以上描述溫度更低之接合溫度。

接著在圖1A之基板10之預定部分上形成遮罩20使得保護基板10之一部分，同時留下基板10未保護之另一部分。基板10之保護部分界定第一半導體區域22，而基板10之未保護部分界定第二半導體區域24。

在一實施例中，藉由將光阻遮罩塗覆至基板10之整個表面在表面介電層18之預定部分上形成遮罩20。在塗覆光阻遮罩之後，藉由微影來圖案化遮罩，該微影包括將光阻曝露至輻射圖案並使用光阻顯影劑來顯影圖案之步驟。在另一實施例中遮罩20為使用微影及蝕刻而形成且圖案化之氮化物或氮氧化物層。可在界定第二半導體區域24之後移除氮化物或氮氧化物遮罩20。例如在圖1B中展示了包括在基板10之預定部分上形成之遮罩20之合成結構；將多種半導體區域標記為22及24。

在將遮罩20提供至界定多種半導體區域之基板10之後，該結構經受包括第一遮罩層級(未圖示)之第一蝕刻步驟，其在第二半導體區域24內界定作用區RX。此蝕刻步驟移除表面介電層18之未保護部分以及上部半導體層16之底層部分，在絕緣層14頂上終止。可使用單一蝕刻過程來執行蝕刻步驟或可使用多個蝕刻步驟。本發明在此點上所使用之蝕刻可包括：乾式蝕刻過程，諸如反應性離子蝕刻、離子束蝕刻、電漿蝕刻或雷射蝕刻；濕式蝕刻過程，其中使用一化學蝕刻劑或其之任意組合。在本發明之一較佳實施例

中，反應性離子蝕刻(RIE)用於選擇性移除表面介電層18之未保護部分及上部半導體材料16，在第二半導體區域24中之絕緣層14之表面上終止。

在第二半導體區域24內界定作用區RX之後，第二遮罩層級(未圖示)用於在絕緣層14之曝露部分中界定至少一磊晶窗口26，且接著使用第二蝕刻過程以移除曝露之內埋式絕緣層14，從而在第二半導體區域24內提供不連續內埋式絕緣層15；由窗口26提供不連續性。注意用於界定第二半導體區域24中之窗口26之遮罩層級小於作用區RX。第二蝕刻過程包括任何蝕刻技術，其選擇性移除內埋式絕緣層14之曝露部分，在下部半導體材料12之表面上終止。例如在圖1C中展示在執行第一及第二蝕刻過程之後的合成結構。注意在此蝕刻步驟之後曝露所保護之第一半導體區域22(意即，表面介電層18及上部半導體材料16)之側壁。如圖所示，層18及16之曝露側壁對準遮罩20之最外部邊緣。亦應注意連續內埋式絕緣層14存在於第一半導體區域22中，因為在本發明中未發生該層之蝕刻。

接著使用習知抗蝕劑剝離過程自圖1C所示之結構移除遮罩20，且接著通常但非總是在曝露側壁上形成一襯墊(liner)或隔片(spacer)21。藉由沉積及蝕刻來形成選用之襯墊或隔片21。當存在時，襯墊或隔片21包含諸如氧化物之絕緣材料。

接著，形成至少一反摻雜區域28及一半導體材料30，使得反摻雜區域28位於每一窗口26內，且在反摻雜區域28上

形成半導體材料30以填充第二半導體區域24之RX。根據本發明，區域28及30除了在窗口26內發生之摻雜(藉由植入或原位磊晶生長)以外包含相同材料，使得在窗口中形成反摻雜區域28。因而，反摻雜區域28在第二半導體區域24內之內埋式絕緣層中提供至少一斷裂，而該區域保持似SOI式。此外，反摻雜區域28在第二半導體區域24中電性隔離半導體材料30與下部半導體材料12。

在本發明中，反摻雜區域28包括第一導電類型(P或N，較佳為P)之一上部摻雜區域、不同於第一導電類型(N或P，較佳為N)之第二導電類型之一中間摻雜區域及該第一導電類型(P或N，較佳為P)之一下部摻雜區域。

在本發明之某些實施例中，至少一反摻雜區域28具有一摻雜分佈，其經設計用於較佳之SCE控制無額外電容、洩漏及遷移率降級。舉例而言，反摻雜區域28可包含一上部P型摻雜區域、一中間N型摻雜區域及一下部P型摻雜區域，其中上部P型摻雜區域相對於相同導電類型下部摻雜區域在半導體材料附近具有更高摻雜濃度，該半導體材料將包括裝置通道。

藉由繼離子植入之後的磊晶法或藉由使用原位磊晶生長過程形成反摻雜區域28。熟習該項技術者可選擇具有反摻雜區域28之摻雜含量。通常且舉例而言上部摻雜區域為具有約 5×10^{17} 至約 5×10^{19} 原子/cm³摻雜濃度之P型摻雜區域，中間摻雜區域為具有約 5×10^{16} 至約 5×10^{18} 原子/cm³摻雜濃度之N型摻雜區域，且下部摻雜區域為具有約 1×10^{16} 至約 5×10^{18}

原子/cm³ 摻雜濃度之P型摻雜區域。

根據本發明，半導體材料30以及反摻雜區域28具有與下部半導體材料12之結晶學導向相同之一結晶學導向。例如在圖1D中展示了合成結構。

半導體材料30(以及反摻雜區域28)可包含諸如Si、應變Si、SiGe、SiC、SiGeC或其組合之任何含Si半導體，使用選擇性磊晶生長方法能夠形成該半導體。在某些較佳實施例中，半導體材料30包含Si。在其他較佳實施例中，半導體材料30為位於鬆弛SiGe合金層頂上之一應變Si層。在本發明中，可將半導體材料30稱為再生長半導體材料或僅稱為本發明混合式基板之第二半導體材料。

接著，圖1D所示之結構經受諸如化學機械拋光(CMP)或研磨之平坦化過程，使得半導體材料之上表面(意即，第二半導體材料)30大體上與上部半導體材料之上表面(意即，第一半導體材料)16共面。注意，在此平坦化過程期間，移除表面介電層18之先前保護部分。圖1E展示了平坦化結構。可增加選用之氧化步驟，以改良半導體材料30之表面屬性。

在提供大體上平坦表面之後，通常形成諸如淺渠溝隔離區域之隔離區域32，使得第一半導體區域22與第二半導體區域24隔離。使用熟習該項技術者所熟知之處理步驟來形成隔離區域32，該等處理步驟包括(例如)渠溝界定及蝕刻，視情況用擴散障壁為渠溝加襯裡，並用諸如氧化物之渠溝介電質來填充渠溝。在填充渠溝之後，該結構可為平坦的且可執行一選用之緻密化(densification)過程步驟，以使渠

溝介電質增加密度。例如，圖1F中展示了含有隔離區域32之合成混合式基板。注意，用隔離區域32來取代襯墊或隔片21。

圖1G展示在上部半導體層16之一部分上形成第一半導體裝置34且在再生長半導體材料30上形成第二半導體裝置36之後所形成之整合結構。儘管展示每一裝置區域中僅存在一半導體裝置，但本發明預期在特定裝置區域中形成複數個每一類型之裝置。根據本發明，第一半導體裝置可為p型FET或n型FET，而第二半導體裝置可為n型FET或p型FET，同時附帶條件為第一半導體裝置不同於第二半導體裝置且在提供高效能裝置之晶向上製造特定裝置。使用熟習該項技術者所熟知之標準CMOS處理步驟形成p型FET及n型FET。每一FET包括一閘極介電層、一閘極導體、位於閘極導體頂上之一選用之硬遮罩、位於至少該閘極導體之側壁上之隔片及源極/汲極擴散區域。圖1G中將擴散區域標記為38。注意，在具有(110)或(111)導向之半導體材料上形成p型FET，而在具有(100)或(111)導向之半導體表面上形成n型FET。

圖2為可使用以上描述處理而形成之另一混合式基板之說明。在所說明之實施例中，在第二半導體區域24中形成反摻雜區域28，使得其將位於合成n型FET之源極區或位於合成p型FET之汲極區。

圖3展示可使用以上描述過程而形成之另一混合式基板之說明。在所說明之圖式中，可將SOI、塊狀及偽SOI整合

在一起，且在塊狀裝置區域中形成記憶體及/或類比裝置。注意所說明結構之右手部分與圖1F所示之相同。圖3中，相同材料使用以上描述之相同參考數字。鄰近第一半導體區域22之左手部分包括：一第三半導體區域50，其包含第三結晶學導向之第三半導體材料16；及一第四半導體區域52，其包含具有第四結晶學導向之第四半導體材料30，其中第三結晶學導向不同於第四結晶學導向，但等於第一結晶學導向，且該第四結晶學導向等於第二結晶學導向。注意在圖式中，參考數字16及30分別用於界定第三及第四半導體材料。在此實施例中，半導體材料各具有彼此共面之上表面，且第三或第四區域之一包括一連續內埋式絕緣層且該第三或第四區域中之該另一者存在於具有該第二晶向之半導體基板上。

雖然已關於較佳實施例特定展示並描述本發明，但熟習該項技術者應理解在不偏離本發明之精神及範疇的情況下可在形式及細節上進行上述及其他改變。因此期望本發明不限於所描述及說明之確切形式及細節，但應屬於隨附申請專利範圍之範疇內。

【圖式簡單說明】

圖1A-1G為說明用於本發明中以形成本發明混合式基板(見圖1E或1F)及包括CMOS裝置及混合式基板之一結構(見圖1G)之基本處理步驟的圖形表示(經由橫截面圖)。

圖2為說明可使用本發明處理步驟形成之另一可能混合式基板之圖形表示(經由橫截面圖)。

圖3為說明可使用本發明基本處理步驟形成之另一可能混合式基板之圖形表示(經由橫截面圖)。

【主要元件符號說明】

- 10 基板
- 12 下部半導體材料
- 14 內埋式絕緣層
- 15 不連續內埋式絕緣層
- 16 上部半導體材料
- 18 表面介電層
- 20 遮罩
- 21 襯墊/隔片
- 22 第一半導體區域
- 24 第二半導體區域
- 26 磊晶窗口
- 28 反摻雜區域
- 30 半導體材料
- 32 隔離區域
- 34 第一半導體裝置
- 36 第二半導體裝置
- 38 擴散區域
- 50 第三半導體區域
- 52 第四半導體區域

五、中文發明摘要：

本發明提供一種整合半導體裝置之方法，其使得在增強每一類型裝置效能之一特定晶向(crystal orientation)之一混合式基板上形成不同類型之裝置。特定言之，本發明提供一種整合半導體裝置之方法，其使得p型場效電晶體(FET)位於一(110)結晶學平面上，而n型FET位於一平坦混合式基板之一(100)結晶學平面上。本發明之該方法亦改良使用一內埋式絕緣體及反摻雜層之一組合來產生似SOI式裝置之效能。本發明亦係關於使用本發明之方法所形成之半導體結構。

六、英文發明摘要：

十、申請專利範圍：

1. 一種半導體結構，其包含：
 - 一第一半導體區域，其包含具有一第一結晶學導向之一第一半導體材料；
 - 一第二半導體區域，其包含具有一第二結晶學導向之一第二半導體材料，其中該第一結晶學導向不同於該第二結晶學導向，且該第一半導體材料及該第二半導體材料具有大體上彼此共面之上表面；
 - 一連續內埋式絕緣層，其存在於該等半導體材料之一下方；及
 - 一不連續內埋式絕緣層，其存在於該另一半導體材料下方，其中存在至少一反摻雜區域，該至少一反摻雜區域在產生一偽SOI區域之該內埋式絕緣層中提供不連續性。
2. 如請求項1之半導體結構，其中該第一半導體材料包含Si、SiC、SiGe、SiGeC、Ge合金、GaAs、InAs、InP或其他III/V或II/VI化合物半導體。
3. 如請求項2之半導體結構，其中該第一半導體材料為一含Si半導體。
4. 如請求項3之半導體結構，其中該含Si半導體具有一(110)晶向。
5. 如請求項1之半導體結構，其中該第二半導體材料及該反摻雜區域包含一含Si半導體。
6. 如請求項1之半導體結構，其中該第二半導體材料具有一

(100)結晶學導向。

7. 如請求項1之半導體結構，其中該至少一反摻雜區域包含一第一導電類型之一上部摻雜區域、不同於該第一導電類型之一第二導電類型之一中間摻雜區域及該第一導電類型之一下部摻雜區域。
8. 如請求項7之半導體結構，其中與該下部摻雜區域相比，該上部摻雜區域具有一更高濃度之一第一導電類型摻雜劑。
9. 如請求項7之半導體結構，其中該上部摻雜區域為P型，該中間摻雜區域為N型，且該下部摻雜區域為P型。
10. 如請求項1之半導體結構，其中該至少一反摻雜區域位於一上覆n型FET之源極區或一上覆p型FET之汲極區。
11. 如請求項1之半導體結構，進一步包含隔離該第一半導體區域與該第二半導體區域之一隔離區域。
12. 如請求項1之半導體結構，進一步包含在該等半導體區域之每一半導體區域中之至少一場效電晶體。
13. 如請求項12之半導體結構，其中在該第一半導體區域中之該至少一場效電晶體為位於一(110)晶體表面上之一p型FET，且在該第二半導體區域中之該至少一場效電晶體為位於一(100)晶體表面上之一n型FET。
14. 如請求項12之半導體結構，其中在該第一半導體區域中之該至少一場效電晶體為位於一(100)晶體表面上之一n型FET，且在該第二半導體區域中之該至少一場效電晶體為位於一(110)晶體表面上之一p型FET。

15. 如請求項 1 之半導體結構，進一步包含：一第三半導體區域，其包含一第三結晶學導向之一第三半導體材料；及一第四半導體區域，其包含具有一第四結晶學導向之一第四半導體材料，其中該第三結晶學導向不同於該第四結晶學導向，但等於該第一結晶學導向，且該第四結晶學導向等於該第二結晶學導向，且該等第三及第四半導體材料各具有彼此共面之上表面。

16. 如請求項 15 之半導體結構，其中該第三半導體區域或該第四半導體區域之一包括一連續內埋式絕緣層，且該第三半導體區域或該第四半導體區域中之該另一者存在於具有該第二晶向之一半導體基板上。

17. 一種製造一半導體結構之方法，其包含：

提供一基板，其包含由一內埋式絕緣層隔離之一第一結晶學導向之一上部半導體材料與一第二結晶學導向之一下部半導體材料，該第一結晶學導向不同於該第二結晶學導向；

保護該基板之一部分以界定一第一半導體區域，同時留下該基板未保護之另一部分，並界定一第二半導體區域；

首先蝕刻該基板之該未保護部分，以使用在該第二半導體區域內界定一作用區之一第一遮罩來曝露該內埋式絕緣層之一表面；

其次蝕刻該內埋式絕緣層之該曝露表面，以使用具有至少一開口之一第二遮罩來曝露該下部半導體材料，該

開口提供大小上小於該作用區之一窗口；及

在該曝露之下部半導體材料上在該第二半導體區域內生長一半導體材料，該再生長半導體材料具有該第二結晶學導向，其中在該生長過程初始階段期間，在該至少一開口內形成一反摻雜區域。

18. 如請求項17之方法，其中該提供該基板包含一層轉移過程。
19. 如請求項17之方法，其中該第一蝕刻步驟自該第二半導體區域選擇性移除至少該第一半導體材料，在該內埋式絕緣層頂上終止。
20. 如請求項17之方法，其中該生長包含一磊晶生長過程。
21. 如請求項17之方法，其中藉由一原位磊晶生長過程或磊晶生長及離子植入來形成該反摻雜區域。
22. 如請求項17之方法，其中該至少一反摻雜區域包含一第一導電類型之一上部摻雜區域、不同於該第一導電類型之一第二導電類型之一中間摻雜區域及該第一導電類型之一下部摻雜區域。
23. 如請求項22之方法，其中與該下部摻雜區域相比，該上部摻雜區域具有一更高濃度之一第一導電類型摻雜劑。
24. 如請求項22之方法，其中該上部摻雜區域為P型，該中間摻雜區域為N型，且該下部摻雜區域為P型。
25. 如請求項17之方法，其中該至少一反摻雜區域形成於一上覆n型FET之源極區或一上覆p型FET之汲極區。
26. 如請求項17之方法，進一步包含形成隔離該第一半導體

區域與該第二半導體區域之一隔離區域。

27. 如請求項 17 之方法，進一步包含在該等半導體區域中之每一半導體區域中形成至少一場效電晶體。
28. 如請求項 27 之方法，其中在該第一半導體區域中之該至少一場效電晶體為位於一(110)晶體表面上之一 p 型 FET，且在該第二半導體區域中之該至少一場效電晶體為位於一(100)晶體表面上之一 n 型 FET。
29. 如請求項 27 之方法，其中在該第一半導體區域中之該至少一場效電晶體為位於一(100)晶體表面上之一 n 型 FET，且在該第二半導體區域中之該至少一場效電晶體為位於一(110)晶體表面上之一 p 型 FET。

七、指定代表圖：

(一)本案指定代表圖為：第(1G)圖。

(二)本代表圖之元件符號簡單說明：

- 12 下部半導體材料
- 14 內埋式絕緣層
- 15 不連續內埋式絕緣層
- 16 上部半導體材料
- 22 第一半導體區域
- 24 第二半導體區域
- 28 反摻雜區域
- 30 半導體材料
- 32 隔離區域
- 34 第一半導體裝置
- 36 第二半導體裝置
- 38 擴散區域

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

100年7月21日修正本

十一、圖式：

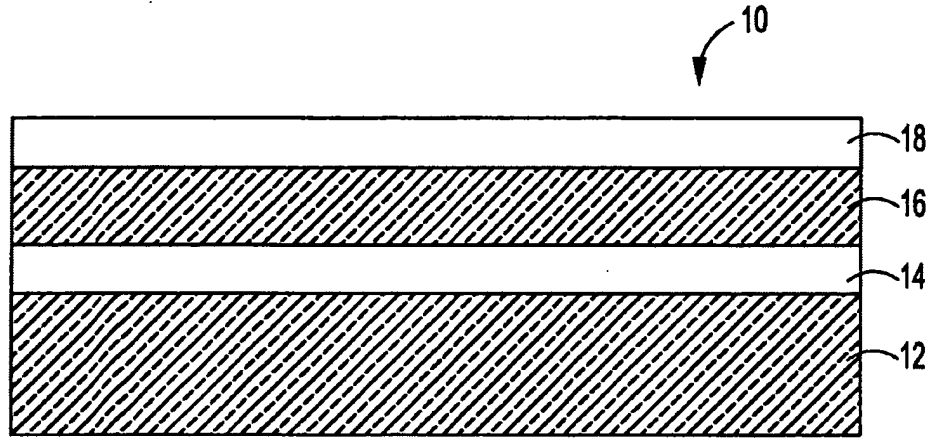


圖 1A

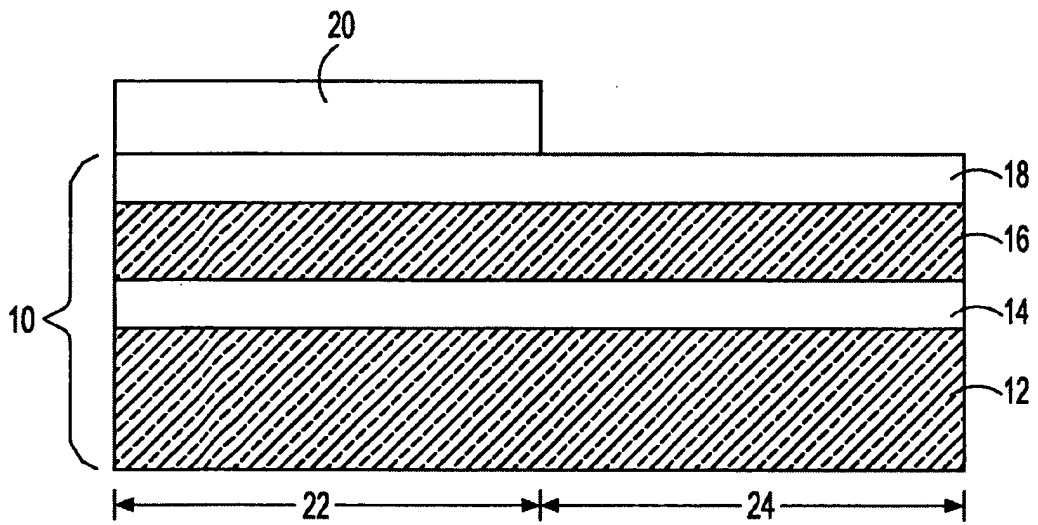


圖 1B

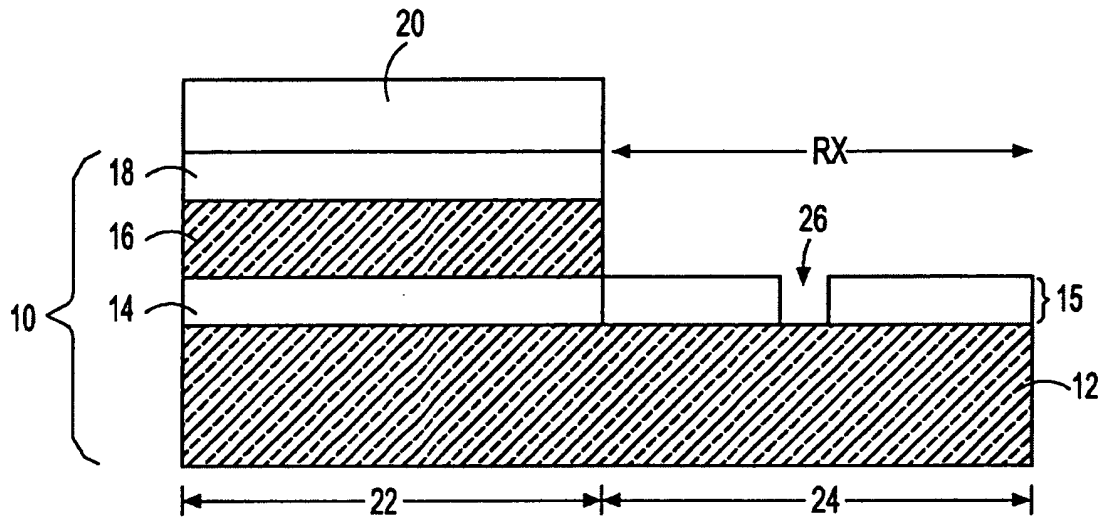


圖 1C

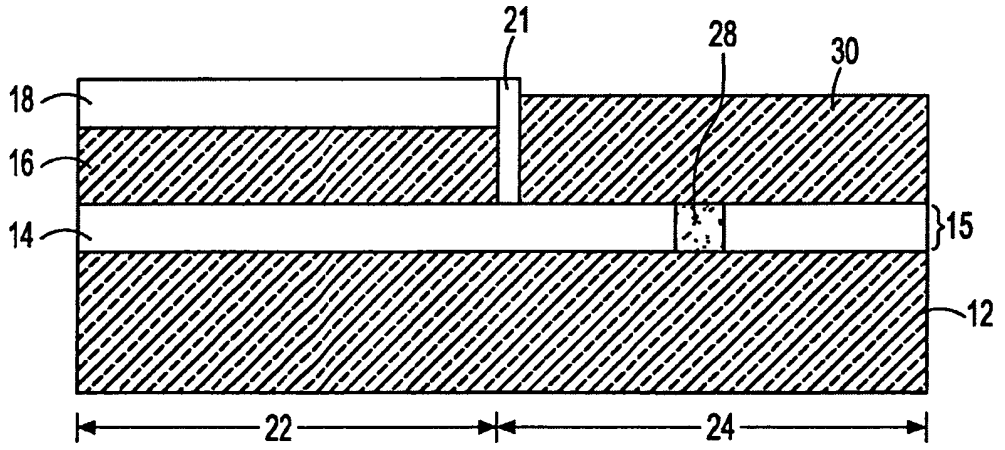


圖 1D

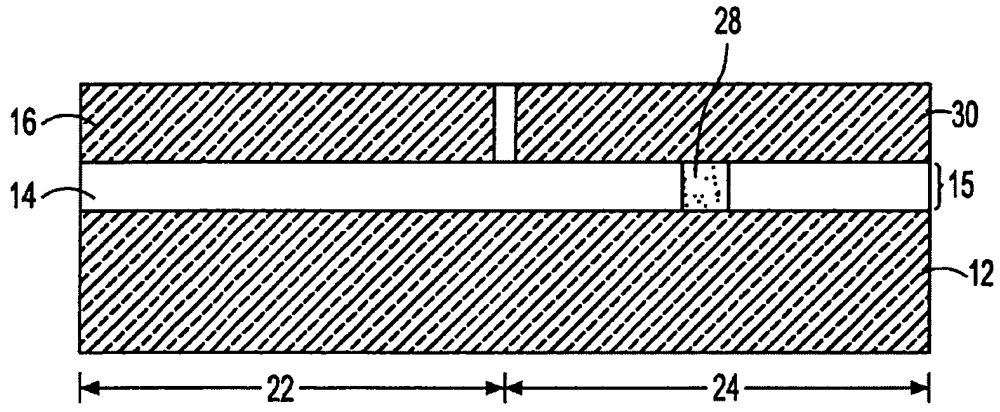


圖 1E

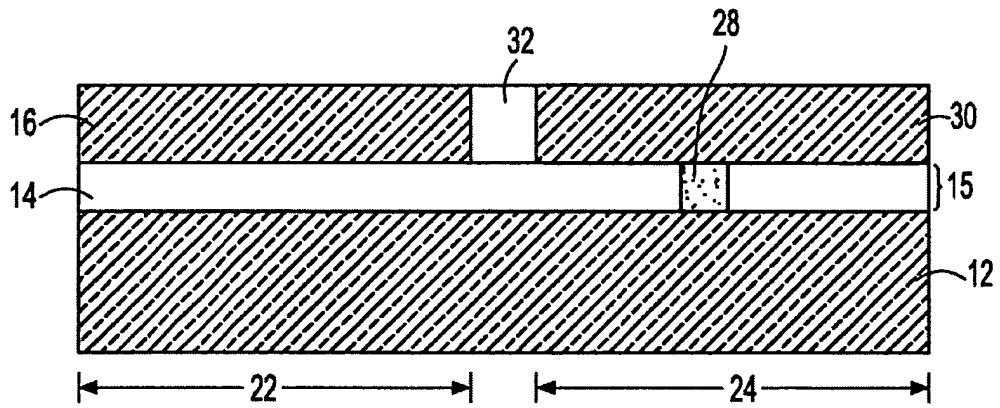


圖 1F

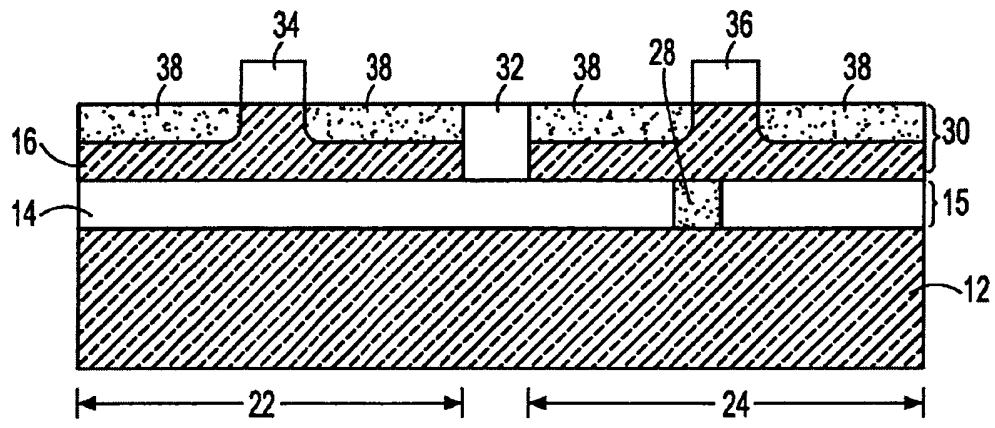


圖 1G

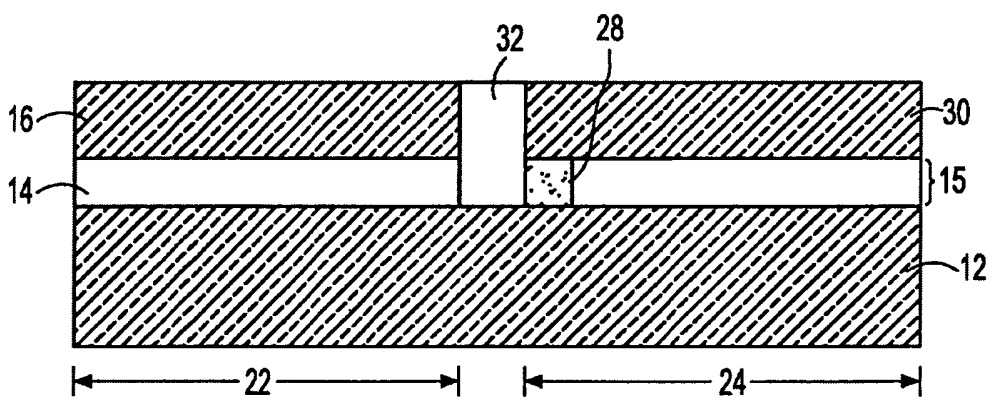


圖 2

