



## [12] 发 明 专 利 说 明 书

[21] ZL 专利号 96122697.8

[45] 授权公告日 2004 年 6 月 23 日

[11] 授权公告号 CN 1155232C

[22] 申请日 1996. 10. 24 [21] 申请号 96122697. 8

[30] 优先权

[32] 1995. 10. 25 [33] US [31] 547830

[71] 专利权人 汤姆森消费电子有限公司

地址 美国印第安纳州

[72] 发明人 M · F · 朗姆赖希 J · W · 吉列克

审查员 陈 曦

[74] 专利代理机构 中国专利代理(香港)有限公司

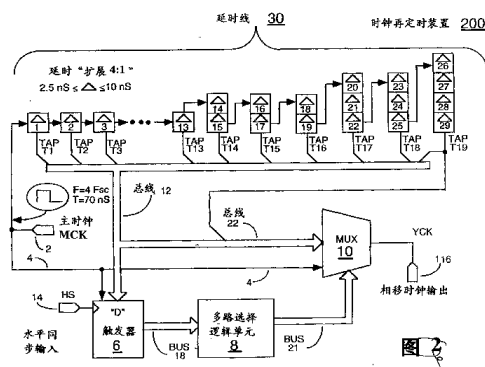
代理人 吴增勇 董江雄

权利要求书 3 页 说明书 11 页 附图 6 页

[54] 发明名称 具有级联延时级的时钟再定时装置和方法

## [57] 摘要

视频时钟输入信号 (MCK) 加到包括多个 (T1 - T19) 延时单元的级联延时线 (30), 以便在延时线的各个分接头 (T1 - T15) 提供多个延时时钟信号。选择电路 (6) 将选定的分接头之一耦合到输出端, 该输出端提供与水平同步信号 (HS) 前沿对准的延时输出时钟信号 (YCK)。为减少提供给定最大延时步长分辨率和延时单元的给定最小总延时所需的分接头数目, 第一组 (T1 - T13) 延时单元的分接头隔开一个单元, 至少第二组 (T13 - T16; T17 - T18; T19) 延时单元的分接头隔开一个以上的单元。



1. 集成时钟再定时装置，其特征在于包括：

5 延时线，它包括对时钟输入信号作出响应的集成电路中形成的多个延时单元的级联连接，以便在各个分接头处提供多个延时后的时钟信号，

选择电路，它对输送到其上的同步信号作出响应，以便将选定的分接头之一耦合到输出端，该输出端提供与同步信号边沿对准的延时时钟输出信号；其中，

10 一些分接头之间的延时单元数量不定；所述延时线中各个延时单元有一给定的标准延时；

将所述延时单元在所述延时线中加以排列，以形成延时单元的一种分配，该分配中分接头比延时单元少；

15 选择所述分接头之间的延时单元的分配，以便把用来提供所述延时线的给定最小延时分辨率及给定最小总延时所需的分接头的数量减至最少；其中，

所述最小总延时至少为所述输入时钟信号的一个周期。

2. 根据权利要求1的装置，其特征在于：

20 分接头之间的延时单元的数量对于所述延时线的第一部分中第一组分接头是常数，对于所述延时线的随后的第二部分中第二组分接头是递增的。

3. 根据权利要求2的装置，其特征在于：

对于所述级联中给定数目的延时单元，所述延时线的所述第一部分中所述第一组分接头隔开一个延时单元；以及

25 对于预定数量的所述分接头，所述延时线的所述随后的第二部分中所述第二组分接头隔开至少两个延时单元。

4. 根据权利要求1的装置，其特征在于：

所述最小延时分辨率约为10微秒。

5. 根据权利要求 1 的装置, 其特征在于:

给定集成电路之内的延时单元都具有所述的给定的标准延时;  
以及

5 利用属于某一选定类型的一种给定的半导体工艺来制成所述延时线, 其中, 一个集成电路的延时单元在所述给定的标准延时方面以大于二比一的倍数不同于另一个集成电路的延时单元。

6. 集成视频时钟再定时装置, 其特征在于包括:

在给定色彩副载波频率的整数倍频率上提供象素时钟信号的象素时钟信号源;

10 提供水平同步信号的水平同步信号源;

延时线, 它包括对所述象素时钟输入信号源作出响应的集成电路中形成的多个延时单元的级联连接, 以便在各个分接头处提供多个延时后的象素时钟信号,

15 所述集成电路中形成的选择电路, 它对所述水平同步信号源的所述水平同步信号作出响应, 以便将所述的分接头之一耦合到输出端, 该输出端提供与所述水平同步信号边沿对准的再定时的象素时钟输出信号;

所述延时线中各个延时单元有一预定的标准延时; 并且

20 所述延时线中分接头比延时单元少, 因而选择所述分接头延时的分配, 以便把用来提供所述延时线的给定最小延时分辨率及给定最小总延时所需的分接头的数量减至最少。

7. 根据权利要求 6 的装置, 其特征在于:

25 利用一种选定的半导体工艺来制成所述延时线中的所述延时单元, 使得一个集成电路到另一集成电路呈现一个延时变化范围, 该范围可在大于 2 比 1 的预定范围上变化。

8. 根据权利要求 6 的装置, 其特征在于:

所述给定的最小总延时至少为所述象素时钟信号的一个周期。

9. 根据权利要求 6 的装置, 其特征在于:

所述给定的最小延时分辨率约为 10 微秒。

10. 根据权利要求 6 的装置，其特征在于：

所述延时线中的所述分接头的数量为 19，所述延时线中的所述延时单元的数量为 29。

5        11. 使象素时钟输入信号再定时以便与水平同步信号对准的方法，其特征在于包括以下步骤：

将所述象素时钟信号加到集成电路抽头延时线，以便在所述延时线的各个输出分接头产生多个递增的延时象素时钟信号，

10        在所述水平同步信号的给定过渡段时将所述分接头之一耦合到输出端子，以便提供与所述水平同步信号边沿对准的再定时象素输出时钟信号；

构成所述延时线中各个延时单元，以提供一个给定的标准延时；

对所述延时线中所述延时单元的选择输出端进行抽头，使得分接头比延时单元少；以及

15        选择每个分接头延时的非线性分配，以便把为所述再定时象素时钟输出信号提供给定的最小延时分辨率及为所述抽头延时线提供给定最小总延时所需的分接头的数量减至最少。

12. 如权利要求 11 中所述的方法，其特征在于选择每个分接头的延时的所述预定非线性分配的步骤包括：

20        分配所述延时线中的第一组延时单元，以便提供每个分接头的等于每个单元的所述标准延时的恒定延时，以及

分配所述延时线中的第二组延时单元，以便通过在所述第二组中分接头之间包含更多的延时单元，提供每个分接头的逐渐增大的延时。

25        13. 根据权利要求 12 中所述的方法，其特征在于：

选择约为 10 微秒的时间周期作为所述再定时的象素时钟的最小延时分辨率；以及

选择大体上等于所述象素时钟信号的周期的时间周期作为所述延时线的所述最小总延时。

## 具有级联延时级的时钟再定时装置和方法

5           本发明涉及延时电路，具体地涉及具有级联延时级和用来对时钟信号再定时的选择器的延时电路。

          使用级联延时级和用于通过同步信号对时钟信号再定时的选择电路的延时电路是众所周知的，并广泛应用，例如，用在视频信号同步电路。一个例子由 Willis 等人在 1991 年 2 月 12 日公布的题为《用  
10       来校正关于多图像显示的定时错误的方法和装置》的美国专利 4992874 号中描述。Willis 等人描述了用于具有画中画(PIP)处理功能的电视接收机的歪斜校正系统。Willis 等人 PIP 接收机的实施例的元件中包括时钟相移电路，该时钟相移电路用由图像显示处理电路引出的水平同步信号使锁定于主图像信号的脉冲的采样时钟再定时。

15           本发明旨在为 Willis 等人描述的普通型再定时电路提供某些改进，以简化利用普通半导体加工技术的集成电路内的再定时电路的结构。为理解本发明解决的问题的性质，首先就一些细节考虑 Willis 等人的再定时电路的实施例是有帮助的。为此，这里标有“先有技术”的图 1 根据 Willis 等人的专利绘出。

20           图 1 的时钟再定时装置 100 包括输入端子 102，用来接收主时钟输入信号 MCK，该主时钟输入信号 MCK 被再定时或与水平同步信号 HS “前沿对正”。主时钟输入信号 MCK 通过导体 104 耦合到抽头延时线 130 的输入端，该抽头延时线 130 包括 15 个延时单元  $\Delta 1 - \Delta 15$ 。延时线分接头 T1 - T15 同未延时的主时钟输入信号 MCK 一起  
25       分别通过总线 112 和导体 104 加到存储单元 106，该存储单元 106 包括十五个“D”型触发器。存储单元 106 内的所有触发器由加到输入端子 114 的水平同步信号 HS 的前沿同时计时。因此，存储器 106 内的十五个触发器存储了可被认为是当水平同步脉冲到达时所有延时线

分接头的值的“快照”或“图像”的东西。由于有15次延时，每次至少5纳秒，所以，存储的分接头值代表了水平同步信号到达的瞬间时钟信号MCK一个完整周期(例如，70纳秒，假定为NTSC)的采样。

5 通过比较存储于触发器106的所有十五个分接头的值，可以确定哪个分接头输出信号具有最邻近水平同步信号HS的前沿的前沿。这种辨别由多路选择逻辑单元108完成，该多路选择逻辑单元108通过15路导体总线118从存储单元106接收15个存储分接头值。从15个输入分接头延时中，单元108向16路导体总线120提供输出信号，边样辨别分接头T1 - T15的15个延时信号或者输入信号(未延时)中哪个具有最邻近水平同步信号HS的前沿的前沿或者过渡段。最邻近的分接头信号被逻辑单元108辨别之后通过16路导体总线120供给多路选择开关110。然后开关110选择15个分接头信号(延时后)之一或输入信号(未延时)作为输出信号YCK，并将这个信号加到输出端子116，用作水平线的剩余部分。

15 在以上方式中，输入主时钟信号MCK被分接头延时，该分接头由选择逻辑单元106辨别为最邻近水平同步信号的前沿，该分接头用来延时水平线的剩余部分的所有随后的主时钟信号。当下一段水平线开始的时候，水平同步信号的前沿再次将所有分接头延时数据锁存在存储器106内，周而复始。因此，主时钟信号MCK被选定的分接头延时相移，产生与水平同步信号HS前沿对准的相移输出时钟YCK。

20 本发明以所述型号的再定时装置中的问题为目标，该问题涉及延时单元的传播延时和从一个集成电路到另一个集成电路之间的多路选择逻辑单元108中的门过渡的传播延时中的变化。传播延时变化十分重要，因为它们会影响许多再定时参数，诸如延时和分接头的数量，及定制或标准元件制造技术的选择，随后，这也可能影响成品电路的产量和成本。

更直接地说，在已知再定时电路的以上描述中，共有15个分接头，主时钟周期是70纳秒，这个周期值是根据假定NTSC标准信号，

该 NTSC 标准信号以四倍于色彩副载波( $4F_{sc}$ )的速率采样。延时线必须提供至少超过 70 纳秒的延时,以便为主时钟脉冲 MCK 提供一个完整周期(70 纳秒)的延时。对于 15 个分接头,每个延时单元 5 纳秒的延时将提供至少 75 纳秒的总延时,这符合(延时)线的最低总延时要求。

- 5           另一个影响接头延时的选择因素是肉眼的视觉分辨率。已发现 10 纳秒或更小的延时分辨率是使垂直线的边缘变化根本上看不见所必要的。5 纳秒延时在这方面绰绰有余。如果假定根据视觉感知力最大延时 10 纳秒,根据主时钟周期,十五个单元每个单元最少延时 5 纳秒,以提供最小总延时,那么,延时值的最大“扩展”比例为二比一(2: 1)。

10           定时电路采用半导体工艺构成,对延时单元来说,带有二比一组到组传播延时变化。然而,对用标准元件延时装置来说,这个 2: 1 比例是相对紧密的公差。为符合所有上面讨论的指标,到目前为止发现合用定制设计的延时“元件”(单元)以得到不超过 2: 1 比例的延  
15           时变化或“扩展”是必要是。通过用半导体工艺定制设计的延时单元,可以将从芯片到芯片的延时变化减少到大约二比一(2: 1)的系数。另一方面,即使从芯片到芯片的延时“扩展”可能更宽,比如从集成电路的组到组的预期延时的最大与最小比值为四比一(4: 1),使用标准元件延时单元也具有明显的成本优势。

- 20           实现已知再定时电路的另一个问题与多路选择开关 108 内的门的传播延时有关。回想逻辑单元 108 必须辨别哪个分接头信号最邻近同步信号的前沿。如果选择 4: 1 的延时扩展,那么每个分接头的最大延时为 10 纳秒(感知力的界限),最小延时为 2.5 纳秒。对于延时单元的 2.5 纳秒延时来说,需要 30 个延时来满足最小总延时大于时钟周期  
25           (>70nS)的要求。但是如果有 30 个延时,必须也要 30 个到选择逻辑单元 108 的输入端,这个逻辑单元使用串行或“脉动”进位处理。困难的是,如果选择逻辑单元 108 内通过 30 级的总门传播延时超过主时钟周期, 70nS, 那么,因为不能完成一个时钟周期内的所有 30 个分接

头信号的处理, 选择逻辑单元 108 可能不能辨别最邻近的 MCK 时钟前沿。

本发明旨在满足对具有可能呈现相对地宽的传播延时变化, 例如四比一的延时单元的, 适合于集成电路结构形式的时钟再定时装置的要求。

实施本发明的延时装置包括许多延时单元的级联连接, 该延时单元形成在集成电路内, 并对时钟输入信号作出反应, 以便在各个分接头提供多个延时后的时钟信号。对所供同步信号作出反应的选择电路将选定的分接头之一耦合到输出端, 以便提供与同步信号 前沿对正的延时时钟输出信号。在选定分接头之间的延时单元数量不定。

在附图中举例说明本发明, 附图中:

图 1 是先有技术中已知的时钟再定时装置的方框图;

图 2 是实施本发明的时钟再定时装置的方框图;

图 3A, 3B 和 3C 是说明图 2 的时钟再定时装置的操作的某些方面的详细的时序图;

图 4 是图 2 的发明的实施例中延时单元比较常规的延时分配表;

图 5 是说明图 2 的装置的改型的方框图; 以及

图 6 是说明适用于图 2 的实施例的分接头选择电路的逻辑图。

实施本发明的图 2 的时钟再定时装置 200 设计成具有通常的“标准元件”延时单元的集成电路结构形式, 该延时单元可能呈现达四比一(4:1)比例的组到组延时变化, 而不需要象延时线分接在 29 个延时单元中的每一个时所需要的那么多的分接头。这种方法利用了这样的事实, 最右边(即最后)的分接头可能被选中的唯一时候是当子单元延时大体上小于视觉感知力上限 10 纳秒。这个原理允许每个分接头的正常延时沿延时线呈几何级数增长, 且仍然保证最坏情况下, 每个分接头的延时低于 10 纳秒的要求。事实上, 正如将要解释的, 每个分接头的延时单元的分配不是简单的几何的, 而是包括线性延时区和递增延时区。如何确定延时分配的具体解释随后结合图 4 来讨论。

记得减少分接头数量的主要优点是减少接到分接头选择逻辑单元 8 的输入端的数量。在这种特定情况下，从线性延时线的 28 个分接头减少到递增延时线的 19 个分接头。分接头选择逻辑单元是脉动型结构(详见图 5)，所以具有同输入数量成正比的传播时间，必须在小于主时钟 MCK 一个周期(70nSc)内结束，根据本发明，累进的或递增的分接头分配的使用是符合这种要求的有效方法。

更详细地说，图 2 的时钟再定时装置 200 包括输入端子 2，用来接收准备相对于加到输入端子 14 的水平同步信号 HS 再定时的主时钟输入信号 MCK。主时钟输入信号 MCK 通过导体 4 耦合到分接头延时线 30 的输入端，该抽头延时线 30 包括 29 个延时单元  $\Delta 1 - \Delta 29$ 。延时单元分接在 19 个点，以提供 19 个延时分接头信号(T1 - T19)，它们具有随后讨论的特定延时分配。

延时后的分接头信号同未延时的主时钟输入信号 MCK 一起分别通过总线 12 和导体 4 加到存储单元 6，该存储单元 6 包括十九个“D”或“数字”型触发器，所有存储单元 6 内的触发器被输入端子 14 处的水平输入信号 HS 的前沿同时计时。所以，存储器 6 内的十九个触发器存储被认为是同步信号 HS 到达时捕捉的延时线 30 内的主时钟信号 MCK 的一个完整周期的波形的“快照”，“图像”或“轮廓”的东西。

主时钟信号的“快照”在图 3A 中以波形 T0 到 T6 来说明。波形 T0 是加于延时线 30 输入端的主时钟 MCK，其余波形分别对应分接头 T1 - T6 的信号。当然，共有 19 个分接头波形，但只示出 6 个以简化图形。

图 3A 和 3B 的垂直虚线与水平同步信号过渡段对准，并辨别所有分接头值(例如，二进制 1 或二进制 0)，该分接头值在水平同步信号的过滤段 300 的时候存储在存储器 6 内。通过比较存储在存储器 6 内的所有十九个分接头值，可以确定哪个接头最邻近水平同步信号 HS 的前沿。这种辨别通过分接头选择逻辑单元 8 完成，该分接头选择逻辑单元 8 通过总线 18 从存储单元 6 内接收 19 个存储的分接头值。图 3 中

最邻近的分接头是分接头 T3(粗线画的), 该分接头 T3 对应于被 3 个延时单元延时的主时钟 MCK 信号。

一旦最邻近的分接头被辨别出, 分接头选择逻辑单元 8 把总线 21 的各导体之一上的信号发送到多路开关 10。这导致多路开关 10 将分接头 T3 连到输出端子 116。这用图 3C 所示信号 YCK 的波形来说明, 该图 3C 显示再定时时钟信号 YCK 的前沿与水平同步信号 HS 的前沿对准, 信号本身对应于被三个延时单元延时的主时钟信号 MCK, 水平同步信号过滤段之前的区域画上阴影线, 表示信号 YCK 前面的相位无关紧要。这种情况继续下去, 因为不需要前面的线的任何数据来确定当前线的延时。换句话说, 延时基于一条线一条线来重新确定, 因此前面的线的延时对确定当前线的延时不起作用。

简要归纳为这样一点, 输入主时钟信号 MCK 被选择逻辑单元 8 从存储器 6 内存储的分接头数据中选出的延时线 30 中的分接头延时, 这个分接头由多路开关 10 连接到输出端子 116, 因此, 在水平线的剩余段, 将所有随后的主时钟信号延时。当下一个水平线开始时, 水平同步信号的前沿再次将所有分接头延时数据锁存在存储器 6 内, 周而复始。因此, 主时钟信号 MCK 被选定的分接头延时相称, 以产生相称输出时钟 YCK304, 该相移输出时钟 YCK304 与水平同步信号 HS 前沿对准。在水平线的剩余段, 所有随后的时钟周期都因而与水平同步信号 HS 同步。当下一个水平信号出现时, 这个过程重复, 同时输出时钟 YCK 与同步信号 HS 同步, 因此, 对于每条水平线更新所述再定时后的时钟信号 YCK。

我们的意图是制造具有从组到组可有四比 - (4:1) 的、特别是从最小 2.5 纳秒到最大 10 纳秒的延时变化的延时单元的图 2 中的延时线 30。用组到组变化这一术语意味着在时钟再定时电路生产流程中, 延时可能全是 2.5 纳秒, 而在另一个生产流程中, 延时可能全是 10 纳秒。在延时线 30 中, 延时单元的总数增到 29 个, 所以在每个延时单元都是 2.5 纳秒的最坏的情况下, 为全线提供最大 72.5 纳秒的延时。这个

延时, 72.5 纳秒, 大于主时钟 70 纳秒的周期(假定为定时在四倍于色彩副载波的 NTSC 信号), 因此覆盖主时钟 MCK 和水平同步信号 HS 的前沿之间的全范围的相位关系。

5 每个分接头的延时单元的“延时分配”在图 2 的范例中示出, 该图 2 中可见有 29 个延时单元, 只有 19 个分接头, 分接头分配不是均匀的。例如, 开头 13 个分接头被“隔开”一个延时单元, 接着 3 个分接头被“隔开”两个延时单元, 随后两个分接头被隔开三个延时单元, 最后的延时分接头 19 与前面的分接头 18 隔开四个延时单元。这种分配对于 4:1 以上范围的延时单元变化提供每个分接头最少十纳秒的分辨率。

10 图 4 为图 2、也为三种其它情况提供延时分配的列表表示。在图 4 中, 第一栏是延时线 30 的分接头编号。标有“均匀延时单元”的第二栏说明在每个分接头之间具有 1 个延时单元的线性延时线, 所需要的分接头总数为 28 个, 以提供最小 70 纳秒的总延时。标有“单位延时单元”的栏是图 2 的实施例中每个分接头的单元清单。对最小 72.5 纳秒的总延时, 如图所示, 分接头的数量减至 19 个。与线性延时线所需的 28 个分接头相比, 这是一个可观的减少。标有半单位延时单元的栏是如果可得到 1.25 纳秒(2.5 纳秒的一半)的延时单元可能用到的延时分配的实施例。如图所示, 又减少两个分接头, 但需要更多的延时单元。

20 图 4 表格中最后一栏说明当具有包含连续可调延时单元的标准单元程序库时所需的分接头。这种情况也代表再定时电路符合所述实施例的总延时、延时分辨率、延时扩展等特殊要求的绝对最小的分接头数量。可见, 连续的情况以仅仅 16 个分接头接近 4.00 单位的最大分接头延时。这比半单位实施例少 1 个, 比单位实施例少 3 个。然而, 当考虑单位延时的结构或半单位实施例的额外延时时, 图 2 的简单的单位方案明显优先。

25 每个分接头的特定延时的计算不是一件简单的事, 但可通过考虑

以下方程而容易理解，该方程支持延时分配和一些相关实施例。对连续延时情况的分接头延时计算先作考虑。随后讨论的离散延时情况本质上是连续情况的整数延伸部分。

在连续情况下，前七个分接头必须每个等于一个“标准延时单元”。因为最粗糙的延时单元不能超过 10 纳秒，以符合前面讨论的视觉分辨率，又因为总延时必须等于 70 纳秒，至少需要 7 个每个 10 纳秒的延时单元以产生 70 纳秒的最低总延时，以及从分接头到分接头的 10 纳秒的均匀延时分辨率。因此，在图 4 的“连续延时”栏中，前七个分接头列为每个 1.00。所有列出的值都由称作“标准延时单元”的(数值)规范化，该“标准延时单元”可以是取决于制造工艺的 2.5 与 10 纳秒的任何值。确切的延时通过把“标准延时单元”与规范值相乘即得。

对于 4:1 扩展，10 纳秒最大分接头延时及至少 70 纳秒总延时(主时钟 MCK 的倒数)，下一个分接头，8 号分接头，以及所有后继分接头通过如下关系来计算。首先，对于第 N 个分接头，注意到：

$$(\Sigma + X_n)T = 70\text{nS} \quad (1)$$

$$X_n T = 10\text{nS} \quad (2)$$

$$X_n = (1/6)(\Sigma) = 0.16666 \Sigma \quad (3)$$

在以上方程 1 ~ 3 中：

$\Sigma$  是第 N 级前所有级的规范化延时的总和(例如，从 1 到 N - 1 级)。

T 是每“标准延时单元”的延时。

$X_n$  是在延时单元可以连续改变的情况下(图 4 最右栏)，对于给定级“n”，规范化递增延时(例如，这是除以每“标准延时单元”延时的递增延时)。

10，是对应于最小可接受分辨率的常数 10 纳秒，以及

70，是对应于全(延时)线最低总延时的常数 70 纳秒。这等于主时钟信号 MCK 的倒数。

以上方程(1)指当前延时及所有前面的延时总和必须等于 70 纳秒的最小值, 这是主时钟 MCK 的周期。方程(2)从最大可接受分辨率(例如, 10 纳秒)的角度限定规范化递增延时。通过联立以上方程(1)和(2)来求  $X_n$ , 可得到方程(3), 该方程(3)提供在递增加权延时线中的第 N 个分接头的规范化递增延时的值。

作为方程(3)的运用的实施例, 第 N 级的规范化递增延时值通过取所有前面级(N - 1)的规范化延时的总和的六分之一来决定。因为延时可能大至 10 纳秒, 而与延时线的总延时相等, 在上述规格的任何延时线中, 必须有最少七个统一值的延时。所以, 前七级的每一级必须具有规范化递增延时“1”。对于级 8, 前面的级的总和是 7, 所以对于级 8 规范化递增延时是(“X”)0.16666(7), 这等于 1.16666。这在图 4 中示为“连续”栏中分接头 8 的表值。对于所有前面规范化递增延时的总和, 将分接头 8 的规范化递增延时(1.1666)同前面 7 个分接头加起来共计 8.1666。对于第 9 个分接头, 用 6 除这个(值)(8.1666)得规范化递增延时 1.3611。通过重复这个步骤, 可计算出对于所有图 4 所示分接头的规范化递增延时。

规范化递增延时的离散值的计算类似于连续值的计算, 只是任一级的范化递增值不加入到前面的总和里去, 除非是整数。作为一个实施例, 从级 8 开始, 对于分接头 8 ~ 12, 规范化递增值是 1.1666, 1.250, 1.500; 1.6666; 和 1.811。这些都不是整数。当运用方程(3)时都不加, 这样分接头 1 ~ 12 都具有规范化递增值 1, 总和  $\Sigma$  等于 12。

分接头 13 是本实施例中第一个具有整数步长的规范化递增值的分接头。特别是, 对于分接头 13, 所有前面规范化值的总和是 12, 12 除以 6 等于 2。因此, 在分接头 13 和下一个分接头之间有两个延时单元, 规范化递增分接头值(供分接头 14 使用)提高“2”。结果规范化递增值以“3”的差额增加, 终于最后一步是值“4”(意味着需要 4 级每级 2.5 纳秒)。

图 5 是使用每个 1.25 纳秒的“半延时”单元遇到的延时分配的实

施例。这些半单元实现图4中对于单元栏的分配。如图所示,只需17个分接头(比单位实施例少2个),但用了49个延时。实际上,如果2.5和1.25纳秒延时能一起形成在集成电路,可使用更少的延时。

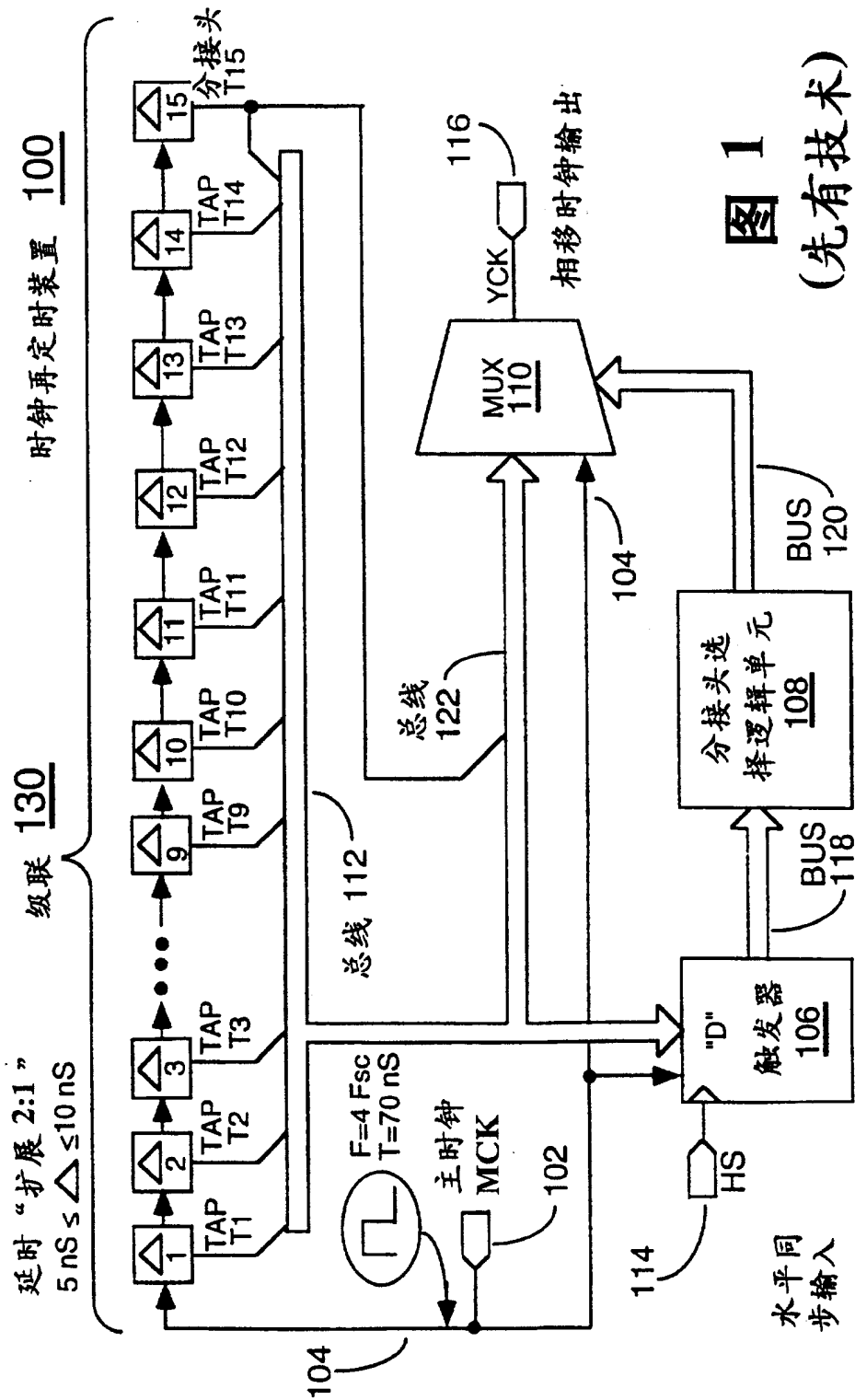
图6说明适合于实现图2的再定时装置的逻辑电路细节。触发器、选择电路和多路开关电路对于每个分接头是类似的,所以只示出部分级以简化该附图。第一个和最后一个级是例外,它们在同步信号的前沿达到之后,提供反馈以停止选择过程。D触发器6、多路选择逻辑单元8和开关10基本上如前面提及的Willis等人的专利4992847号中所示,所以这里仅提供简单的描述。整个电路操作恰如前面图2和相关的图3和4的实施例中讨论的。

信号MCK每个不同的相位的同步采样对主时钟信号MCK的正向过渡段作出反应,存于存储器6的各个D型触发器(610, 620, 630, 640)内。因为延时线30提供的总延时大约为主时钟信号MCK的一个周期,存于这些触发器的值代表了在同步信号HS的过渡段捕捉的不同分接头处的时钟信号MCK的所有相位的“快照”。

如果这“快照”包含主时钟信号的正向过渡段,触发器之一,例如620,将有逻辑1输出信号,而接着后继的触发器,630,将有逻辑0输出信号。在这种情况下,所有到分接头选择逻辑单元8的与门634的输入信号将为逻辑1。在这种情况下,与门634的输出信号将使分接头18提供的时钟相位信号能够通过与门638和作为再定时装置的输出信号的或门660(在多路开关10内),而分接头18在同步线间隔的剩余段保持与输出端子16相通,直到下一个同步脉冲出现。

当存储器6中存储的分接头逻辑电平或“快照”包括一个以上的过渡段时,包括倒相器616, 636, 646, 656的禁止电路只允许对应于第一个过渡段的时钟信号相位被选为延时时钟输出信号YCK。当“快照”只包含一个反向过渡段的时候,或者当触发器内存储的采样值全是逻辑1,未指示捕获任何过渡段的时候,延时单元29在分接头19处提供的时钟信号相位被选为相位对准输出信号YCK。这一选择

伴随“伪级” 655。最后，当“快照”不包含任何过渡段，但不同触发器内存储的值全是逻辑 0 时，主时钟 MCK 的信号与门 614 和 618 及倒相器 616 的作用，被选为相位对准输出信号 YCK。



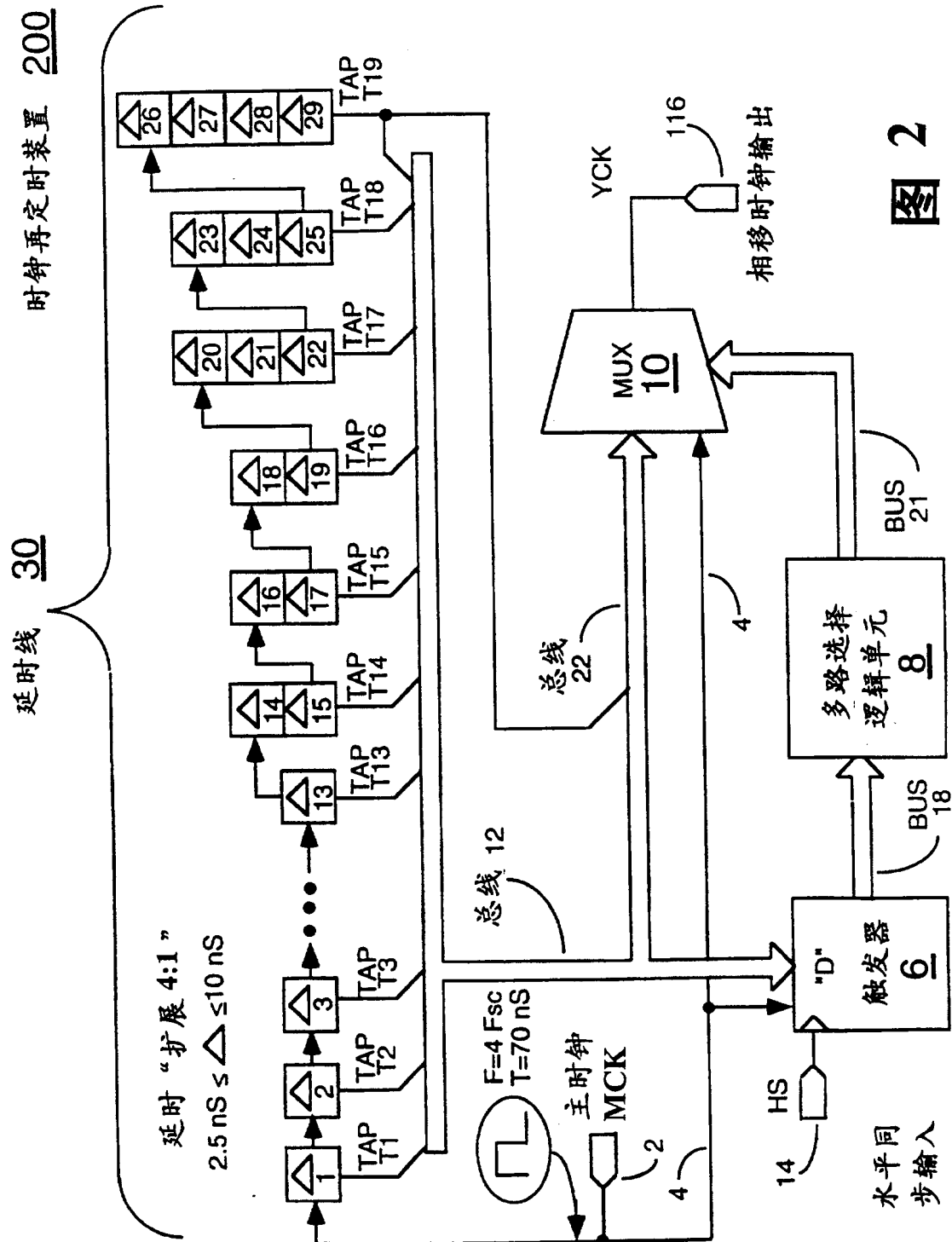
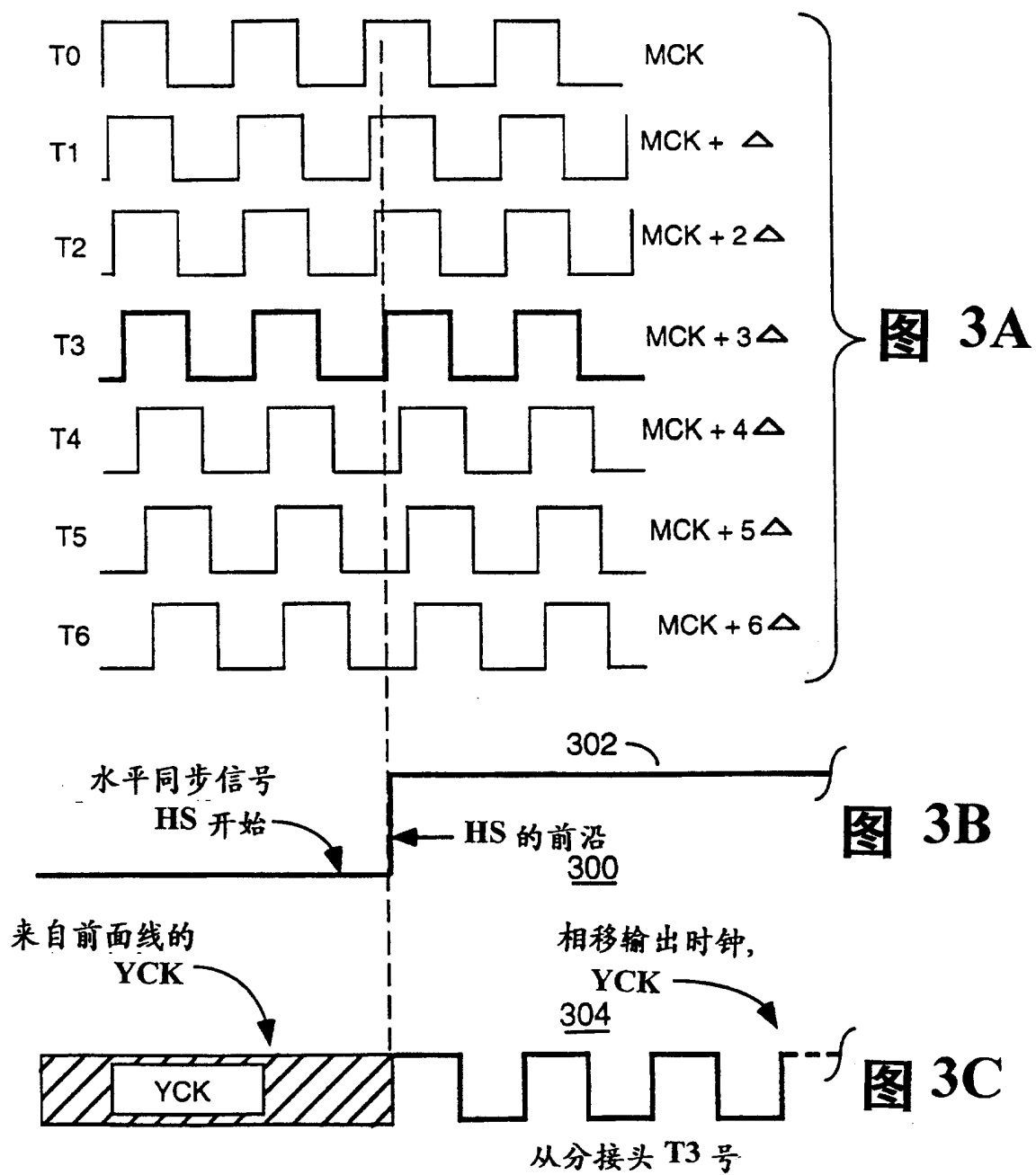


图 2



规范化延时分配比较表

| 分接头<br>编号   | 均匀延<br>时单元 | 单位延<br>时单元 | 半单位<br>延时单元 | 连续延<br>时单元 |
|-------------|------------|------------|-------------|------------|
| 1           | 1          | 1          | 1           | 1.00       |
| 2           | 1          | 1          | 1           | 1.00       |
| 3           | 1          | 1          | 1           | 1.00       |
| 4           | 1          | 1          | 1           | 1.00       |
| 5           | 1          | 1          | 1           | 1.00       |
| 6           | 1          | 1          | 1           | 1.00       |
| 7           | 1          | 1          | 1           | 1.00       |
| 8           | 1          | 1          | 1           | 1.16       |
| 9           | 1          | 1          | 1           | 1.36       |
| 10          | 1          | 1          | 1.5         | 1.59       |
| 11          | 1          | 1          | 1.5         | 1.85       |
| 12          | 1          | 1          | 2           | 2.15       |
| 13          | 1          | 1          | 2           | 2.51       |
| 14          | 1          | 2          | 2.5         | 2.93       |
| 15          | 1          | 2          | 3           | 3.42       |
| 16          | 1          | 2          | 3.5         | 3.99       |
| 17          | 1          | 3          | 4           |            |
| 18          | 1          | 3          |             |            |
| 19          | 1          | 4          |             |            |
| 20          | 1          |            |             |            |
| 21          | 1          |            |             |            |
| 22          | 1          |            |             |            |
| 23          | 1          |            |             |            |
| 24          | 1          |            |             |            |
| 25          | 1          |            |             |            |
| 26          | 1          |            |             |            |
| 27          | 1          |            |             |            |
| 28          | 1          |            |             |            |
| 总分接头<br>总延时 | 28<br>70   | 19<br>72.5 | 17<br>70    | 16<br>70   |

图 4

