

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6941346号
(P6941346)

(45) 発行日 令和3年9月29日(2021.9.29)

(24) 登録日 令和3年9月8日(2021.9.8)

(51) Int.Cl. F I
 H O 1 L 21/336 (2006.01) H O 1 L 29/78 3 O 1 G
 H O 1 L 29/78 (2006.01) H O 1 L 21/314 A
 H O 1 L 21/314 (2006.01)

請求項の数 11 (全 14 頁)

<p>(21) 出願番号 特願2017-79420 (P2017-79420) (22) 出願日 平成29年4月13日 (2017.4.13) (65) 公開番号 特開2018-182058 (P2018-182058A) (43) 公開日 平成30年11月15日 (2018.11.15) 審査請求日 令和2年3月30日 (2020.3.30)</p> <p>(出願人による申告) 平成28年度、国立研究開発法人科学技術振興機構、戦略的創造推進事業「フッ化物ユニバーサル高誘電体極薄膜材料の創出」委託研究、産業技術力強化法第19条の適用を受ける特許出願</p>	<p>(73) 特許権者 301023238 国立研究開発法人物質・材料研究機構 茨城県つくば市千現一丁目2番地1 (72) 発明者 長田 貴弘 茨城県つくば市千現一丁目2番地1 国立 研究開発法人物質・材料研究機構内 (72) 発明者 知京 豊裕 茨城県つくば市千現一丁目2番地1 国立 研究開発法人物質・材料研究機構内 審査官 市川 武宜</p>
---	--

最終頁に続く

(54) 【発明の名称】 M I S 型半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体層と絶縁体層と導電体層を有し、前記絶縁体層が前記半導体層と前記導電体層で挟まれた M I S 型半導体装置であって、

前記絶縁体層は $C e F_3$ を含む、 M I S 型半導体装置。

【請求項2】

前記 $C e F_3$ はアモルファスである、請求項1記載の M I S 型半導体装置。

【請求項3】

前記半導体層と前記絶縁体層の間に $M g F_2$ を有する膜が形成されている、請求項1または2に記載の M I S 型半導体装置。

【請求項4】

前記半導体層は4族半導体を含む、請求項1から3の何れかに記載の M I S 型半導体装置。

【請求項5】

前記半導体層はシリコンを含む、請求項1から3の何れかに記載の M I S 型半導体装置。

【請求項6】

前記シリコンを含む半導体層と前記絶縁体層の間にシリコン酸化膜が形成されている、請求項5記載の M I S 型半導体装置。

【請求項7】

前記半導体層はゲルマニウムを含む、請求項 1 から 3 の何れかに記載の M I S 型半導体装置。

【請求項 8】

半導体基板上に絶縁体層を形成する絶縁体層形成工程と、前記絶縁体層上に導電体層を形成する導電体層形成工程を含む M I S 型半導体装置の製造方法において、

前記絶縁体層は $C e F_3$ を含む、M I S 型半導体装置の製造方法。

【請求項 9】

前記絶縁体層は真空蒸着法により形成され、前記真空蒸着を行うときの温度は 200 以上 500 以下である、請求項 8 記載の M I S 型半導体装置の製造方法。

【請求項 10】

前記絶縁体層形成工程の後、前記導電体層形成工程の前に、窒素ガスを用いた熱処理が行われ、

前記熱処理は、前記窒素ガスの圧力が 1 Pa 以上 2000 hPa 以下、熱処理温度が 200 以上 500 以下である、請求項 8 または 9 に記載の M I S 型半導体装置の製造方法。

【請求項 11】

前記導電体層形成工程の後に、窒素ガスと水素ガスの混合ガスを用いた導電体層形成後熱処理が行われ、

前記導電体層形成後熱処理は、窒素ガスと水素ガスの混合比率が窒素ガス 1 に対して水素ガスが体積比で 1% 以上 5% 以下、前記混合ガスの圧力が 1 Pa 以上 2000 hPa 以下、熱処理温度が 200 以上 500 以下である、請求項 8 から 10 の何れかに記載の M I S 型半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、M I S 型半導体装置およびその製造方法に係り、特に絶縁膜の誘電率が高く水素の透過率が低い M I S 型半導体装置に関する。

【背景技術】

【0002】

M I S (Metal - Insulator - Semiconductor) 型半導体装置である M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) の高速化に伴い、電界一定のスケールリングのためにトランジスタの微細化が進んでいる。

M I S F E T の性能指標の一つは電流駆動能力 G_m であり、 G_m は移動度 μ と、ゲート幅 W と、ゲート電極、ゲート絶縁膜および半導体基板とで構成されるキャパシタの静電容量 (ゲート容量) C_{ox} に比例し、ゲート長 L に反比例する。そこで、ゲート絶縁膜の薄膜化とゲート長 L の微細化によって M I S F E T の高速化が図られてきている。

【0003】

ゲート絶縁膜の物理的厚さを 2 nm 以下まで薄膜化した場合、トンネルリーク電流が増加してゲート電圧印加時の絶縁耐性が著しく低下し、M I S F E T の消費電力が増加する。

ゲート容量 C_{ox} は比誘電率に比例し、ゲート絶縁膜の厚さに反比例する。この関係に着目して、従来、ゲート絶縁膜として主流として使用されてきたシリコン酸化膜 ($S i O_2$ 膜) よりも誘電率の高い絶縁膜を用いる高誘電率絶縁膜 (High - k 膜) を用いたトランジスタの開発が精力的に進められている (特許文献 1 参照)。High - k 膜を用いると、同一のゲート容量 C_{ox} を得るのに必要な物理的膜厚を厚くすることができ、トンネルリーク電流を抑制できる。なお、 $S i O_2$ 膜の比誘電率は約 3.9 である。このようなことから、開発が進められている High - k 膜 (High - k ゲート絶縁膜) としては、ハフニウム酸化膜 ($H f O_2$)、ジルコニウム酸化膜 ($Z r O_2$)、アルミナ ($A l_2 O_3$)、それらのシリケートおよびアルミネート、並びに希土類酸化物膜等の酸化膜

10

20

30

40

50

が挙げられる。

【0004】

しかしながら、酸化膜系のHigh-kゲート絶縁膜は、半導体界面に所望ではない酸化層を形成する傾向があり、その酸化層がゲート容量Coxを減らし、電流駆動能力Gmなどを低下させるという問題があった。すなわち、ゲート絶縁膜がHigh-k膜とその酸化層との積層膜となって実効的なゲート絶縁膜の誘電率を低下させ、また、実効的なゲート絶縁膜の膜厚が厚くなって、電流駆動能力Gmなどを低下させるという問題があった。

【0005】

また、シリコンなど多くの半導体では、半導体とゲート絶縁膜の界面に水素が導入されると界面準位が形成されてMIS型半導体装置の特性を劣化させるという問題が多々発生する。特に、ゲート絶縁膜として広く使用されているSiO₂は、水素を透過しやすく水素透過による界面準位の発生が問題になっている。

10

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2011-54872号公報

【特許文献2】特許第5118276号公報

【発明の概要】

【発明が解決しようとする課題】

20

【0007】

本発明の課題は、上記従来のHigh-kゲート絶縁膜に見られる半導体界面に発生する所望ではない酸化層の生成と水素透過の問題を解決することであり、ゲート容量Coxの大きなMIS型半導体装置を提供すること、およびそのMIS型半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の構成を下記に示す。

(構成1)

半導体層と絶縁体層と導電体層を有し、前記絶縁体層が前記半導体層と前記導電体層で挟まれたMIS型半導体装置であって、

30

前記絶縁体層はセリウムフッ化物を含む、MIS型半導体装置。

(構成2)

前記セリウムフッ化物はCeF₃である、構成1記載のMIS型半導体装置。

(構成3)

前記CeF₃はアモルファスである、構成2記載のMIS型半導体装置。

(構成4)

前記半導体層と前記絶縁体層の間にMgF₂を有する膜が形成されている、構成1から3の何れかに記載のMIS型半導体装置。

(構成5)

前記半導体層は4族半導体を含む、構成1から4の何れかに記載のMIS型半導体装置

40

(構成6)

前記半導体層はシリコンを含む、構成1から4の何れかに記載のMIS型半導体装置。

(構成7)

前記シリコンを含む半導体層と前記絶縁体層の間にシリコン酸化膜が形成されている、構成6記載のMIS型半導体装置。

(構成8)

前記半導体層はゲルマニウムを含む、構成1から4の何れかに記載のMIS型半導体装置。

50

(構成9)

半導体基板上に絶縁体層を形成する絶縁体層形成工程と、前記絶縁体層上に導電体層を形成する導電体層形成工程を含むMIS型半導体装置の製造方法において、

前記絶縁体層はセリウムフッ化物を含む、MIS型半導体装置の製造方法。

(構成10)

前記セリウムフッ化物は CeF_3 である、構成9に記載のMIS型半導体装置の製造方法。

(構成11)

前記絶縁体層は真空蒸着法により形成され、前記真空蒸着を行うときの温度は20以上500以下である、構成9または10記載のMIS型半導体装置の製造方法。

10

(構成12)

前記絶縁体層形成工程の後、前記導電体層形成工程の前に、窒素ガスを用いた熱処理が行われ、

前記熱処理は、前記窒素ガスの圧力が1Pa以上2000hPa以下、熱処理温度が200以上500以下である、構成9から11の何れかに記載のMIS型半導体装置の製造方法。

(構成13)

前記導電体層形成工程の後に、窒素ガスと水素ガスの混合ガスを用いた導電体層形成後熱処理が行われ、

前記導電体層形成後熱処理は、窒素ガスと水素ガスの混合比率が窒素ガス1に対して水素ガスが体積比で1%以上5%以下、前記混合ガスの圧力が1Pa以上2000hPa以下、熱処理温度が200以上500以下である、構成9から12の何れかに記載のMIS型半導体装置の製造方法。

20

【発明の効果】

【0009】

本発明によれば、上記従来のHigh-kゲート絶縁膜に見られる半導体界面に発生する所望ではない酸化層の生成が防止され、界面準位発生の基となるゲート絶縁膜の水素の透過率が低く、誘電率の高いHigh-kゲート絶縁膜を有するMIS型半導体装置およびそのMIS型半導体装置の製造方法が提供される。このことにより、提供されるMIS型半導体装置は、電気特性が安定し、ゲート容量 C_{ox} の大きなMIS型半導体装置となる。

30

【図面の簡単な説明】

【0010】

【図1】本発明のMIS構造を示す断面図。

【図2】本発明の絶縁膜の比誘電率特性を示す特性図。

【図3】本発明の絶縁膜の水素透過特性を示す特性図。

【図4】結合エネルギーを求めるためのX線光電子分光特性図。

【図5】バンドギャップの状態を説明する説明図。

【図6】本発明によるMISFETの構造を示す断面図。

【図7】本発明による第2のMISFETの構造を示す断面図。

40

【図8】第2のMISFETの製造工程を示す要部断面図。

【図9】静電容量特性を示す特性図。

【図10】静電容量特性を示す特性図。

【図11】静電容量特性を示す特性図。

【図12】静電容量特性を示す特性図。

【図13】静電容量特性を示す特性図。

【図14】静電容量特性を示す特性図。

【発明を実施するための形態】

【0011】

以下、本発明を実施するための形態を、図面を参照しながら説明する。

50

High - kのゲート絶縁膜として酸化膜を用いると、半導体界面も酸化されて非所望の酸化膜が半導体とHigh - kゲート絶縁膜の間に成長しやすい。例えば、High - k膜として HfO_2 、半導体としてSiを用いた場合、Siの表面に SiO_2 が成長する。この場合、ゲート絶縁膜は SiO_2 と HfO_2 からなる2層膜となる。 SiO_2 の比誘電率は3.9と高くないため、 HfO_2 からなるHigh - k膜を用いても思うようにはゲート絶縁膜の誘電率を上げることができない。さらに、 SiO_2 と HfO_2 との間で準位を作ることもあり、作製したMIS半導体装置の電気特性が不安定になったり、信頼性が低下したりする。

そこで、酸化膜に替わるゲート絶縁膜を試行錯誤の上各種検討した。その結果、セリウムフッ化物がHigh - kゲート絶縁膜として好適な膜であることを見出した。なお、フッ化物をHigh - kゲート絶縁膜として用いる試みの例としては LaF_3 があり、特許文献2に記載がある。

【0012】

本発明のMIS構造101は、図1に示すように、半導体層1上にバッファ層2、セリウムフッ化物層3および導電体層4が順次形成された構造になっている。

【0013】

ここで、半導体層1の材料としては、例えば、4族半導体(IV属半導体)であるシリコン(Si)、ゲルマニウム(Ge)、3 - 5族化合物半導体(III - V族化合物半導体)であるガリウムヒ素化合物(GaAs)、インジウムリン化合物(InP)、2 - 6族化合物半導体(II - VI属化合物半導体)である亜鉛セレン化合物(ZnSe)、カドミウム硫黄化合物(CdS)、4族化合物半導体(IV属化合物半導体)である炭化ケイ素(SiC)、シリコンゲルマ化合物(SiGe)を挙げることができる。

半導体層1にはドーパントを添加する。ドーパントは通常用いられているものでよく、例えば、SiやGeなどのIV属半導体に対して、n型半導体層とするときには、ヒ素(As)、リン(P)、アンチモン(Sb)、窒素(N)などを、またp型半導体層とするときには、ホウ素(B)、ガリウム(Ga)、インジウム(In)、アルミニウム(Al)などを用いることができる。

【0014】

セリウムフッ化物層3は CeF_3 膜からなる。 CeF_3 膜は真空蒸着法により成膜することが好ましいが、スパッタリング法やALD(Atomic Layer Deposition)法によって成膜してもよい。スパッタリング法としては、スルーブットの観点からRFスパッタリング法が好ましい。ここで、スパッタリングガスとしてはアルゴン(Ar)ガス、クリプトン(Kr)ガスなどの貴ガスを好んで用いることができる。

なお、 CeF_3 膜を真空蒸着法により成膜する場合は、基板温度を20以上500以下とすることが好ましい。

【0015】

CeF_3 膜は、半導体層1との結晶格子整合性などの影響を受けにくいアモルファスが汎用性に富み好ましいが、半導体が GaN 、 Ga_2O_3 などの場合には、単結晶とする 것도好ましい。その場合の結晶面は、比誘電率が高いことと誘電損失が小さいことから(001)が好ましい。 CeF_3 の単結晶は、アモルファスよりフェルミレベルが約1eVアモルファス膜より価電子帯側へシフトしており、半導体層1や導電体層4との組み合わせによってはバンドアライメントが取り易いという特徴がある。

CeF_3 単結晶膜のC - V特性を(001)結晶面と(110)結晶面で比較した結果を図2に示す。 CeF_3 単結晶膜はCZ法(Czochralski法)で作製し、その厚さは1mmである。 CeF_3 単結晶膜の表裏を白金(Pt)電極で挟んで両電極間に1MHzの交流を印加して比誘電率と誘電損失を測定した。ここで、誘電損失は複素誘電率の実部と虚部との比で定義される。比誘電率(誘電率)は(110)結晶が約50であり、(001)結晶が約52と高い。誘電損失は(110)結晶が約29で、(001)結晶が約18と(110)結晶より約40%低い。

【0016】

10

20

30

40

50

CeF₃膜の膜厚は、1nm以上100nm以下が好ましく、5nm以上10nm以下がより好ましい。膜厚が5nmを下回るとトンネルリーク電流が現れ始め、1nmを下回るとトンネル電流は顕著になる。膜厚が100nmを上回ると十分な静電容量を得るのが困難になる。

【0017】

CeF₃膜は、SiO₂膜に比べて水素の透過率も低い。CeF₃単結晶膜とSiO₂ガラス基板の水素透過率量を減圧差圧により測定した例を図3に示す。CeF₃単結晶膜の結晶面は(001)で、その膜厚は980μmであり、SiO₂ガラス基板の厚さは524μmである。ベース背圧を2Pa未満として水素の圧力として300kPaかけて室温(23)で測定した。

10

その結果、水素の透過係数は、CeF₃膜が $7.8 \times 10^{-12} \text{ cc} \cdot \text{cm} / (\text{cm}^2 \cdot \text{s} \cdot \text{cmHg})$ 、SiO₂膜が $9.4 \times 10^{-12} \text{ cc} \cdot \text{cm} / (\text{cm}^2 \cdot \text{s} \cdot \text{cmHg})$ で、CeF₃膜がSiO₂膜より約18%低かった。CeF₃膜は比誘電率が高いため、その膜をゲート絶縁膜として用いるときの物理的膜厚は、SiO₂膜をそれとして用いる場合より大幅に厚い。このため、CeF₃膜は良好な水素透過抑制膜となる。

【0018】

CeF₃の価電子帯をXPS(X-ray Photoelectron Spectroscopy: X線電子分光法)を用いて調べたところ、図4に示すように、約2.8eVであった。CeF₃膜のバンド幅は4.2eVであることが知られているため、CeF₃のバンド状態はGeのバンド状態と図5に示す関係になり、CeF₃はGe半導体に対してMISとして機能する良好なバンドアライメントを有する。

20

【0019】

導電体層4は、金属あるいはドーパントが添加されたポリシリコンなどの導電膜からなる。金属としては、金(Au)、銀(Ag)、銅(Cu)、白金(Pt)、パラジウム(Pd)、タングステン(W)、チタン(Ti)、アルミニウム(Al)、クロム(Cr)、タンタル(Ta)などを挙げるができる。また、AlCu、CuNiFe、NiCrなどの合金、WSi、TiSiなどのシリサイド、WN、TiN、CrN、TaNなどの金属化合物も用いることができる。導電体層4は、このような材料の中から導電率、仕事関数、加工性などを適宜勘案して適当な材料を選択すればよい。なお、集積回路として本発明のMIS半導体装置を用いる場合は、インテグレーションとしての各種熱処理が加わることから、それらの熱処理も勘案した材料の拡散を考慮の上、材料を選択する。

30

【0020】

バッファ層2は、Geなどの半導体層1を構成する物質のセリウムフッ化物層3への拡散抑制、界面準位生成抑制(界面制御)および応力緩和などの機能をもつ層で、フッ化物膜またはシリコン酸化膜の少なくとも何れかの1以上からなる。

【0021】

半導体層1がSiの場合、バッファ層2は、シリコン酸化膜またはシリコン酸化膜とMgF₂膜との積層膜が好ましい。この積層膜の場合は、Siに接してシリコン酸化膜が形成されていることが、Siとの界面に準位が発生しにくいことから好ましい。ここで、シリコン酸化膜としてはSiO₂が好ましい。これは、シリコン酸化膜のストイキオメトリな状態であるSiO₂は、その膜中に準位が発生しにくいからである。

40

【0022】

半導体層1がGeの場合、バッファ層2は、MgF₂膜あるいはMgF₂膜とSiO₂膜の積層膜が好ましい。ここで、SiO₂膜はGeからなる半導体層1側に形成されていることが好ましい。

Geは酸素雰囲気中ではCe中に拡散しにくい、真空中ではCe中に拡散しやすい性質をもっている。実際、Ge基板試料、Ge基板上に膜厚が10nmのCeF₃膜を形成した試料、およびGe基板上に膜厚が20nmのCeF₃膜を形成した試料を用意してXPSで分析評価を行ったところ、Geと基板CeF₃膜との間でGeがCeF₃膜に拡散する拡散層が約5nmの厚さで観察された。

50

真空中でのGeは、Ce > Ba (バリウム) > Mgの順に拡散しにくい。MgF₂膜は誘電率(比誘電率)も比較的大きい。フッ化物は酸化物に比べ半導体層1との界面にそのフッ化物や酸化物とは異なる層を形成しにくい。このため、MgF₂膜はバッファ層2として好適である。

【0023】

バッファ層2の膜厚は、0.1nm以上2nm以下が好ましく、0.5nm以上1nm以下が特に好ましい。バッファ層2の膜厚が0.5nmを下回ると上記拡散抑制、界面準位生成抑制(界面制御)および応力緩和などの機能が低下し、0.1nmを下回ると不十分になる。2nmを上回るとゲート絶縁膜全体としての誘電率を高くすることが難しくなると、ゲート容量C_{ox}などの性能が低下する。

10

また、バッファ層2としてのMgF₂膜の膜厚は1nm以上が好ましい。MgF₂膜の膜厚は1nm以上だと半導体層1を構成するGeなどの物質がセリウムフッ化物層3へ拡散することを十分に抑制することができる。

【0024】

次に、本発明のMISFETについて説明する。

【0025】

本発明の第1のMISFET(102)は、要部断面図である図6に示すように、半導体層1、バッファ層にドレインおよびソース用のパターンが形成されたバッファ層パターン2a、セリウムフッ化物層にドレインおよびソース用のパターンが形成されたセリウムフッ化物層パターン3a、ゲート4a、ソース5aおよびドレイン6aからなる。

20

ここで、ゲート4a、ソース5aおよびドレイン6aは、金属、合金、金属化合物、シリサイド、ポリサイドまたはドーパントが添加されたポリシリコンなどの導電膜からなる。

【0026】

セリウムフッ化物層を真空蒸着法で形成する場合の温度は、良好な電気特性を得る上で、200以上500以下が好ましい。

また、セリウムフッ化物層を形成後でゲート4aを構成する導電膜を形成する前に、窒素ガス(N₂ガス)を用いた熱処理が行われることがMISFETの電気特性を改善する上で好ましい。その熱処理の条件としては、窒素ガスの圧力が1Pa以上2000hPa以下、温度が200以上500以下が好ましい。

30

さらに、ゲート4aを構成する導電膜を形成後に、窒素ガスと水素ガス(H₂ガス)の混合ガスを用いた熱処理が行われることがMISFETの電気特性を改善する上で好ましい。その熱処理の条件としては、窒素ガスと水素ガスの混合比率が窒素ガス1に対して水素ガスが体積比で1%以上5%以下、混合ガスの圧力が1Pa以上2000hPa以下、そして温度が200以上500以下が好ましい。

【0027】

この構造のMISFETを作製するに当たっては、ソース5aおよびドレイン6a用の開口部をもつパターンを、セリウムフッ化物層に空ける必要がある。このためのパターン形成はリソグラフィとドライエッチングによって行われるが、CeF₃などのセリウムフッ化物は反応性ドライエッチングがしにくくて、イオンミリング的な物理的衝撃を利用したドライエッチングとなる。

40

物理的衝撃を利用したドライエッチングは被加工物の下地にダメージを与えやすい。しかしながら、本発明の場合は、バッファ層がセリウムフッ化物層をドライエッチングする際のエッチングストップとなるので、下地である半導体層1にドライエッチングのダメージが入りにくいという特徴がある。

【0028】

本発明の第2のMISFET(103)は、要部断面図である図7に示すように、半導体層1、バッファ膜(バッファ層)12b、CeF₃膜13b、ゲート14b、ソース15b、ドレイン16bおよびパターン化された層間膜21bからなる。この構造では、ゲート14bは埋め込み構造をとる。ここで、ゲート14a、ソース15aおよびドレ

50

イン16aは、第1のMISFET(102)と同様に、金属、合金、金属化合物、シリサイド、ポリサイドまたはドーパントが添加されたポリシリコンなどの導電膜からなる。

【0029】

第2のMISFET(103)は、下記に示す工程により製造することができる。要部断面図を用いてその製造工程を説明した図8を参照しながら、その製造方法を説明する。

まず、半導体層1の上に層間膜21を形成する(図8(a)参照)。層間膜21としては、例えばプラズマCVD法による SiO_x などの絶縁膜を挙げることができる。

次に、層間膜21にゲートを作製するための開口をリソグラフィとドライエッチングにより形成し、層間膜パターン21aとする(図8(b))。

その後、バッファ膜12aと CeF_3 膜13aを順次成膜する(図8(c))。これらの膜はコンフォーマルに被着されるのが好ましい。

次に、CMP(Chemical Mechanical Polishing)やエッチバックなどの方法により、層間膜パターン21aの上面上に形成されているバッファ膜12aと CeF_3 膜13aを除去して、層間膜パターン21aの開口部にのみ形成されているバッファ膜12bと CeF_3 膜13bを得る(図8(d))。

しかる後、導電体膜14aを被着(図8(e))し、引き続いてCMPやエッチバックなどの方法により層間膜パターン21aの上面上に形成されている導電体膜14aを除去して、 CeF_3 膜13bが露出している溝部に導電体膜が埋め込まれた導電体膜パターンを形成し、その導電体膜パターンをゲート14bとする(図8(f))。

その後、リソグラフィとドライエッチングを用いて、層間膜パターン21aに開口部22および23を有する層間膜パターン21bを形成する(図8(g))。

そして、開口部22および23に導電体膜を埋め込んで、その導電体膜パターンをそれぞれソース15bとドレイン16bとして第2のMISFET(103)とする。

【0030】

第2のMISFETの製造方法によれば、 CeF_3 膜13bの加工をCMPやエッチバックで行っているため、半導体層へのダメージが少ないドライエッチングを行うことが容易ではない CeF_3 膜においても電氣的ダメージの少ないMISFETを得ることができる。

【実施例】

【0031】

以下、本発明のMIS半導体装置の特性を、キャパシタ特性によって調べた実施例について説明する。当然ながら、本発明はこのような特定の形式に限定されるものではなく、本発明の技術的範囲は特許請求の範囲により規定されるものである。

【0032】

(実施例1)

実施例1は半導体層1としてSiを用いた場合で、図1に示すMIS構造101の半導体装置を作製してその静電容量と誘電損失を測定した。

その半導体層1としては、ホウ素(B)がドーパされた抵抗率 $1 \sim 5 \Omega \cdot cm$ のSi基板、バッファ層2としては膜厚4nmの熱酸化 SiO_2 膜、セリウムフッ化物層3としては膜厚10nmのアモルファス CeF_3 膜、導電体層4としては膜厚150nmのPtを用い、導電体層4と半導体層1との間の静電容量および誘電損失を測定した。ここで、導電体層4からなる導電体パターンの大きさは $100 \mu m$ である。

【0033】

評価試料の作製方法は下記のとおりである。

まず、上記4nmの熱酸化 SiO_2 膜付きSi基板をアセトン、エタノール、純水により洗浄し、その後UVオゾン洗浄を行った。

次に、真空蒸着法で CeF_3 膜を10nmの厚さで成膜した。このときの真空度は $5 \times 10^{-6} Pa$ 、基板温度は室温(23℃)である。 SiO_2 膜上で成膜することにより、 CeF_3 はアモルファス膜となる。

しかる後、PtをDCスパッタリングで150nmの厚さで形成した。このときの真空

10

20

30

40

50

度は 1 Pa 、基板温度は室温 (23) である。ここで、この Pt の形成にあたっては、マスクを用いてパターン化された Pt を形成し、これを Pt 電極とした。

なお、静電容量および誘電損失の測定には半導体パラメーターアナライザー (B1500A, Keysight 製) を用いた。

【0034】

静電容量および誘電損失の測定結果を図9から図11に示す。

図9は、特段の熱処理を加えない場合である。図10は、界面終端を目的に、フォーミングガスアニールとして Pt 電極形成後に水素ガス (H_2 ガス) を 4% 添加された窒素ガス (N_2 ガス) 下で $300 \sim 30$ 分の熱処理を行った場合であり、図11は、欠陥補償を目的に、Pt 電極形成前に N_2 ガス下で $400 \sim 30$ 分の熱処理を行った場合である。ここで、熱処理は石英ランプ加熱炉を用いて行い、ガスの圧力は図10の場合も図11の場合も大気圧とした。

測定周波数は 1 MHz とし、ヒステリシス特性を表すためにバイアス電圧を正の方向に掃引印加する場合と負の方向に掃引印加する場合を合わせて載せている。

【0035】

CeF_3 膜と SiO_2 膜の膜厚および Pt 電極の面積と図9から図11に示された静電容量の大きさから CeF_3 膜の比誘電率を求めると、その大きさは 20 以上 30 以下となり、 SiO_2 バッファ層 2 とセリウムフッ化物層 (CeF_3 膜) 3 からなる本発明の絶縁膜は十分大きな誘電率 (比誘電率) をもつ膜であることがわかる。

また、Pt 電極形成の前または後に熱処理を行うと、ヒステリシスの減少、フラットバンドシフトの減少および誘電損失の減少という効果が認められる。なお、欠陥補償を目的とした Pt 電極形成前の高温 (400) の熱処理では、静電容量は熱処理前に比べて有意な差とはなっていないが、Pt 電極形成後の熱処理では有意に静電容量が減少している。

【0036】

(実施例2)

実施例2は、バッファ層2を半導体層1側から膜厚が 4 nm で熱酸化の SiO_2 膜と膜厚が 1 nm の MgF_2 膜からなる2層膜とし、かつセリウムフッ化物層3を構成する CeF_3 膜の膜厚を実施例1の 10 nm から 9 nm に変更した場合で、それ以外に関しては実施例1と同じ構造をもち、かつ同じ方法で作製したものである。ここで、 MgF_2 膜は真空蒸着法により成膜したアモルファス膜であり、成膜時の真空度は $5 \times 10^{-6} \text{ Pa}$ 、基板温度は室温 (23) である。また、熱処理としては、Pt 電極形成前に N_2 ガス下で $400 \sim 30$ 分の熱処理を行っている。Pt 電極形成後の H_2 と N_2 の混合ガス下での熱処理は行っていない。

【0037】

実施例2の MIS 半導体装置の静電容量および誘電損失の測定結果を図12に示すが、同図中の破線の枠内に示されるように、 MgF_2 膜の挿入により、空乏層側の肩が減少して良好な電気特性になることが確認された。

【0038】

(実施例3)

実施例3は半導体層1として Ge を用いた場合で、MIS 構造 101 の半導体装置を作製してその静電容量と静電特性を測定した。

その半導体層1としては、Ga がドーブされた抵抗率 $0.01 \sim 0.05 \cdot \text{cm}$ の Ge 基板、バッファ層2としては膜厚 1 nm の MgF_2 膜、セリウムフッ化物層3としては膜厚 13 nm のアモルファス CeF_3 膜、導電体層4としては膜厚 150 nm の Pt を用いた。また、半導体層1側にも Pt 導電体層を配置し、表裏両面に配置された Pt 導電体層で半導体層1、バッファ層2、セリウムフッ化物層3を挟んだ形にして静電容量および誘電損失の測定を行った。ここで、Pt 導電体層は電極状にパターンニングされていて、Pt 電極となっている。その Pt 電極の大きさは $100 \mu\text{m}$ である。

【0039】

評価試料の作製方法は下記のとおりである。

まず、Ge層をアセトン、エタノール、純水により洗浄した後、高真空 (1×10^{-6} Pa) 下で420 20分の熱処理を行って自然酸化膜 (Ga_2O_3) を除去した。

その後、膜厚1 nmの MgF_2 アモルファス膜を真空蒸着法により形成した。このときの真空度は 5×10^{-6} Pa、基板温度は室温 (23) である。

次に、真空蒸着法で CeF_3 膜を13 nmの厚さで成膜した。このときの真空度は 5×10^{-6} Pa、基板温度は室温 (23) である。アモルファス状の MgF_2 膜上で成膜することにより、 CeF_3 は結晶性が低下していき、 MgF_2 の膜厚が1 nm以上で、 CeF_3 はアモルファス膜となる。

しかる後、PtをDCスパッタリングで150 nmの厚さで形成した。このときの真空度は1 Pa、基板温度は室温 (23) である。ここで、このPtの形成にあたっては、マスクを用いてパターン化されたPtを形成し、これをPt電極とした。

なお、静電容量および誘電損失の測定には、実施例1と同様に、半導体パラメータアナライザ (B1500A、Keysight製) を用いた。

【0040】

静電容量および誘電損失の測定結果を図13に示す。

測定周波数は実施例1と同様に1 MHzとし、ヒステリシス特性を表すためにバイアス電圧を正の方向に掃引印加する場合と負の方向に掃引印加する場合を合わせて載せている。

CeF_3 膜と MgF_2 膜の合計の物理膜厚は14 nmであるが、図13に示した静電容量測定を使って求めたEOT (Effective Oxide Thickness)、すなわち SiO_2 換算膜厚は3.5 nmであり、この膜は十分大きな誘電率 (比誘電率) をもつHigh-k膜である。

このことから、 CeF_3 膜と MgF_2 膜からなるフッ化物絶縁膜は、界面酸化とGeの拡散を抑制できる高い比誘電率の絶縁膜であることが確認された。

【0041】

(参考例1)

参考例1は、実施例3における膜厚1 nmの MgF_2 膜からなるバッファ層2および膜厚13 nmの CeF_3 膜よりなるセリウムフッ化物層3に換えて、 CeF_3 に3重量%の MgF_2 が混入された単層のセリウムフッ化物層を用いた場合で、それ以外は実施例3と同じである。参考例1におけるセリウムフッ化物層の膜厚は14 nmである。

静電容量および誘電損失の測定結果を図14に示す。

この構造の場合、セリウムフッ化物へのGeの拡散を十分には抑制することができなくて、ヒステリシスが大きく、また静電損失も大きなものとなった。

【産業上の利用可能性】

【0042】

以上説明したように、本発明によれば、従来のHigh-kゲート絶縁膜に見られる半導体界面に発生する所望ではない酸化層の生成が防止され、界面準位発生の基となるゲート絶縁膜の水素の透過率が低く、誘電率の高いHigh-kゲート絶縁膜を有するMIS型半導体装置およびそのMIS型半導体装置の製造方法が提供される。このことにより、提供されるMIS型半導体装置は、安定でゲート容量 C_{ox} の大きな高性能MIS型半導体装置となるので、多くの産業分野で利用される可能性がある。

【符号の説明】

【0043】

1：半導体層

2：バッファ層

2a：バッファ層パターン

3：セリウムフッ化物層 (CeF_3 膜)

3a：セリウムフッ化物層パターン (CeF_3 膜パターン)

4：導電体層

10

20

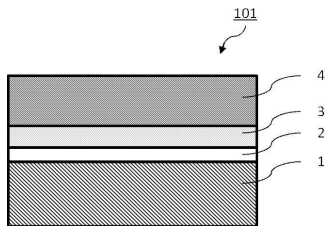
30

40

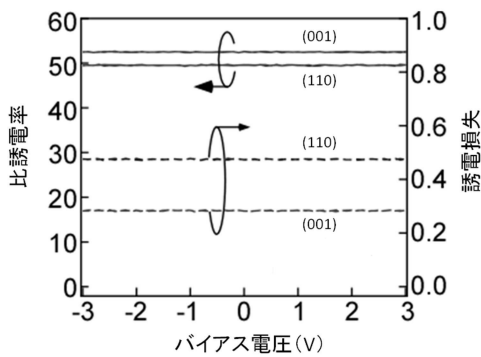
50

- 4 a : ゲート
- 5 a : ソース
- 6 a : ドレイン
- 1 2 a : バッファー膜
- 1 2 b : バッファー膜
- 1 3 a : CeF_3 膜
- 1 3 b : CeF_3 膜
- 1 4 a : 導電体膜
- 1 4 b : ゲート
- 1 5 b : ソース
- 1 6 b : ドレイン
- 2 1 : 層間膜
- 2 1 a : 層間膜パターン
- 2 1 b : パターン化された層間膜
- 2 2 : 開口部
- 2 3 : 開口部
- 1 0 1 : M I S 構造
- 1 0 2 : M I S F E T
- 1 0 3 : M I S F E T

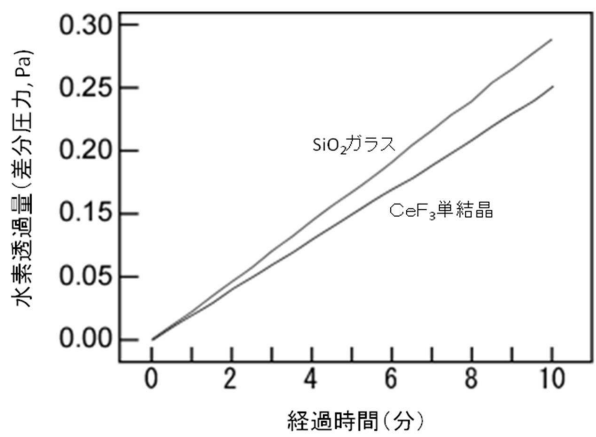
【図1】



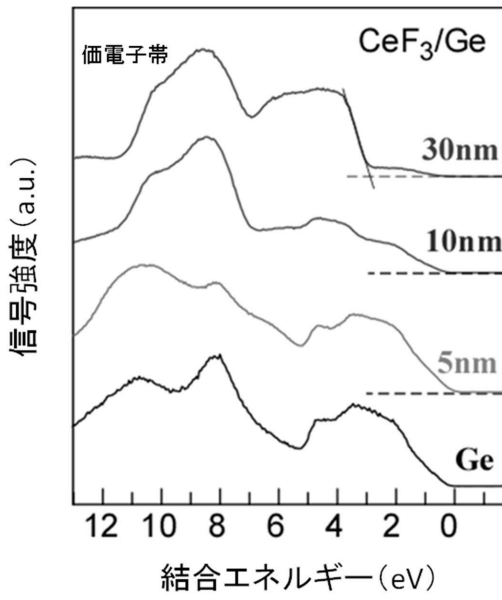
【図2】



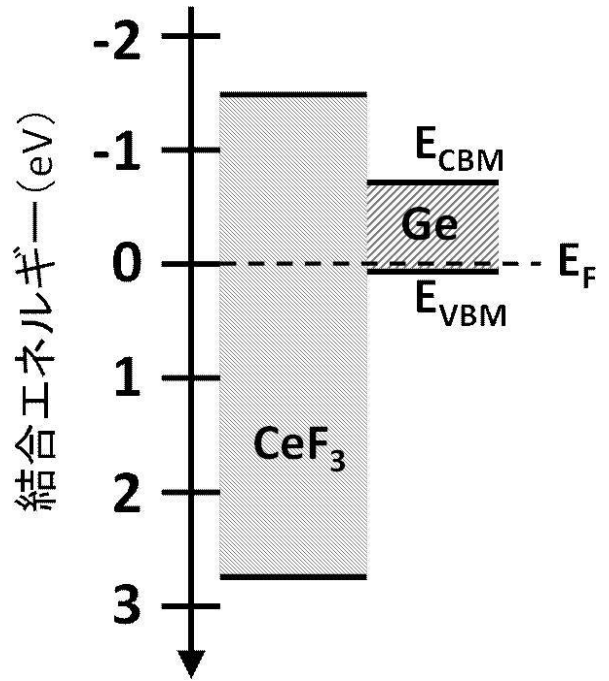
【図3】



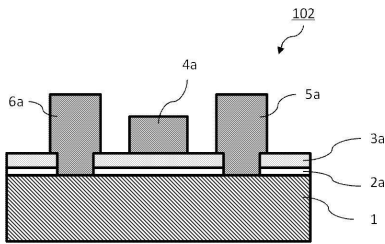
【図4】



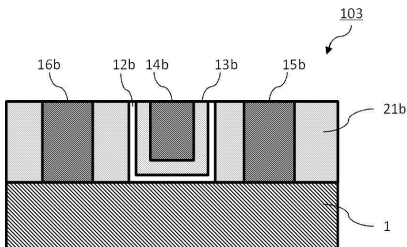
【図5】



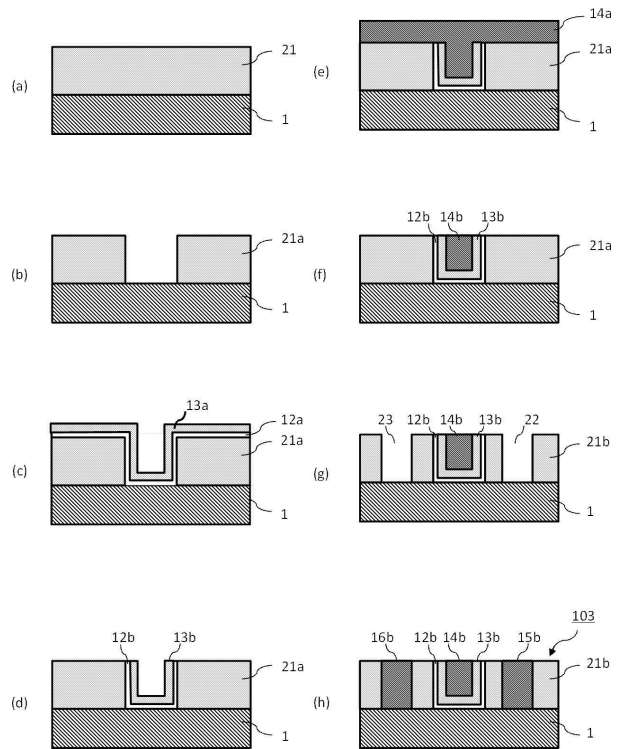
【図6】



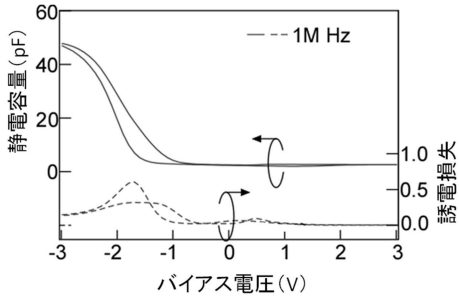
【図7】



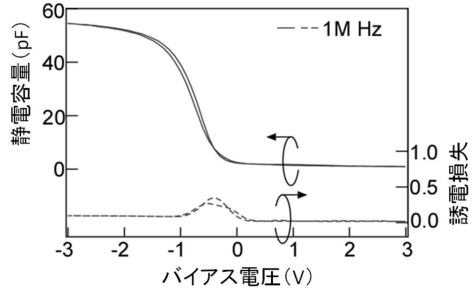
【図8】



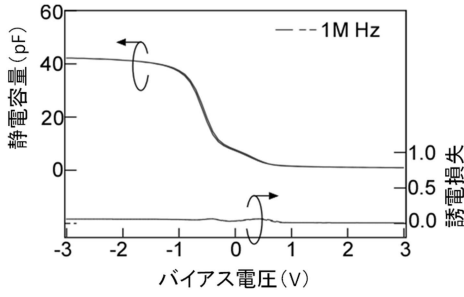
【図 9】



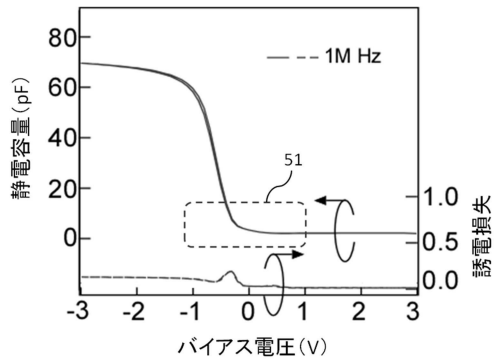
【図 1 1】



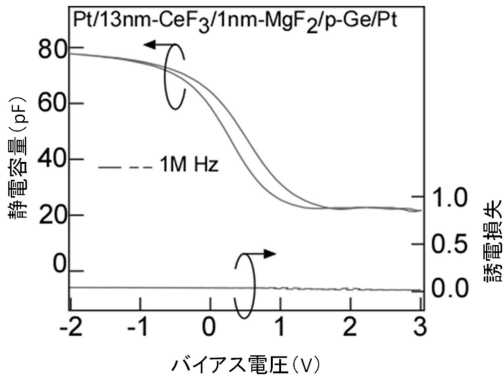
【図 1 0】



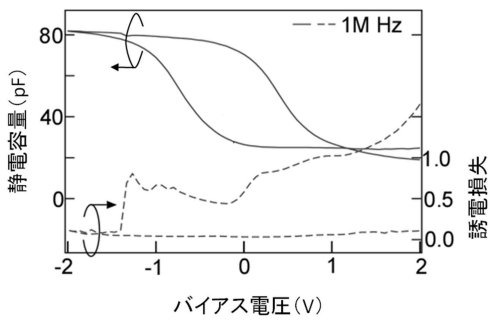
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

(56)参考文献 特開2007-081346(JP,A)
特開2010-062457(JP,A)
特開2007-088108(JP,A)
特開2003-110100(JP,A)
特表2012-522379(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336
H01L 21/314
H01L 29/78