

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3886673号

(P3886673)

(45) 発行日 平成19年2月28日(2007.2.28)

(24) 登録日 平成18年12月1日(2006.12.1)

(51) Int. Cl.

F I

G 1 1 C 16/04 (2006.01)

G 1 1 C 17/00 6 2 2 E

G 1 1 C 16/02 (2006.01)

G 1 1 C 17/00 6 1 1 A

請求項の数 11 (全 20 頁)

(21) 出願番号	特願平11-224232	(73) 特許権者	000003078
(22) 出願日	平成11年8月6日(1999.8.6)		株式会社東芝
(65) 公開番号	特開2001-52487(P2001-52487A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成13年2月23日(2001.2.23)	(74) 代理人	100092820
審査請求日	平成15年5月12日(2003.5.12)		弁理士 伊丹 勝
		(72) 発明者	作井 康司
			神奈川県川崎市幸区小向東芝町1番地 株
			式会社東芝 マイクロエレクトロニクスセ
			ンター内
		(72) 発明者	中村 寛
			神奈川県川崎市幸区小向東芝町1番地 株
			式会社東芝 マイクロエレクトロニクスセ
			ンター内

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

ワード線により駆動される電氣的書き換え可能なメモリセルが複数個ずつビット線に直列接続されてNAND型メモリセルユニットを構成してマトリクス配列されたメモリセルアレイと、

アドレスをデコードして前記メモリセルアレイのワード線及びビット線を選択するデコード回路と、

前記メモリセルアレイのビット線に読み出されるデータを検知し、前記メモリセルアレイへの書込みデータをラッチするセンスアンプ回路と、

前記デコード回路により選択されたNAND型メモリセルユニットの中の選択されたワード線に読出し用電圧を与え、非選択ワード線にメモリセルを導通させる第1のパス電圧を与えてデータ読出しを行う読出し制御手段と、

前記デコード回路により選択されたNAND型メモリセルユニットの中の選択されたワード線に書込み用電圧を与え、非選択ワード線に前記書込み用電圧より低い第2のパス電圧を与えてデータ書込みを行う書込み制御手段と、

この書込み制御手段によるデータ書込み状態を確認するために、選択されたNAND型メモリセルユニットの中の選択されたワード線にベリファイ読出し用電圧を与え、非選択ワード線にメモリセルを導通させる第3のパス電圧を与えて、選択されたNAND型メモリセルユニットの導通時の電流が前記読出し手段によるデータ読出し時に比べて大きくなる条件でデータ読出しを行う書込みベリファイ読出し制御手段と、を有し、

10

20

前記第3のパス電圧は、前記第1のパス電圧より高い値に設定されることを特徴とする不揮発性半導体記憶装置。

【請求項2】

前記メモリセルアレイの中のワード線を共通とするNAND型メモリセルユニットの範囲をデータ消去の最小単位であるセルブロックとして、選択されたセルブロックの基板領域に消去用電圧を与えてそのセルブロック内の全メモリセルのデータを一括消去するデータ消去制御手段を有することを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】

前記第2のパス電圧は、前記第1のパス電圧より高い値に設定されることを特徴とする請求項1記載の不揮発性半導体記憶装置。

10

【請求項4】

前記NAND型メモリセルユニットは、複数のメモリセルの一端とビット線との間に第1の選択ゲート線により駆動される第1の選択トランジスタを有し、他端と共通ソース線との間に第2の選択ゲート線により駆動される第2の選択トランジスタを有し、

前記読み出し制御手段によるデータ読み出し時、選択されたNAND型メモリセルユニットの第1及び第2の選択ゲート線に前記第1のパス電圧が与えられ、

前記書き込みベリファイ読み出し制御手段による書き込みベリファイ読み出し時、選択されたNAND型メモリセルユニットの第1及び第2の選択ゲート線に前記第1又は第3のパス電圧が与えられることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項5】

20

書き込み動作において非選択ワード線に与えられた第2のパス電圧は、書き込み動作終了により一旦接地電位にリセットされ、引き続き書き込みベリファイ読み出し動作においてその非選択ワード線に第3のパス電圧が与えられることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項6】

書き込み動作において非選択ワード線に与えられた第2のパス電圧は、書き込み動作終了によりリセットされることなく、書き込みベリファイ読み出し動作において引き続き前記非選択ワード線に与えられることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項7】

電氣的書き換え可能な複数のメモリセルから構成されたNAND型メモリセルユニットと、

30

前記NAND型メモリセルユニットとデータの受け渡しを行うビット線と、

前記NAND型メモリセルユニットの一端と前記ビット線との間に接続された選択トランジスタと、

前記NAND型メモリセルユニットを構成するメモリセルの制御ゲート及び前記選択トランジスタのゲートにそれぞれ接続されたワード線及び選択ゲート線と、

前記ワード線及び選択ゲート線に所定の電圧を供給するロウデコーダとを備え、

前記ロウデコーダは、前記NAND型メモリセルユニットを構成する一つのメモリセルに所定のデータが書き込まれたか否かを判定するための読み出し時に、前記NAND型メモリセルユニットを構成する複数のメモリセルのうち非選択のメモリセルに接続されたワード線に第1のパス電圧を供給し、前記メモリセルに書き込まれたデータを特定するための読み出し時に、前記NAND型メモリセルユニットを構成する複数のメモリセルのうち非選択のメモリセルに接続されたワード線に第2のパス電圧を供給し、且つ、前記第1のパス電圧は前記第2のパス電圧よりも高いことを特徴とする不揮発性半導体記憶装置。

40

【請求項8】

前記第1のパス電圧は、前記NAND型メモリセルユニットを構成する一つのメモリセルに所定のデータが書き込まれたか否かを判定するための読み出し時に、前記選択トランジスタに接続される選択ゲート線にも供給されることを特徴とする請求項7記載の不揮発性半導体記憶装置。

【請求項9】

50

前記NAND型メモリセルユニットを構成する一つのメモリセルに所定のデータが書き込まれたか否かを判定するための読み出し時に、前記選択トランジスタに接続される選択ゲート線に供給される電圧は、前記第1のパス電圧と異なることを特徴とする請求項7記載の不揮発性半導体記憶装置。

【請求項10】

ワード線により駆動される電氣的書き換え可能なメモリセルが複数個ずつビット線に直列接続されてNAND型メモリセルユニットが構成されており、前記NAND型メモリセルユニットは、複数個のメモリセルの一端とビット線との間に第1の選択ゲート線により駆動される第1の選択トランジスタを有し、他端と共通ソース線との間に第2の選択ゲート線により駆動される第2の選択トランジスタを有し、前記NAND型メモリセルユニットがマトリクス配列されたメモリセルアレイと、

10

アドレスをデコードして前記メモリセルアレイのワード線及びビット線を選択するデコード回路と、

前記メモリセルアレイのビット線に読み出されるデータを検知し、前記メモリセルアレイへの書込みデータをラッチするセンスアンプ回路と、

前記デコード回路により選択されたNAND型メモリセルユニットの中の選択されたワード線に読み出し用電圧を与えると共に非選択ワード線にメモリセルを導通させる第1のパス電圧を与えてデータ読み出しを行う読み出しコントローラと、

前記デコード回路により選択されたNAND型メモリセルユニットの中の選択されたワード線に書込み用電圧を与えると共に非選択ワード線に前記書込み用電圧より低い第2のパス電圧を与えてデータ書込みを行う書込みコントローラと、

20

選択されたNAND型メモリセルユニットの選択されたワード線にペリファイ読み出し用電圧及び非選択ワード線にメモリセルを導通させる第3のパス電圧を与えることにより、選択されたNAND型メモリセルユニットの導通時の電流が前記読み出しコントローラによるデータ読み出し動作中のその電流に比べて大きくなるようにして、前記書込みコントローラによるデータ書込み状態を確認するためのデータ読み出しを行う書込みペリファイ読み出しコントローラとを有し、

前記読み出しコントローラによるデータ読み出し動作で、選択されたNAND型メモリセルユニットの前記第1及び第2の選択ゲート線に前記第1のパス電圧が与えられ、

前記書込みペリファイ読み出しコントローラによる書込みペリファイ読み出し中、選択されたNAND型メモリセルユニットの前記第1及び第2の選択ゲート線に前記第1又は第3のパス電圧が与えられ、

30

前記書込みペリファイ読み出しコントローラは、書込みペリファイ読み出し動作での第1のパス電圧よりも大きい第3のパス電圧を非選択ワード線に与えると共に第1のパス電圧を第1及び第2の選択ゲート線に与えることを特徴とする不揮発性半導体記憶装置。

【請求項11】

ワード線により駆動される電氣的書き換え可能なメモリセルが複数個ずつビット線に直列接続されてNAND型メモリセルユニットが構成されており、前記NAND型メモリセルユニットは、複数個のメモリセルの一端とビット線との間に第1の選択ゲート線により駆動される第1の選択トランジスタを有し、他端と共通ソース線との間に第2の選択ゲート線により駆動される第2の選択トランジスタを有し、前記NAND型メモリセルユニットがマトリクス配列されたメモリセルアレイと、

40

アドレスをデコードして前記メモリセルアレイのワード線及びビット線を選択するデコード回路と、

前記メモリセルアレイのビット線に読み出されるデータを検知し、前記メモリセルアレイへの書込みデータをラッチするセンスアンプ回路と、

前記デコード回路により選択されたNAND型メモリセルユニットの中の選択されたワード線に読み出し用電圧を与えると共に非選択ワード線にメモリセルを導通させる第1のパス電圧を与えてデータ読み出しを行う読み出しコントローラと、

前記デコード回路により選択されたNAND型メモリセルユニットの中の選択されたワ

50

ード線に書込み用電圧を与えると共に非選択ワード線に前記書込み用電圧より低い第2のパス電圧を与えてデータ書込みを行う書込みコントローラと、

選択されたNAND型メモリセルユニットの選択されたワード線にペリファイ読み出し用電圧及び非選択ワード線にメモリセルを導通させる第3のパス電圧を与えることにより、選択されたNAND型メモリセルユニットの導通時の電流が前記読み出しコントローラによるデータ読み出し動作中のその電流に比べて大きくなるようにして、前記書込みコントローラによるデータ書込み状態を確認するためのデータ読み出しを行う書込みペリファイ読み出しコントローラとを有し、

前記読み出しコントローラによるデータ読み出し動作で、選択されたNAND型メモリセルユニットの前記第1及び第2の選択ゲート線に前記第1のパス電圧が与えられ、

前記書込みペリファイ読み出しコントローラによる書込みペリファイ読み出し中、選択されたNAND型メモリセルユニットの前記第1及び第2の選択ゲート線に前記第1又は第3のパス電圧が与えられ、

前記第3のパス電圧は、前記第1のパス電圧より高い値に設定されており、

前記書込みペリファイ読み出しコントローラは、第3のパス電圧を非選択ワード線に与えると共に第1のパス電圧又はそれよりも低い電圧を第1及び第2の選択ゲート線に与えることを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電氣的書き換え可能な複数のメモリセルを接続してメモリセルユニットを構成する不揮発性半導体記憶装置（EEPROM）に関する。

【0002】

【従来の技術】

電氣的書き換えを可能としたEEPROMとして、従来より、NAND型EEPROMが知られている。NAND型EEPROMの1つのメモリセルは、半導体基板上に絶縁膜を介して浮遊ゲート（電荷蓄積層）と制御ゲートが積層されたFETMOS構造を有する。複数個のメモリセルは、隣接するもの同士でソース・ドレインを共有する形で直列接続されてNAND型メモリセルユニット（以下、単にNANDセルという）を構成する。このようなNANDセルがマトリクス配列されてメモリセルアレイが構成される。

【0003】

メモリセルアレイの列方向に並ぶNANDセルの一端側のドレインは、選択ゲートトランジスタを介してビット線に共通接続され、他端側ソースはやはり選択ゲートトランジスタを介して共通ソース線に接続される。メモリセルトランジスタのワード線及び選択トランジスタのゲート電極は、メモリセルアレイの行方向にそれぞれワード線（制御ゲート線）、選択ゲート線として共通接続される。

【0004】

このようなNAND型EEPROMは、例えば次のような文献 1, 2 により知られている。

1 K. -D. Suh et al., "A 3.3V 32Mb NAND Flash Memory with Incremental Step Pulse Programming Scheme," IEEE J. Solid-State Circuits, Vol.30, pp.1149-1156, No v.1995

2 Y. Iwata et al., "A 35ns Cycle Time 3.3V Only 32Mb NAND Flash EEPROM," IEEE J. Solid-State Circuits, Vol.30, pp.1157-1164, Nov.1995.

【0005】

図14は、NANDセル型EEPROMのメモリセルアレイのひとつのNANDセルブロックの構成を示している。複数個のメモリセルMは、それらのソース、ドレインを隣接するもの同士で共有する形で直列接続されてNANDセルが構成される。NANDセルの一端は選択トランジスタS1を介してビット線BLに、他端はやはり選択トランジスタS2を介して共通接地線に接続される。図の横方向に並ぶメモリセルMの制御ゲートは、共通

10

20

30

40

50

にワード線WLに接続される。選択トランジスタS1, S2のゲートも同様に選択ゲート線SSL, GSSLに共通接続される。一つのワード線により駆動されるNANDセルの範囲がNANDセルブロックを構成している。

【0006】

通常、このようなNANDセルブロックがビット線方向に複数個配置されてメモリセルアレイが構成される。各NANDセルブロックはデータ消去の最小単位となっていていわゆる一括消去が行われる。またNANDセルブロック内のひとつの選択されたワード線に沿うメモリセル列は1ページと呼ばれ、1ページがデータ読み出し及び書き込みの単位となる。

【0007】

メモリセルMは、例えばnチャネルの場合、浮遊ゲートに電子が注入されたしきい値が正の状態(Eタイプ状態)と、浮遊ゲートの電子が放出されたしきい値が負の状態(Dタイプ状態)とを二値に対応させることにより、データ記憶を行う。例えば、Dタイプ状態が“1”データの保持状態(消去状態)、Eタイプ状態が“0”データ保持状態(書き込み状態)というように定義される。また、“1”データを保持しているメモリセルのしきい値を正方向にシフトさせて“0”データを保持した状態に移行させる動作が「書き込み動作」、 “0”データを保持しているメモリセルのしきい値を負方向にシフトさせて“1”データを保持した状態に移行させる動作が「消去動作」というように定義される。この明細書では、以下の説明をこの定義に従って行う。

【0008】

図15は、メモリセルアレイの選択されたNANDセルブロックでのデータ消去、読み出し及び書き込み動作の各部電圧関係を示している。消去動作では、選択されたNANDセルブロックの全ワード線を0V、選択ゲート線SSL, GSSL及びビット線BLをフローティング(F)とし、メモリセルのP型ウェルに高い正の消去電圧V_{era}(例えば、3ms、21Vの消去パルス)を与える。その結果、選択ブロックでは、ウェルとワード線の間が消去電圧がかかり、浮遊ゲートの電子がFNトンネル電流によりウェルに放出される。これにより、そのNANDセルブロック内のメモリセルは“1”の消去状態になる。

【0009】

このとき、非選択のNANDセルブロックでは、フローティング状態のワード線とウェルとの容量カップリングにより、消去パルスの影響を受けない。カップリング比は、フローティング状態のワード線に接続される容量から計算される。実際には、ポリシリコンのワード線とセル領域のPウェルとの容量が全容量に対して支配的であり、実測結果から求めたカップリング比は約0.9と大きく、これがFNトンネル電流が流れるのを妨げる。消去ヴェリファイ(検証)は選択ブロック内の全てのメモリセルのしきい値電圧が例えば-1V以下になったかが判定される。

【0010】

データ読み出し動作は、選択ワード線に0V、非選択ワード線及び選択ゲート線に一定の中間電圧V_{read}(しきい値によらず、チャネルを導通させるに必要な電圧)を与え、選択されたメモリセルの導通の有無によるビット線BLの電位変化を読むことにより行われる。

【0011】

データ書き込み動作は、選択ワード線に正の高い書き込み電圧V_{pgm}、非選択ワード線には中間電圧V_{pass}、ビット線側の選択ゲート線SSLにV_{cc}、共通ソース線側の選択ゲート線GSSLにV_{ss}=0Vを与え、“0”を書き込むべきビット線BLにV_{ss}、書き込み禁止の(即ち“1”の消去状態に保つべき)ビット線BLにV_{cc}を与えることにより行われる。このとき、V_{ss}が与えられたビット線につながる選択メモリセルでは、チャネル電位がV_{ss}に保持され、制御ゲートとチャネル間の大きな電界がかかって、チャネルから浮遊ゲートにトンネル電流による電子注入が生じる。同じビット線につながるV_{pass}が与えられた他の非選択メモリセルでは、書き込みに十分な電界がかからず、書き込みは行われない。

V_{cc}が与えられたビット線に沿うメモリセルでは、NANDセルのチャネルはV_{cc}又

10

20

30

40

50

は $V_{cc} - V_{th}$ (V_{th} は選択トランジスタのしきい値電圧) に予備充電されて選択トランジスタがカットオフする。そして制御ゲートに書き込み電圧 V_{pgm} 及び中間電圧 V_{pass} が与えられると、フローティングとなっている NAND セルのチャネルと、 V_{pgm} 又は V_{pass} が与えられた制御ゲートとの容量結合によりチャネル電位は上昇して、電子注入が起こらない。

【0012】

以上のようにして、 V_{ss} が与えられたビット線と V_{pgm} が与えられた選択ワード線の交差部のメモリセルでのみ、電子注入が行われて“0”書き込みがなされる。選択ブロック内の書き込み禁止のメモリセルにおいては、上述のようにチャネル電位がワード線とチャネルとの容量結合によって決定されるから、書き込み禁止電圧を十分に高くするために、チャネルの初期充電を十分に行うこと、また、ワード線とチャネル間の容量カップリング比を大きくすることが重要となる。

10

【0013】

ワード線とチャネル間のカップリング比 B は、 $B = C_{ox} / (C_{ox} + C_j)$ により算出される。ここで、 C_{ox} 、 C_j はそれぞれワード線とチャネルとの間のゲート容量の総和、メモリセルトランジスタのソースおよびドレインの接合容量の総和である。また、NANDセルのチャネル容量とは、これらゲート容量の総和 C_{ox} と接合容量の総和 C_j の合計となる。さらに、その他の容量である選択ゲート線とソースのオーバーラップ容量や、ビット線とソースおよびドレインとの容量等は全チャネル容量に比べて非常に小さいため、ここでは無視している。

20

【0014】

【発明が解決しようとする課題】

以上に説明した NAND 型 EEPROM におけるスケールアップの問題を、図 16 を参照して次に説明する。図 16 は、NANDセル内のメモリセル数と、1ビット当たりの実効的なメモリセル面積 / 1個のメモリセル面積の比の関係をメモリ容量をパラメータとして示している。NAND型EEPROMの特徴は、2個の選択ゲートトランジスタとビット線及びソース線のコンタクトを複数のメモリセルで共有させることにより、結果的に実効的なメモリセルサイズを小さくできるという点にある。

【0015】

0.4 μm ルールの 64Mビット NAND 型 EEPROM の場合、NANDセル内のメモリセル数は 16 個であり、1ビット当たりの実効的なメモリセル面積 / 1個のメモリセル面積の比は、図 16 に示すように 1.20 であった。0.25 μm ルールの 256Mビット NAND 型 EEPROM では、NANDセル内のメモリセル数が同じく 16 個であるとすると、1ビット当たりの実効的なメモリセル面積 / 1個のメモリセル面積の比は、1.26 となる。更に、0.13 μm ルールの 1G になると、同じく 16 個のメモリセル数としてこの比は、1.33 になることが予測される。

30

【0016】

この様に微細化と容量増大に伴って、実効的なメモリセル面積の実際のメモリセル面積に対する比が大きくなる理由は、デザインルールに合わせてワード線ピッチ (ワード線幅 + スペース) は縮小できるが、オーバーヘッドとなる選択トランジスタとビット線及びソース線のコンタクト面積の縮小が困難になるためである。これは、微小コンタクト等の加工プロセスの困難性もあるが、書き込み動作に対するマージンを確保するために縮小化が制限されるというデバイス設計上の理由もある。いずれにしても、NANDセル内のメモリセル数を 16 個に限定した場合、実効的なメモリセルサイズは、64Mビットを基準として、256Mビットでは 5% ($1.12 / 1.20 = 1.05$)、1Gビットでは 11% ($1.33 / 1.20 = 1.11$) 増大する。

40

【0017】

これに対して、1Gビット NAND 型 EEPROM の NANDセル内のメモリセル数を 32 個にすると、1ビット当たりの実効的なメモリセル面積 / 1個のメモリセル面積の比は、1.17 にまで小さくなり、チップサイズは 88% になる。但しこれは、メモリセルア

50

レイのチップ占有率を共に60%と仮定した場合である。しかし、NANDセル内のメモリセル数を増やすことは、別の問題を招来する。

【0018】

第1の問題は、データ一括消去のブロックサイズが倍増することである。しかしこれは、主要には仕様上問題となることであり、解決可能である。例えば、30万画素のデジタルカメラの1ショットに必要な容量は、約0.5Mビットであり、16kバイトのブロック4個分に相当する。しかし、130万画素或いは200万画素とデジタルカメラの容量が増大すると、ブロックサイズを16kバイトに固定した場合には1ショットに必要なブロック数が増加する。このブロック数の増加は、1ショットの書き換えスピードを遅延させる問題につながる。従って、EEPROMはその大容量化に伴ってある程度ブックサイズを増加させることが好ましい場合もある。

10

【0019】

第2の問題は、メモリセル数の倍増によりメモリセル電流が半減することである。メモリセル電流が半減すると、読み出し時のビット線センス時間即ち、ワード線選択時からセンスアンプ活性化までの時間が倍増する。NANDセル内のメモリセル数を16個とすると、1Gビットの場合、ビット線容量3.4pF、ビット線振幅0.7V、メモリセル電流0.5μAが予定されており、この場合ビット線センス時間は4.76μsとなる。仮にビット線容量が変わらない条件で、NANDセル内のメモリセル数を16個から32個に増加させると、ビット線センス時間は、9.52μsとなる。

【0020】

ビット線センス時間の増加は、単にランダム読出しの時間を増加させるだけでなく、書込み時間も増加させる原因となる。ランダム読出し時間の仕様は、コマンド及びアドレス入力の時間、ワード線選択時間、データ出力時間及びそれらのマージンがビット線センス時間に加わり、通常、ビット線センス時間の2倍程度となる。NANDセル内のメモリセル数16個で設計すると、ランダム読出し時間は、10μsに収まる。書込みパルスは約20μsであるため、書込みのサイクル時間は、約30μs(10μs+20μs)となる。従って、書込みサイクル数6回で書込みが終了する場合、書込み時間は、30μs×6=180μsとなる。しかし、NANDセル内のメモリセル数32個で設計すると、ランダム読出し時間は20μsとなるため、書込みサイクル時間は約40μsとなり、書込み時間は、40μs×6=250μsとなる。

20

30

【0021】

従って、書込み時間を仕様で200μsと定めた場合には、書込みサイクルを5回又はそれ以下に収めなければならない。そのためには、メモリセルのカップリング比のバラツキを抑えるといった、プロセス上の負担が大きくなる。プロセスの向上が期待できないとすれば、例えば書き込み時間の仕様を200μsから300μsへと緩和しなければならない。これは、NAND型EEPROMの高速書き換えという特徴を伸ばす上で大きな障害となる。

【0022】

NAND型EEPROMは、NOR型EEPROMのようなホットエレクトロン注入による書込み、バンド間トンネリングを利用したソース側での消去と異なり、チャネル全面のFNトンネリングによるデータ書き換えを行う。このため、同時に多数のメモリセルの書き換えができる。従って、書込みのページサイズを512バイトから1kバイト、更に2kバイトへと増加させるに従って、書込みのデータロードの時間を無視すれば、書込みのスループットは2倍、4倍にすることが可能である。NAND型EEPROMはこの高速書き換えの特徴を活かすことにより、音声(Voice Recorder)、画像(Digital Still Camera)、オーディオ、動画とその応用分野が広がりつつある。しかし、セル電流の半減によりデータ書込み後のペリファイ読出しが遅くなり、その結果ページ書込みの速度が遅くなると、NAND型EEPROMの応用範囲が制限されてしまう。

40

【0023】

なお、ランダム読出しの時間は例えば、10μsから20μsへと増大しても、それほど

50

問題にならない。これは、NAND型EEPROMがランダムビット処理を指向するデバイスではなく、ブロックデータ処理を指向するデバイスであり、頭出しの速度は余り問題とならない。例えば、16ページ塊のデータを読み出す場合、最初の1ページ目の読出しには、頭出しの時間としてランダム読出しの時間がかかる。しかし、2ページ目以降は例えば、シーケンシャル・ページ読出し（前ページのシリアル読出しを行っている間に、次のページのセンス動作を並行させるモード）を実行すれば、ページの切り替わりでランダム読出しの時間は加わらないためである。

【0024】

この発明は、上記事情を考慮してなされたもので、通常データ読出しに対して書込みペリファイ読出しのメモリセル電流を大きくすることにより、高速書き換えを可能とした不揮発性半導体記憶装置を提供することを目的としている。

10

この発明はより具体的には、NANDセルのメモリセル数を多くして1ビット当たりの実効的なメモリセル面積を小さくした場合に、書込み速度の劣化を抑制するようにした不揮発性半導体記憶装置を提供することを目的とする。

【0026】

【課題を解決するための手段】

本発明の一形態に係る不揮発性半導体記憶装置は、ワード線により駆動される電氣的書き換え可能なメモリセルが複数個ずつビット線に直列接続されてNAND型メモリセルユニットを構成してマトリクス配列されたメモリセルアレイと、アドレスをデコードして前記メモリセルアレイのワード線及びビット線を選択するデコード回路と、前記メモリセルアレイのビット線に読み出されるデータを検知し、前記メモリセルアレイへの書込みデータをラッチするセンスアンプ回路と、前記デコード回路により選択されたNAND型メモリセルユニットの中の選択されたワード線に読出し用電圧を与え、非選択ワード線にメモリセルを導通させる第1のパス電圧を与えてデータ読出しを行う読出し制御手段と、前記デコード回路により選択されたNAND型メモリセルユニットの中の選択されたワード線に書込み用電圧を与え、非選択ワード線に前記書込み用電圧より低い第2のパス電圧を与えてデータ書込みを行う書込み制御手段と、この書込み制御手段によるデータ書込み状態を確認するために、選択されたNAND型メモリセルユニットの中の選択されたワード線にペリファイ読出し用電圧を与え、非選択ワード線にメモリセルを導通させる第3のパス電圧を与えて、選択されたNAND型メモリセルユニットの導通時の電流が前記読出し手段によるデータ読み出し時に比べて大きくなる条件でデータ読出しを行う書込みペリファイ読出し制御手段と、を有し、前記第3のパス電圧は、前記第1のパス電圧より高い値に設定されることを特徴とする。

20

30

【0027】

上記書込みペリファイ読出し制御手段は、別の観点から言えば、選択されたNAND型メモリセルユニットの中の選択されたワード線にペリファイ読出し用電圧を与え、非選択ワード線にメモリセルを導通させる第3のパス電圧を与えて、非選択ワード線により駆動されるメモリセルのコンダクタンスがデータ読出し時に比べて大きくなる条件でデータ読出しを行うものである。

【0028】

またこの発明において、前記メモリセルアレイの中のワード線を共通とするNAND型メモリセルユニットの範囲をデータ消去の最小単位であるセルブロックとして、選択されたセルブロックの基板領域に消去用電圧を与えてそのセルブロック内の全メモリセルのデータを一括消去するデータ消去制御手段を有するものとしてすることができる。

40

【0029】

この発明において好ましくは、第2及び第3のパス電圧は、第1のパス電圧より高い値に設定される。第2のパス電圧と第3のパス電圧は、等しくてもよいし、異なってもよい。

【0030】

本発明の一形態に係る不揮発性半導体記憶装置は、電氣的書き換え可能な複数のメモリセルから構成されたNAND型メモリセルユニットと、前記NAND型メモリセルユニッ

50

トとデータの受け渡しを行うビット線と、前記NAND型メモリセルユニットの一端と前記ビット線との間に接続された選択トランジスタと、前記NAND型メモリセルユニットを構成するメモリセルの制御ゲート及び前記選択トランジスタのゲートにそれぞれ接続されたワード線及び選択ゲート線と、前記ワード線及び選択ゲート線に所定の電圧を供給するロウデコーダとを備え、前記ロウデコーダは、前記NAND型メモリセルユニットを構成する一つのメモリセルに所定のデータが書き込まれたか否かを判定するための読み出し時に、前記NAND型メモリセルユニットを構成する複数のメモリセルのうち非選択のメモリセルに接続されたワード線に第1のパス電圧を供給し、前記メモリセルに書き込まれたデータを特定するための読み出し時に、前記NAND型メモリセルユニットを構成する複数のメモリセルのうち非選択のメモリセルに接続されたワード線に第2のパス電圧を供給し、且つ、前記第1のパス電圧は前記第2のパス電圧よりも高いことを特徴とする。

10

【0031】

更にこの発明において、(a)書込み動作において非選択ワード線に与えられた第2のパス電圧は、書込動作終了により一旦接地電位にリセットされ、引き続き書込みベリファイ読み出し動作においてその非選択ワード線に第3のパス電圧が与えられるようにしてもよいし、或いは(b)書込み動作において非選択ワード線に与えられた第2のパス電圧は、書込動作終了によりリセットされることなく、書込みベリファイ読み出し動作において引き続き前記非選択ワード線に与えられるようにしてもよい。本発明の一形態に係る不揮発性半導体記憶装置は、ワード線により駆動される電氣的書き換え可能なメモリセルが複数個ずつビット線に直列接続されてNAND型メモリセルユニットが構成されており、前記NAND型メモリセルユニットは、複数のメモリセルの一端とビット線との間に第1の選択ゲート線により駆動される第1の選択トランジスタを有し、他端と共通ソース線との間に第2の選択ゲート線により駆動される第2の選択トランジスタを有し、前記NAND型メモリセルユニットがマトリクス配列されたメモリセルアレイと、アドレスをデコードして前記メモリセルアレイのワード線及びビット線を選択するデコード回路と、前記メモリセルアレイのビット線に読み出されるデータを検知し、前記メモリセルアレイへの書込みデータをラッチするセンスアンプ回路と、前記デコード回路により選択されたNAND型メモリセルユニットの中の選択されたワード線に読み出し用電圧を与えると共に非選択ワード線にメモリセルを導通させる第1のパス電圧を与えてデータ読み出しを行う読み出しコントローラと、前記デコード回路により選択されたNAND型メモリセルユニットの中の選択されたワード線に書込み用電圧を与えると共に非選択ワード線に前記書込み用電圧より低い第2のパス電圧を与えてデータ書込みを行う書込みコントローラと、選択されたNAND型メモリセルユニットの選択されたワード線にベリファイ読み出し用電圧及び非選択ワード線にメモリセルを導通させる第3のパス電圧を与えることにより、選択されたNAND型メモリセルユニットの導通時の電流が前記読み出しコントローラによるデータ読み出し動作中のその電流に比べて大きくなるようにして、前記書込みコントローラによるデータ書込み状態を確認するためのデータ読み出しを行う書込みベリファイ読み出しコントローラとを有し、前記読み出しコントローラによるデータ読み出し動作で、選択されたNAND型メモリセルユニットの前記第1及び第2の選択ゲート線に前記第1のパス電圧が与えられ、前記書込みベリファイ読み出しコントローラによる書込みベリファイ読み出し中、選択されたNAND型メモリセルユニットの前記第1及び第2の選択ゲート線に前記第1又は第3のパス電圧が与えられ、前記書込みベリファイ読み出しコントローラは、書込みベリファイ読み出し動作での第1のパス電圧よりも大きい第3のパス電圧を非選択ワード線に与えると共に第1のパス電圧を第1及び第2の選択ゲート線に与えることを特徴とする。また、本発明の一形態に係る不揮発性半導体記憶装置は、ワード線により駆動される電氣的書き換え可能なメモリセルが複数個ずつビット線に直列接続されてNAND型メモリセルユニットが構成されており、前記NAND型メモリセルユニットは、複数のメモリセルの一端とビット線との間に第1の選択ゲート線により駆動される第1の選択トランジスタを有し、他端と共通ソース線との間に第2の選択ゲート線により駆動される第2の選択トランジスタを有し、前記NAND型メモリセルユニットがマトリクス配列されたメモリ

20

30

40

50

セルアレイと、アドレスをデコードして前記メモリセルアレイのワード線及びビット線を選択するデコード回路と、前記メモリセルアレイのビット線に読み出されるデータを検出し、前記メモリセルアレイへの書込みデータをラッチするセンスアンプ回路と、前記デコード回路により選択されたNAND型メモリセルユニットの中の選択されたワード線に読出し用電圧を与えると共に非選択ワード線にメモリセルを導通させる第1のパス電圧を与えてデータ読出しを行う読み出しコントローラと、前記デコード回路により選択されたNAND型メモリセルユニットの中の選択されたワード線に書込み用電圧を与えると共に非選択ワード線に前記書込み用電圧より低い第2のパス電圧を与えてデータ書込みを行う書込みコントローラと、選択されたNAND型メモリセルユニットの選択されたワード線にペリファイ読出し用電圧及び非選択ワード線にメモリセルを導通させる第3のパス電圧を与えることにより、選択されたNAND型メモリセルユニットの導通時の電流が前記読み出しコントローラによるデータ読み出し動作中のその電流に比べて大きくなるようにして、前記書込みコントローラによるデータ書込み状態を確認するためのデータ読出しを行う書込みペリファイ読出しコントローラとを有し、前記読み出しコントローラによるデータ読み出し動作で、選択されたNAND型メモリセルユニットの前記第1及び第2の選択ゲート線に前記第1のパス電圧が与えられ、前記書込みペリファイ読出しコントローラによる書込みペリファイ読み出し中、選択されたNAND型メモリセルユニットの前記第1及び第2の選択ゲート線に前記第1又は第3のパス電圧が与えられ、前記第3のパス電圧は、前記第1のパス電圧より高い値に設定されており、前記書込みペリファイ読出しコントローラは、第3のパス電圧を非選択ワード線に与えると共に第1のパス電圧又はそれよりも低い電圧を第1及び第2の選択ゲート線に与えることを特徴とする。

10

20

【0032】

この発明によると、書込みペリファイ読み出し時に、通常の前記データ読み出し時と比べて大きなメモリセル電流を流し得るバイアス条件とすることにより、メモリセルアレイの容量を大きくしたときのデータ書込み時間の増大を抑制することができ、EEPROMの高速書き換えを実現することができる。

より具体的にこの発明によると、NAND型EEPROMにおいて、NAND型メモリセルユニット（以下、単にNANDセルという）内のメモリセル数を増加して1ビット当たりのメモリセル面積を削減した場合に効果的である。この場合、メモリセル電流の減少による書き換え速度の劣化を、書込みペリファイ読出し動作において通常の前記読み出し時に比べてメモリセル電流が大きくなる条件とすることによって、補償することができる。これにより、NAND型EEPROMのビットコストの削減と高速書き換え性能の両立を図ることができる。

30

【0033】

更に、書込みペリファイ読み出し時に非選択ワード線に与えるパス電圧を通常の前記読み出し時より高くすることにより、メモリセル電流が増大するが、これは書込みマージンを拡げることにもなる。即ち、書込み状態は、書込みペリファイ読み出し時に選択ワード線に与えるペリファイ読出し電圧を超えるしきい値電圧になることである。従って、書込みペリファイ読み出し時に大きなメモリセル電流を流して“0”、“1”判定を行うことにより、ペリファイ読出し電圧に対してしきい値電圧が十分大きい状態を書込みと判定することになるから、しきい値電圧マージンを拡大し、信頼性を高めるという効果が得られる。

40

【0034】

【発明の実施の形態】

図1は、この発明の実施の形態によるNAND型EEPROMのメモリセルアレイの一つのNANDセルブロック1の等価回路を示している。この例では、ビット線BLの本数として528バイト（ $(512 + 16) \times 8 = 4224$ 本）を例にとり、示している。この実施の形態では、1NANDセルは32個のメモリセルトランジスタMC0～MC31により構成されている。メモリセルトランジスタMC0～MC31はビット線BLとソース線SLの間に直列接続される。ビット線BLとメモリセルトランジスタMC0の間には選択トランジスタSSTが設けられ、ソース線SLとメモリセルトランジスタMC31の間にも

50

同様に選択トランジスタG S Tが設けられている。

【0035】

図2は、NANDセルブロック1のレイアウトであり、図3及び図4はそれぞれ、図2のA-A、B-B断面を示している。p型シリコン基板10のメモリセルアレイ領域にはn型ウェル11が形成され、このn型ウェル11内にはp型ウェル12が形成され、このp型ウェル12には素子分離絶縁膜13により素子領域が区画されている。素子領域にトンネル酸化膜14を介して浮遊ゲート15が各メモリセルトランジスタ毎に形成され、この上に層間ゲート絶縁膜16を介して制御ゲート17が形成されている。

【0036】

制御ゲート17は、図2に示すように行方向に連続的に配設されて、これがワード線WL (WL0, WL1, ..., WL31)となる。制御ゲート17をマスクとしてイオン注入を行うことにより、ソース、ドレイン拡散層21が形成されている。図3では、選択トランジスタS S T, G S Tは、メモリセルトランジスタM Cと同様の構造として示しているが、図4の断面に対応する断面では、浮遊ゲート15に対応する層と制御ゲート17に対応する層とが、所定箇所まで共通接続されて連続的に配設されて、選択ゲート線S S L, S T Lとなる。ソース側の選択トランジスタG S Tも同様であり、そのゲートは連続的に配設されて、選択ゲート線G S Lとなる。ここで、選択トランジスタS S T, G S TとメモリセルトランジスタM Cとはゲート酸化膜厚を異ならせてもよい。

【0037】

ページ書き込み/読み出し機能を持つNAND型EEPROMとしての全体ブロック構成は、図5のようになる。図示のように、メモリセルアレイ51と、外部から入力されたアドレスに基いてメモリセルアレイ51のワード線を選択駆動するロウデコーダ52と、メモリセルアレイ51のビット線B Lに接続される、入出力データのラッチ機能を持つセンスアンプ回路53とを有する。センスアンプ回路53にはカラムゲート55が接続され、カラムデコーダ54により外部から入力されたアドレスに基いてカラムゲート55を制御することで、対応するビット線およびセンスアンプ回路が選択される。

【0038】

センスアンプ回路53は、カラムゲート55を介してデータ入出力(I/O)バッファ58に接続される。書き込み動作や消去動作に必要な高電圧を供給するために昇圧回路56が設けられ、またメモリセルアレイ51へのデータ書き込み、消去及び読み出しの制御信号を生成してチップ内部を制御するとともに外部とのインターフェースをとるための制御回路57が設けられている。

【0039】

ロウデコーダ52は、データの書き込み時、消去時およびデータの読み出し時にそれぞれアドレス信号に基づいて複数のワード線WLを選択駆動するものであり、そのワード線ドライバには、所要の電圧が供給される。センスアンプ回路53は、読み出し時にビット線データをセンスする機能、書き込み時に外部からロードされるデータを保持するデータラッチ機能、書き込み及び消去の際にビット線B Lに対して所要の電圧をそれぞれ選択的に供給する機能を有する。

制御回路57には、NANDセルに対する消去/消去ベリファイ、書き込み/書き込みベリファイ、及び読み出し動作を制御するためのシーケンス制御手段(例えばプログラマブルロジックアレイ)が含まれている。

【0040】

図6は、センスアンプ回路53のなかの一つセンスアンプの構成を示している。センスアンプは、逆並列に接続されたインバータI1, I2により構成されたデータラッチ回路61を主体とする。このラッチ回路61のノードQ, QbはそれぞれNMOSTランジスタM5, M6を介してセンス用NMOSTランジスタM7のドレインに接続されている。センス用NMOSTランジスタM7のソースは接地れており、そのゲートがセンスノードN s e n s eである。センスノードN s e n s eは、トランスファゲートNMOSTランジスタM3及びM1を介してビット線B L iに接続されている。NMOSTランジスタM1

10

20

30

40

50

は、データ消去時のバッファ用高耐圧トランジスタである。

【0041】

また、ラッチ回路61のノードQは、書込みデータをビット線BLiに転送するためのNMOSTランジスタM2を介してNMOSTランジスタM1に接続されている。ラッチ回路61のノードQ、Qbはまたそれぞれ、カラム選択NMOSTランジスタM8、M9を介してデータバッファに接続される。センスノードSenseにはこれをプリチャージするためのNMOSTランジスタM4が設けられている。

【0042】

次に、この実施の形態によるNAND型EEPROMのデータ消去、書き込み、及び読み出しの動作を順次説明する。

図7は、データ消去動作での各部のバイアス電圧関係を示している。この実施の形態のNAND型EEPROMでは、1NANDセルブロックが消去単位となる。消去動作が開始されると、消去する選択ブロックの全ワード線WL0~WL31には、Vss (= 0V)が印加され、非選択ブロックの全ワード線WL0~WL31および選択ゲート線SSL、GSLはフローティング状態にされる。この状態で、メモリセルアレイのPウェル(Pwell)に消去電圧Vera (= 20V)が印加される。

【0043】

このとき、非選択ブロックのワード線WL0~WL31および選択ゲート線SSL、GSLはPウェルとの容量結合により、 $\times V_{era}$ に昇圧される。は約0.9であるから、18V程度まで上がる。また、ビット線BL0、BL1、およびソース線SLはPウェルとビット線コンタクト部のn⁺型拡散層およびソース線SL部のn⁺型拡散層とのPN接合が順バイアス状態となり、Vera - Vfまで上昇する。VfはPN接合のビルトイン・ポテンシャルであり、約0.7Vであるから、ビット線BL0、BL1及びソース線SLは約19.3V程度となる。従って、非選択ブロックのワード線WL0~WL31に沿ったメモリセルトランジスタでは、消去動作は起こらない。

【0044】

選択ブロックのワード線WL0~WL31に沿ったメモリセルトランジスタでは、基板領域にVera、制御ゲートにVssが印加されているため、浮遊ゲートの電子はトンネル電流により基板領域(Pウェル)へと放出され、メモリセルトランジスタの記憶データは一括消去される。

【0045】

図8は、データ書き込み動作での各部のバイアス電圧関係を示している。図8では、上の説明で一括消去された選択ブロック内のワード線WL17について書き込みを行う場合を示している。また、ビット線BL0では“0”データ書き込みを行い、ビット線BL1では“1”データ書き込み(即ち、“1”データの消去状態を保つ書き込み禁止)を行う場合を想定している。

この場合、図9は、図1のなかの二つのビット線BL0、BL1のみ取り出して、電圧関係を示したものである。

【0046】

このデータ書き込みでは、まずビット線BL0、BL1にそれぞれ書き込み用の接地電位Vss、書き込み禁止用の電源電位Vcc (= 3.3V)が与えられる。その後ソース側の選択ゲート線GSLはVssに保ったまま、他のワード線及び選択ゲート線に、Vccよりわずかに昇圧されたパス電圧Vpass1 (約3.5V程度)が与えられる。これにより、ビット線BL0につながるNANDセルチャンネルには書き込みのためのVssが伝達される。ビット線BL1につながるNANDセルチャンネルには、書き込み禁止のためのVccが伝達されるが、そのチャンネル電位がVpass1 - Vth (選択トランジスタ、若しくは、メモリセルトランジスタのしきい値電圧の内、高いしきい値電圧)だけ低下した値まで上昇すると、選択トランジスタSSTはオフになり、チャンネルはフローティングになる。

【0047】

10

20

30

40

50

この状態で次に、選択NANDセルブロックのワード線の内、書き込みを行わない非選択ワード線WL0～WL16およびWL18～WL31には、パス電圧Vpass1より高いパス電圧Vpass2(約8～10V)が、書き込みを行う選択ワード線WL17には更に高い書き込み電圧Vpgm(約16V)が、それぞれ印加される。ドレイン側選択ゲート線SSLは、Vpass1のまま保つ。

【0048】

この時、選択NANDセルブロック内のビット線BL1側のチャンネル領域は、初期状態のVpass1-VthからVpass2およびVpgmに上昇するワードとの容量結合により、 $x(Vpass2 - Vpass1) + (Vpass1 - Vth)$ まで上昇する。書き込み電圧Vpgmが与えられるワード線1本に対して、パス電圧Vpass2が与えられるワード線数は31本であるから、ほぼVpass2により決まる上述のチャンネル電位になる。ここで、 x は、ワード線とチャンネル領域の容量カップリング比であり、約0.5である。

10

【0049】

一方、Vssが与えられたビット線BL0側では、ビット線BL0から伝達されるVssにより、選択されたメモリセルトランジスタMC170のチャンネルまでVssが伝わっている。この結果、書き込み電圧Vpgmが与えられた選択ワード線WL17で駆動されるメモリセルトランジスタMC170では、トンネル注入による書き込み動作が起こる。同じビット線BL0に沿った他のメモリセルでは、大きな電界がかからず、書き込みは生じない。

20

【0050】

データ書き込み時のドレイン側選択ゲート線SSLに与えるパス電圧Vpass1のレベルは、書き込み禁止のNANDセルチャンネルに対する予備充電の機能と選択トランジスタSSTをカットオフにする機能を考慮して定める必要がある。前者の機能のためには高くすることが必要であるが、後者の機能のためには低い方がよい。従って、選択ゲート線SSLに与える電圧は、最初のチャンネル予備充電の際には昇圧されたパス電圧Vpass1を用い、選択ワード線および非選択ワード線にそれぞれ書き込み電圧Vpgm、パス電圧Vpass2を与える際には、選択トランジスタSSTが充分カットオフするレベル、例えば電源Vccに下げないようにしてもよい。或いは、最初から昇圧されたパス電圧Vpass1を用いることなく、電源電位Vccを用いることもできる。

30

【0051】

なお、実際のデータ書き込み動作は、図5に示す制御回路57によるシーケンス制御により、書き込み電圧パルス印加と書き込み後のしきい値をチェックするベリファイ(検証)動作を繰り返して、1ページ分のデータを所定しきい値範囲に追い込むという制御が行われる。1ページは例えば、1ワード線の範囲のビット線数であるが、ページバッファ等との関係で1ワード線の範囲を2ページとする場合もある。

【0052】

この様なページ単位のデータ書き込みサイクルを説明すると、まず、図5のセンスアンプ回路53のデータラッチに連続的に書き込みデータがロードされる。このとき、“0”が書き込み動作を行うセルデータであり、“1”は書き込み禁止のセルデータである。書き込みサイクルは、次のステップで構成される。

40

(1) ビット線のレベルを、センスアンプにラッチされているデータに従って、Vss又はVccに設定する。

(2) 選択ワード線に書き込み電圧パルスを印加する。

(3) 選択ワード線を放電する。

(4) 書き込みベリファイ読み出しを行う。

【0053】

ベリファイ動作では、十分な書き込みが行われたセルに対応するデータラッチのデータが“0”から“1”に変わり、それ以上の書き込み動作が行われないようにする。ベリファイ読み出しが開始されると、ビット線は初期状態のVbl(約1.5V)に予備充電される

50

。そして選択セルブロックの書込みを行ったワード線WL17にベリファイ読出し電圧Vref(約0.7V)を与える以外、セルブロック内の他の非ワード線及び選択ゲート線にはメモリセル及び選択トランジスタを導通させるパス電圧Vpass3を与える。このパス電圧Vpass3は、後に説明する通常のデータ読み出し時に選択セルブロックの非選択ワード線に与えるパス電圧Vpass1(約3.5V)より高く、例えば、Vpass3=約8Vとする。このパス電圧Vpass3は、データ書込み時のパス電圧Vpass2より低いことが、データ保持の信頼性上好ましい。

【0054】

しかし、実際のデータ書き込みでは、書き込み電圧Vpgmおよびパス電圧Vpass2共に、書き込みサイクル毎にそれぞれ、1V、0.5Vというように段階的にステップアップする方式を用いている。これは、メモリセルにプロセス上のばらつきがあり、カップリング比が大きく速く書き込まれるものと、カップリング比が小さく、書き込みが遅いものがあるためである。例えば、書き込みの第1サイクルでは、Vpgm=15V、Vpass2=8Vとし、第2サイクルでは、Vpgm=16V、Vpass2=8.5Vとし、複数回の書き込みサイクルを行う。このため、Vpass2>Vpass3となる事態もあり得る。

【0055】

以上の結果、通常のデータ読み出し時に選択ワード線以外のパスワード線及び選択ゲート線にパス電圧Vpass1を与える場合に比べて、メモリセルトランジスタ及び選択ゲートトランジスタのコンダクタンスが大きくなり、通常の読み出し時よりメモリセル電流が大きくなる。これにより、“0”データ(そのしきい値がVrefを超えて、書込み状態となったメモリセルのデータ)を読み出すビット線は、Vblを保ち、“1”データ(消去状態のメモリセルのデータ)を読み出すビット線は、VblからVssになる。このビット線電位の変化を通常読み出し時と同様に、センスアンプに検出して“0”、“1”を判別する。

【0056】

なお、図10及び図11の例では、非選択ワード線WL0~WL16, WL18~WL31及び選択ゲート線SSL, GSLに同じパス電圧Vpass3を与えたが、非選択ワード線と選択ゲート線が同じ電圧であることは必ずしも必要ではない。即ち、非選択ワード線WL0~WL16, WL18~WL31に対して与えるパス電圧Vpass3が、後述する通常読み出し時に非選択ワード線に与えるパス電圧Vpass1との関係で、Vpass1<Vpass3を満たせばよく、例えば選択ゲート線SSL, GSLに与えるパス電圧は通常読み出し時と同じVpass1であってもよい。或いは逆に、選択ゲート線SSL, GSLに与えるパス電圧をVpass3とし、非選択ワード線に与えるパス電圧は通常読み出し時と同じVpass1としてもよい。いずれの場合も、NANDセルでの書込みベリファイ読み出し時のメモリセル電流が通常読み出し時に比べて大きくなり、書込み時間の短縮の効果が期待できる。

【0057】

実際の使用においては、選択ゲート線SSL, GSLに与えるパス電圧はVpass3より低くする可能性が高い。何故なら、現在のNAND型EEPROMでは選択ゲートトランジスタとメモリトランジスタとが同じトンネル酸化膜(約9nm)を用いている。両者の違いは、メモリセルでは浮遊ゲートに印加される電圧はほぼ制御ゲートの電圧×カップリング比であるが、制御ゲートに加えた電圧の約1/2がトンネル酸化膜にかかる。これに対して、選択ゲートトランジスタでは、印加電圧がそのままトンネル酸化膜にかかるからである。

【0058】

また、データ書込み時に非選択ワード線に与えるパス電圧Vpass2は、書き込み後ベリファイ読出しに移る際に一旦接地電位にリセットして、ベリファイ読出し動作で改めて、パス電圧Vpass3を与えるようにしても良い。或いはまた、データ書込み時に非選択ワード線に与えるパス電圧Vpass2を、書き込み後ベリファイ読出しに移る際にリ

10

20

30

40

50

セットすることなく、そのままベリファイ読出し動作に連続的に与えるようにしても良い。

以上の書込みベリファイ読出し動作で書き込みが不十分と判定されたセルについてのみ、次のサイクルで再度書き込み動作が繰り返される。

【0059】

図12及び図13は、通常のデータ読み出し動作での各部の電圧関係を示している。読み出しが開始されると、ビット線は初期状態の V_{b1} (約1.5V) に予備充電される。そして、選択ブロックの選択ワード線 (図12及び図13では、 $WL17$) を読出し電圧である V_{ss} にする以外は、選択NANDセル内の全ての選択ゲート線および非選択ワード線にパス電圧 V_{pass1} を与える。これにより、“0”データ (書き込み状態のメモリセル) を読み出すビット線は V_{b1} を保ち、“1”データ (消去状態のメモリセル) を読み出すビット線は V_{b1} から V_{ss} になる。このビット線電圧の変化を、従来と同様にセンスアンプにより“0”、“1”として判別する。

10

【0060】

以上のようにこの実施の形態によると、NAND型EEPROMの書込みベリファイ読み出し時に、通常のデータ読み出し時に比べて大きなメモリセル電流が流れ得るバイアス条件とすることにより、データ書込み時間の短縮が可能になる。従って、NANDセル内のメモリセル数を増加して1ビット当たりのメモリセル面積を削減した場合に、メモリセル電流の減少による書き換え速度の劣化を補償することができ、これにより、NAND型EEPROMのビットコストの削減と高速書き換え性能の両立を図ることができる。

20

【0061】

【発明の効果】

以上のようにこの発明によれば、書込みベリファイ読み出し時に、通常のデータ読み出し時と比べて大きなメモリセル電流を流し得るバイアス条件とすることにより、メモリセルアレイの容量を大きくしたときのデータ書込み時間の増大を抑制することができ、EEPROMの高速書き換えを実現することができる。

【図面の簡単な説明】

【図1】この発明の実施の形態によるNAND型EEPROMのメモリセルアレイの等価回路である。

【図2】同メモリセルアレイのレイアウトである。

30

【図3】図2のA-A断面図である。

【図4】図2のB-B断面図である。

【図5】同NAND型EEPROMのブロック構成を示す図である。

【図6】同NAND型EEPROMのセンスアンプ構成を示す図である。

【図7】同NAND型EEPROMのデータ消去動作のバイアス関係を示す図である。

【図8】同NAND型EEPROMのデータ書き込み動作のバイアス関係を示す図である。

【図9】図8のバイアス関係をメモリセルアレイ上で示す図である。

【図10】同NAND型EEPROMの書込み後のベリファイ読み出し動作のバイアス関係を示す図である。

40

【図11】図11のバイアス関係をメモリセルアレイ上で示す図である。

【図12】同NAND型EEPROMのデータ読み出し動作のバイアス関係を示す図である。

【図13】図12のバイアス関係をメモリセルアレイ上で示す図である。

【図14】従来のNAND型EEPROMのメモリセルアレイを示す図である。

【図15】従来のNAND型EEPROMのデータ消去、読み出し及び書き込みのバイアス関係を示す図である。

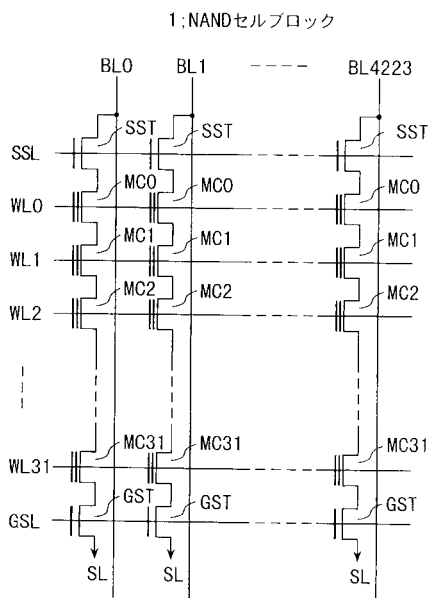
【図16】NAND型EEPROMのNANDセル内メモリセル数と1ビット当たりの実効的メモリセル面積との関係を示す図である。

【符号の説明】

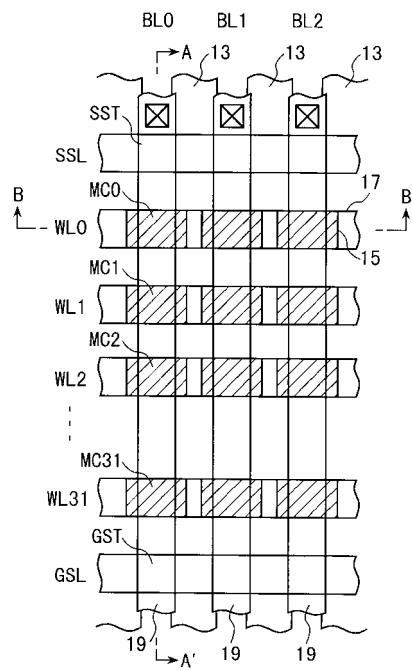
50

1 ... NANDセルブロック、MC ... メモリセルトランジスタ、SST, GST ... 選択トランジスタ、WL ... ワード線、BL ... ビット線、SL ... ソース線、SSL, GSL, STL ... 選択ゲート線、51 ... メモリセルアレイ、52 ... ロウデコーダ、53 ... センスアンプ回路、54 ... カラムデコーダ、55 ... カラムゲート、56 ... 昇圧回路、57 ... 制御回路。

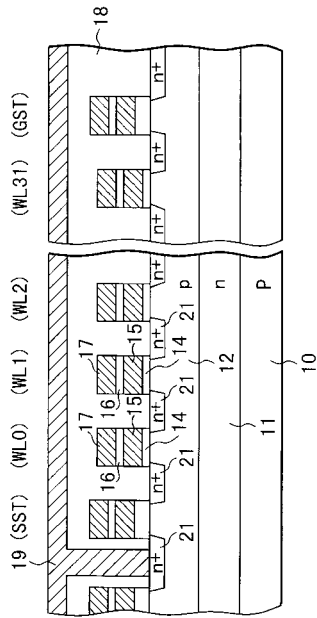
【図1】



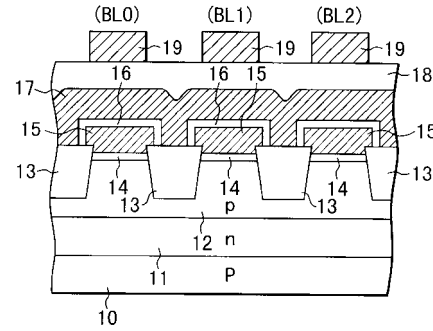
【図2】



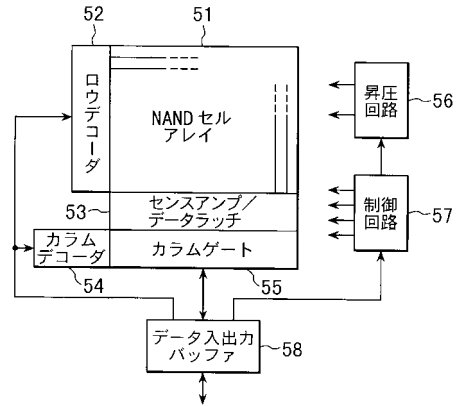
【図3】



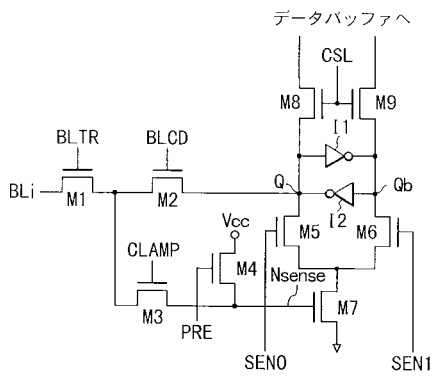
【図4】



【図5】



【図6】



【図8】

[データ書込み]

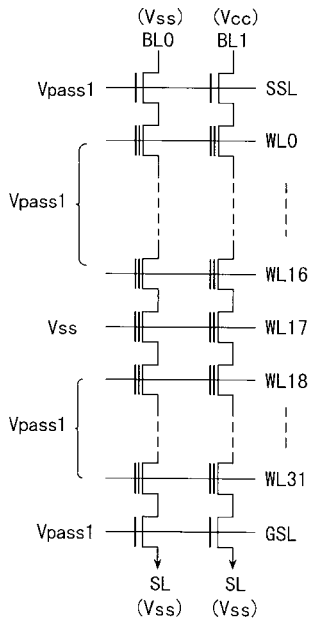
	電位
SSL	Vpass1
選択ブロック内選択ワード線 WL17	Vpgm
選択ブロック内非選択ワード線 WL0~WL16, WL18~WL31	Vpass2
GSL	Vss
"0"書込みビット線 BL0	Vss
"1"書込みビット線 BL1	Vcc
SL	Vcc
P-well	Vss

【図7】

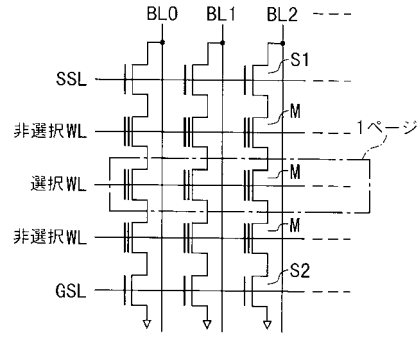
[データ消去]

	電位
SSL	$\alpha \times \text{Vera}$ フローティング
選択ブロックWL0~WL31	Vss
非選択ブロックWL0~WL31	$\alpha \times \text{Vera}$ フローティング
GSL	$\alpha \times \text{Vera}$ フローティング
BL0, BL1	Vera-Vf
SL	Vera-Vf
P-well	Vera

【 図 1 3 】



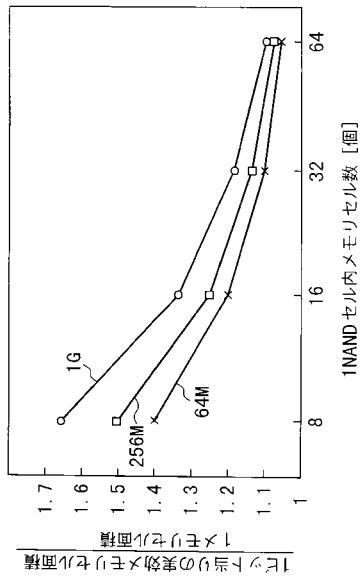
【 図 1 4 】



【 図 1 5 】

	消去	読出し	書込み
選択WL	0	0	Vpgm
非選択WL	0	Vread	Vpass
SSL	F	Vread	Vcc
GSL	F	Vread	0
"0" BL	F	1.5	0
"1" BL	F	0.7	Vcc
Pウェル	Vera	0	0

【 図 1 6 】



フロントページの続き

(72)発明者 今宮 賢一

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

審査官 滝谷 亮一

(56)参考文献 特開平08-077787(JP,A)

特表平11-511288(JP,A)

特開平10-241388(JP,A)

国際公開第97/007513(WO,A1)

(58)調査した分野(Int.Cl., DB名)

G11C 16/02 - 16/06