(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0013308
(43) 공개일자 2024년01월30일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 27/088* (2006.01)
H01L 29/66 (2006.01) *H01L 29/792* (2006.01)
(52) CPC특허분류
H01L 29/78696 (2013.01)
H01L 27/088 (2013.01)
(21) 출원번호 10-2022-0090674
(22) 출원일자 2022년07월22일
심사청구일자 2022년07월22일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
유현용
서울특별시 서초구 신반포로 270(반포동, 반포자이)
한규현
서울특별시 성동구 고산자로 164(행당동, 행당한신)
(74) 대리인
특허법인주연케이알피

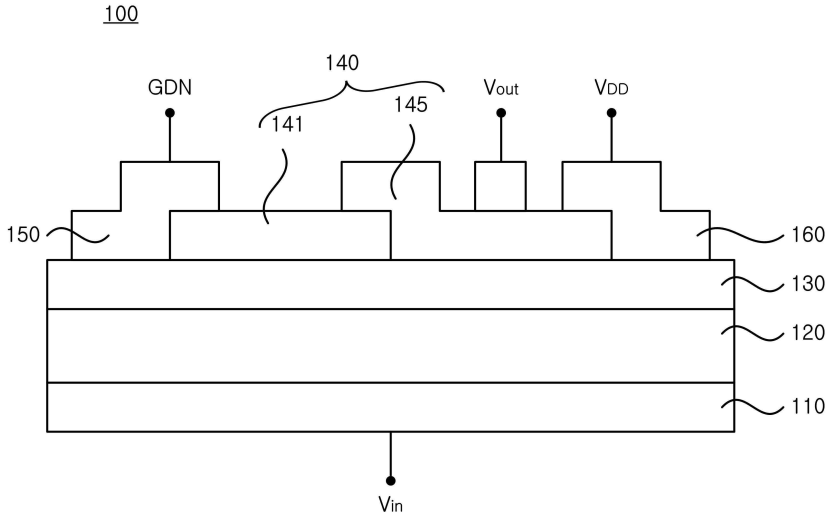
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 **2차원 반도체 트랜지스터 및 이의 제조 방법**

(57) 요 약

본 발명의 2차원 반도체 트랜지스터는 게이트 전극; 상기 게이트 전극 상에 제공되는 게이트 절연막; 상기 게이트 절연막 상에 제공되는 자가 성장 단층; 상기 자가 성장 단층 상에 제공되고, 깨진 밴드 갭(broken band gap)을 갖는 이종 접합(Hetero Junction) 구조의 2차원 반도체층; 및 상기 2차원 반도체층 상에 제공되고 서로 이격되어 배치되는 소스 전극과 드레인 전극을 포함하며, 상기 자가 성장 단층은 상기 게이트 절연막의 계면 트랩과 결합 가능한 기능기를 포함할 수 있다.

대 표 도 - 도1



(52) CPC특허분류
H01L 29/66969 (2013.01)
H01L 29/792 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 1711157071
과제번호 2020R1A2C2004029
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 개인기초연구(과기정통부)
연구과제명 차세대 반도체 소자를 위한 steep switching 특성 기반의 Hybrid Conductance Transition Steep Switching (HYCOS) FET 소자 개발
기 여 율 1/2
과제수행기관명 고려대학교
연구기간 2022.03.01 ~ 2023.02.28
이 발명을 지원한 국가연구개발사업
과제고유번호 1711157139
과제번호 2020M3F3A2A01082329
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 차세대지능형반도체기술개발(소자)
연구과제명 저온 공정 기반 Si/SiGe M3D 집적 소자 및 회로 플랫폼 기술개발
기 여 율 1/2
과제수행기관명 고려대학교
연구기간 2022.01.01 ~ 2023.02.28

명 세 서

청구범위

청구항 1

게이트 전극;

상기 게이트 전극 상에 제공되는 게이트 절연막;

상기 게이트 절연막 상에 제공되는 자가 성장 단층;

상기 자가 성장 단층 상에 제공되고, 깨진 밴드 갭(broken band gap)을 갖는 이종 접합(Hetero Junction) 구조의 2차원 반도체층; 및

상기 2차원 반도체층 상에 제공되고 서로 이격되어 배치되는 소스 전극과 드레인 전극을 포함하며,

상기 자가 성장 단층은 상기 게이트 절연막의 계면 트랩과 결합 가능한 기능기를 포함하는 2차원 반도체 트랜지스터.

청구항 2

제1 항에 있어서,

상기 자가 성장 단층은 APTES(3-Aminopropyltriethoxysilane), OTS(Octadecyltrichlorosilane), APTMS((3-Aminopropyl)trimethoxysilane), FPTS(trichloro(3,3,3-trifluoropropyl)silane), PTS(polytitanosiloxanes), FDTS(perfluorodecyl-trichlorosilane), APS(3-aminopropyl triethoxysilane), HMDS(hexamethyldisilazane), DDPA(diphenylphosphoryl azide), 및 PDPP2DT-T2(diketopyrrolopyrrole and quaterthiophene based copolymer) 중 적어도 하나를 포함하는 2차원 반도체 트랜지스터.

청구항 3

제1 항에 있어서,

상기 자가 성장 단층은

상기 게이트 절연막의 상기 계면 트랩과 결합되는 헤드기를 더 포함하고,

상기 기능기는 상기 2차원 반도체층의 도핑 효과를 유도할 수 있는 2차원 반도체 트랜지스터.

청구항 4

제3 항에 있어서,

상기 헤드기는 실록산기를 포함하고,

상기 기능기는 아민기를 포함하는 2차원 반도체 트랜지스터.

청구항 5

제3 항에 있어서,

상기 게이트 절연막은 SiN, SiO_2, GeO_2, TiO_2, ZnO, ITO, AZO, MgO, Al_2O_3, ZrO_2, $ZrSiO_4$, $HfSiO_4$, Si_3N_4, SrO, Ta_2O_5, Y_2O_3, HfO_2, La_2O_3, BaO, $LaLuO_2$, 및 $LaAlO_3$ 중 적어도 하나를 포함하는 2차원 반도체 트랜지스터.

청구항 6

제5 항에 있어서,

상기 2차원 반도체층은 제1 반도체층 및 제2 반도체층을 포함하며,

상기 제1 반도체층 및 상기 제2 반도체층 중 하나는 n 타입 도핑된 2차원 반도체이며,

상기 제1 반도체층 및 제2 반도체층 중 다른 하나는 p 타입 도핑된 2차원 반도체인 2차원 반도체 트랜지스터.

청구항 7

제6 항에 있어서,

상기 2차원 반도체층은 전이금속 다이칼코겐 물질을 포함하는 2차원 반도체 트랜지스터.

청구항 8

제7 항에 있어서,

상기 2차원 반도체층은 MoS_2, WS_2, ReS_2, $ReSe_2$, $PtSe_2$, HfS_2, $MoSe_2$, $HfSe_2$, $HfTe_5$, $HfTe_2$, ZrS_2, $ZrSe_2$, $ZrTe_2$, ZrS_3, ZrS_5, $ZrTe_3$, WSe_2, $MoTe_2$, $MoSe_2$, black phosphorus (BP), 2D tellurium, GeSe, GaSe, GeAs, black AsP, 및 a-MnS 중 적어도 하나의 2D 반도체 물질을 포함하는 2차원 반도체 트랜지스터.

청구항 9

제6 항에 있어서,

상기 소스 전극은 상기 제1 반도체층 및 상기 제2 반도체층 중 하나에 연결되고,

상기 드레인 전극은 상기 제1 반도체층 및 상기 제2 반도체층 중 다른 하나에 연결되는 2차원 반도체 트랜지스터.

청구항 10

게이트 전극을 형성하는 단계;

상기 게이트 전극 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 자가 성장 단층을 형성하는 단계;

상기 자가 성장 단층 상에 제공되고, 깨진 밴드 갭(broken band gap)을 갖는 이종 접합(Hetero Junction) 구조를 갖는 2차원 반도체층을 형성하는 단계; 및

상기 2차원 반도체 상에 제공되고 서로 이격되어 배치되는 소스 전극과 드레인 전극 형성 단계를 포함하며,

상기 자가 성장 단층은 상기 게이트 절연막의 계면 트랩과 결합 가능한 기능기를 포함하는 2차원 반도체 트랜지스터의 제조 방법.

청구항 11

제10 항에 있어서,

상기 자가 성장 단층은 APTES(3-Aminopropyltriethoxysilane), OTS(Octadecyltrichlorosilane), APTMS((3-Aminopropyl)trimethoxysilane), FPTS(trichloro(3,3,3-trifluoropropyl)silane), PTS(polytitanosiloxanes), FDTS(perfluorodecyl-trichlorosilane), APS(3-aminopropyl triethoxysilane), HMDS(hexamethyldisilazane), DDPA(diphenylphosphoryl azide), 및 PDPP2DT-T2(diketopyrrolopyrrole and quaterthiophene based copolymer) 중 적어도 하나를 포함하는 2차원 반도체 트랜지스터의 제조 방법.

청구항 12

제10 항에 있어서,

상기 자가 성장 단층은

상기 게이트 절연막의 상기 계면 트랩과 결합되는 헤드기를 더 포함하고,

상기 기능기는 상기 2차원 반도체층의 도핑 효과를 유도할 수 있는 2차원 반도체 트랜지스터의 제조 방법.

청구항 13

제12 항에 있어서,

상기 헤드기는 실록산기를 포함하고,

상기 기능기는 아민기를 포함하는 2차원 반도체 트랜지스터의 제조 방법.

청구항 14

제13 항에 있어서,

상기 반도체층을 형성하는 단계는

스탬프 및 유기 필름을 갖는 캐리어 기판의 상기 스탬프를 이용하여 상기 자가 성장 단층 상에 2차원 반도체 조각을 스탬핑하여 제1 반도체층을 형성하는 단계; 및

상기 캐리어 기판의 유기 필름 상에 마련된 2차원 반도체 조각을 제1 반도체층과 일부가 중첩하게 배치하고, 상기 유기 필름을 제거하여 제2 반도체층을 형성하는 단계를 포함하며,

상기 제1 반도체층과 상기 제2 반도체층은 이종 접합되는 2차원 반도체 트랜지스터의 제조 방법.

청구항 15

제14 항에 있어서,

상기 2차원 반도체층은

MoS_2, WS_2, ReS_2, $ReSe_2$, $PtSe_2$, HfS_2, $MoSe_2$, $HfSe_2$, $HfTe_5$, $HfTe_2$, ZrS_2, $ZrSe_2$, $ZrTe_2$, ZrS_3, ZrS_5, $ZrTe_3$, WSe_2, $MoTe_2$, $MoSe_2$, black phosphorus (BP), 2D tellurium, GeSe, GaSe, GeAs, black AsP, 및 a-MnS 중 적어도 하나의 2D 반도체 물질을 포함하는 2차원 반도체 트랜지스터의 제조 방법.

청구항 16

전원 단자에 연결되는 제1 트랜지스터; 및

상기 제1 트랜지스터에 직렬 연결되는 제1 항 내지 제9 항 중 어느 하나의 2차원 반도체 트랜지스터인 제2 트랜지스터를 포함하는 3진수 논리 회로.

청구항 17

제16 항에 있어서,

상기 제1 트랜지스터는 p 타입의 반도체 채널인 3진수 논리 회로.

발명의 설명

기 술 분 야

[0001] 본 발명은 2차원 반도체 트랜지스터 및 이의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 최근 미래에 실리콘을 대체할 새로운 반도체 재료로 각광받고 있는 2D 반도체 물질인 전이 금속 다이칼코겐을 기반으로 한 여러 종류의 소자에 대한 연구가 활발히 진행 중이다. 특히, 깨진 밴드 갭(broken band gap) 형성이 가능한 2가지의 2D 반도체 물질들을 통한 터널링 현상을 이용한 터널링 소자 분야에서 활발히 연구가 진행 중이다.

[0003] 2차원 반도체 물질들을 통한 터널링 소자들은 기존의 소자 제작에 사용되고 있는 Si, Ge, SiGe, GaAs 등의 III-V족 물질을 통해 제작하는 것보다 접합 계면에서 원자 선명도(atomic sharpness)가 더 뛰어나기 때문에 계면 트랩에 의한 소자의 성능 감소가 매우 적어 많은 각광을 받고 있다.

[0004] 다만, 상술한 2차원 반도체 물질을 통한 터널링 소자들은 게이트 절연막의 계면 트랩에 영향을 받아 PVCR이 감소하고, 피크 전압(V_{peak})이 높은 문제를 가질 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 상기와 같은 종래 기술의 문제점을 해결하고자 창출된 것으로서, 본 발명의 일 목적은 자가 성장 단층을 통해 PVCR을 증대하며, 피크 전압(V_{peak})을 낮출 수 있는 2차원 반도체 트랜지스터 및 이의 제조 방법을 제공하기 위한 것이다.

과제의 해결 수단

[0006] 본 발명의 일 측면에 따른 2차원 반도체 트랜지스터는 게이트 전극; 상기 게이트 전극 상에 제공되는 게이트 절연막; 상기 게이트 절연막 상에 제공되는 자가 성장 단층; 상기 자가 성장 단층 상에 제공되고, 깨진 밴드 갭(broken band gap)을 갖는 이종 접합(Hetero Junction) 구조의 2차원 반도체층; 및 상기 2차원 반도체층 상에 제공되고 서로 이격되어 배치되는 소스 전극과 드레인 전극을 포함하며, 상기 자가 성장 단층은 상기 게이트 절연막의 계면 트랩과 결합 가능한 기능기를 포함할 수 있다.

[0007] 본 발명의 일 실시예에 있어서, 상기 자가 성장 단층은 APTES(3-Aminopropyltriethoxysilane), OTS(Octadecyltrichlorosilane), APTMS((3-Aminopropyl)trimethoxysilane), FPTS(trichloro(3,3,3-trifluoropropyl)silane), PTS(polytitanosiloxanes), FDTS(perfluorodecyl-trichlorosilane), APS(3-aminopropyl triethoxysilane), HMDS(hexamethyldisilazane), DDPA(diphenylphosphoryl azide), 및 PDPP2DT-T2(diketopyrrolopyrrole and quaterthiophene based copolymer) 중 적어도 하나를 포함할 수 있다.

[0008] 본 발명의 일 실시예에 있어서, 상기 자가 성장 단층은 상기 게이트 절연막의 상기 계면 트랩과 결합되는 헤드기를 더 포함하고, 상기 기능기는 상기 2차원 반도체층의 도핑 효과를 유도할 수 있다.

[0009] 본 발명의 일 실시예에 있어서, 상기 헤드기는 실록산을 포함할 수 있으며, 상기 기능기는 아민기를 포함할 수 있다.

[0010] 본 발명의 일 실시예에 있어서, 상기 게이트 절연막은 SiN, SiO_2, GeO_2, TiO_2, ZnO, ITO, AZO, MgO, Al_2O_3, ZrO_2, $ZrSiO_4$, $HfSiO_4$, Si_3N_4, SrO, Ta_2O_5, Y_2O_3, HfO_2, La_2O_3, BaO, $LaLuO_2$, 및 $LaAlO_3$ 중 적어도 하나를 포함할 수 있다.

[0011] 본 발명의 일 실시예에 있어서, 상기 2차원 반도체층은 제1 반도체층 및 제2 반도체층을 포함하며, 상기 2차원 반도체층은 제1 반도체층 및 제2 반도체층을 포함하며,

[0012] 상기 제1 반도체층 및 상기 제2 반도체층 중 하나는 n 타입 도핑된 2차원 반도체이며,

[0013] 상기 제1 반도체층 및 제2 반도체층 중 다른 하나는 p 타입 도핑된 2차원 반도체일 수 있다.

[0014] 본 발명의 일 실시예에 있어서, 상기 2차원 반도체층은 전이금속 다이칼코겐 물질을 포함할 수 있다.

[0015] 본 발명의 일 실시예에 있어서, 상기 2차원 반도체층은 MoS_2, WS_2, ReS_2, $ReSe_2$, $PtSe_2$, HfS_2, $MoSe_2$, $HfSe_2$, $HfTe_5$, $HfTe_2$, ZrS_2, $ZrSe_2$, $ZrTe_2$, ZrS_3, ZrS_5, $ZrTe_3$, WSe_2, $MoTe_2$, $MoSe_2$, black phosphorus(BP), 2D tellurium, GeSe, GaSe, GeAs, black AsP, 및 a-MnS 중 적어도 하나의 2D 반도체 물질을 포함할 수 있다.

[0016] 본 발명의 일 실시예에 있어서, 상기 소스 전극은 상기 제1 반도체층 및 상기 제2 반도체층 중 하나에 연결되고, 상기 드레인 전극은 상기 제1 반도체층 및 상기 제2 반도체층 중 다른 하나에 연결될 수 있다.

[0017] 본 발명의 일 측면에 따른 2차원 반도체 트랜지스터의 제조 방법은 게이트 전극을 형성하는 단계; 상기 게이트 전극 상에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상에 자가 성장 단층을 형성하는 단계; 상기 자가 성장 단층 상에 제공되고, 깨진 밴드 갭(broken band gap)을 갖는 이종 접합(Hetero Junction) 구조를 갖는 2차원 반도체층을 형성하는 단계; 및 상기 2차원 반도체 상에 제공되고 서로 이격되어 배치되는 소스 전극과 드레인 전극 형성 단계를 포함하며, 상기 자가 성장 단층은 상기 게이트 절연막의 계면 트랩과 결합 가능한 기능기를 포함할 수 있다.

[0018] 본 발명의 일 실시예에 있어서, 상기 반도체층을 형성하는 단계는 스탬프 및 유기 필름을 갖는 캐리어 기판의 상기 스탬프를 이용하여 상기 자가 성장 단층 상에 2차원 반도체 조각을 스탬핑하여 제1 반도체층을 형성하는

단계; 및 상기 캐리어 기판의 유기 필름 상에 마련된 2차원 반도체 조각을 제1 반도체층과 일부가 중첩하게 배치하고, 상기 유기 필름을 제거하여 제2 반도체층을 형성하는 단계를 포함하며, 상기 제1 반도체층과 상기 제2 반도체층은 이종 접합될 수 있다.

[0019] 본 발명의 일 측면에 따른 3진수 논리 회로는 전원 단자에 연결되는 제1 트랜지스터; 및 상기 제1 트랜지스터에 직렬 연결되는 상술한 2차원 반도체 트랜지스터인 제2 트랜지스터를 포함할 수 있다.

[0020] 본 발명의 일 실시예에 있어서, 상기 제1 트랜지스터는 p 타입의 반도체 채널일 수 있다.

발명의 효과

[0021] 본 발명에 따른 2차원 반도체 트랜지스터 및 이의 제조 방법은 자가 성장 단층이 게이트 절연막의 계면 트랩과 결합되므로, 2차원 반도체 트랜지스터의 PVCR이 증가하고, 자기 성장 단층의 2차원 반도체층의 도핑 효과로 인하여 피크 전압(V_{peak})을 낮출 수 있다. 따라서, 2차원 반도체 트랜지스터를 3진수 논리 회로에 적용하는 것이 가능하다.

[0022] 또한, 본 발명에 따른 2차원 반도체 트랜지스터 및 이의 제조 방법에서, 자가 성장 단층은 용액을 이용한 액상 성장 방식을 이용하여 형성되므로, 대면적의 기판에 적용이 가능하므로, 2차원 반도체 트랜지스터의 대량 생산에 매우 유리할 수 있다.

도면의 간단한 설명

[0023] 도 1은 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터를 설명하기 위한 단면도이다.

도 2는 본 발명의 일 실시예에 따른 자가 성장 단층을 설명하기 위한 도면이다.

도 3은 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터를 포함하는 3진수 논리 회로(TERNARY INVERTER LOGIC CIRCUIT)를 설명하기 위한 도면이다.

도 4는 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터의 제조 방법을 설명하기 위한 도면이다.

도 5 내지 도 9는 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터의 제조 방법을 설명하기 위한 공정 단면도들이다.

도 10은 일반적인 2차원 반도체 트랜지스터를 설명하기 위한 단면도이다.

도 11은 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터와 도 10에 도시된 일반적인 2차원 반도체 트랜지스터의 I-V 특성을 설명하기 위한 그래프이다.

도 12는 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터의 깨진 밴드 갭을 설명하기 위한 도면이다.

도 13은 도 10에 도시된 일반적인 2차원 반도체 트랜지스터의 깨진 밴드 갭을 설명하기 위한 도면이다.

도 14는 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터와 도 10에 도시된 일반적인 2차원 반도체 트랜지스터의 부성 미분 저항 소자로서의 동작 특성을 설명하기 위한 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0024] 본 발명의 목적, 특정한 장점들 및 신규한 특징들은 첨부된 도면들과 연관되는 이하의 상세한 설명과 바람직한 실시예로부터 더욱 명백해질 것이다. 본 명세서에서 각 도면의 구성요소들에 참조번호를 부가함에 있어서, 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.

[0025] 또한, 첨부된 도면은 본 명세서에 개시된 실시 예를 쉽게 이해할 수 있도록 하기 위한 것일 뿐, 첨부된 도면에 의해 본 명세서에 개시된 기술적 사상이 제한되지 않으며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0026] 또한, 제 1, 제 2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0028] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

[0029] 도 1은 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터를 설명하기 위한 단면도이며, 도 2는 본 발명의 일 실시예에 따른 자가 성장 단층을 설명하기 위한 도면이다.

[0030] 도 1 및 도 2를 참조하면, 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터(100)는 게이트 전극(110), 게이트 절연막(120), 자가 성장 단층(Self-Assembled Monolayer; SAM)(130), 2차원 반도체층(140), 소스 전극(150) 및 드레인 전극(160)을 포함할 수 있다.

[0031] 게이트 전극(110)은 도전성 물질을 포함하며, 다양한 방법을 통하여 형성될 수 있다. 예를 들면, 게이트 전극(110)은 p+ 타입의 불순물로 도핑된 실리콘 기판의 일부일 수 있다.

[0032] 본 발명의 일 실시예에 있어서, 게이트 전극(110)은 금속 물질을 포함하는 도전막일 수도 있다. 예를 들면, 게이트 전극은 금(Au), 은(Ag), 백금(Pt), 크롬(Cr), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 탄탈륨(Ta), 몰리브텐(Mo), 텅스텐(W), 니켈(Ni) 팔라듐(Pd), 및 이들의 합금 중 적어도 하나를 포함할 수 있다.

[0033] 또한, 게이트 전극(110)은 금속 산화물을 포함할 수도 있다. 예를 들면, 게이트 전극(110)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), AZO(Al doped Zinc Oxide), 및 GZO(Gallium Zinc Oxide) 중 적어도 하나를 포함할 수 있다.

[0034] 게이트 절연막(120)은 게이트 전극(110) 상에 마련될 수 있다. 게이트 절연막(120)은 유기 절연 물질 및 무기 절연 물질 중 적어도 하나를 포함할 수 있다.

[0035] 예를 들면, 게이트 절연막(120)은 무기 절연 물질을 포함할 수 있으며, 질화실리콘(SiN), 이산화규소(SiO_2), 이산화게르마늄(GeO_2), 이산화 타이타늄(TiO_2), 산화아연(ZnO), 인듐 주석 산화물(ITO), 아조 화합물(AZO), 산화마그네슘(MgO), 산화 알루미늄(Al_2O_3), 지르코늄디옥사이드(ZrO_2), 지르코늄실리케이트($ZrSiO_4$), 하프늄실리케이트($HfSiO_4$), 질화규소(Si_3N_4), 산화 스트론튬(SrO), 오산화 탄탈럼(Ta_2O_5), 이트륨 옥사이드(Y_2O_3), 산화하프늄(HfO_2), 산화란탄륨(La_2O_3), 산화바륨(BaO), 란타늄 루테튬 산화물($LaLuO_2$) 및 란타늄 알루미네이트($LaAlO_3$) 중 적어도 하나를 포함할 수 있다.

[0036] 게이트 절연막(120)이 무기 절연 물질로 이루어지는 경우, 유기 절연 물질로 이루어지는 절연막에 비하여 기계적 안정성 및 화학적 안정성이 우수할 수 있다.

[0037] 한편, 본 발명의 일 실시예에서는, 게이트 절연막(120)이 무기 절연막인 경우를 예로서 설명하였으나, 이에 한정되는 것은 아니다. 게이트 절연막(120)의 형상이나 재료는 필요에 따라 달리 형성될 수 있다.

[0038] 자가 성장 단층(130)은 게이트 절연막(120) 상에 제공될 수 있다. 자가 성장 단층(130)은 APTES(3-Aminopropyltriethoxysilane), OTS(Octadecyltrichlorosilane), APTMS((3-Aminopropyl)trimethoxysilane), FPTS(trichloro(3,3,3-trifluoropropyl)silane), PTS(polytitanosiloxanes), FDTS(perfluorodecyl-trichlorosilane), APS(3-aminopropyl triethoxysilane), HMDS(hexamethyldisilazane), DDPA(diphenylphosphoryl azide), 및 PDPP2DT-T2(diketopyrrolopyrrole and quaterthiophene based copolymer) 중 적어도 하나를 포함할 수 있다.

[0039] 자가 성장 단층(130)은 게이트 절연막(120)의 계면 트랩과 결합할 수 있는 헤드기(Head Group)(131)와, 2차원 반도체층(140)의 도핑 효과를 유발할 수 있는 기능기(Functional Group)(135)를 포함할 수 있다.

[0040] 헤드기(131)는 게이트 절연막(120) 상에 마련되고, 게이트 절연막(120)의 계면 트랩과 산소 결합될 수 있다. 즉, 헤드기(131)는 산소를 포함하는 물질을 포함할 수 있다. 예를 들면, 헤드기(131)는 실록산기(Siloxane Group)를 포함할 수 있다.

[0041] 헤드기(131)의 산소가 게이트 절연막(120)의 계면 트랩과 산소 결합되면, 게이트 절연막(120)의 계면 트랩이 감소될 수 있다. 게이트 절연막(120)의 계면 트랩이 감소됨에 따라, 자가 성장 단층(130)은 보호막(Passivation layer)과 같은 역할을 수행할 수 있다. 따라서, 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터(100)의 히스테리 시스가 감소되며, 2차원 반도체 트랜지스터(100)의 피크 전압(V_{peak})이 감소될 수 있다.

[0042] 또한, 계면 트랩이 감소됨에 따라 과잉 터널링 전류가 발생하는 것을 방지하여 I-V 커브의 밸리 전류(I_{valley}) 전류가 감소할 수 있다. 2차원 반도체 트랜지스터(100)의 I-V 커브의 밸리 전류(I_{valley}) 전류가 감소하면 PVCR(peak to valley current ratio)이 증가할 수 있다.

[0043] 기능기(135)는 2차원 반도체층(140)의 도핑을 유도할 수 있다. 예를 들면, 기능기(135)는 아민기(Amino Group)를 포함할 수 있다. 여기서, 아민기는 보유한 음전하에 의해 2차원 반도체층(140)의 n 타입 도핑을 유도할 수 있다.

[0044] 기능기(135)에 의해 2차원 반도체층(140)의 n 타입 도핑이 유도되면, 2차원 반도체 트랜지스터(100)의 I-V 커브가 좌측으로 시프트(shift)될 수 있다. 2차원 반도체 트랜지스터(100)의 피크 전압(V_{peak})이 좌측으로 시프트되면, 2차원 반도체 트랜지스터(100)의 입력 전압 또는 구동 전압이 낮아질 수 있다.

[0045] 2차원 반도체층(140)은 2차원 반도체 트랜지스터(100)의 채널로 동작할 수 있다. 2차원 반도체층(140)은 자가 성장 단층(130) 상에 제공될 수 있다. 2차원 반도체층(140)은 전이금속 다이칼코겐을 포함할 수 있다. 예를 들면, 2차원 반도체층(140)은 MoS_2, WS_2, ReS_2, $ReSe_2$, $PtSe_2$, HfS_2, $MoSe_2$, $HfSe_2$, $HfTe_5$, $HfTe_2$, ZrS_2, $ZrSe_2$, $ZrTe_2$, ZrS_3, ZrS_5, $ZrTe_3$, WSe_2, $MoTe_2$, $MoSe_2$, black phosphorus (BP), 2D tellurium, GeSe, GaSe, GeAs, black AsP, 및 a-MnS 중 적어도 하나를 포함할 수 있다.

[0046] 한편, 본 발명의 일 실시예에서는 2차원 반도체 트랜지스터(100)의 채널로 2차원 반도체층(140)을 예로서 설명하였으나, 이에 한정되는 것은 아니다. 예를 들면, 2차원 반도체 트랜지스터(100)의 채널은, 2차원 반도체층(140) 대신 III-V족 반도체 물질을 포함할 수도 있다. 예를 들면, III-V족 반도체 물질은 Ge, Si, SiGe, GaAs, GaN, GaP, InP, InAs, 및 InSb 중 적어도 하나를 포함할 수도 있다.

[0047] 또한, 2차원 반도체 트랜지스터(100)의 채널은, 유기 반도체 물질을 포함할 수도 있다. 예를 들면, 유기 반도체 물질은 Pentacene, rubrene, Alq_3, tetracene, DFH-4T, perylene, poly[9,9 dioctyl- fluorene-co-bithiophene] (F8T2), poly[2-methoxy-5-(3,7-dimethyloctyloxy)]- 1,4-phenylenevinylene (MDMO-PPV), regioregular poly[3-hexylthiophene] (P3HT) polytriarylamine (PTAA), poly-[2,5-thienylene vinylene] (PVT), Naphthalene tetracarboxylic diimide (NDI), 및 perylene diimide (PDI) 중 적어도 하나를 포함할 수도 있다.

[0048] 2차원 반도체층(140)은 제1 반도체층(141) 및 제2 반도체층(145)을 포함할 수 있다. 제1 반도체층(141)과 제2 반도체층(145)은 적어도 일부가 중첩된 형상을 가질 수 있다. 예를 들면, 제2 반도체층(145)의 적어도 일부가 제1 반도체층(141) 상에 마련되어 제2 반도체층(145)의 일부가 제1 반도체층(141)의 일부와 중첩될 수 있다.

[0049] 제1 반도체층(141)과 제2 반도체층(145)은 서로 다른 도핑 특성을 가질 수 있다. 예를 들면, 제1 반도체층(141) 및 제2 반도체층(145) 중 하나, 예를 들면, 제1 반도체층(141)은 n 타입 도핑된 2차원 반도체일 수 있다. 또한, 제1 반도체층(141) 및 제2 반도체층(145) 중 다른 하나, 예를 들면, 제2 반도체층(145)은 p 타입 도핑된 2차원 반도체일 수 있다. 따라서, 제1 반도체층(141)과 제2 반도체층(145)이 중첩된 영역에서, 제1 반도체층(141)과 제2 반도체층(145)은 이종 접합(Hetero Junction)될 수 있다.

[0050] 한편, 2차원 반도체층(140)은 평탄한 표면을 제공할 수 있다. 특히 2차원 반도체층(140)은 표면의 댕글링 본딩(Dangling Bonding) 등의 결함이 없어, 제1 반도체층(141) 및 제2 반도체층(145)의 이종 접합시, 결함이 없는 헤테로 계면(hetero-Interface)이 형성될 수 있다. 따라서, 2차원 반도체층(140)은 과잉 전류를 방지할 수 있다.

[0051] 소스 전극(150) 및 드레인 전극(160)은 2차원 반도체층(140) 상에 서로 이격되어 배치될 수 있다. 이를 보다 상세히 설명하면, 소스 전극(150)은 제1 반도체층(141) 및 제2 반도체층(145) 중 하나, 예를 들면, 제1 반도체층(141)에 연결될 수 있다. 또한, 드레인 전극(160)은 제1 반도체층(141) 및 제2 반도체층(145) 중 다른 하나, 예를 들면, 제2 반도체층(145)에 연결될 수 있다.

[0052] 소스 전극(150) 및 드레인 전극(160)은 도전성 물질을 포함할 수 있다. 예를 들면, 소스 전극(150) 및 드레인 전극(160)은 금속 물질 또는 금속 산화물을 포함할 수 있다.

[0053] 소스 전극(150) 및 드레인 전극(160)이 금속 물질을 포함하는 경우, 소스 전극(150) 및 드레인 전극(160)은 금(Au), 은(Ag), 백금(Pt), 크롬(Cr), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 탄탈륨(Ta), 몰리브덴(Mo), 텅스텐

(W), 니켈(Ni), 팔라듐(Pd), 및 이들의 합금 중 적어도 하나를 포함할 수 있다.

[0054] 소스 전극(150) 및 드레인 전극(160)이 금속 산화물을 포함하는 경우, 소스 전극(150) 및 드레인 전극(160)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), AZO(Al doped Zinc Oxide), 및 GZO(Gallium Zinc Oxide) 중 적어도 하나를 포함할 수 있다.

[0055] 본 발명의 실시예에서, 2차원 반도체 트랜지스터(100)는 자가 성장 단층(130), 2차원 반도체층(140), 소스 전극(150) 및 드레인 전극(160)을 커버하는 보호층(도시하지 않음)을 더 포함할 수도 있다.

[0057] 상술한 바와 같은 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터(100)의 2차원 반도체층(140)은 서로 다른 도핑 특성을 가지는 제1 반도체층(141)과 제2 반도체층(145)이 이종 접합된 구조를 가질 수 있다. 따라서, 2차원 반도체층(140)은 깨진 밴드 갭(broken band gap)을 가지게 되며, BTBT(Band to Band Tunneling) 전류 형성이 가능할 수 있다.

[0058] 따라서, 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터(100)는 부성 미분 저항(Negative differential resistance; NDR) 소자로 사용될 수 있다. 또한, 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터(100)는 제1 반도체층(141) 및 제2 반도체층(145)의 이종 접합시, 결함이 없는 헤테로 계면(hetero-Interface)이 형성되어, 2차원 반도체층(140)에서 과잉 전류가 방지되므로, 고성능의 부성 미분 저항(Negative differential resistance; NDR) 소자로 사용될 수 있다.

[0059] 또한, 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터(100)는 게이트 절연막(120)의 계면 트랩과 자가 성장 단층(130)의 헤드기(131)가 결합되어 2차원 반도체 트랜지스터(100)의 PVCR(peak to valley current ratio)이 증가할 수 있다.

[0060] 또한, 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터(100)는 자가 성장 단층(130)의 기능기(135)가 2차원 반도체층(140)의 도핑을 유도하여, 2차원 반도체 트랜지스터(100)의 I-V 커브가 좌측으로 시프트(shift)되며, 이에 따라, 2차원 반도체 트랜지스터(100)의 입력 전압 또는 구동 전압이 낮아질 수 있다.

[0062] 도 3은 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터를 포함하는 3진수 논리 회로(TERNARY INVERTER LOGIC CIRCUIT)를 설명하기 위한 도면이다.

[0063] 도 3을 참조하면, 다치 로직 회로와 같은 3진수 논리 회로(TERNARY INVERTER LOGIC CIRCUIT)는 전원 단자(V_{DD}) 또는 입력 단자에 연결되는 제1 트랜지스터(1000)와, 제1 트랜지스터(1000)에 직렬 연결되는 제2 트랜지스터(2000)를 포함할 수 있다. 여기서, 제1 트랜지스터(1000)는 p 타입의 반도체 채널을 포함하는 트랜지스터이며, 제2 트랜지스터(2000)는 도 1 및 도 2에 도시된 트랜지스터일 수 있다. 즉, 제2 트랜지스터(2000)는 2차원 반도체 트랜지스터(100)일 수 있다.

[0064] 제1 트랜지스터(1000)는 p 타입의 제1 반도체 채널, 제1 반도체 채널에 연결되고 서로 이격된 제1 소스 전극과 제1 드레인 전극, 및 제1 반도체 채널에 게이트 전압을 인가하는 제1 게이트 전극을 포함할 수 있다. 여기서, 제2 트랜지스터(2000) 같이, 제1 반도체 채널은 2차원 반도체 물질을 포함할 수 있다.

[0065] 제2 트랜지스터(2000)는 제2 반도체 채널, 제2 반도체 채널에 연결되고 서로 이격된 제2 소스 전극과 제2 드레인 전극, 및 제2 반도체 채널에 게이트 전압을 인가하는 제2 게이트 전극을 포함할 수 있다. 여기서, 제 반도체 채널은 2차원 반도체 물질을 포함할 수 있다.

[0066] 제1 트랜지스터(1000)의 제1 소스 전극은 전원 단자(V_{DD})와 전기적으로 연결될 수 있으며, 제1 트랜지스터(1000)의 제1 드레인 전극은 제2 트랜지스터(2000)의 제2 드레인 전극과 전기적으로 연결될 수 있으며, 제2 트랜지스터(2000)의 제2 소스 전극은 접지 단자(GDN)와 전기적으로 연결될 수 있다. 제1 트랜지스터(1000)의 제1 드레인 전극과 제2 트랜지스터(2000)의 제2 드레인 전극은 출력 단자(Vout)와 연결될 수 있다.

[0067] 또한, 제1 트랜지스터(1000)의 제1 게이트 전극 및 제2 트랜지스터(2000)의 제2 게이트 전극은 동일한 입력 단자(Vin)에 연결될 수 있다.

[0068] 상술한 바와 같은 다치 로직 회로는 p 타입의 제1 트랜지스터(1000)와 부성 미분 저항 소자인 제2 트랜지스터(2000)를 포함하므로, 제1 트랜지스터(1000)의 로드 라인과 제2 트랜지스터(2000)의 동작 구간이 겹치는 구간이

넓을수록 미들 로직 상태 영역이 넓어질 수 있다. 따라서, 제2 트랜지스터(2000)의 PVCR(peak-to-valley current ratio)이 클수록 유리할 수 있다.

[0069] 다치 로직 회로의 피크 전압(V_{peak})은, 제2 트랜지스터(2000)의 동작 전압을 결정할 수 있다. 또한, 다치 로직 회로의 피크 전압(V_{peak})이 다치 로직 회로의 구동에서 전원 단자(V_{DD})의 공급 전압 및 회로 소비 전력을 결정하므로, 피크 전압(V_{peak})이 작을수록 유리할 수 있다.

[0071] 하기에서는 도 4를 참조하여, 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터의 제조 방법을 설명한다.

[0072] 도 4는 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터의 제조 방법을 설명하기 위한 도면이다.

[0073] 도 4를 참조하면, 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터의 제조 방법은 게이트 전극 형성 단계(S100), 게이트 절연막 형성 단계(S200), 자가 성장 단층 형성 단계(S300), 2차원 반도체층 형성 단계(S400), 및 소스 전극과 드레인 전극 형성 단계(S500)를 포함하여, 2차원 반도체 트랜지스터를 제조할 수 있다.

[0075] 하기에서는 도 5 내지 도 9를 참조하여, 도 4에 도시된 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터의 제조 방법을 보다 상세히 설명한다.

[0076] 도 5 내지 도 9는 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터의 제조 방법을 설명하기 위한 공정 단면도들이다.

[0077] 우선, 도 5를 참조하면, 게이트 전극 형성 단계(S100)에서는, 실리콘 기판에 소정의 불순물을 도핑하여 형성될 수 있다. 여기서 불순물은 p+ 타입의 불순물일 수 있다.

[0078] 한편, 본 발명의 일 실시예에서는 게이트 전극(110)이 실리콘 기판에 불순물을 도핑하여 형성함을 예로서 설명하였으나, 이에 한정되는 것은 아니다. 예를 들면, 게이트 전극(110)은 실리콘 기판 상에 도전 물질을 증착하여 형성될 수도 있다. 여기서 도전 물질은 금속 물질 또는 금속 산화물을 포함할 수 있다. 금속 물질은 금(Au), 은(Ag), 백금(Pt), 크롬(Cr), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 탄탈륨(Ta), 몰리브텐(Mo), 텅스텐(W), 니켈(Ni) 팔라듐(Pd), 및 이들의 합금 중 적어도 하나일 수 있다. 금속 산화물은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), AZO(Al doped Zinc Oxide), 및 GZO(Gallium Zinc Oxide) 중 적어도 하나일 수 있다.

[0079] 게이트 절연막 형성 단계(S200)에서는, 게이트 전극(110) 상에 무기 절연 물질을 증착하여 게이트 절연막(120)을 형성할 수 있다. 게이트 절연막(120)은 무기 절연 물질 및 유기 절연 물질 중 적어도 하나를 포함할 수 있다. 예를 들면, 게이트 절연막(120)은 무기 절연 물질을 포함할 수 있다.

[0080] 도 6을 참조하면, 자가 성장 단층 형성 단계(S300)에서는, 자가 성장 단층 물질을 게이트 절연막(120) 상에 도포하고, 베이킹하여 자가 성장 단층(130)을 형성할 수 있다. 자가 성장 단층 물질은 게이트 절연막(120)의 계면 트랩과 결합할 수 있는 헤드기(131)와, 2차원 반도체층(140)의 도핑 효과를 유발할 수 있는 기능기(135)를 포함할 수 있다.

[0081] 헤드기(131)는 게이트 절연막(120) 상에 마련되고, 게이트 절연막(120)의 계면 트랩과 산소 결합될 수 있다. 즉, 헤드기(131)는 산소를 포함하는 물질, 예를 들면, 실록산(Siloxane)을 포함할 수 있다.

[0082] 기능기(135)는 2차원 반도체층(140)의 도핑을 유도할 수 있는 물질, 예를 들면, 아민기(amino group)를 포함할 수 있다.

[0083] 자가 성장 단층(130)은 용액을 이용한 액상 성장 방식을 이용하여 제조될 수 있다. 이를 보다 상세히 설명하면, 우선, 자가 성장 단층 물질이 용액을 공정을 통하여 게이트 절연막(120) 상에 도포될 수 있다. 예를 들면, 자가 성장 단층 물질은 스핀코팅법(spin coating), 슬릿코팅법(slit coating), 드럽캐스팅법(drop casting), 딥캐스팅법(dip casting), 잉크젯법(ink jet), 프린팅법(printing) 및 임프린트법(imprint) 중 어느 한 방법을 이용하여 게이트 절연막(120) 상에 도포될 수 있다.

[0084] 게이트 절연막(120) 상에 자가 성장 단층 물질이 도포되면, 베이킹 공정을 통하여 자가 성장 단층(130)이 형성될 수 있다. 여기서, 베이킹 공정은 120℃ 내지 180℃의 온도에서 수행될 수 있다. 바람직하게는 베이킹 공정은

150℃의 온도에서 수행될 수 있다.

[0085] 상술한 바와 같은 용액을 이용한 액상 성장 방식은 PVD 및 CVD와 같은 증착 공법과 달리 저온 기술로, 대면적의 기판, 특히 웨이퍼 기판에 적용이 가능할 수 있다. 따라서, 2차원 반도체 트랜지스터의 대량 생산에 매우 유리할 수 있다.

[0086] 도 7 및 도 8을 참조하면, 2차원 반도체층 형성 단계(S400)에서는, 자가 성장 단층(130) 상에 2차원 반도체층(140)을 형성한다.

[0087] 2차원 반도체층(140)은 제1 반도체층(141) 및 제2 반도체층(145)을 순차적으로 형성하여, 제1 반도체층(141) 및 제2 반도체층(145)이 이종 접합되도록 하여 형성될 수 있다.

[0088] 우선, 도 7에 도시된 바와 같이, 제1 반도체층(141)은 스탬핑 공정을 통하여 형성될 수 있다. 예를 들면, 제1 반도체층(141)은 캐리어 기판(CS) 상에 제1 반도체층(141)을 형성하는 2차원 반도체 조각을 픽업하고, 캐리어 기판(CS) 상의 제1 반도체층(141)을 자가 성장 단층(130) 상에 스탬핑하여 형성될 수 있다. 여기서, 캐리어 기판(CS)은 스탬프(CS1)와 유기 필름(CS2)이 적층된 구조를 가질 수 있다.

[0089] 스탬프(CS1)는 릴리프 형태(이는 스탬프 릴리프 구조체와 반대임)를 제공하는 표면을 갖는 마스터 또는 유기 필름 상에서 재료의 층을 성형하고 경화시킴으로써 제조될 수 있다. 스탬프(CS1)는 화학 방사선에의 노광, 가열 또는 이들의 조합으로 경화될 수 있다. 따라서, 스탬프(CS1)는 탄성중합체층, 경화층, 또는 경화 탄성중합체층으로 지칭될 수 있는, 탄성중합체성 재료의 층을 포함한다. 스탬프(CS1)는 또한, 예를 들어, 릴리프 구조체를 생성하는 방식으로 재료를 용융 제거(ablating) 또는 각인(engraving)함으로써 제조될 수 있다. 스탬프(CS1) 릴리프 구조체는 볼록 표면이 볼록 표면과 기판의 선택적인 접촉에 충분한 오목 표면으로부터의 높이를 갖도록 되어 있다.

[0090] 스탬프(CS1)의 재료는, 스탬프(CS1)의 적어도 볼록 부분이 기판의 표면에 정합되게 하여 마스크 재료가 그에 완전히 전사되는 것을 촉진하기 위하여 탄성중합체이다. 중합체 재료가 탄성중합체성 스탬프를 형성하는 데 적합하며, 이는 예를 들어, 실리콘 중합체, 예컨대 폴리다이메틸실록산(PDMS); 에폭시 중합체, 폴리아이소프렌, 1,2 폴리부타디엔, 1,4폴리부타디엔, 및 부타디엔/아크릴로니트릴을 포함하는, 콘쥬게이션된 다이올레핀 탄화수소의 중합체; A-B-A형 블록 공중합체의 탄성중합체성 블록 공중합체 (여기서, A는 비-탄성중합체성 블록, 바람직하게는 비닐 중합체, 그리고 가장 바람직하게는 폴리스티렌을 나타내고, B는 탄성중합체성 블록, 바람직하게는 폴리부타디엔 또는 폴리아이소프렌을 나타냄); 아크릴레이트 중합체; 및 플루오로중합체를 포함하는 것으로 한정되지 않는다. A-B-A 블록 공중합체의 예는 폴리(스티렌-부타디엔-스티렌) 및 폴리(스티렌-아이소프렌-스티렌)을 포함하지만 이에 한정되지 않는다. 중합체 재료는 탄성중합체일 수 있거나, 또는 경화시 탄성중합체로 될 수 있다.

[0091] 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터(100)의 제조 공정 과정에서, 스탬프(CS1)는 PDMS(polydimethysiloxane) 스탬프를 이용할 수 있다.

[0092] 유기 필름(CS2)은 PPC(propylene carbonate) 필름으로, PDMS 스탬프와 접합되어 캐리어 기판을 형성할 수 있다. 유기 필름(CS2)은 별도의 기판 상에 형성된 반도체 조각을 픽업하고, 반도체 조각을 원하는 위치에 스탬핑하여 이동시킬 수 있다.

[0093] 즉, 제1 반도체층(141)은 상술한 캐리어 기판(CS)의 스탬프(CS1)를 이용하여 2차원 반도체 조각을 픽업하고, 반도체 조각을 자가 성장 단층(130) 상의 원하는 위치에 스탬핑하여 형성될 수 있다.

[0094] 도 8에 도시된 바와 같이, 제2 반도체층(145)은 제1 반도체층(141)과 마찬가지로 스탬핑 공정을 통하여 형성될 수 있다. 예를 들면, 제2 반도체층(145)은 캐리어 기판(CS) 상의 유기 필름(CS2) 상에 제2 반도체층(145)을 형성하는 2차원 반도체 조각을 준비하고, 캐리어 기판(CS) 상의 제2 반도체층(145)을 제1 반도체층(141)과 적어도 일부가 중첩하도록 자가 성장 단층(130) 상에 배치한 후, 유기 필림(CS2)을 제거하여 형성될 수 있다.

[0095] 도 9를 참조하면, 소스 전극과 드레인 전극 형성 단계(S500)에서는, 2차원 반도체층(140) 상에 서로 이격되어 배치되는 소스 전극(150) 및 드레인 전극(160)을 형성할 수 있다.

[0096] 이를 위하여, 포토리소그래피(Photolithography) 공정을 이용하여 2차원 반도체층(140)이 형성된 자가 성장 단층(130) 상에 포토레지스트 패턴(도시하지 않음)을 형성한다. 여기서, 포토레지스트 패턴은 2차원 반도체층(140)의 일부를 노출시킬 수 있다. 예를 들면, 포토레지스트 패턴은 제1 반도체층(141)의 일부와 제2 반도체층

(145)의 일부를 노출시킬 수 있다.

[0097] 포토레지스트 패턴을 형성한 후, 도전막을 전체적으로 증착하고, 리프트-오프(lift-off)하여 제1 반도체층(141)과 연결되는 소스 전극(150)과 제2 반도체층(145)과 연결되는 드레인 전극(160)을 형성하여, 2차원 반도체 트랜지스터(100)를 제조할 수 있다.

[0099] 도 10은 일반적인 2차원 반도체 트랜지스터를 설명하기 위한 단면도이며, 도 11은 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터와 도 10에 도시된 일반적인 2차원 반도체 트랜지스터의 I-V 특성을 설명하기 위한 그래프이며, 도 12는 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터의 깨진 밴드 갭을 설명하기 위한 도면이며, 도 13은 도 10에 도시된 일반적인 2차원 반도체 트랜지스터의 깨진 밴드 갭을 설명하기 위한 도면이며, 도 14는 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터와 도 10에 도시된 일반적인 2차원 반도체 트랜지스터의 부성 미분 저항 소자로서의 동작 특성을 설명하기 위한 그래프이다.

[0100] 도 10 및 도 14를 참조하면, 일반적인 2차원 반도체 트랜지스터(100')는 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터(100)와 달리 자가 성장 단층(130)을 포함하지 않는다. 즉, 일반적인 2차원 반도체 트랜지스터(100')는 게이트 전극(110'), 게이트 절연막(120'), 2차원 반도체층(140'), 소스 전극(150') 및 드레인 전극(160')을 포함할 수 있다.

[0101] 상술한 바와 같은 일반적인 2차원 반도체 트랜지스터(100')는 도 11의 L2로 표시된 라인과 같은 I-V 커브 특성을 가질 수 있다.

[0102] 그러나, 일반적인 2차원 반도체 트랜지스터(100')에서, 게이트 절연막(120')에는 댕글링 본딩에 의한 계면 트랩이 다수 존재할 수 있다. 이러한 계면 트랩은 2차원 반도체층(140')의 전하를 트랩핑하여 도 11의 (2)와 같이, 피크 전류(I_{peak})가 감소하는 원인이 될 수 있다.

[0103] 또한, 계면 트랩에 부착된 공기 중의 불순물(surface bound impurity)에 의해 밴드 갭의 금지 영역에 트랩 사이트(site)가 형성될 수 있다. 밴드 갭의 금지 영역에 형성된 트랩 사이트는 부분 미분 저항 소자의 동작시 도 13에 도시된 바와 같이 과잉 터널링 전류를 형성할 수 있다. 과잉 터널링 전류는 도 11의 (1)과 같이 밸리 전류(I_{valley})가 증가하는 원인이 될 수 있다.

[0104] 부성 미분 저항 소자에서, 피크 전류(I_{peak})가 감소하고, 밸리 전류(I_{valley})가 증가하면, 일반적인 2차원 반도체 트랜지스터(100')의 I-V 커브가 도 11의 L2'으로 표시된 라인과 같이 변화될 수 있다. 따라서, 일반적인 2차원 반도체 트랜지스터(100')의 부성 미분 저항 소자로서의 동작 특성이 저하될 수 있다.

[0105] 특히, 일반적인 2차원 반도체 트랜지스터(100')의 부성 미분 저항 소자로서의 동작 특성이 저하되면, 도 12에 도시된 바와 같이, 다치 로직 회로와 같은 3진수 논리 회로(TERNARY INVERTER LOGIC CIRCUIT)에 적용이 불가능할 수 있다.

[0106] 일반적인 2차원 반도체 트랜지스터(100')와 달리, 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터(100)는 도 11의 L1으로 표시된 라인과 같이, 동일한 피크 전류(I_{peak})을 나타내더라도 피크 전압(V_{peak})이 낮을 수 있다. 또한, 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터(100)는 계면 트랩과 자가 성장 단층(130)이 결합되어 계면 트랩이 감소되므로, 도 12에 도시된 바와 같이 과잉 터널링 전류를 방지할 수 있다. 즉, 밸리 전류(I_{valley})의 증가가 방지될 수 있다.

[0107] 따라서, 본 발명의 일 실시예에 따른 2차원 반도체 트랜지스터(100)는 낮은 피크 전압(V_{peak})을 가져 2차원 반도체 트랜지스터(100)의 전력 소모량이 감소하고, 높은 PVCR(peak to valley current ratio)을 나타낼 수 있으며, 이에 따라 다치 로직 회로와 같은 3진수 논리 회로(TERNARY INVERTER LOGIC CIRCUIT)에 적용 가능할 수 있다.

[0109] 본 발명은 상기에서 설명된 실시예로 한정되지 않으며, 상기 실시예들 중 적어도 둘 이상을 조합한 것이나 상기 실시예들 중 적어도 어느 하나와 공지기술을 조합한 것을 새로운 실시예로 포함할 수 있음은 물론이다.

[0110] 이상 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 이는 본 발명을 구체적으로 설명하기 위한 것

으로, 본 발명은 이에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당해 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함은 명백하다고 할 것이다.

[0111] 본 발명의 단순한 변형 내지 변경은 모두 본 발명의 영역에 속하는 것으로 본 발명의 구체적인 보호 범위는 첨부된 특허청구범위에 의하여 명확해질 것이다.

부호의 설명

[0112] 100: 2차원 반도체 트랜지스터

110: 게이트 전극

120: 게이트 절연막

130: 자가 성장 단층

131: 헤드기

135: 기능기

140: 2차원 반도체층

141: 제1 반도체층

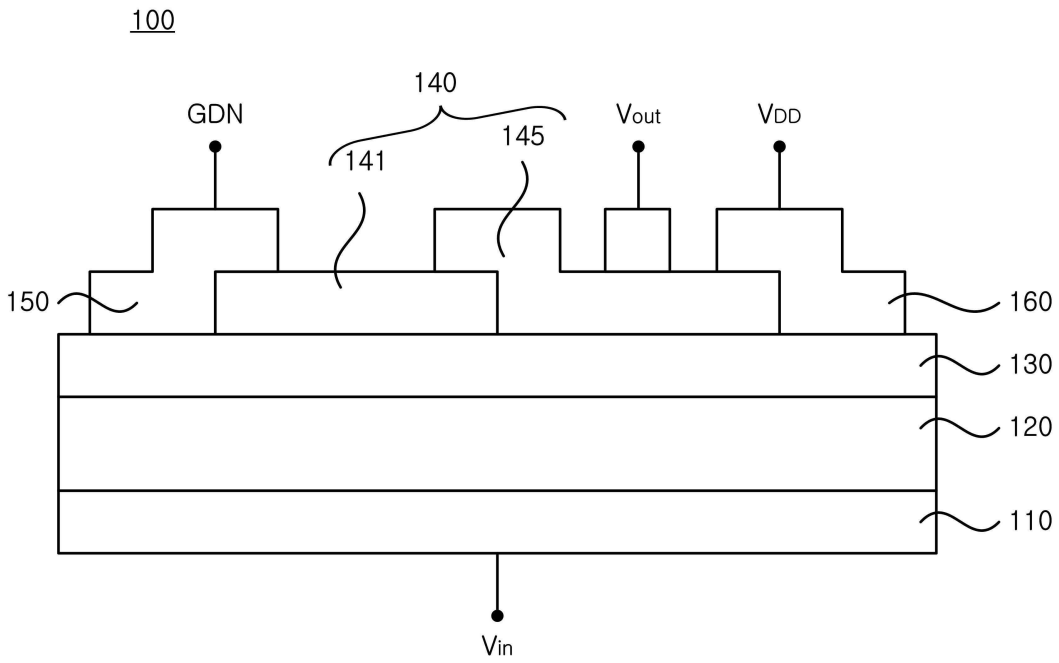
145: 제2 반도체층

150: 소스 전극

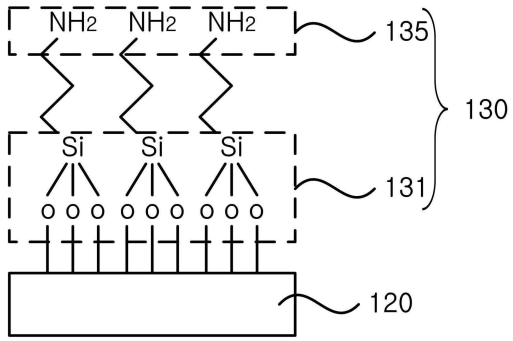
160: 드레인 전극

도면

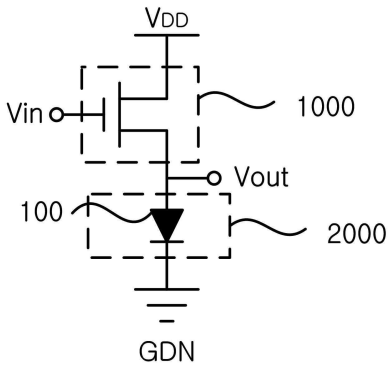
도면1



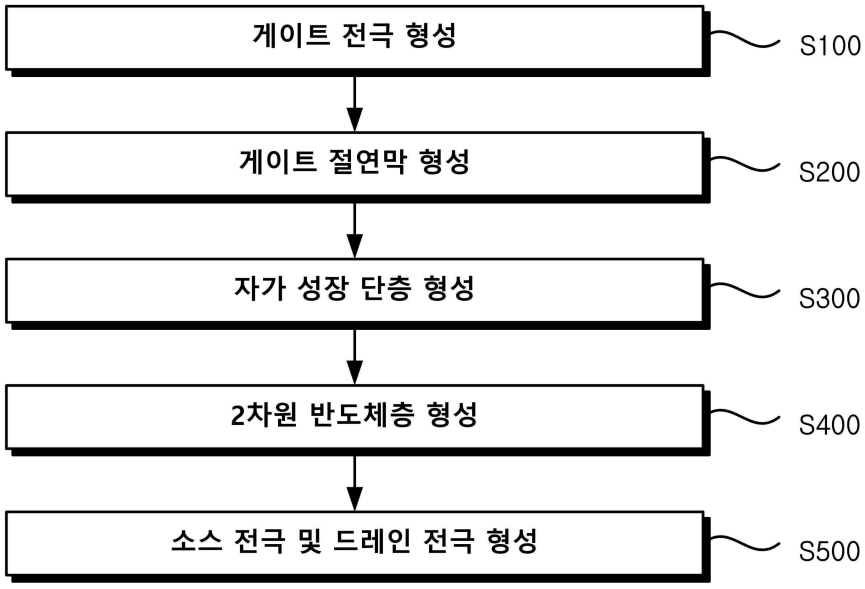
도면2



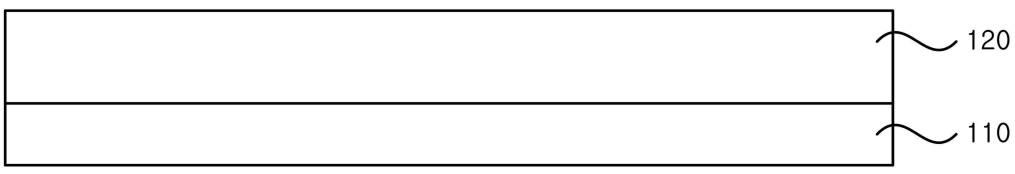
도면3



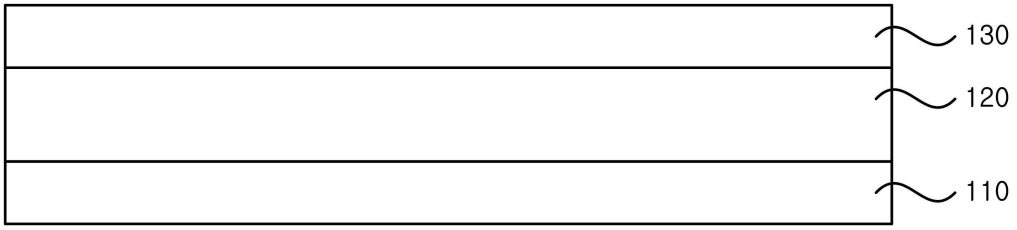
도면4



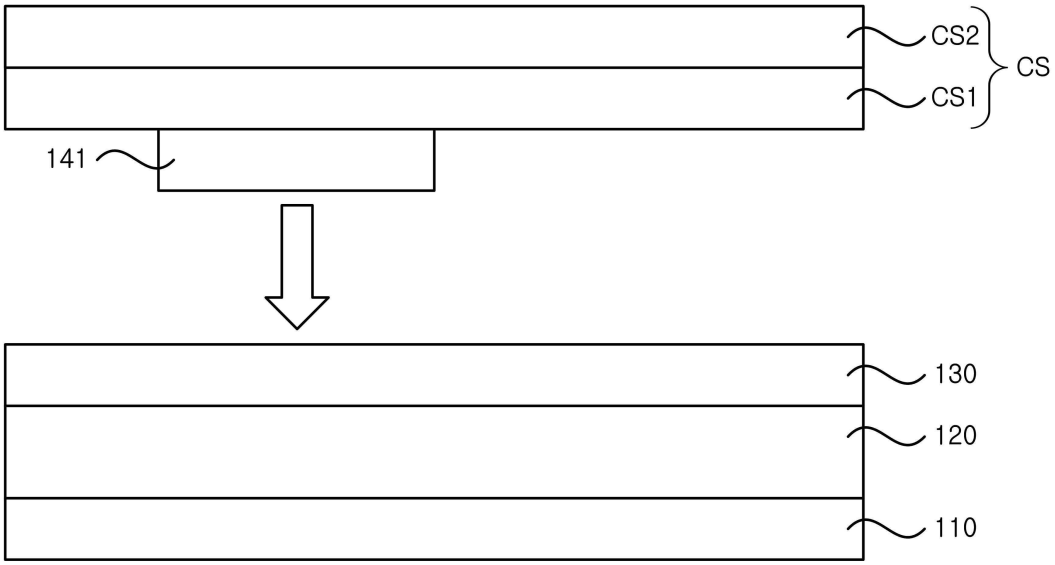
도면5



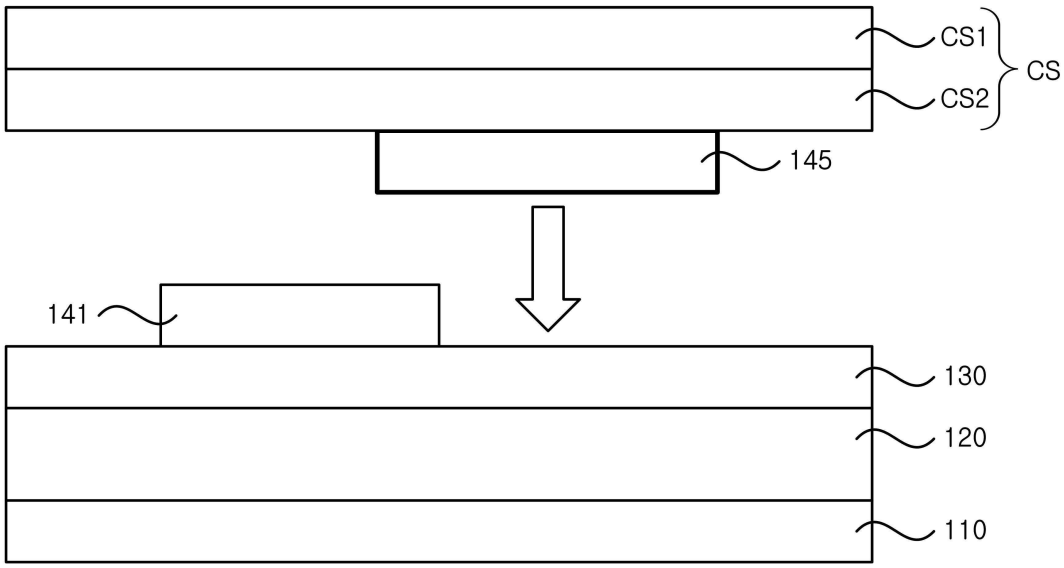
도면6


130
120
110

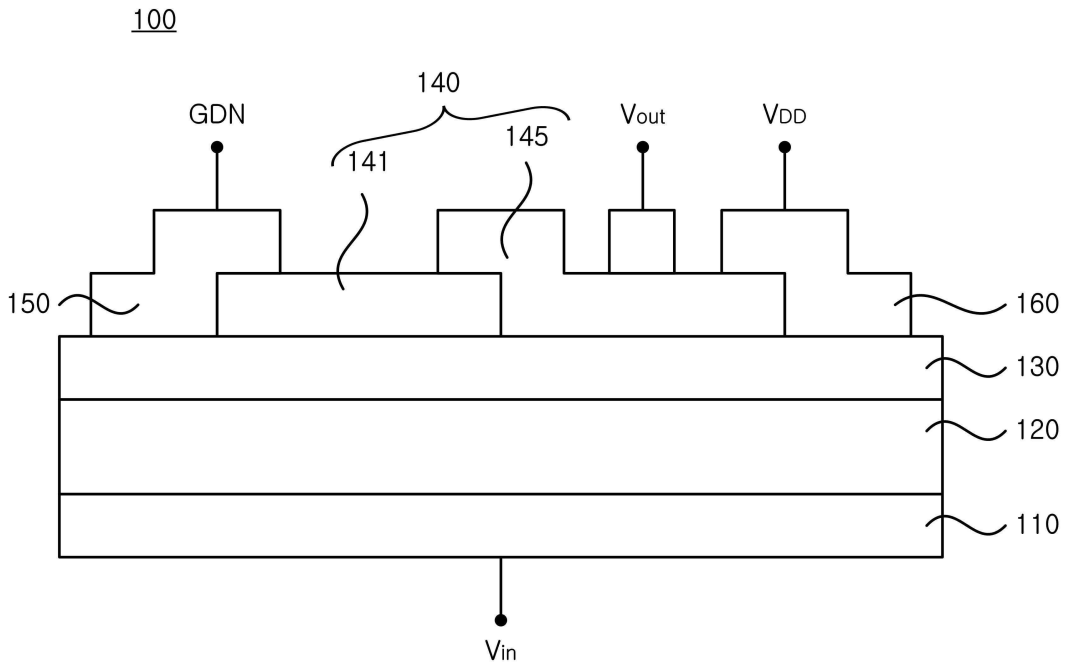
도면7


CS2
CS
CS1
141
130
120
110

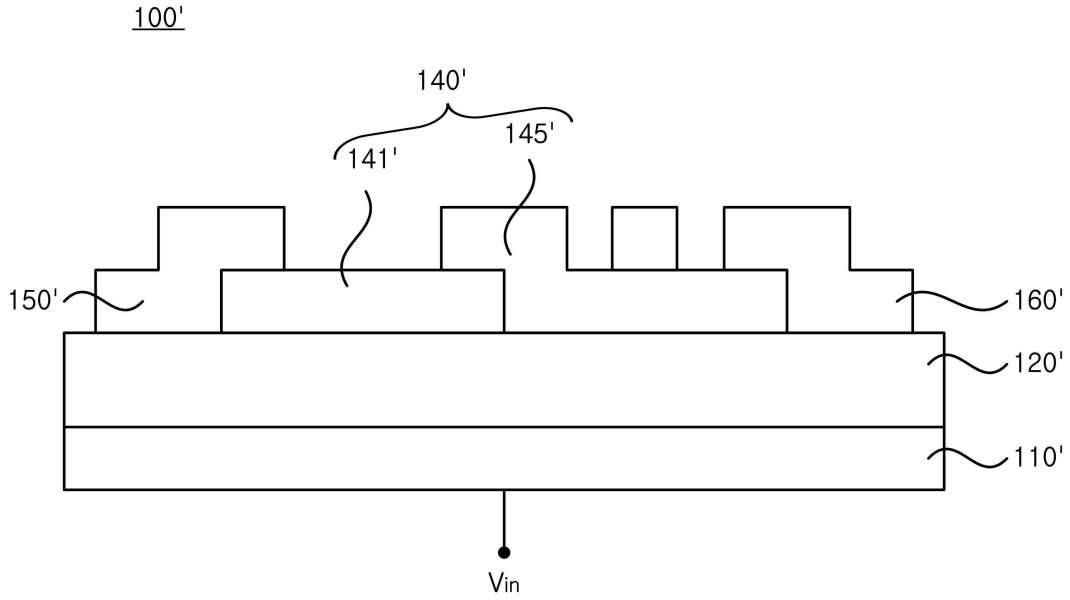
도면8


CS1
CS
CS2
145
141
130
120
110

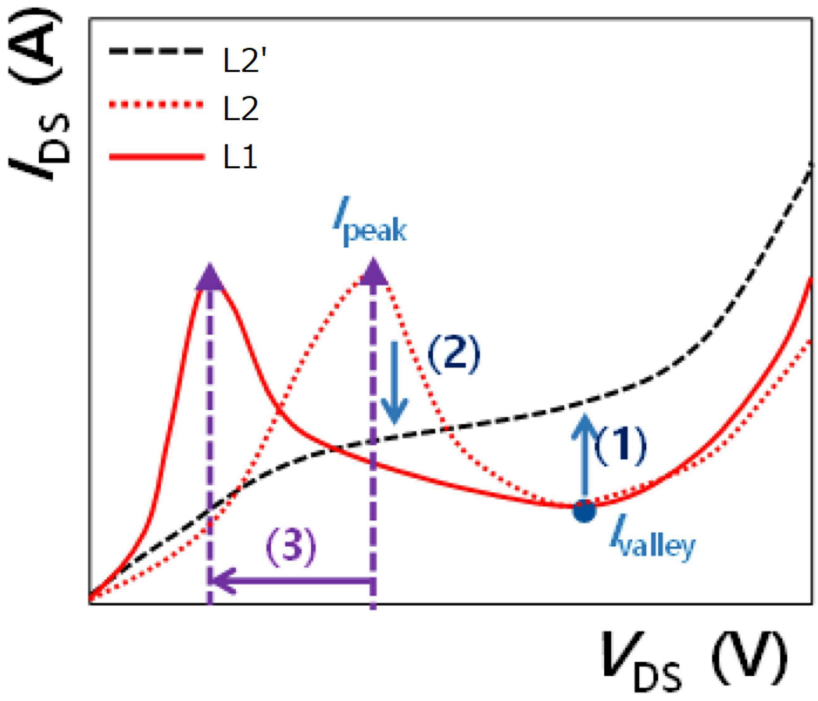
도면9


100
GDN
140
141
145
Vout
VDD
150
160
130
120
110
Vin

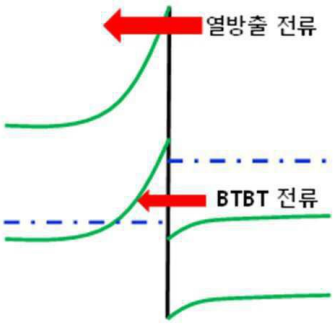
도면10


100'
140'
141'
145'
150'
160'
120'
110'
Vin

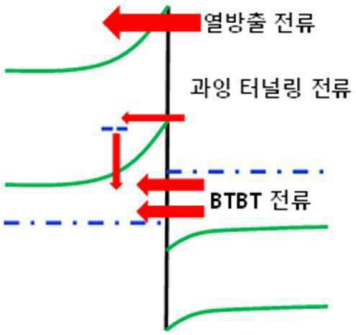
도면11



도면12



도면13



도면14

