



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2014년06월25일  
(11) 등록번호 10-1411369  
(24) 등록일자 2014년06월18일

(51) 국제특허분류(Int. Cl.)  
H04N 5/378 (2011.01) H03M 1/06 (2006.01)  
H03M 1/16 (2006.01) H03M 1/54 (2006.01)  
(21) 출원번호 10-2012-7019410  
(22) 출원일자(국제) 2010년12월20일  
심사청구일자 2012년07월23일  
(85) 번역문제출일자 2012년07월23일  
(65) 공개번호 10-2012-0094963  
(43) 공개일자 2012년08월27일  
(86) 국제출원번호 PCT/JP2010/073641  
(87) 국제공개번호 WO 2011/086845  
국제공개일자 2011년07월21일  
(30) 우선권주장  
JP-P-2010-005153 2010년01월13일 일본(JP)  
JP-P-2010-171177 2010년07월29일 일본(JP)  
(56) 선행기술조사문헌  
KR1020080083573 A\*  
JP2009239694 A\*  
KR1020080071520 A\*  
US5565869 A  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
캐논 가부시끼가이샤  
일본 도쿄도 오오따꾸 시모마루코 3조메 30방 2고  
(72) 발명자  
이케다 야스지  
일본국 도쿄도 오오따꾸 시모마루코 3조메 30방  
2고 캐논 가부시끼가이샤 나이  
히야마 히로키  
일본국 도쿄도 오오따꾸 시모마루코 3조메 30방  
2고 캐논 가부시끼가이샤 나이  
야마자키 카즈오  
일본국 도쿄도 오오따꾸 시모마루코 3조메 30방  
2고 캐논 가부시끼가이샤 나이  
(74) 대리인  
권태복

전체 청구항 수 : 총 10 항

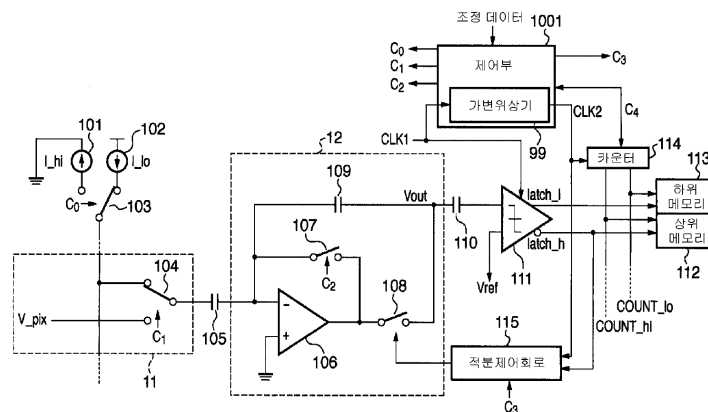
심사관 : 김웅권

(54) 발명의 명칭 활상 시스템 및 활상장치

(57) 요약

활상 시스템은, 화소신호를 전압 레벨로서 유지하는 유지부와, 유지된 전압 레벨과 기준 레벨을 비교하는 비교기와, 제1 및 제2의 비율로 상기 기준 레벨에 접근하도록 상기 전압 레벨을 변화시킬 수 있는 회로로서, 상기 전압 레벨을 상기 제1의 비율로 변화시켜 상기 기준 레벨과 상기 전압 레벨간의 관계의 역전에 따라 상위비트를 결정하고, 그 후에 상기 전압 레벨을 상기 제2의 비율로 변화시켜 상기 기준 레벨과 상기 전압 레벨간의 관계의 역전에 따라 하위 비트를 결정하는, 회로와, 상기 상위비트의 결정 후의 상기 하위 비트와 상기 전압 레벨이 선행 관계를 유지하도록, 상기 상위비트의 결정 후, 상기 제2의 비율로 전압 레벨을 변화시킬 때까지의 기간 동안에 전압 레벨을 조정하는 조정부를 포함하는, A/D변환기를 구비한다.

대표도



## 특허청구의 범위

### 청구항 1

각각이 입사광에 대응한 화소신호를 출력하는 행렬 모양으로 배열된 복수의 화소와, 상기 복수의 화소의 열에 대응해서 설치된 복수의 A/D변환 회로를 구비하는 촬상 시스템으로서,

상기 A/D변환 회로는,

상기 화소신호를 전압 레벨로서 유지하는 유지부;

상기 유지부에 유지된 전압 레벨과 기준 레벨을 비교하는 비교기;

제1의 비율과 상기 제1의 비율보다도 낮은 제2의 비율 중 하나의 비율로 상기 기준 레벨에 접근하도록 상기 유지부에 유지된 전압 레벨을 변화시킬 수 있는 회로로서, 상기 유지부에 유지된 상기 화소신호의 전압 레벨을 상기 제1의 비율로 상기 회로에 의해 변화시키고, 상기 유지부에 유지된 전압 레벨과 상기 기준 레벨간의 관계의 역전에 따라 상위비트를 결정하고, 그 후에 상기 유지부에 유지된 전압 레벨을 상기 제2의 비율로 변화시키고, 상기 유지부에 유지된 전압 레벨과 상기 기준 레벨간의 관계의 역전에 따라 하위 비트를 결정하는, 회로; 및

상기 상위비트의 결정 후의 상기 유지부에 유지된 전압 레벨의 가능한 범위 전체에 걸쳐서 상기 유지부에 유지된 전압 레벨과 상기 하위 비트와의 관계가 선형이 되도록, 상기 상위비트의 결정 후, 상기 제2의 비율로 상기 유지부에 유지된 전압 레벨을 변화시킬 때까지의 기간 동안에, 상기 유지부에 유지된 전압 레벨을 조정하는 조정부를 구비한, 촬상 시스템.

### 청구항 2

촬상장치를 구비한 촬상 시스템으로서,

상기 촬상장치는,

복수의 광전변환소자가 이차원 어레이로 배치된 화소영역을 포함하는 촬상부;

상기 촬상부의 출력을 상위비트와 하위 비트로 이루어진 디지털 신호로 변환하는 A/D변환 회로; 및

조정 데이터를 기억하는 메모리를 구비하고,

상기 A/D변환 회로는,

전압 레벨을 유지하는 유지부; 및

상기 촬상부로부터 출력된 신호의 전압 레벨을 초기 레벨로서 상기 유지부에 유지시키는 기록부를 구비하고,

상기 A/D변환 회로는, 상기 유지부에 의해 유지된 전압 레벨을 상기 초기 레벨로부터 제1의 기울기에서 기준 레벨을 향해서 변화시키고, 그 변화를 시작한 시각부터 상기 전압 레벨이 상기 기준 레벨과 교차하는 시각까지의 시간을 카운트하는 카운터의 카운트 값을 상기 상위비트로서 결정하고, 상기 전압 레벨이 상기 기준 레벨과 교차하여 상기 전압 레벨과 상기 기준 레벨간의 차분이 생긴 후에 상기 전압 레벨을 제2의 기울기에서 상기 기준 레벨을 향해서 변화시키고, 상기 제2의 기울기에서 상기 변화를 시작한 시각부터 상기 전압 레벨이 상기 기준 레벨과 다시 교차하는 시각까지의 시간을 카운트하는 상기 카운터의 카운트 값을 상기 하위비트로서 결정하도록 구성되고, 상기 차분의 발생량은 상기 메모리에 기억된 상기 조정 데이터에 따라서 조정되고,

상기 촬상 시스템은,

상기 A/D변환 회로에 복수의 전압 레벨을 순차적으로 공급하고, 상기 A/D변환 회로에 상기 복수의 전압 레벨을 디지털 신호로 변환시키는 제공부; 및

상기 복수의 전압 레벨과 이 복수의 전압 레벨을 수신하자마자 상기 A/D변환 회로로부터 출력된 상기 디지털 신호의 값들이 상기 전압 레벨의 가능한 범위 전체에 걸쳐서 선형성을 유지하도록, 상기 차분의 발생량을 조정하는데 사용되는 상기 조정 데이터를 상기 메모리에 기억하는 처리부를 갖는, 조정 장치를 더 구비한, 촬상 시스템

템.

### 청구항 3

복수의 광전변환소자가 이차원 어레이로 배치된 화소영역을 포함하는 촬상부와, 상기 촬상부의 출력을 상위비트와 하위 비트로 이루어진 디지털 신호로 변환하는 A/D변환 회로와, 조정 데이터를 기억하는 메모리와, 조정 회로를 구비한 촬상장치로서,

상기 A/D변환 회로는,

전압 레벨을 유지하는 유지부; 및

상기 광전변환소자로부터 출력된 신호의 전압 레벨을 초기 레벨로서 상기 유지부에 유지시키는 기록부를 구비하고,

상기 A/D변환 회로는, 상기 유지부에 의해 유지된 전압 레벨을 상기 초기 레벨로부터 제1의 기울기에서 기준 레벨을 향해서 변화시키고, 그 변화를 시작한 시각부터 상기 전압 레벨이 상기 기준 레벨과 교차하는 시각까지의 시간을 카운트하는 카운터의 카운트 값을 상기 상위비트로서 결정하고, 상기 전압 레벨이 상기 기준 레벨과 교차하여 상기 전압 레벨과 상기 기준 레벨간의 차분이 생긴 후에 상기 전압 레벨을 제2의 기울기에서 상기 기준 레벨을 향해서 변화시키고, 상기 제2의 기울기에서 상기 변화를 시작한 시각부터 상기 전압 레벨이 상기 기준 레벨과 다시 교차하는 시각까지의 시간을 카운트하는 상기 카운터의 카운트 값을 상기 하위비트로서 결정하도록 구성되고, 상기 차분의 발생량은 상기 메모리에 기억된 상기 조정 데이터에 따라서 조정되고,

상기 조정 데이터는, 상기 A/D변환 회로에 공급된 복수의 전압 레벨과, 그 복수의 전압 레벨을 수신하자마자 상기 A/D변환 회로로부터 출력된 디지털 신호의 값들이, 상기 전압 레벨의 가능한 범위 전체에 걸쳐서 선형성을 유지하도록, 상기 차분의 발생량을 제어하는데 사용되는 데이터이며,

상기 조정 회로가, 상기 조정 데이터를 상기 메모리로부터 판독해서 상기 차분의 발생량을 제어하는 차분 제어 회로를 구비한, 촬상장치.

### 청구항 4

제 3 항에 있어서,

상기 A/D변환 회로는, 상기 유지부에 각각, 제1 전류와, 상기 제1 전류와 다른 전류치가 다른 제2 전류를 공급하는 제1 및 제2의 전류원을 더 구비하고, 상기 제1 및 제2의 전류를 상기 유지부에 공급함으로써 상기 제1 및 제2의 기울기에서 상기 전압 레벨을 변화시키는, 촬상장치.

### 청구항 5

제 3 항에 있어서,

상기 차분 제어회로는, 상기 A/D변환 회로를 구동하는 클록 신호의 위상을 제어하는, 촬상장치.

### 청구항 6

제 3 항에 있어서,

상기 차분 제어회로는, 상기 전압 레벨에 대하여 상기 제2의 기울기에서 변화를 시작한 시각으로부터 상기 카운터가 카운트를 시작하는 시각까지의 시간을 제어하는, 촬상장치.

### 청구항 7

제 4 항에 있어서,

상기 A/D변환 회로는, 상기 유지부에 의해 유지된 전압 레벨을 상기 초기 레벨로부터 상기 제1의 기울기에서 상기 기준 레벨을 향해서 변화시켰을 때에 상기 전압 레벨이 상기 기준 레벨과 교차한 후와, 상기 전압 레벨을 상기 제2의 기울기에서 상기 기준 레벨을 향해서 변화시키기 전에, 전류를 상기 유지부에 공급함으로써 상기 전압 레벨을 변화시키는 제3의 전류원을 더 구비하고,

상기 차분 제어회로는, 상기 제3의 전류원이 상기 전압 레벨을 변화시키는 기간을 제어함으로써 상기 차분의 발생량을 제어하는, 촬상장치.

## 청구항 8

제 3 항에 있어서,

상기 A/D변환 회로는, 상기 유지부에 의해 유지된 전압 레벨을 상기 초기 레벨로부터 상기 제1의 기울기에서 상기 기준 레벨을 향해서 변화시켰을 때에 상기 전압 레벨이 상기 기준 레벨과 교차한 후와, 상기 전압 레벨을 상기 제2의 기울기에서 상기 기준 레벨을 향해서 변화시키기 전에, 전류를 상기 유지부에 공급함으로써 상기 전압 레벨을 변화시키는 전류원을 더 구비하고,

상기 차분 제어회로는 상기 전류원이 상기 유지부에 공급하는 전류의 값을 제어함으로써 상기 차분의 발생량을 제어하는, 촬상장치.

## 청구항 9

제 3 항에 있어서,

상기 A/D변환 회로는 상기 하위 비트의 비트수를 변경 가능하도록 구성된, 촬상장치.

## 청구항 10

각각 입사광에 대응한 화소신호를 출력하는 행렬 모양으로 배치된 복수의 화소와, 상기 복수의 화소의 열에 대응하여 설치된 복수의 A/D 변환회로를 구비한 촬상 시스템으로서,

상기 A/D 변환회로는, 제1 기준신호와 상기 화소신호간의 차이와 관련되고 시간에 따라 변화되는 제1 차분의 부호의 반전에 따라, 경과 시간에 근거한 디지털 신호의 제1 비트를 발생하고, 그 후, 상기 A/D 변환회로는, 제2 기준신호와, 상기 제1 차분의 부호의 반전 후 변화된 상기 제1 차분과의 차분의 부호의 반전에 따라, 경과 시간에 근거한 상기 디지털 신호의 제2 비트를 발생하고,

상기 A/D 변환회로는, 상기 제1 차분의 부호의 반전 후 변화하는 상기 제1 차분의 양을 조정하도록 구성된 조정부를 구비한, 촬상 시스템.

## 명세서

### 기술분야

[0001] 본 발명은 촬상 시스템 및 촬상장치에 관한 것이다.

### 배경기술

[0002] 최근의 촬상장치에 사용된 A/D(Analog to Digital)변환 방법의 예는, 이미지 센서의 화소열마다 A/D변환기를 설치하는 칼럼A/D라고 불리는 방법이 있다. 칼럼A/D에 사용된 A/D변환기의 예는, 적분형A/D변환이 있다. 일본국 공개특허공보 특개2005-348325호에는, 상위의 비트와 하위의 비트의 2이상의 단계로 나누어서 A/D변환을 행하는 멀티 스텝 방식이 개시되어 있다.

[0003] 일본국 공개특허공보 특개2005-348325호에는, 이차원 어레이로 배치된 센싱 소자와, 센싱 소자의 열마다 1대1 대응관계로 설치된 A/D변환기를 포함하는, 촬상장치가 개시되어 있다. 이 촬상장치에 있어서, 각 A/D변환기는, 센싱 소자의 아날로그 신호에 대응한 전기신호를 초기값으로서 기억부에 유지한다. 그 후에 입력된 제1

의 고정 신호에 의해 기억부가 충전 혹은 방전된다. 방전 혹은 충전의 시작 시간으로부터 기억부의 전기신호가 기준신호에 도달할 때까지 시간을 이산적으로 계측한다. 그 후에 입력된 제2의 고정 신호에 의해 기억부가 방전 또는 충전된다. 계측후의 기억부의 기준신호를 초과한 전기신호가 기준신호에 도달할 때까지의 시간은, 디지털 값으로서 이산적으로 계측된다. 더 구체적으로는, 적분기의 출력을 화소신호 전압으로서 세트한 후, 부의 (negative) 기울기로서 적분을 시작한다. 어떤 시각에, 적분기의 출력은 기준전압을 하회하고, 상위 N비트의 A/D변환이 종료한다. 종료한 시점에 적분이 일시적으로 중단된다. 그렇지만, 스위치가 이산 시간에 제어되므로, 적분기의 출력과 기준전압간의 차이는 0이 안되고, 양자간에는 전위차(잔차신호)가 존재한다. 다음 스텝에서, 제1의 전위차를 다시 적분함으로써, 하위M비트의 변환을 행한다. 그 후의 어떤 시각에서, 비교기의 기준전압과 적분기 출력이 교차하고, 하위M비트의 A/D변환이 종료한다.

[0004]            그렇지만, 상기한 종래의 예에서는, 상위 변환후의 적분기 출력과 기준전압간의 차이인 잔차신호에 리크(leakage)나 지연등에 의해 생긴 오프셋이 포함되면, 하위 카운트 기간 종료까지 관정을 끝낼 수 없거나, 반대로 하위변환 카운트전에 비교기로부터의 출력이 반전하기도 한다. 이러한 경우, 변환의 선형성은 보다 나빠진다.

## 발명의 내용

[0005]            본 발명은, A/D변환 회로에 입력된 전압 레벨과 그 A/D변환 회로로부터 출력된 디지털 신호와의 선형성을 조정하는데 유리한 기술을 제공한다.

[0006]            본 발명의 제1 국면에서는, 각각이 입사광에 대응한 화소신호를 출력하는 행렬 모양으로 배열된 복수의 화소와, 상기 복수의 화소의 열에 대응해서 설치된 복수의 A/D변환 회로를 구비하는 촬상 시스템으로서, 상기 A/D변환 회로는, 상기 화소신호를 전압 레벨로서 유지하는 유지부; 상기 유지부에 유지된 전압 레벨과 기준 레벨을 비교하는 비교기; 제1의 비율과 상기 제1의 비율보다도 낮은 제2의 비율 중 하나의 비율로 상기 기준 레벨에 접근하도록 상기 유지부에 유지된 전압 레벨을 변화시킬 수 있는 회로로서, 상기 유지부에 유지된 상기 화소신호의 전압 레벨을 상기 제1의 비율로 상기 회로에 의해 변화시키고, 상기 유지부에 유지된 전압 레벨과 상기 기준 레벨간의 관계의 역전에 따라 상위비트를 결정하고, 그 후에 상기 유지부에 유지된 전압 레벨을 상기 제2의 비율로 변화시키고, 상기 유지부에 유지된 전압 레벨과 상기 기준 레벨간의 관계의 역전에 따라 하위 비트를 결정하는, 회로; 및 상기 상위비트의 결정 후의 상기 유지부에 유지된 전압 레벨의 가능한 범위 전체에 걸쳐서 상기 유지부에 유지된 전압 레벨과 상기 하위 비트와의 관계가 선형이 되도록, 상기 상위비트의 결정 후, 상기 제2의 비율로 상기 유지부에 유지된 전압 레벨을 변화시킬 때까지의 기간 동안에, 상기 유지부에 유지된 전압 레벨을 조정하는 조정부를 구비한, 촬상 시스템을 제공한다.

본 발명의 제2 국면에서는, 각각 입사광에 대응한 화소신호를 출력하는 행렬 모양으로 배치된 복수의 화소와, 상기 복수의 화소의 열에 대응하여 설치된 복수의 A/D 변환회로를 구비한 촬상 시스템으로서, 상기 A/D 변환회로는, 제1 기준신호와 상기 화소신호간의 차이와 관련되고 시간에 따라 변화되는 제1 차분의 부호의 반전에 따라, 경과 시간에 근거한 디지털 신호의 제1 비트를 발생하고, 그 후, 상기 A/D 변환회로는, 제2 기준신호와, 상기 제1 차분의 부호의 반전 후 변화된 상기 제1 차분과의 차분의 부호의 반전에 따라, 경과 시간에 근거한 상기 디지털 신호의 제2 비트를 발생하고, 상기 A/D 변환회로는, 상기 제1 차분의 부호의 반전 후 변화하는 상기 제1 차분의 양을 조정하도록 구성된 조정부를 구비한, 촬상 시스템을 제공한다.

본 발명의 또 다른 특징들은, 첨부된 도면들을 참조하여 다음의 예시적 실시예들의 설명으로부터 명백해질 것이다.

[0007]            삭제

## 도면의 간단한 설명

[0008]            도 1은 본 발명이 적용되는 촬상 시스템을 도시한 블록도;

도 2는 제1 실시예를 설명하는 회로도;

도 3은 도 2의 구동 타이밍과 동작 파형을 도시한 타이밍 차트;

- 도 4a 내지 4c는 오버레이의 상태를 설명하는 타이밍 차트;
- 도 5는 본 발명에 따른 차분을 조정하는 방법을 설명하는 회로도;
- 도 6은 제2 실시예를 설명하는 회로도;
- 도 7은 도 6의 구동 타이밍 및 동작 파형을 도시한 타이밍 차트;
- 도 8은 제3 실시예를 설명하는 회로도;
- 도 9는 도 8의 구동 타이밍 및 동작 파형을 도시한 타이밍 차트;
- 도 10은 제4 실시예를 설명하는 회로도;
- 도 11은 도 10의 구동 타이밍 및 동작 파형을 도시한 타이밍 차트;
- 도 12는 제5 실시예에 따른 구동 타이밍을 도시한 타이밍 차트다.

### 발명을 실시하기 위한 구체적인 내용

- [0009] 도 1은 본 발명의 실시예에 따른 촬상 시스템을 나타낸다. 도 1에 있어서, 촬상 시스템(50)은, 광학계(1)와, 촬상장치(8)와, 조정부 또는 조정 회로를 구성하는 조정 장치(7)와, 신호처리회로(5)를 포함한다. 광학계(1)는, 촬상장치(8)의 일부이어도 된다. 촬상장치(8)는, 촬상부(2)와, A/D변환 회로(3)와, 메모리(4)를 구비한다. 광학계(1)는, 촬상부(2)의 촬상면에 피사체의 상을 형성한다. 촬상부(2)는, CMOS 이미지 센서 또는 CCD 이미지 센서 등의 고체촬상소자다. 촬상부(2)의 촬상면에는, 복수행 및 복수열로 이루어진 이차원 어레이, 즉 행렬 모양으로 배열되어 있는 화소를 갖는다. 각 화소는, 입사광에 따라 화소신호를 발생하는 광전변환소자를 구비한다. 촬상부(2)에서 촬상된 화상의 신호는, 아날로그 화소신호V<sub>pix</sub>로서 촬상부(2)로부터 출력된다. A/D변환 회로(3)는, 촬상부(2)로부터 출력된 아날로그 화소신호V<sub>pix</sub>를 디지털 신호로 변환해서 출력한다. 신호처리회로(5)는, A/D변환 회로(3)로부터 출력된 디지털 신호를 처리하고, 처리된 디지털 신호를 출력 단자(6)로부터 출력한다.
- [0010] 촬상부(2)와 A/D변환 회로(3)를 포함하는 회로는, 1개의 반도체칩 위에 형성되어도 좋거나, 복수의 반도체칩 위에 형성되어도 좋다. 적어도 촬상부(2)의 화소 어레이와 A/D변환 회로는 동일한 반도체칩 위에 형성된다. 또한, 메모리(4)도 촬상부(2)와 동일한 반도체칩 위에 형성되어도 좋다. 촬상부(2)와 A/D변환 회로(3)가 1개의 반도체칩 위에 형성되는 경우에, 하나의 화소열 또는 복수의 화소열에 대해 A/D변환 회로가 설치되어도 된다. 또는, 화소신호의 출력수와 동수의 A/D변환 회로가 설치되어도 좋거나, 다른 형태가 채용되어도 된다.
- [0011] 조정 장치(7)는 A/D변환 회로(3)에 복수의 참조 신호를 제공하는 제공부(71)와, 조정 데이터를 메모리(4)에 기억하는 처리부(72)를 구비한다. 이때, 메모리(4)로서는, 예를 들면, 비휘발성의 메모리, 또는 배터리로 백업된 휘발성의 메모리를 사용한다.
- [0012] 도 2는, 2단계 A/D변환, 즉 상위변환과 하위변환을 행하는 A/D변환 회로(3)의 제1 실시예의 구성을 도시한 회로도다. 제1의 전류원인 상위전류원 회로(101)와 제2의 전류원인 하위전류원 회로(102)는, 각각 도 3에 도시되는 제1의 기울기  $\Delta V_1/\Delta t_1$ , 및 제2의 기울기  $\Delta V_2/\Delta t_2$ 에서, 유지부를 구성하는 적분회로(12)에 의해 유지된 전압 레벨을 변화시킨다. 상위전류원 회로(101)와 하위전류원 회로(102)는 각각 전류I<sub>hi</sub> 및 I<sub>lo</sub>를 적분회로(12)에 공급한다. 이것들의 전류의 값은, 제1의 비율과 이 제1의 비율보다도 낮은 제2의 비율을 결정한다. "전류를 공급한다"고 하는 표현은, 적분회로(12)에 전류를 흘려보내는 동작과, 적분회로(12)로부터 전류를 인출하는 동작의 양쪽을 포함한다. M비트의 하위변환을 행할 경우,  $I_{hi} = -I_{lo} \times 2^M$ 이다. 상위전류원 회로(101)와 하위전류원 회로(102) 중 하나가 제어부(1001)로부터의 제어신호C<sub>0</sub>에 의해서 제어되는 스위치(103)에 의해 선택된다. 상기 선택된 전류원과 화소출력V<sub>pix</sub> 중 하나가 제어부(1001)로부터의 제어신호C<sub>1</sub>에 의해 제어된 스위치(104)에 의해 선택된다. 스위치(104)에 의해 선택된 신호는, 입력 용량(105)을 거쳐서, 유지부를 구성하는 적분회로(12)에 공급된다. 적분회로(12)는, 연산증폭기(106), 제어부(1001)로부터의 제어신호C<sub>2</sub>에 의해 제어된 리셋트 스위치(107), 적분제어회로(115)에 의해 제어된 적분제어 스위치(108) 및 적분용량(109)을 포함한다.
- [0013] 적분회로(12)의 출력은, 노드V<sub>out</sub>에 제공되고, 접속 용량(110)을 통해 비교기(111)에 공급된다. 비교기(111)는, 클럭 신호CLK<sub>1</sub>의 상승 에지(leading edge)에서 적분회로(12)의 출력과 기준전압V<sub>ref</sub>와의 비교를 행한다. 적분회로(12)의 출력이 기준전압V<sub>ref</sub> 미만일 때에, 비교기(111)는, 신호latch<sub>h</sub>를 출력한다. 적분회로(12)의 출력이 기준전압V<sub>ref</sub> 이상인 경우, 비교기(111)는, 신호latch<sub>l</sub>를 출력한다. 출력latch<sub>h</sub> 및 latch<sub>l</sub>은 각각



상위 메모리(112)와 하위 메모리(113)에 공급된다. 카운터(114)는 가변위상기(99)에 의해 위상이 조정된 클록 신호CLK2 및 제어부(1001)로부터의 제어신호C<sub>4</sub>에 의해 제어된다. 카운터(114)는, 상위의 카운트 값COUNT<sub>hi</sub>를 상위 메모리(112)에, 하위의 카운트 값COUNT<sub>lo</sub>를 하위 메모리(113)에 각각 공급한다. 상위 메모리(112)와 하위 메모리(113)는, 각각 신호latch<sub>h</sub> 및 latch<sub>l</sub>가 입력되었을 때의 카운트 값을 유지한다. 최종적인 A/D변환의 디지털 신호 출력은 상위 메모리(112)의 값인 상위비트와 하위 메모리(113)의 값인 하위 비트를 결합하여 얻어진 값이다.

[0014] 적분제어회로(115)는, 적분제어 스위치(108)의 온(ON)/오프(OFF)를 제어한다. 적분제어회로(115)는, 클록신호CLK2 및 제어부(1001)로부터의 제어신호C<sub>3</sub>에 근거하여 동작하여, 상기 신호latch<sub>h</sub>가 입력된 후의 클록신호CLK2의 상승 에지에서 적분제어 스위치(108)를 오프 한다. 또한, 적분제어회로(115)는, 제어신호C<sub>3</sub>이 하이(high)가 된 후에 가변위상기(99)로부터 입력된 클록신호CLK2의 상승 에지에서, 적분제어 스위치(108)를 온 한다. 도 2에 있어서, 기록부(11)는, 스위치(104)를 거쳐서, 상기 유지부를 구성하는 적분회로(12)에 화소출력 V<sub>pix</sub>를 초기값으로서 설정한다.

[0015] 도 3은 도 2의 구동상태의 구동 타이밍 및 동작 파형을 나타낸 타이밍 차트다. 도 3에 있어서, Vout는, 도 2에 있어서의 노드Vout의 전위를 나타내고 있다. 우선, 통상의 촬상동작시, 촬상부(2)로부터 출력된 아날로그 화소신호V<sub>pix</sub>를 A/D 변환 회로(3)에서 A/D변환하는 동작을 설명한다. 기록부(11)에 구비된 스위치(104)는, 화소신호V<sub>pix</sub>를 선택하여, 이 화소신호V<sub>pix</sub>를 적분회로(12)에 공급한다. 노드Vout는 화소신호V<sub>pix</sub>에 의해 충전된다. 시각 t<sub>31</sub>에 있어서, 클록신호CLK2의 상승 에지에 동기하여, 적분제어회로(115)가 적분제어 스위치(108)를 온으로 하고, 상위비트를 결정하기 위해 적분동작이 시작된다. 이 때, 스위치103 및 104에 의해 적분회로(12)에 입력으로서 상위전류원 회로(101)가 선택되므로, 상위전류I<sub>hi</sub>에 의해 적분회로(12)가 방전되어서 노드Vout의 전압 레벨이 저하한다. 이것에 의해, 적분회로(12)의 전압 레벨을, 화소출력V<sub>pix</sub>에서 설정된 초기 레벨로부터 제1의 기울기(제1의 비율)(= -ΔV1/Δt1)로 변화시키는 동작이 행해진다. 비교기(111)에 의한 비교는 클록신호CLK1의 상승 에지에서 행해진다. 이 때문에, 노드Vout의 전압 레벨이 기준전압Vref를 하회한 후, 즉 전압 관계가 역전된 후에, 클록신호CLK1의 제1의 상승 에지에 해당하는 시각 t<sub>32</sub>에 있어서, 비교기(111)에 의한 비교 결과가 반전하고, 하이레벨의 신호latch<sub>h</sub>가 출력된다. 하이레벨의 신호latch<sub>h</sub>를 받은 상위 메모리(112)는, 이 시점에서의 카운트 값을 유지한다. 이 카운트 값이 상위비트의 값으로서 결정된다. 한편, 적분제어회로(115)는 하이레벨의 신호latch<sub>h</sub>가 입력된 후의 클록신호CLK2의 상승 에지에서 적분제어 스위치(108)를 오프로 하여, 시각 t<sub>33</sub>에서 적분동작이 정지한다. 시각 t<sub>34</sub>는 카운터(114)의 상위비트가 "111"이 된 타이밍이며, 상위변환의 종료 시각에 해당한다. 상위비트 결정 후, 시각 t<sub>35</sub>에서, 스위치(103)를 하위전류원 회로(102)에 접속하고, 다시 적분제어 스위치(108)를 온으로 하여, 하위 비트를 결정하기 위한 적분동작을 시작한다. 이것에 의해, 기준전압Vref와 교차하고, 기준전압Vref와의 사이에 차분이 생긴 적분회로(12)의 출력 전압 레벨을 제2의 기울기(제2의 비율)(= +ΔV2/Δt2)에서 변화시키는 동작이 행해진다. 시각 t<sub>36</sub>에서, 적분회로(12)의 출력 전압 레벨이 기준전압Vref를 상회한다(즉, 전압 관계가 다시 역전한다). 이 때문에, 비교기(111)에 의한 비교 결과가 다시 반전하고, 하이레벨의 신호latch<sub>l</sub>를 출력한다. 하이레벨의 신호latch<sub>l</sub>를 받은 하위 메모리(113)는 이 시점에서의 카운트 값을 유지한다. 시각 t<sub>37</sub>은 카운터(114)의 하위 비트가 "111"이 된 타이밍이고, 하위변환의 종료 시각이다.

[0016] 본 실시예에서는, 비교기(111)와 적분제어 스위치(108)를 클록신호CLK1과 CLK2에 의거하여 동작시킨다. 이것은, 비교를 행하는 시각 t<sub>32</sub>로부터 적분동작을 정지시키는 시각 t<sub>33</sub>까지의 기간p31에 있어서, 기준전압Vref와 적분회로(12)의 출력전압 레벨간의 차분의 발생량에 대해서 오프셋을 적용한다. 가변위상기(99)는, 클록신호CLK1과 CLK2의 타이밍을 변경하여서 상기 기간p31을 조정할 수 있다. 가변위상기(99)는, 예를 들면 DLL회로를 포함한다. 기간p31의 길이에 의해, 노드Vout에 제공되는 적분회로(12)의 출력 전압 레벨과 기준 레벨인 기준전압Vref와의 차분인 잔차신호에 부여되는 오프셋량을 조정할 수 있다. 이에 따라 하위의 판정이 하위 변환기간p2 내에 끝나도록 조정할 수 있어, 결과적으로 선형성의 악화를 억제할 수 있다.

[0017] 본 예에서는, 클록신호CLK1과 CLK2를 사용하여 제어한다. 그렇지만, 하나의 클록 신호를 지연시킴으로써 2개의 클록 신호를 생성하여도 된다. 또는, 하나의 클록 신호의 상승 에지와 하강 에지를 사용해서 기간p31을 생성하여도 된다.

[0018] 잔차신호의 조정량을 결정하는 방법으로서, 입력을 스위프(sweep)하자마자 하위출력(하위 비트의 출력)에 의거하여 조정량을 결정하는 방법이 있다. 도 4a 내지 4c는, 오버레인지 상태와, 적절한 범위내에서의 하위출력을 나타낸다. 도 4a에서, 최소 출력이 연속하고 있다. 이 경우에, 잔차신호가 이상적인 신호보다 작기 때

문에, 오버레이징이 일어난다(도 3에서 하위의 판정이 하위변환 기간p2의 전반에만 행해진다). 마찬가지로, 도 4b는 최대의 출력이 연속하고 있는 것을 나타낸다. 잔차신호가 이상적인 신호보다 크기 때문에, 오버레이징이 일어난다(도 3에서 하위의 판정이 하위변환 기간p2의 후반에만 행해진다). 즉, 광전변환소자의 출력의 변화 범위내에서 하위 비트가 비선형으로 변화되고 있는 것을 알 수 있다. 그것에 대하여, 도 4c는 적절한 범위내에서의 동작을 나타내고, 최소출력이나 최대출력은 연속하지 않고 있다. 보다 구체적으로, 상기 광전변환소자의 출력의 값과 상기 디지털 신호의 하위신호의 값과의 관계가 상기 광전변환소자의 출력의 값의 가능한 범위 전체에 걸쳐 선형으로 변화되고 있는(도 3에서 하위의 판정이 하위변환 기간p2의 전체에 걸쳐 행해지는) 것을 안다. 이러한 상태를 이상적인 상태로 가정한다. 따라서, 최소출력이 연속하는 경우, 잔차신호를 증가시키도록 조정을 한다. 반대로, 최대출력이 연속하는 경우에는, 잔차신호를 감소시키도록 조정을 한다. 최소출력이나 최대출력이 연속하지 않는 상태까지 조정을 계속하여서 적절한 조정량을 얻을 수 있다.

[0019]

제1 실시예에서는, 입력을 스위프하자마자 최소출력이 연속하는 경우에, 기간p31을 서서히 길게 한다. 최소출력이 연속하지 않게 되었을 때 얻어진 기간p31은, 조정량으로서 적합하다.

[0020]

다음에, 도 5를 참조해서 캘리브레이션시에, 이 기간p31을 조정하는 방법에 관하여 설명한다. 예를 들면, 공장에서 출하시에, 도 1에 나타낸 조정 장치(7)의 제공부(71)에 설치될 수 있는 스위프 신호발생기(97)는, 연속적으로 변화되는 스위프 신호를 적분회로(12)(도 2)에 공급할 수 있다. 보다 구체적으로, 복수의 전압 레벨이 이 스위프 신호발생기(97)에 의해 적분회로(12)에 순차적으로 제공되어, 상위 및 하위의 A/D변환이 행해진다. 하위 메모리(113)로부터의 신호를, 도 1의 조정 장치(7)의 처리부(72)에 설치될 수 있는 검출 회로(98)에 공급하여, 이 검출 회로(98)는 하위신호에 있어서 최대값 또는 최소값의 연속도를 검출한다. 예를 들면, LUT(룩업테이블)을 갖는 조정 데이터 결정 회로(100)에 의해, 검출 회로(98)의 출력에 따라서 조정 데이터를 결정할 수 있다. 이 조정 데이터는, 메모리(4)에 기억된다. 이때, 상기 검출 회로(98) 및 조정 데이터 결정 회로(100)는, 도 1의 조정 장치(7)의 처리부(72)에 설치될 수 있다. 조정 데이터 결정 회로(100)의 출력에 의해 차분 제어회로를 구성하는 가변위상기(99)가 제어될 수 있다. 보다 구체적으로는, 클럭신호CLK1과 CLK2간의 위상차를 제어 함에 의해, 이상적인 잔차신호가 얻어지도록 기간p31이 변경된다. 상기한 바와 같이, 최소출력이 연속하는 경우에는, 기간p31을 서서히 길게 한다. 반대로, 최대출력이 연속하는 경우에는, 기간p31을 서서히 짧게 한다. 이 조정 장치(7)에 의해 복수의 전압 레벨이 순차적으로 제공되었을 때에, 이 전압 레벨과 A/D변환 회로(3)로부터 출력된 디지털 신호는, 상기 전압 레벨의 가능한 범위 전체에 걸쳐서 선형 관계가 되도록 기간p31이 제어된다. 이에 따라 도 4c에 나타나 있는 바와 같은 관계가 실현된다. 이렇게 하여 얻어진 기간p31의 데이터는 도 1 또는 도 5의 메모리(4)에 기억된다. 촬상장치(8)의 통상 동작에 있어서, 이 메모리(4)에 기억된 기간p31의 데이터는, 조정 데이터로서 사용된다. 이때, 상기 메모리(4)에 기억되는 조정 데이터는, 화소영역의 열마다 발생되어서, 각각 다른 어드레스에 기억되어도 된다. 또한, 모든 열에 공통인 조정 데이터를 기억하여도 된다. 상기한 조정 방법은, 제1 실시예 이외의 어떠한 실시예에도 적용 가능하다.

[0021]

도 6은 A/D변환 회로(3)의 제2 실시예의 구성을 나타낸 회로도다. 도 2와의 차이를 설명한다. 도 6을 참조하면, 비교기(111)와 카운터(114)는 공통의 클럭신호CLK1에 의해 제어된다. 제2 실시예의 제어부(1002)는 펄스 생성 회로(116)를 구비한다. 적분제어회로(115)는, 적분동작의 시작을 펄스 생성 회로(116)에 의해 생성된 펄스ENINT의 상승 에지에 의거한 적분동작의 시작과, 신호latch\_h에서의 상승 에지에 의거한 적분동작의 정지를 제어한다. 제2 실시예에서는, 하위변환시의 카운터(114)의 카운트 시작은, 제어신호C<sub>4</sub>에 의해, 상위변환시의 카운터(114)의 카운트 종료로부터 지연을 가지도록 제어되고, 그 때에 펄스ENINT의 출력을 제어한다. 나머지 구성 요소는, 도 2와 같다.

[0022]

도 7은 도 6의 구동상태의 구동 타이밍 및 동작 파형을 나타낸 타이밍 차트다. 노드Vout는 화소출력에 의해 미리 충전되어 있다. 시각 t71에 있어서, 하イレ벨의 펄스ENINT가 적분제어회로(115)에 입력되어서 적분제어 스위치(108)가 온이 됨으로써, 상위비트의 적분동작이 시작된다. 동시에, 카운터(114)는, 카운트 동작을 시작한다. 이때, 스위치(103, 104)에 의해, 상위전류원 회로(101)가 입력 용량(105)에 전류를 공급하도록 선택되어 있어, 상위전류I<sub>hi</sub>에 의해 적분회로가 방전됨으로써 노드Vout의 전위가 저하한다. 비교기(111)는, 클럭신호CLK1의 상승 에지에서 비교를 행한다. 이 때문에, 노드Vout의 전위가 기준전압Vref를 하회한 후에 클럭신호CLK1의 첫 번째 상승 에지에 해당하는 시각 t72에서, 비교기(111)는, 비교 결과를 반전하고, 하イレ벨의 신호latch\_h를 출력한다. 하イレ벨의 신호latch\_h를 받은 상위 메모리(112)는, 그 시점에서의 카운트 값을 유지한다. 동시에 하イレ벨의 신호latch\_h를 받은 적분제어회로(115)는, 적분제어 스위치(108)를 오프로 해서 적분동작을 정지한다. 시각 t73은, 카운터(114)의 상위비트가 "111"이 된 타이밍이고, 상위변환의 종료 시각이다.



- [0023] 그 후, 스위치(103)는, 하위전류원 회로(102)에 접속된다. 시각 t74에서, 펄스ENINT가 상승하고, 다시 적분제어 스위치(108)를 온으로 해서 하위적분을 시작한다. 이때, 적분제어 스위치(108)가 온하는 것과 동기해서 카운터(114)는 동작하지 않는다. 시각 t74로부터 기간p71의 경과 후 시각 t75에서 카운트 동작을 시작한다. 이러한 기간p71은, 펄스ENINT가 발생하는 시각 t74(앞의 펄스ENINT가 발생한 시각 t71로부터의 클럭신호CLK1의 수)에 의해 결정된다.
- [0024] 시각 t76에서, 비교기(111)는 다시 비교 결과를 반전하고 하이레벨의 신호latch\_l을 출력한다. 하이레벨의 신호latch\_l을 받은 하위 메모리(113)는, 카운트 값을 유지한다. 시각 t77은 카운터(114)의 하위 비트가 "111"이 된 타이밍이며, 하위변환의 종료 시각이다.
- [0025] 본 실시예에서는 하위 비트 적분개시시각t74로부터 카운트 개시시각t75까지의 기간p71의 길이에 의해 잔차신호의 오프셋량을 조정할 수 있다. 상기 기간p71을 잔차신호의 이상값과의 차이에 대응한 값으로 조정함으로써 하위변환 기간 p2내에서 변환이 행해지도록 조정하는 것이 가능해서, 결과적으로 선형성의 악화를 억제할 수 있다. 조정량의 결정 방법은, 제1 실시예에 있어서 설명한 것과 같다. 보다 구체적으로, 제1 실시예와 같이, 스위프 신호발생기(97), 검출 회로(98) 및 조정 데이터 결정 회로(100)를 설치한다. 적분회로에의 입력V<sub>pix</sub>를 제공부(71)에 설치된 스위프 신호발생기(97)로부터 공급된 스위프 신호에 의해 스위프 되어 연속적으로 변화된다. 이 때에, 검출 회로(98)는 하위 메모리(113)의 출력을 검출한다. 이 검출 회로(98)는 하위신호에 있어서 최대값 또는 최소값의 연속도를 검출한다. 상기 검출 회로(98)의 출력에 따라 조정 데이터 결정 회로(100)는 조정 데이터를 결정한다. 또한, 이 검출 회로(98) 및 조정 데이터 결정 회로(100)는 도 1의 조정 장치(7)의 처리부(72)에 설치된다. 그 조정 데이터를 펄스 생성 회로(116)에 공급하여 펄스ENINT의 타이밍을 제어함으로써, 기간 p71을 조정할 수 있다. 이렇게 하여 얻어진 기간p71의 데이터는, 도 1의 메모리(4)에 기억된다. 촬상장치(8)의 통상 동작시에, 이 메모리(4)에 기억된 기간p71의 데이터는, 펄스ENINT의 타이밍을 제어하기 위한 조정 데이터로서 사용된다. 또한, 제2 실시예에서는, 제어신호C<sub>4</sub>에 의한 하위변환시의 카운터(114)의 카운트 개시 시각 t75의 조정이나, 혹은 펄스ENINT의 타이밍t74와 카운트 개시 시각 t75를 모두 조정해도 된다.
- [0026] 도 8은 제3 실시예에 따른 A/D변환 회로(3)의 구성 예를 나타내는 회로도다. 도 2와의 차이를 설명한다. 도 8을 참조하면, 상위전류원 회로(101) 및 하위전류원 회로(102)와 아울러, 오프셋 전류원 회로(121)가 설치된다. 오프셋 전류원 회로(121)에 의해 공급된 전류I<sub>off</sub>는 임의의 값을 갖는다. 전류원 회로(101, 102, 121)중 하나를, 제어부(1003)로부터의 제어신호C'<sub>0</sub>에 의해 제어된 스위치(122)에 의해 선택한다. 적분제어 스위치(108)는, 신호CLK1과 latch\_h에 의해 구동된 적분제어회로(115)로부터의 신호에 의해 제어되고, 또 제어부(1003)에 설치된 펄스폭 제어회로(150)로부터의 신호에 의해서도 제어된다. 도 8의 적분제어 스위치(108)는, 적분제어회로(115)로부터의 신호와 펄스폭 제어회로(150)로부터의 신호 중 하나가 하이레벨이면 접속된다. 제3 실시예에서는, 하위변환시의 카운터(114)의 카운트 시작은, 제어신호C<sub>4</sub>에 의해서 상위변환시의 카운터(114)의 카운트 종료로부터 지연을 가지도록 제어되고, 그 때에 펄스폭 제어회로(150)로부터의 신호의 출력을 제어한다. 나머지 구성요소는 도 2와 같다.
- [0027] 도 9는 도 8의 구동상태의 구동 타이밍 및 동작 파형을 나타낸 타이밍 차트다. 노드Vout는 화소출력에 의해 미리 충전된다. 시각 t91에서, 클럭신호CLK1에 동기해서 적분제어회로(115)가 적분제어 스위치(108)를 온으로 하여서 상위비트의 적분동작이 개시된다. 동시에, 카운터(114)는, 카운트 동작을 시작한다. 이때, 스위치(122, 104)에 의해, 상위전류원 회로(101)에의 전류가 입력 용량(105)에 공급되도록 선택되고, 상위전류I<sub>hi</sub>에 의해 적분회로가 방전됨으로써 노드Vout의 전위가 저하한다. 비교기(111)에 의한 비교는 클럭신호CLK1의 상승에지에서 이루어진다. 이 때문에, 노드Vout의 전위가 기준전압Vref를 하회한 후에 클럭신호CLK1의 첫 번째 상승에지에 해당하는 시각 t92에 있어서, 비교기(111)는, 비교 결과를 반전하고, 하이레벨의 신호latch\_h를 출력된다. 하이레벨의 latch\_h를 받은 상위 메모리(112)는, 그 시점의 카운트 값을 유지한다. 동시에 하이레벨의 신호 latch\_h를 받은 적분제어회로(115)는, 적분제어 스위치(108)를 오프로 해서 적분동작을 정지한다. 시각 t93은 카운터(114)의 상위비트가 "111" 이 된 타이밍이며, 상위변환의 종료 시각이다.
- [0028] 그 후에, 스위치(122)는, 오프셋 전류원 회로(121)에 접속된다. 시각 t94에서, 펄스폭 제어회로(150)로부터 출력된 신호OFFSET SEL이 하강하는, 적분제어 스위치를 온 한다. 신호OFFSET SEL이 하이레벨인 기간p91 후에, 시각 t95에서 오프셋 적분을 정지한다. 그 후에, 스위치(122)는, 하위전류원 회로(102)에 접속되고, 시각 t96에서 하위 비트의 적분과 하위 카운트가 시작된다.
- [0029] 시각 t97에서, 비교기(111)는, 비교결과를 다시 반전해서 하이레벨의 신호latch\_l을 출력한다. 하이레

벨의 신호latch\_l을 받은 하위 메모리(113)는 카운트 값을 유지한다. 시각 t98은, 카운터(114)의 하위 비트가 "111"이 된 타이밍이고, 하위변환의 종료 시각이다.

[0030] 본 실시예에서는, 상위변환과 하위변환의 사이에 제3의 전류원인 오프셋 전류원 회로(121)가 공급하는 오프셋 전류I<sub>off</sub>를 주입하는 기간을 설치하고, 임의의 오프셋 전류I<sub>off</sub>로 기간p91에 적분을 행한다. 따라서, 기간p91을 변경함으로써 하위잔차량을 조정할 수 있다. 기간p91을 하위잔차 신호의 이상값과의 차이에 대응한 값으로 조정함으로써, 하위의 판정이 하위변환 기간p2내에 끝내도록 조정을 할 수 있고, 결과적으로 선형성의 악화를 억제할 수 있다. 상세한 조정 방법으로서, 상기와 같이, 적분회로에의 입력V<sub>pix</sub>를 스위프 해서 연속적으로 변화시킨다. 보다 구체적으로, 복수의 전압 레벨은, 순차적으로 A/D변환 회로의 적분회로에 공급된다. 그 때 검출 회로(98)는, 하위 메모리(113)의 출력을 검출한다. 검출 회로(98)는, 하위신호에 있어서 최대값 또는 최소값의 연속도를 검출한다. 이 검출 회로(98)의 출력에 따라 조정 데이터 결정 회로(100)는 조정 데이터를 결정한다. 이 검출 회로(98) 및 조정 데이터 결정 회로(100)는, 도 1의 조정 장치(7)의 처리부(72)에 설치될 수 있다. 그 조정 데이터는, 신호 OFFSET SEL의 펄스폭을 제어하는 펄스폭 제어회로(150)에 공급된다. 펄스폭 제어회로(150)의 출력에 의해 적분 스위치(108)를 제어해서 오프셋 전류I<sub>off</sub>에 의해 적분기간p91을 제어할 수 있다. 이렇게 하여 얻어진 기간p91의 데이터가 도 1의 메모리(4)에 기억된다. 촬상장치(8)의 통상 동작시에, 이 메모리(4)에 기억된 기간p91의 데이터는 조정 데이터로서 사용된다.

[0031] 도 10은 A/D변환 회로(3)의 제4 실시예에 따른 회로도다. 도 8과의 차이를 설명한다. 도 10에서는, 전류원 회로로서 전류DAC(131)를 사용해서 임의의 전류를 공급한다. 전류DAC(131)의 일례는, 외부에서의 디지털 제어신호 C<sub>0</sub>에 대응한 전류를 공급하는 회로이다. 제4 실시예에서는, 제어부(1004)는, 고정 펄스폭의 펄스 생성 회로(150')와, 전류DAC(131)의 전류를 조정 데이터에 따라서 조정하기 위한 제어신호C<sub>0</sub>을 생성하는 전류제어회로(160)를 구비한다. 나머지 구성요소는, 도 8과 같다.

[0032] 도 11은 도 10의 구동상태의 구동 타이밍 및 동작 파형을 나타낸 타이밍 차트다. 노드Vout는 화소출력에 의해 미리 충전된다. 시각 t111에서, 클럭신호CLK1에 동기해서 적분제어회로(115)가 적분제어 스위치(108)를 온으로 하여, 상위비트의 적분동작이 시작된다. 전류DAC(131)는, 기간p0에, 상위전류I<sub>hi</sub>를 공급한다. 시각 t112에서 상위의 판정 후, 시각 t113에서 카운터(114)의 상위비트가 "111"이 된 타이밍인 상위변환이 종료한다. 시각 t114에서, 하이레벨의 신호 OFFSET SEL에 의해 적분제어 스위치(108)가 온 하고, 기간p112에 적분동작을 한다. 기간p112는 고정될 수 있다. 기간p112동안에는, 전류DAC(131)는 제어신호C<sub>0</sub>에 의하여 결정된 임의의 전류I<sub>off</sub>를 공급한다.

[0033] 시각 t115에서, 오프셋 전류에 의한 적분동작을 정지한다. 시각 t116에서, 하위 비트의 적분동작을 시작한다. 시각 t117에서, 하위의 판정이 행해진다. 기간p2에서는, 전류DAC(131)는 하위전류I<sub>lo</sub>를 공급한다. 하위변환을 M비트로 변환하는 경우,  $I_{hi} = -I_{lo} \times 2M$ 이다. 전류DAC(131)를 사용함으로써 기간p112동안에 공급되는 전류I<sub>off</sub>를 임의의 값으로 설정하여, 잔차량을 조정하는 것이 가능하다. 전류I<sub>off</sub>를 하위 잔차신호의 이상값과의 차이에 대응한 값으로 조정함으로써 하위의 판정이 하위변환의 기간p2내에 끝나도록 할 수 있고, 결과적으로 선형성의 악화를 억제하는 것이 가능하다. 상세한 조정 방법으로서, 상기와 같이, 적분회로에의 입력V<sub>pix</sub>를 스위프 해서 연속적으로 변화시킨다. 보다 구체적으로, 복수의 전압 레벨은, 순차적으로 A/D변환 회로의 적분회로에 공급된다. 그 때, 하위 메모리(113)의 출력을 검출 회로(98)에 의해 검출한다. 이 검출 회로(98)는 하위신호에 있어서 최대값 또는 최소값의 연속도를 검출한다. 이 검출 회로(98)의 출력에 따라 조정 데이터 결정 회로(100)는 조정 데이터를 결정한다. 또한, 이 검출 회로(98) 및 조정 데이터 결정 회로(100)는 도 1의 조정 장치(7)의 처리부(72)에 설치된다. 그 조정 데이터를 전류DAC(131)에 공급해 전류I<sub>off</sub>를 제어함으로써 조정을 행한다. 이렇게 하여 얻어진 전류I<sub>off</sub>의 데이터가 도 1의 메모리(4)에 기억된다. 촬상장치(8)의 통상 동작시에는, 이 메모리(4)에 기억된 전류I<sub>off</sub>의 데이터가 조정 데이터로서 사용된다.

[0034] 다음에, 제5 실시예에 따른 A/D변환 회로(3)를 설명한다. 제5 실시예에서는, 하위변환에 중복비트를 사용한다. 즉, 하위 비트의 비트수를 변경 가능하다. 본 실시예의 설명에 사용하는 회로도도 도 2와 같다. 그렇지만, 카운터(114)에 의한 하위의 카운트는, 상위의 카운트의 M비트 정밀도에 대하여 1비트의 중복비트를 가산하여서 (M+1)비트를 사용하여 행해진다. 따라서, 하위출력은 (M+1)비트다. 상위출력의 LSB(최하위 비트)는 하위출력의 MSB(최상위 비트)에 해당한다. 또한, 전류원 회로로부터 공급된 전류는,  $I_{hi} = -I_{lo} \times 2M$ 이다.

[0035] 도 12는 본 실시예에 따른 구동상태의 구동 타이밍 및 동작 파형을 도시한 타이밍 차트다. Vout<sub>h</sub>, Vout<sub>l</sub>은 각각 적분출력Vout의 최대신호와 최소신호다. 시각 t121에서 상위변환이 시작한다. 적분출력Vout는 시

각 t122에서 비교기의 출력이 반전해서 상위의 카운트가 상위 메모리(112)에 기억된다. 그 후에, 클럭신호CLK1과 CLK2간의 위상차에 대응한 기간p31을 경과한 후 시각 t123에서 적분동작이 정지한다. 카운터(114)의 상위비트가 "111"이 된 타이밍에 대응한 시각 t124에서, 상위변환이 종료한다. 그 후에, 시각 t125에서 하위의 적분 및 카운트가 시작된다. 비교기는, 입력이 Vout\_h일 경우의 시각 t126에서와, 입력이 Vout\_l일 경우의 시각 t127에서 상기 출력을 반전하고, 신호latch\_11과 latch\_12를 출력한다. 신호latch\_11은 Vout\_h가 변환에 사용되었을 경우에 비교기(111)로부터 출력된 신호latch\_l이다. 신호latch\_12는 Vout\_l이 변환에 사용되었을 경우에 비교기(111)로부터 출력된 신호latch\_l이다. 시각 t128은, 카운터(114)의 하위 비트가 "111"이 된 타이밍이고, 하위변환의 종료 시각이다.

[0036] 이상적으로, 하위변환은 시각 t126으로부터 시각 t127까지의 기간p22의 범위내에서 행해진다. 그렇지만, 랜덤 노이즈나 ADC간의 변동으로 인해 실제로는 적분기의 반전 타이밍 분포는 도 12의 하위반전 타이밍 분포로 나타내어진다. 하위비트가 중복비트를 포함하는 경우, 이 분포가 하위변환 기간p21의 범위내에 있도록, 기간p31을 조정함으로써, 선형성의 악화를 억제할 수 있다.

[0037] 본 실시예에서는, 잔차신호의 조정 기능과 하위비트의 중복을 조합하여 하위출력이 변동한 경우에도 선형성의 악화를 억제한다. 또한, 잔차신호의 조정 정밀도가 낮아도 허용된다.

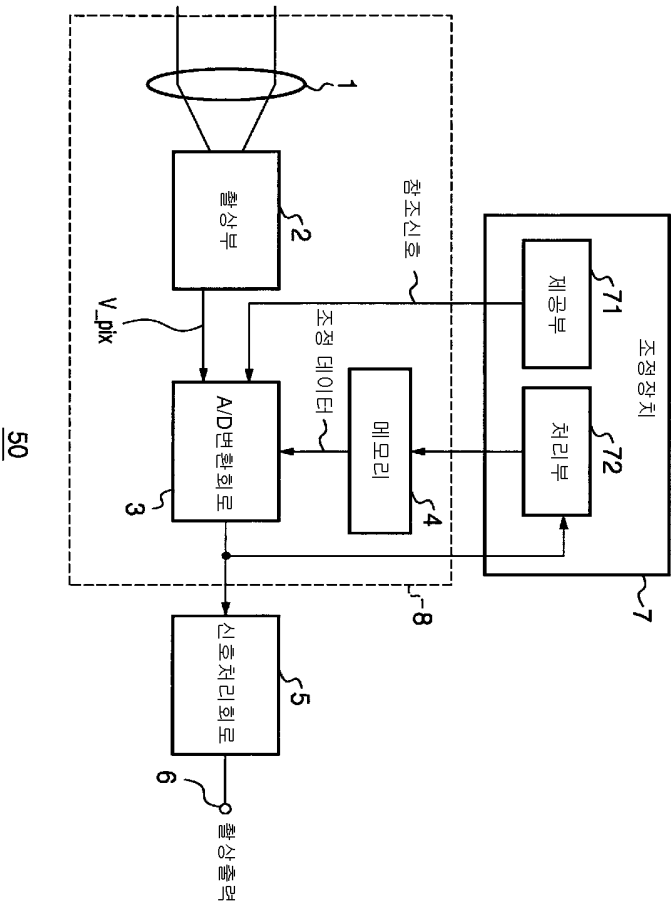
[0038] 이상의 실시예들에서는, 화소 어레이의 1열에 대응하는 판독회로만을 나타냈다. 2차원으로 화소가 배치된 화소 어레이에서는, 같은 구성의 판독회로가 병렬로 설치되어 있다. 도 2, 도 6, 도 8 및 도 10에 있어서, 상위전류원 회로(101), 하위전류원 회로(102) 및 카운터(114)는, 복수의 판독회로에 공통이다. 또한, 상기 실시예들에서는 적분회로에 전류를 공급하고 있지만, 전압을 사용한 멀티 스텝 방식 A/D변환 회로 구성에도 적용 가능하다.

[0039] 본 발명을 예시적 실시예들을 참조하여 기재하였지만, 본 발명은 상기 개시된 예시적 실시예들에 한정되지 않는다는 것을 알 것이다. 아래의 청구항의 범위는, 모든 변형, 동등한 구조 및 기능을 포함하도록 아주 넓게 해석해야 한다.

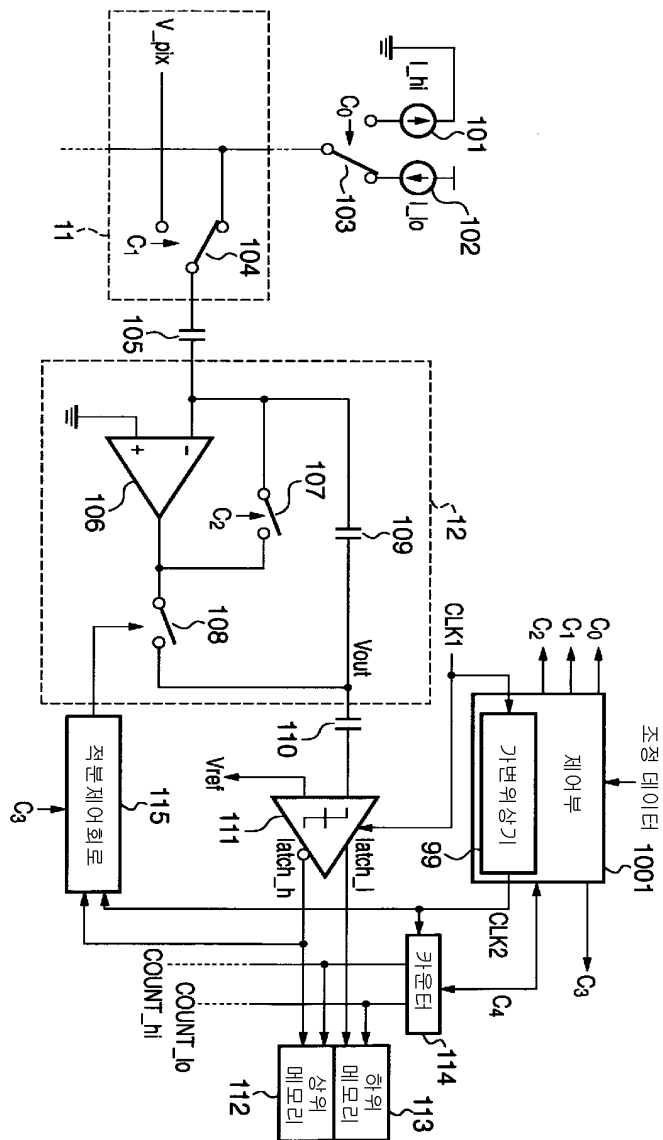
[0040] 본 출원은, 여기서 전체적으로 참고로 포함된, 2010년 1월 13일에 제출된 일본국 특허출원번호 2010-005153과 2010년 7월 29일에 제출된 일본국 특허출원번호 2010-171177의 이점을 청구한다.

도면

도면1

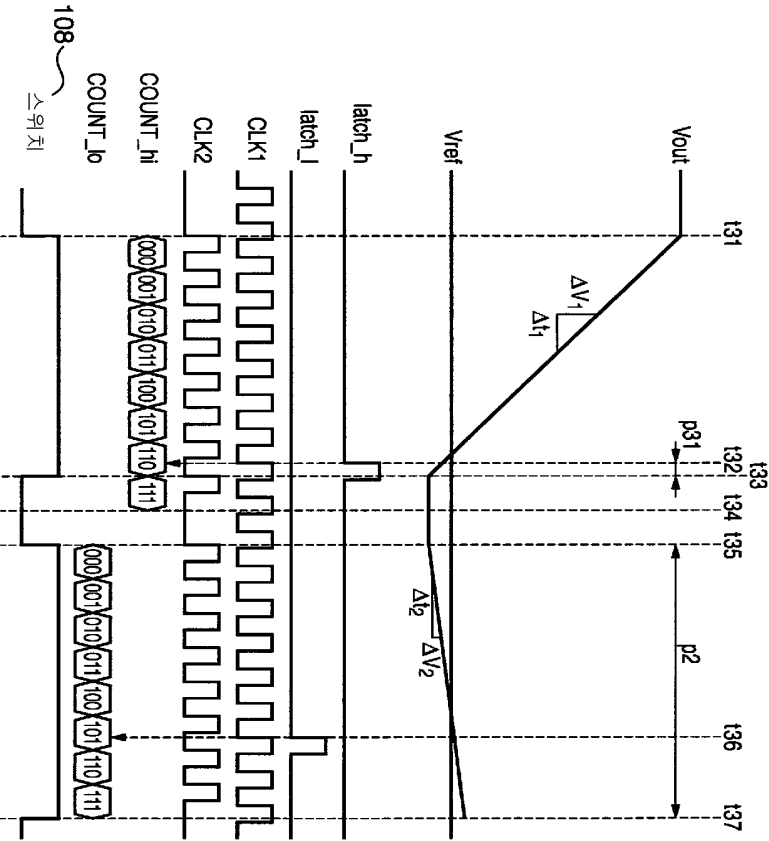


도면2

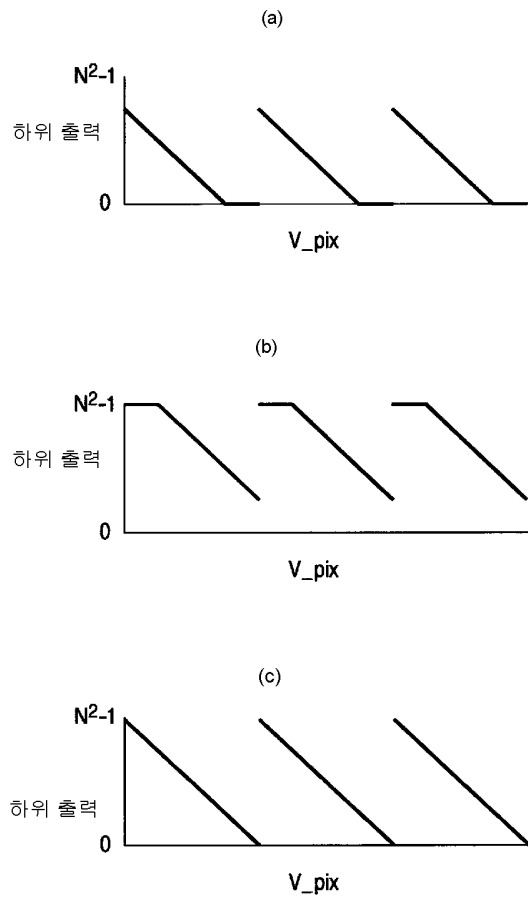




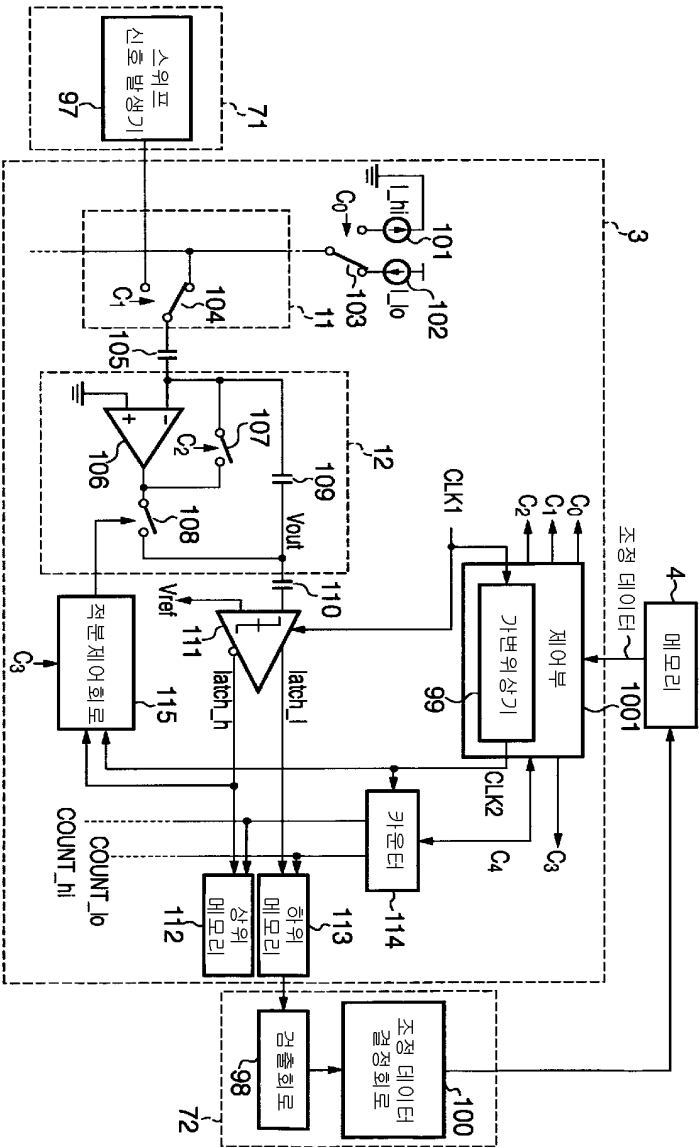
도면3



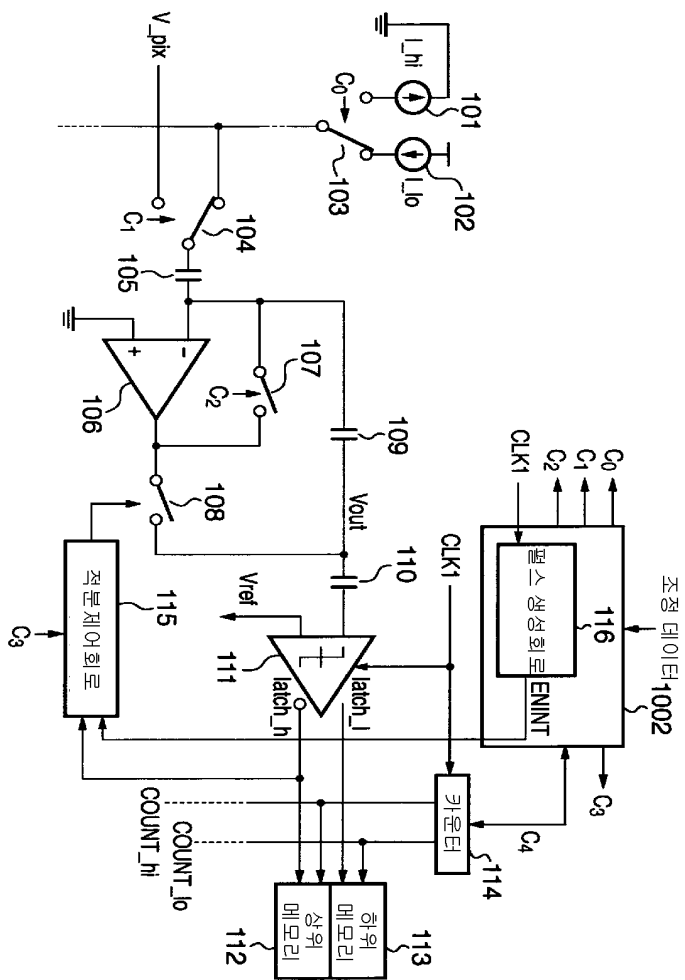
도면4



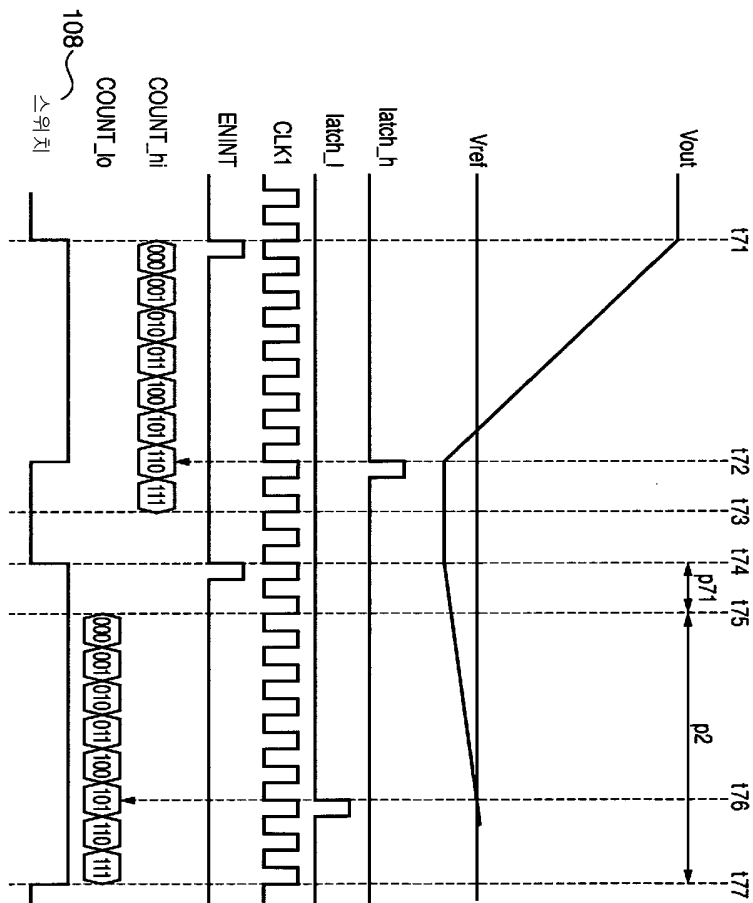
도면5



도면6

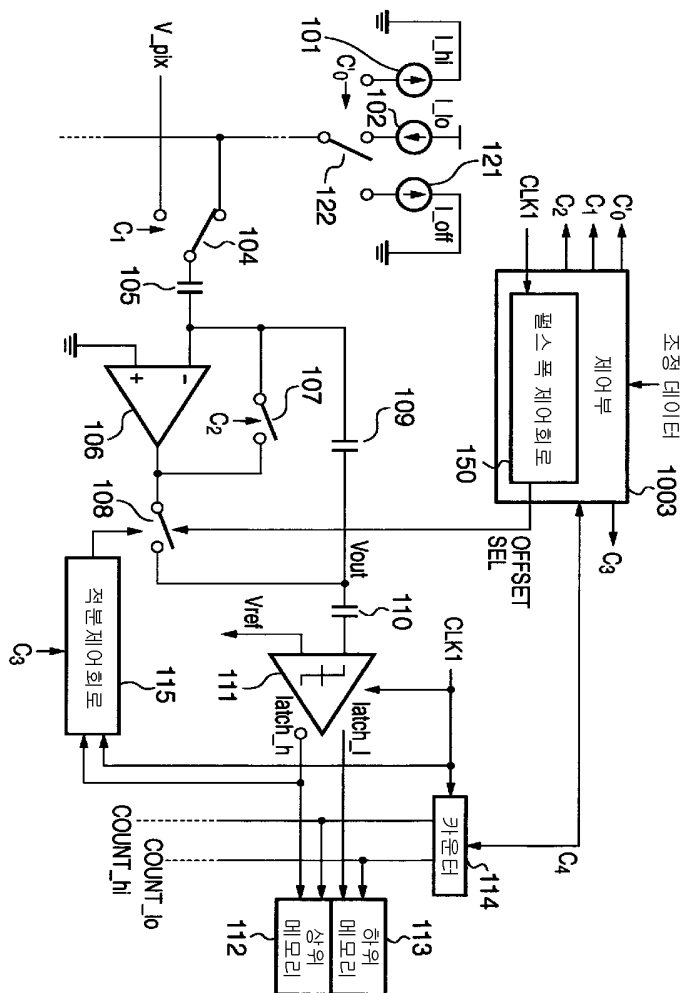


도면7

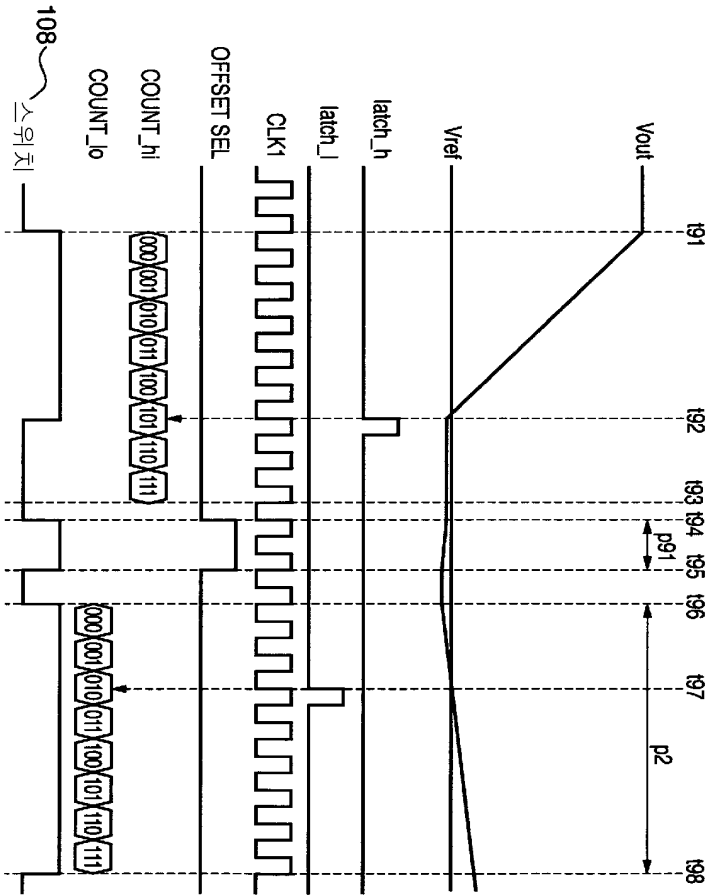




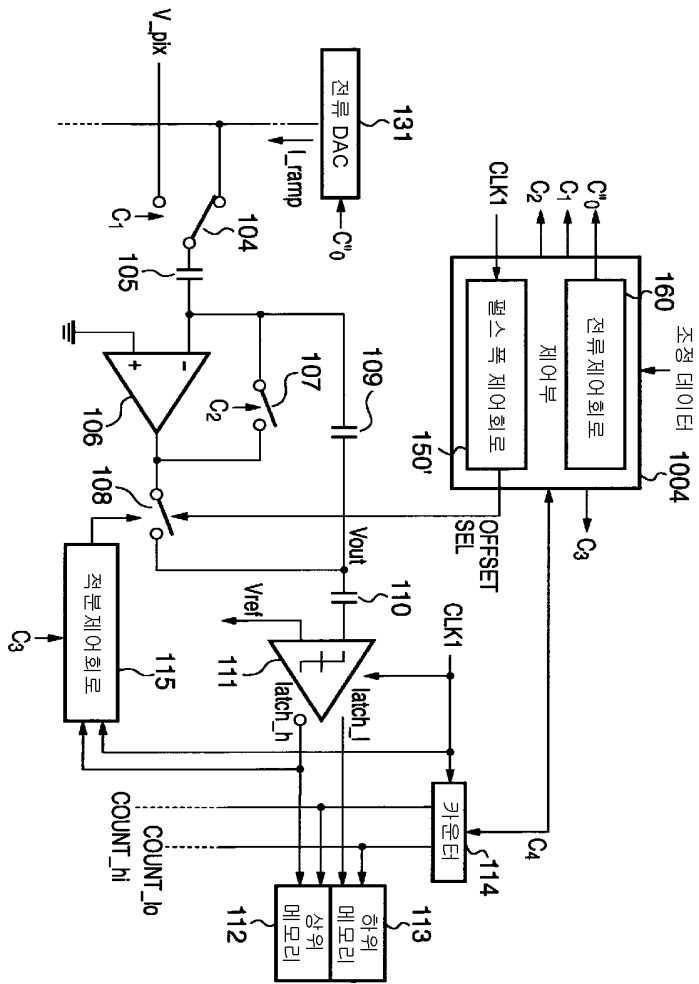
도면8



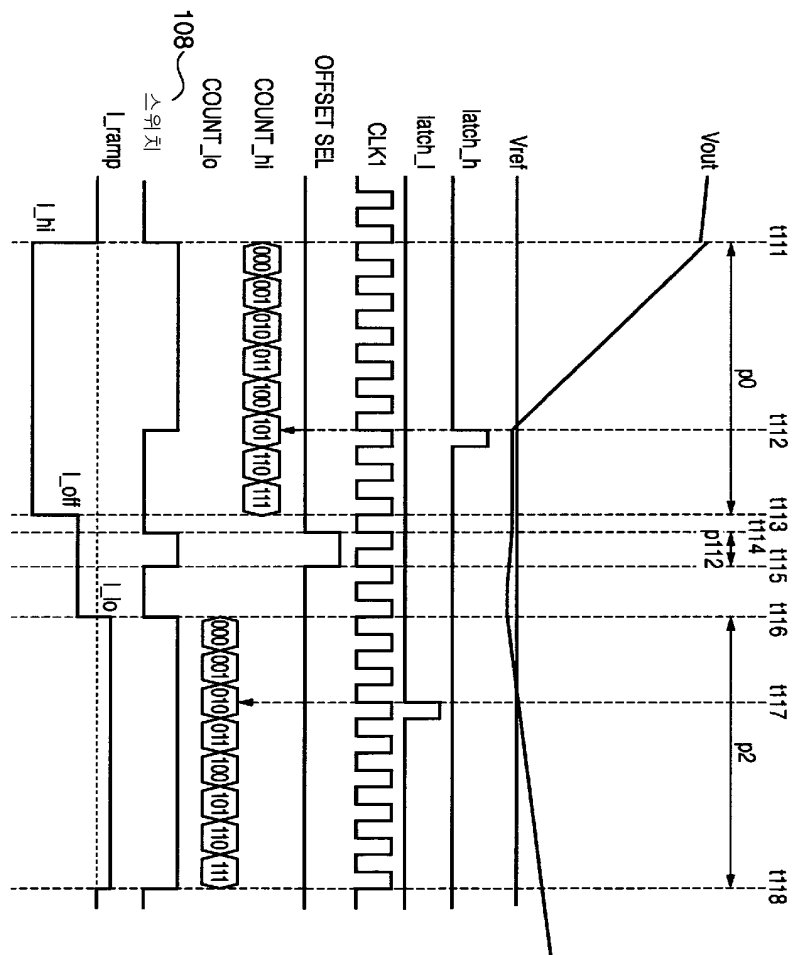
도면9



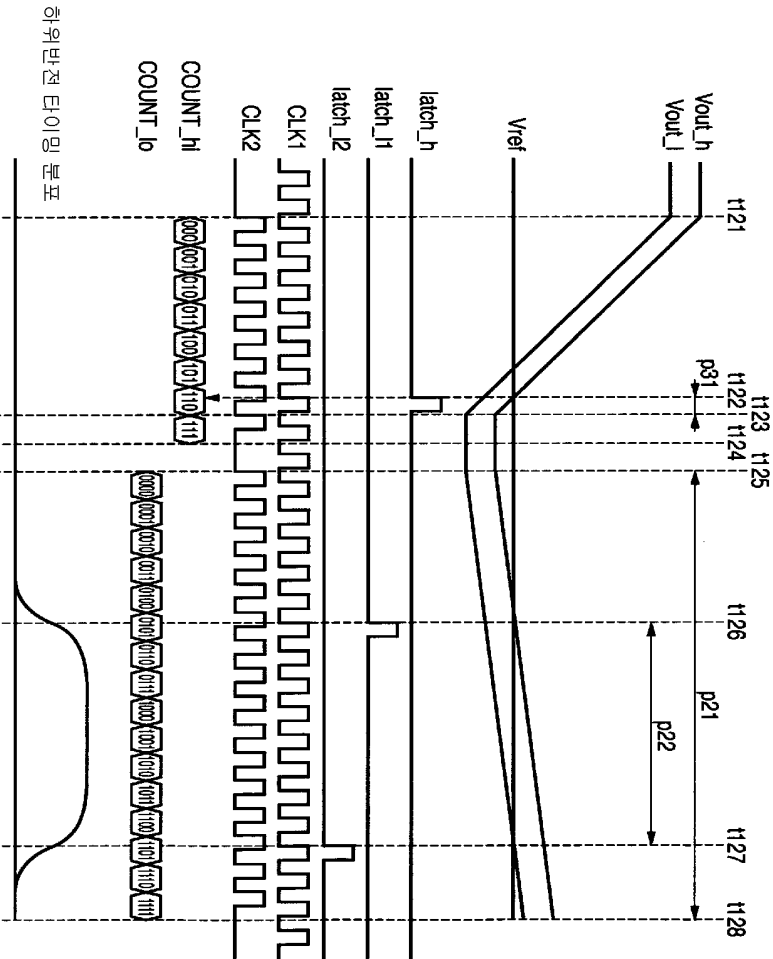
도면10



도면11



도면12



하위반전 타이밍 분포