

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2016 年 12 月 22 日 (22.12.2016) WIPO | PCT

(10) 国际公布号
WO 2016/202114 A1

- (51) 国际专利分类号:
G06F 13/14 (2006.01)
- (21) 国际申请号: PCT/CN2016/081038
- (22) 国际申请日: 2016 年 5 月 4 日 (04.05.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510334406.8 2015 年 6 月 16 日 (16.06.2015) CN
- (71) 申请人: 深圳市中兴微电子技术有限公司 (ZTE MICROELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市盐田区大梅沙 1 号厂房, Guangdong 518085 (CN)。
- (72) 发明人: 戴仁林 (DAI, Renlin); 中国广东省深圳市盐田区大梅沙 1 号厂房, Guangdong 518085 (CN)。 姜本刚 (LOU, Bengang); 中国广东省深圳市盐田区大梅沙 1 号厂房, Guangdong 518085 (CN)。 王平 (WANG, Ping); 中国广东省深圳市盐田区大梅沙 1 号厂房, Guangdong 518085 (CN)。
- (74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀南路 21 号中关村知识产权大厦 B 座 2 层, Beijing 100080 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: DATA TRANSMISSION METHOD AND DEVICE AND STORAGE MEDIUM

(54) 发明名称: 一种数据传输方法、装置及存储介质

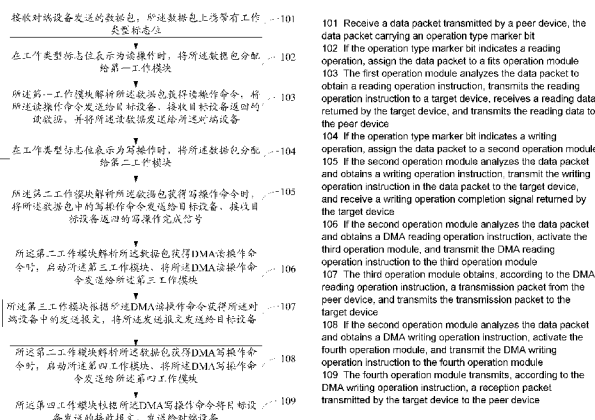


图 1

(57) Abstract: Provided are a data transmission method and device and a storage medium based on a peripheral component interconnect express (PCIe) protocol bus. The method is applied in a controller (203) comprising therein a first operation module (703), a second operation module (704), a third operation module (705), and a fourth operation module (706). The method comprises: receiving a data packet transmitted by a peer device (201); and causing, according to a content of the data packet, the first operation module (703) to process a reading operation instruction, the second operation module (704) to process a writing operation instruction, the third operation module (705) to process a direct memory access (DMA) reading operation instruction, or the fourth operation module (706) to process a DMA writing operation instruction.

(57) 摘要: 一种数据传输方法、装置及存储介质, 基于增强型外设互连 (PCIe) 协议总线, 所述方法应用于控制器 (203), 所述控制器 (203) 中包括第一工作模块 (703)、第二工作模块 (704)、第三工作模块 (705) 和第四工作模块 (706), 所述方法包括: 接收对端设备 (201) 发送的数据包, 根据数据包的内容, 由所述第一工作模块 (703) 处理读操作命令, 所述第二工作模块 (704) 处理写操作命令; 所述第三工作模块 (705) 处理直接存储访问 (DMA) 读操作命令; 所述第四工作模块 (706) 处理 DMA 写操作命令。



WO 2016/202114 A1



本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种数据传输方法、装置及存储介质

技术领域

本发明涉及数据传输领域，尤其涉及一种基于增强型外设互连（PCIe，Peripheral Component Interconnect express）协议总线的数据传输方法、装置及存储介质。

背景技术

PCIe 协议总线是第三代高性能接口总线，属于一种基于数据包的串行连接协议，它提供高速的、高带宽的、高性能的、高扩展性的、可热插拔的、点到点的、双单工的、串行差分信号链路来互联设备。并且，已经被广泛应用于计算机和电子通信领域的外围设备互连上。

基于 PCIe 协议总线在通信领域的应用，已出现了很多不同的类型，比如：基于 PCIe 协议总线的高级可扩展接口（AXI）；主机适配接口（HAL）；专利《基于 PCIE 协议的中央处理器（CPU）访问本地总线的装置及方法》（专利号：CN201310528347.9）阐述的一种通过 PCIe 实现 CPU 访问寄存器的方法；专利《在 PCIE 总线上传输报文的方法、设备和系统》（专利号：CN201110032172.3）阐述的一种以标识（ID）路由的方式从 PCIe 起始设备传输协议报文到目的设备的方法；等等，但这些已有技术都是基于某一个特定应用如单一实现 CPU 访问寄存器或者传输协议报文。

发明内容

有鉴于此，本发明实施例期望提供一种数据传输方法、装置及存储介质，可以基于一条 PCIe 总线同时实现 CPU 读写访问寄存器和数据报文以直接存储访问（DMA，Direct Memory Access）方式进行双向传输。

为达到上述目的，本发明的技术方案是这样实现的：

本发明实施例提供了一种数据传输方法，基于增强型外设互连 PCIe 协议总线，所述方法应用于控制器，所述控制器中包括第一工作模块、第二工作模块、第三工作模块和第四工作模块，所述方法包括：

接收对端设备发送的数据包，所述数据包上携带有工作类型标志位；

5 在工作类型标志位表示为读操作时，将所述数据包分配给第一工作模块，所述第一工作模块解析所述数据包获得读操作命令，将所述读操作命令发送给目标设备，接收目标设备返回的读数据，并将所述读数据发送给所述对端设备；

在工作类型标志位表示为写操作时，将所述数据包分配给第二工作模
10 块，所述第二工作模块解析所述数据包获得写操作命令时，将所述数据包中的写操作命令发送给目标设备，接收目标设备返回的写操作完成信号；

所述第二工作模块解析所述数据包获得直接存储访问 DMA 读操作命令时，启动所述第三工作模块，将所述 DMA 读操作命令发送给所述第三工作模块，所述第三工作模块根据所述 DMA 读操作命令获得所述对端设备中的
15 的发送报文，将所述发送报文发送给目标设备；

所述第二工作模块解析所述数据包获得 DMA 写操作命令时，启动所述第四工作模块，将所述 DMA 写操作命令发送给所述第四工作模块，所述第四工作模块根据所述 DMA 写操作命令将目标设备发送的接收报文，发送给对端设备。

20 上述方案中，所述第一工作模块解析所述数据包获得读操作命令，将所述读操作命令发送给目标设备，接收目标设备返回的读数据，并将所述读数据发送给所述对端设备，包括：

所述第一工作模块解析数据包获得 CPU 读操作命令，然后将所述 CPU 读操作命令转换为一个或多个通用寄存器读操作访问命令；其中，所述 CPU
25 读操作命令中包括读使能、读初始地址、读数据个数，所述通用寄存器读

操作访问命令包括读使能、读地址；

第一工作模块将所述一个或多个通用寄存器读操作访问命令缓存到第一异步先入先出缓存器 FIFO 中；

所述第一工作模块中的第一异步 FIFO 将所述一个或多个通用寄存器
5 读操作访问命令的时序转换为符合目标设备的时序，并在转换后将所述一个或多个通用寄存器读操作访问命令通过配置通道发送给所述目标设备；
通用寄存器读操作访问命令用于所述目标设备进行读操作获得读数据；

所述第一工作模块中的第二异步 FIFO 通过配置通道接收所述读数据，
并将所述读数据转换为符合 PCIe 协议要求的 TLP 包结构形式和时序；并将
10 转换后的读数据发送给对端设备。

上述方案中，所述第一工作模块的第二异步 FIFO 在第一预设时间内未接收到所述目标设备发送的读数据时，自行生成无效读数据。

上述方案中，所述第二工作模块解析所述数据包获得写操作命令时，
将所述数据包中的写操作命令发送给目标设备，接收目标设备返回的写操
15 作完成信号，包括：

所述第二工作模块解析数据包获得 CPU 写操作命令，然后将所述 CPU
写操作命令转换为一个或多个通用寄存器写操作访问命令；其中，所述 CPU
写操作命令中包括写使能、写数据、写初始地址、写数据个数，所述通用
寄存器写操作访问命令包括写使能、写地址、所述写地址对应的单个写数
20 据；

第二工作模块将所述一个或多个通用寄存器写操作访问命令缓存到第三异步 FIFO 中；

所述第二工作模块中的第三异步 FIFO 将所述一个或多个通用寄存器
写操作访问命令的时序转换为符合目标设备的时序，并在转换后将所述一
25 个或多个通用寄存器写操作访问命令通过配置通道发送给所述目标设备；

通用寄存器写操作访问命令用于所述目标设备在写地址写入所述写地址对应的单个写数据;

所述第二工作模块通过配置通道接收所述目标设备发送的写操作完成信号。

- 5 上述方案中, 所述第二工作模块在第二预设时间内未接收到所述目标设备发送的写操作完成信号时, 所述第二工作模块自行生成所述写操作完成信号。

10 上述方案中, 所述 DMA 读操作命令中包括报文发送指示信息的初始地址和地址空间大小; 所述第三工作模块根据所述 DMA 读操作命令获得所述对端设备中的发送报文, 将所述发送报文发送给目标设备, 包括:

 在第 i 次时, 所述第三工作模块根据所述 DMA 读操作命令将报文发送指示信息的地址发送给对端设备; 其中, 所述报文发送指示信息的地址为报文发送指示信息的初始地址 $+i-1$, i 为大于等于 1 的整数;

15 所述第三工作模块接收对端设备发送的所述报文发送指示信息的地址中的报文发送指示信息内容; 其中, 所述报文发送指示信息内容包括报文发送有效指示信息、报文大小和报文初始缓存的地址;

 所述第三工作模块在所述报文发送有效指示信息为有效时, 将所述报文大小和报文初始缓存地址发送给对端设备;

20 所述第三工作模块接收所述对端设备发送的所述报文大小和报文初始缓存地址对应的发送报文;

 所述第三工作模块将所述发送报文缓存到第四异步 FIFO 中, 经过时序转换、数据位宽转换后, 转换为通用包结构形式报文, 通过 DMA 通道发送给目标设备;

25 所述第三工作模块向对端设备发送报文发送完成命令, 所述报文发送完成命令用于所述对端设备将所述发送报文对应的报文发送有效指示信息

更改为无效;

依次循环进行上述步骤,直至所述报文发送指示信息的地址超出所述报文发送指示信息的初始地址和地址空间大小限定的地址范围。

上述方案中,所述 DMA 写操作命令中包括报文接收指示信息的初始地址和地址空间大小;所述第四工作模块根据所述 DMA 写操作命令将目标设备发送的接收报文,发送给对端设备,包括:

在第 j 次时,所述第四工作模块根据所述 DMA 写操作命令将报文接收指示信息的地址发送给对端设备;其中,所述报文接收指示信息的地址为报文接收指示信息的初始地址+ $j-1$, j 为大于等于 1 的整数;

所述第四工作模块接收对端设备发送的所述报文接收指示信息的地址中的报文接收指示信息内容;其中,所述报文接收指示信息内容包括报文接收有效指示信息、接收报文的初始缓存地址;

所述第四工作模块的第五异步 FIFO 将目标设备发送的通用包结构形式的接收报文进行缓存、时序转换和数据位宽转换后,转换为符合 PCIe 协议要求的 TLP 包结构形式和时序的报文数据包;

在所述报文接收有效指示信息为有效时,所述第四工作模块将所述接收报文的初始缓存地址以及从第五异步 FIFO 输出的报文数据包发送给对端设备;所述接收报文的初始缓存地址用于所述对端设备从所述接收报文的初始缓存地址处缓存报文数据包;

所述第四工作模块对端设备发送报文接收完成命令,所述报文接收完成命令用于所述对端设备将所述报文数据包初始缓存地址对应的报文接收有效指示信息更改为无效;

依次循环进行上述步骤,直至所述报文接收指示信息的地址超出所述报文接收指示信息的初始地址和地址空间大小限定的地址范围。

本发明实施例还提供了一种数据传输装置,基于增强型外设互连 PCIe

协议总线，所述装置包括：接收模块，分配模块，第一工作模块、第二工作模块、第三工作模块和第四工作模块，其中，

接收模块，配置为接收对端设备发送的数据包，所述数据包上携带有工作类型标志位；

5 分配模块，配置为在所述接收模块接收到的工作类型标志位表示为读操作时，将所述数据包分配给第一工作模块；

所述第一工作模块，配置为在解析出所述分配模块分配的数据包获得读操作命令时，将所述读操作命令发送给目标设备，接收目标设备返回的读数据，并将所述读数据发送给所述对端设备；

10 分配模块，还配置为在所述接收模块接收到的工作类型标志位表示为写操作时，将所述数据包分配给第二工作模块；

所述第二工作模块，配置为在解析出所述分配模块分配的所述数据包获得写操作命令时，将所述数据包中的写操作命令发送给目标设备，接收目标设备返回的写操作完成信号；

15 所述第二工作模块，还配置为在解析所述数据包获得直接存储访问 DMA 读操作命令时，启动所述第三工作模块，并将所述 DMA 读操作命令发送给所述第三工作模块；

所述第三工作模块，配置为根据所述第二工作模块发送的所述 DMA 读操作命令获得所述对端设备中的发送报文，并将所述发送报文发送给目标
20 设备；

所述第二工作模块，还配置为在解析出所述数据包获得 DMA 写操作命令时，启动所述第四工作模块，将所述 DMA 写操作命令发送给所述第四工作模块；

所述第四工作模块，配置为根据所述第二工作模块发送的所述 DMA 写
25 操作命令将目标设备发送的接收报文，发送给对端设备。

上述方案中，所述第一工作模块中包括：第一处理模块，第一异步先入先出缓存器 FIFO 模块和第二异步 FIFO 模块；其中，

所述第一处理模块，配置为解析数据包获得 CPU 读操作命令，然后将所述 CPU 读操作命令转换为一个或多个通用寄存器读操作访问命令；其中，
5 所述 CPU 读操作命令中包括读使能、读初始地址、读数据个数，所述通用寄存器读操作访问命令包括读使能、读地址；

所述第一处理模块，还配置为将所述一个或多个通用寄存器读操作访问命令缓存到第一异步先入先出缓存器 FIFO 模块中；

所述第一异步 FIFO 模块，配置为将所述第一处理模块缓存的一个或多个通用寄存器读操作访问命令的时序转换为符合目标设备的时序，并在转换后将所述一个或多个通用寄存器读操作访问命令通过配置通道发送给所述目标设备；通用寄存器读操作访问命令用于所述目标设备进行读操作获得读数据；
10

所述第二异步 FIFO 模块，配置为通过配置通道接收所述读数据，并将所述读数据转换为符合 PCIe 协议要求的 TLP 包结构形式和时序；并将转换后的读数据发送给对端设备。
15

上述方案中，所述第一异步 FIFO 模块，还配置为在第一预设时间内未接收到所述目标设备发送的读数据时，自行生成无效读数据。

上述方案中，所述第二工作模块中包括：第二处理模块，第三异步 FIFO 模块；其中，
20

所述第二处理模块，配置为解析数据包获得 CPU 写操作命令，然后将所述 CPU 写操作命令转换为一个或多个通用寄存器写操作访问命令；其中，所述 CPU 写操作命令中包括写使能、写数据、写初始地址、写数据个数，所述通用寄存器写操作访问命令包括写使能、写地址、所述写地址对应的
25 单个写数据；

所述第二处理模块，还配置为将所述一个或多个通用寄存器写操作访问命令缓存到第三异步 FIFO 模块中；

所述第三异步 FIFO 模块，配置为将所述第二处理模块缓存的所述一个或多个通用寄存器写操作访问命令的时序转换为符合目标设备的时序，并在转换后将所述一个或多个通用寄存器写操作访问命令通过配置通道发送给所述目标设备；通用寄存器写操作访问命令用于所述目标设备在写地址写入所述写地址对应的单个写数据；

所述第二处理模块，还配置为通过配置通道接收所述目标设备发送的写操作完成信号。

上述方案中，所述第二处理模块，还配置为在第二预设时间内未接收到所述目标设备发送的写操作完成信号时，生成所述写操作完成信号。

上述方案中，所述 DMA 读操作命令中包括报文发送指示信息的初始地址和地址空间大小；所述第三工作模块包括第三处理模块和第四异步 FIFO 模块；其中，

第三处理模块，配置为在第 i 次时，根据所述 DMA 读操作命令将报文发送指示信息的地址发送给对端设备；其中，所述报文发送指示信息的地址为报文发送指示信息的初始地址 $+i-1$ ， i 为大于等于 1 的整数；所述报文发送指示信息的地址不超出所述报文发送指示信息的初始地址和地址空间大小限定的地址范围。

第三处理模块，还配置为接收对端设备发送的所述报文发送指示信息的地址中的报文发送指示信息内容；其中，所述报文发送指示信息内容包括报文发送有效指示信息、报文大小和报文初始缓存的地址；

第三处理模块，还配置为在所述报文发送有效指示信息为有效时，将所述报文大小和报文初始缓存地址发送给对端设备；

第三处理模块，还配置为接收所述对端设备发送的所述报文大小和报

文初始缓存地址对应的发送报文，并将所述发送报文缓存到第四异步 FIFO 模块中。

所述第四异步 FIFO 模块，配置为在将所述第三处理模块缓存的发送报文经过时序转换、数据位宽转换后，转换为通用包结构形式报文，通过 DMA
5 通道发送给目标设备；

第三处理模块，还配置为在所述第四异步 FIFO 模块将所述发送报文发送给目标设备后，向对端设备发送报文发送完成命令，所述报文发送完成命令用于所述对端设备将所述发送报文对应的报文发送有效指示信息更改为无效。

10 上述方案中，所述 DMA 写操作命令中包括报文接收指示信息的初始地址和地址空间大小；所述第四工作模块包括：第四处理模块和第五异步 FIFO 模块，其中，

所述第四处理模块，配置为在第 j 次时，根据所述 DMA 写操作命令将报文接收指示信息的地址发送给对端设备；其中，所述报文接收指示信息的地址为报文接收指示信息的初始地址+ $j-1$ ， j 为大于等于 1 的整数；所述
15 报文接收指示信息的地址未超出所述报文接收指示信息的初始地址和地址空间大小限定的地址范围；

所述第四处理模块，还配置为接收对端设备发送的所述报文接收指示信息的地址中的报文接收指示信息内容；其中，所述报文接收指示信息内
20 容包括报文接收有效指示信息、接收报文的初始缓存地址；

所述第五异步 FIFO 模块，配置为将目标设备发送的通用包结构形式的接收报文进行缓存、时序转换和数据位宽转换后，转换为符合 PCIe 协议要求的 TLP 包结构形式和时序的报文数据包；

所述第四处理模块，还配置为在所述报文接收有效指示信息为有效时，
25 将所述接收报文的初始缓存地址以及所述第五异步 FIFO 模块输出的报文

数据包发送给对端设备；所述接收报文的初始缓存地址用于所述对端设备从所述接收报文的初始缓存地址处缓存报文数据包；

所述第四处理模块，还配置为向对端设备发送报文接收完成命令，所述报文接收完成命令用于所述对端设备将所述报文数据包初始缓存地址对应的报文接收有效指示信息更改为无效。

本发明实施例还提供了一种计算机存储介质，所述计算机存储介质存储有计算机程序，该计算机程序配置为执行本发明实施例的上述数据传输方法。

本发明实施例提供的数据传输方法、装置及存储介质，控制器中两个或两个以上的工作模块可以同时工作，这样，基于一条 PCIe 总线链路，可以实现同时进行 CPU 读写访问寄存器操作和数据报文以 DMA 方式进行双向传输，从而也大大简化了 PCIe 总线设备或系统，具有应用灵活多样性的特点；另外，一个所述控制器可以同时支持一个或一个以上的目标设备，具有非常好的扩展性。

附图说明

图 1 为本发明实施例 1 提供的一种基于 PCIe 协议总线的数据传输方法的流程示意图；

图 2 为本发明实施例 2 提供的基于 PCIe 协议总线的系统架构框图；

图 3 为本发明实施例 2 提供的第一种数据传输方法的流程示意图；

图 4 为本发明实施例 2 提供的第二种数据传输方法的流程示意图；

图 5 为本发明实施例 2 提供的第三种数据传输方法的流程示意图；

图 6 为本发明实施例 2 提供的第四种数据传输方法的流程示意图；

图 7 为本发明实施例 3 提供的一种基于 PCIe 协议总线的数据传输装置的结构框图；

图 8 为本发明实施例 3 提供的第一工作模块的结构框图；

图 9 为本发明实施例 3 提供的第二工作模块的结构框图；

图 10 为本发明实施例 3 提供的第三工作模块的结构框图；

图 11 为本发明实施例 3 提供的第四工作模块的结构框图。

具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述。

实施例 1

本发明实施例提供了一种数据传输方法，所述方法基于 PCIe 协议总线，应用于控制器，所述控制器中包括第一工作模块、第二工作模块、第三工作模块和第四工作模块，如图 1 所示，本实施例方法的处理流程包括以下步骤：

步骤 101、接收对端设备发送的数据包，所述数据包上携带有工作类型标志位。

本实施例方法是对端设备与目标设备的之间的数据传输方法，主要传输类型有 CPU 读、CPU 写、DMA 读、DMA 写；对端设备发送给控制器的数据包上携带有工作类型标志位，以使控制器区分工作类型，进而应用不同的模块进行数据处理。

步骤 102、在工作类型标志位表示为读操作时，将所述数据包分配给第一工作模块。

步骤 103、所述第一工作模块解析所述数据包获得读操作命令，将所述读操作命令发送给目标设备，接收目标设备返回的读数据，并将所述读数据发送给所述对端设备。

这里，第一工作模块用来处理对端设备发送来的读操作数据包，读操作数据包中会携带有读操作命令，读操作命令中会指明要求目标设备进行读操作的地址，控制器将读操作命令转发给目标设备后，目标设备会根据

读操作命令在相应地址处读取数据获得读数据，然后将读数据转发给控制器，控制器再将该读数据转发给对端设备，这就完成了一次读操作。

需要说明的是，在上述过程中，两个设备之间进行数据传输时要按照适应的数据格式进行传输，可以进行格式转换，将数据转换为适应的格式。

5 步骤 104、在工作类型标志位表示为写操作时，将所述数据包分配给第二工作模块。

步骤 105、所述第二工作模块解析所述数据包获得写操作命令时，将所述数据包中的写操作命令发送给目标设备，接收目标设备返回的写操作完成信号。

10 这里，第二工作模块用来处理对端设备发送来的写操作数据包，写操作数据包中会携带有写操作命令，写操作命令中会指明要求目标设备进行写操作的地址以及写数据，第二工作模块将写操作命令转发给目标设备后，目标设备会根据写操作命令将该写数据写到相应地址处，然后发送写操作完成信号给第二工作模块，第二工作模块决定接收到写操作完成信号后决
15 定是否可以发送下一个写操作命令给目标设备。

在上述过程中，两个设备之间进行数据传输时要按照适应的数据格式进行传输，可以进行格式转换，将数据转换为适应的格式。

步骤 106、所述第二工作模块解析所述数据包获得 DMA 读操作命令时，启动所述第三工作模块，将所述 DMA 读操作命令发送给所述第三工作模
20 块。

步骤 107、所述第三工作模块根据所述 DMA 读操作命令获得所述对端设备中的发送报文，将所述发送报文发送给目标设备。

这里，在工作类型标志位表示为写操作时，将所述数据包分配给第二工作模块，所述第二工作模块解析所述数据包获得 DMA 读操作命令时，启动所述第三工作模块，将所述 DMA 读操作命令发送给所述第三工作模块。
25

所述第三工作模块根据所述 DMA 读操作命令与对端设备进行信息交互获得对端设备要发送给目标设备的发送报文，然后第三工作模块将获得的所述发送报文发送给目标设备。

步骤 108、所述第二工作模块解析所述数据包获得 DMA 写操作命令时，
5 启动所述第四工作模块，将所述 DMA 写操作命令发送给所述第四工作模块。

步骤 109、所述第四工作模块根据所述 DMA 写操作命令将目标设备发送的接收报文，发送给对端设备。

这里，在工作类型标志位表示为写操作时，将所述数据包分配给第二
10 工作模块，所述第二工作模块解析所述数据包获得 DMA 读操作命令时，启动所述第四工作模块，将所述 DMA 读操作命令发送给所述第四工作模块。所述第四工作模块根据所述 DMA 写操作命令与对端设备进行信息交互获得对端设备给接收报文分配的缓存地址，然后第三工作模块将获得的所述目标设备发送的接收报文转发给对端设备，使对端设备在给接收报文分配
15 的缓存地址缓存该接收报文。

上述过程中，步骤 102-103 和步骤 104-105 没有先后顺序之分，步骤 105、步骤 106-107 和步骤 108-109 也没有先后顺序之分，控制器只是根据数据包的内容选取工作模块进行上述步骤。

本实施例方法中，控制器中两个或两个以上的工作模块可以同时工作，
20 这样基于一条 PCIe 总线链路，本实施例方法可以实现同时进行 CPU 读写访问寄存器操作和数据报文以 DMA 的方式双向传输，从而也大大简化了一个 PCIe 总线设备或系统，也具有应用灵活多样性的特点；且本实施例方法中，一个所述控制器可以同时支持一个或一个以上所述目标设备，具有非常好的扩展性。

25 实施例 2

本发明实施例提供了一种基于 PCIe 协议总线的数据传输方法，该方法是基于如图 2 所示的 PCIe 链路系统架构，如图 2 所示，所述 PCIe 链路系统包括对端设备 201、协议层设备 202、控制器 203、目标设备 204；其中，

所述对端设备 201 能产生 CPU 读操作命令和 CPU 写操作命令；具有报
5 文接收指示信息和报文发送指示信息的缓存空间；具有缓存接收报文和发送报文的缓存空间；在整个 PCIe 链路系统中作为一个 PCIe 根设备、交换设备或端点设备工作；与所述协议层设备 202 通过 PCIe 链路（即：高速串行总线 SerDes）进行信息的高速、多带宽的点对点通信。

协议层设备 202 是为了实现 PCIe 协议层的功能和要求，使得本设备在
10 整个 PCIe 链路系统中作为一个 PCIe 端点设备工作。它具有一个高速串行（SerDes）接口和一个事务层包（TLP）接口，其中 SerDes 接口是与所述对端设备 201 进行互联和数据交互，TLP 接口是与所述控制器 203 进行互联和数据交互。

控制器 203 中包括第一工作模块、第二工作模块、第三工作模块和第
15 四工作模块，控制器 203 通过第一工作模块执行所述对端设备 201 通过协议层设备 202 发送过来的 CPU 读操作命令，通过第二工作模块执行所述对端设备 201 通过协议层设备 202 发送过来的 CPU 写操作命令；通过第二工作模块和第三工作模块协作执行所述对端设备 201 通过协议层设备 202 发送过来的 DMA 写操作命令，通过第二工作模块和第四工作模块协作执行所
20 述对端设备 201 通过协议层设备 202 发送过来的 DMA 读操作命令。

所述控制器 203 上设置有配置通道接口和 DMA 通道接口。配置通道接口接口用于发送和接收 CPU 读写指令，DMA 通道接口用于发送和接收 DMA 读写指令。

目标设备 204 包括但不限于具有符合所述控制器 203 的配置通道接口
25 和 DMA 通道接口中的至少一种接口。在本实施例中，所述控制器 203 可以

与一个或一个以上的所述目标设备 204 进行数据通信。控制器 203 与目标设备 204 之间通过配置通道接口连接的通道为配置通道，控制器 203 与目标设备 204 之间通过 DMA 通道接口连接的通道为 DMA 通道，配置通道用于传输 CPU 读写操作的数据，DMA 通道用于传输 DMA 读写操作的报文。

5 下述方法中，所述对端设备与协议层设备之间通过高速串行总线 SerDes 进行数据交互，数据形式为 PCIe 协议包；协议层设备与控制器之间通过各自的 TLP 接口进行数据交互，数据形式为 TLP 包；协议层设备可以将对端设备发送的 PCIe 协议包转换为 TLP 包后转发给控制器，或者，将控制器发送的 TLP 包转换为 PCIe 协议包后转发给对端设备。

10 如图 3 所示，为对端设备从目标设备进行 CPU 访问读数据的方法，所述方法中控制器的第一工作模块进行工作，该方法的处理流程包括以下步骤：

步骤 301、对端设备产生 CPU 读操作命令，并将所述 CPU 读操作命令组成 PCIe 协议包通过高速串行总线 SerDes 发送给协议层设备。

15 组装成的 PCIe 协议包上设置有工作类型标志位，所述工作类型标志位表示为读操作。

步骤 302、协议层设备将 PCIe 协议包转换成 TLP 包，并通过 TLP 接口发送给控制器。

20 该 TLP 包在 PCIe 协议中又称存储（memory）读或 IO 读命令的包。所述 TLP 包上设置有工作类型标志位，所述工作类型标志位表示为读操作。

步骤 303、控制器将工作类型标志位为读操作的 TLP 包分配给第一工作模块，所述第一工作模块解析接收到的 TLP 包，然后将解析出的所述 CPU 读操作命令转换为一个或多个通用寄存器读操作访问命令。

25 所述 CPU 读操作命令中包括读使能，读初始地址，读数据个数；所述通用寄存器读操作访问命令包括读使能、读地址；假设读初始地址为 N，

读数据个数 10，则第一工作模块解析出所述 CPU 读操作命令后，会将所述 CPU 读操作命令转换为 10 个通用寄存器读操作访问命令：（读使能，读地址 N）、（读使能，读地址 N+1）...（读使能，读地址 N+9）。

步骤 304、第一工作模块将所述一个或多个通用寄存器读操作访问命令
5 缓存到第一异步先入先出缓存器 FIFO 中。

步骤 305、所述第一工作模块中的第一异步 FIFO 将所述一个或多个通用寄存器读操作访问命令的时序转换为符合目标设备的时序，并在转换后将所述一个或多个通用寄存器读操作访问命令通过配置通道发送给所述目标设备。

10 所述第一工作模块中的第一异步 FIFO 会通过配置通道接口将所述一个或多个通用寄存器读操作访问命令发送给所述目标设备。

步骤 306、所述目标设备根据所述一个或多个通用寄存器读操作访问命令进行读操作，获得读数据，并将所述读数据通过配置通道发送给第一工作模块。

15 步骤 307、所述第一工作模块中的第二异步 FIFO 通过配置通道接收所述读数据，并将所述读数据转换为符合 PCIe 协议要求的 TLP 包结构形式和时序；并将转换后的读数据通过所述协议层设备发送到所述对端设备。

所述第一工作模块中的第二异步 FIFO 将所述读数据转换为符合 PCIe 协议要求的包结构形式（TLP 包）和时序后，就可以通过 TLP 接口将转换
20 后的读数据发送给所述协议层设备，所述协议层设备将该读数据通过高速串行总线 SerDes 发送给对端设备，这样就完成了所述对端设备从目标设备读数据的操作。

如果所述第一工作模块中的第二异步 FIFO 在第一预设时间内（这个第一预设时间可根据实际情况人为配置）未从配置通道上接收到目标设备返回的所述读地址对应的读数据，则表明是配置通道出现故障或目标设备出
25

现故障等，这时一个自检测的过程。此时所述第一工作模块中的第二异步 FIFO 会自动产生一个无效读数据，并将该无效读数据转换为符合 PCIe 协议要求的 TLP 包结构形式和时序后，通过所述协议层设备发送到所述对端设备。所述对端设备接收到该无效读数据后，自主决定是再次进行读操作

5 读该地址对应的数据，还是不再读该地址对应的数据。

如图 4 所示，为对端设备向目标设备写数据的方法，所述方法中控制器的第二工作模块进行工作，该方法的处理流程包括以下步骤：

步骤 401、对端设备产生 CPU 写操作命令，并将所述 CPU 写操作命令组成 PCIe 协议包通过高速串行总线 SerDes 发送给协议层设备。

10 组装成的 PCIe 协议包上设置有工作类型标志位，所述工作类型标志位表示为写操作。

步骤 402、协议层设备将所述 PCIe 协议包转换成 TLP 包，并通过 TLP 接口发送给控制器。

该 TLP 包在 PCIe 协议中又称存储（memory）写或 IO 写命令的包。转换成 TLP 包上设置有工作类型标志位，所述工作类型标志位表示为写操作。

15

步骤 403、控制器将工作类型标志位为写操作的 TLP 包分配给第二工作模块，所述第二工作模块解析接收到的 TLP 包，然后将解析出的所述 CPU 写操作命令转换为一个或多个通用寄存器写操作访问命令。

所述 CPU 写操作命令中包括写使能，写数据，写初始地址，写数据个数；所述通用寄存器写操作访问命令包括写使能、写地址、所述写地址对应的单个写数据。假设写初始地址为 N，写数据个数 10，则控制器解析出所述 CPU 写操作命令后，会将所述 CPU 写操作命令转换为 10 个通用寄存器写操作访问命令：（写使能，写地址 N，写数据 1）、（写使能，写地址 N+1，写数据 2）... ...（写使能，写地址 N+9，写数据 10）。

20

25 步骤 404、第二工作模块将所述一个或多个通用寄存器写操作访问命令

缓存到第三异步 FIFO 中。

步骤 405、所述第二工作模块中的第三异步 FIFO 将所述一个或多个通用寄存器写操作访问命令的时序转换为符合目标设备的时序，并在转换后将所述一个或多个通用寄存器写操作访问命令通过配置通道发送给所述目标设备。

所述第二工作模块中的第三异步 FIFO 会通过配置通道接口将所述一个或多个通用寄存器写操作访问命令发送给所述目标设备。

步骤 406、所述目标设备根据所述一个或多个通用寄存器写操作访问命令进行写操作，并在写操作完成后给第二工作模块发送写操作完成信号。

步骤 407、所述第二工作模块接收所述写操作完成信号。

如果所述第二工作模块在第二预设时间内（这个第二预设时间内可根据实际情况人为配置）未从配置通道上接收到目标设备返回的写操作完成信号，则表明是配置通道出现故障或目标设备出现故障等，这时一个自检测的过程。此时所述第二工作模块会自动产生一个写操作完成信号，以便第二工作模块发送下一个写操作命令给目标设备。

如图 5 所示，为对端设备中存储的报文以 DMA 读的方式传输到目标设备的方法，本方法中控制器的第二工作模块和第三工作模块进行工作，该方法的处理流程包括以下步骤：

步骤 501、对端设备产生 CPU 写操作命令，并将所述 CPU 写操作命令组成 PCIe 协议包通过高速串行总线 SerDes 发送给协议层设备。

组装成的 PCIe 协议包上设置有工作类型标志位，所述工作类型标志位表示为写操作。

步骤 502、协议层设备将所述 PCIe 协议包转换成 TLP 包，并通过 TLP 接口发送给控制器。

该 TLP 包在 PCIe 协议中又称存储（memory）写或 IO 写命令的包。转

换成的 TLP 包上设置有工作类型标志位, 所述工作类型标志位表示为写操作。

步骤 503、控制器将工作类型标志位为写操作的 TLP 包分配给第二工作模块, 所述第二工作模块解析接收到的 TLP 包获得 DMA 读操作命令,
5 然后启动所述第三工作模块, 将所述 DMA 读操作命令发送给所述第三工作模块。

所述 CPU 写操作命令中包括 DMA 读操作命令, 所述 DMA 读操作命令中包括报文发送指示信息的初始地址和地址空间大小; 其中, DMA 读操作命令用于指示控制器开启第三工作模块。所述报文发送指示信息的初始
10 地址和地址空间大小用于指示报文发送指示信息在缓存空间中的地址。

步骤 504、所述第三工作模块将报文发送指示信息的地址通过协议层设备发送给对端设备。

在传输过程中, 控制器将报文发送指示信息的地址组装成 TLP 包通过 TLP 接口发送给协议层设备, 再由协议层设备将该 TLP 包转换成 PCIe 协议
15 包通过高速串行总线发送给对端设备。

所述对端设备中具有报文发送指示信息的缓存空间以及发送报文的缓存空间, 所述报文发送指示信息的初始地址和地址空间大小用于指示报文发送指示信息在缓存空间中的地址。启动第三工作模块时, 所述第三工作模块首次发送的报文发送指示信息的地址为报文发送指示信息的初始地
20 址。

步骤 505、所述对端设备将所述报文发送指示信息的地址中的报文发送指示信息内容, 通过协议层设备发送给第三工作模块。

所述对端设备接收到报文发送指示信息的地址后, 会在缓存报文发送指示信息的缓存空间中将该地址对应的报文发送指示信息内容发送给第三
25 工作模块。所述报文发送指示信息内容包括报文发送有效指示信息、报文

大小和报文初始缓存的地址。

步骤 506、在所述报文发送有效指示信息为有效时，第三工作模块将所述报文大小和报文初始缓存地址通过协议层设备发送给对端设备。

5 报文大小和报文初始缓存的地址可以确定报文的地址；在所述报文发送有效指示信息为有效时表明该地址内有发送报文需要发送，此时控制器将所述报文大小和报文初始缓存的地址通过协议层设备发送给对端设备，在此传输过程中数据形式的转换参考上文描述。

若所述报文发送有效指示信息为无效或不正确时，则所述控制器会反复重复上述过程，直到所述对端设备发送的所述发送指示信息为有效为止。

10 步骤 507、对端设备根据所述报文大小和报文初始缓存地址获取发送报文，并将获取到的发送报文通过协议层设备发送给第三工作模块。

步骤 508、第三工作模块将所述发送报文缓存到第四异步 FIFO 中，经过时序转换、数据位宽转换后，转换为通用包结构形式报文，通过 DMA 通道发送给目标设备。

15 报文的通用包结构形式，主要包含了包头（SOP）、包尾（EOP）、包内容（DATA）、包指示符（有效指示符 VALID、错误指示符 ERROR 和最后一拍 DATA 字节数 MOD），以及反压状态（FC）等信息。而所述 DATA 最小位宽为 8 比特，还可具有 8 的整数倍的其他位宽，可以根据目标设备中报文的位宽进行数据位宽转换，转换成合适的数据位宽后再发送给目标设
20 备。

步骤 509、所述第三工作模块通过协议层设备向对端设备发送报文发送完成命令，所述报文发送完成命令用于将所述发送报文对应的报文发送有效指示信息更改为无效。

所述第三工作模块将所述发送报文发送给目标设备后，由于对端设备
25 中该发送报文不需要再被发送给目标设备，而该发送报文对应的报文接收

有效指示信息还是有效的，此时第三工作模块就需要向对端设备发送报文发送完成命令，该报文发送完成命令用于指示对端设备将所述发送报文对应的报文发送有效指示信息更改为无效。

所述报文发送指示信息的地址是从初始地址开始，按照上述步骤
5 504-509 将该初始地址对应的报文发送给目标地址后，所述控制器会将报文发送指示信息的初始地址自动加 1，继续进行步骤 504-509，完成后再加 1，以此循环进行步骤 504-509，直至超过了步骤 503 解析出的报文发送指示信息的初始地址和地址空间大小限定的报文发送指示信息的地址。

如图 6 所示，为目标设备中的报文以 DMA 写的方式传输到对端设备的
10 缓存中的方法，本方法中控制器的第二工作模块和第三工作模块进行工作，该方法的处理流程包括以下步骤：

步骤 601、对端设备产生 CPU 写操作命令，并将所述 CPU 写操作命令组成 PCIe 协议包通过高速串行总线 SerDes 发送给协议层设备。

组装成的 PCIe 协议包上设置有工作类型标志位，所述工作类型标志位
15 表示为写操作。

步骤 602、协议层设备将所述 PCIe 协议包转换成 TLP 包，并通过 TLP 接口发送给控制器。

该 TLP 包在 PCIe 协议中又称存储（memory）写或 IO 写命令的包。转换成的 TLP 包上设置有工作类型标志位，所述工作类型标志位表示为写操
20 作。

步骤 603、控制器将工作类型标志位为写操作的 TLP 包分配给第二工作模块，所述第二工作模块解析接收到的 TLP 包获得 DMA 写操作命令，然后启动所述第四工作模块，将所述 DMA 写操作命令发送给所述第四工作模块。

25 所述 CPU 写操作命令中包括 DMA 写启动指令，报文接收指示信息的

初始地址和地址空间大小；其中，DMA 写操作命令用于指示控制器开启第四工作模块。所述报文接收指示信息的初始地址和地址空间大小用于指示报文接收指示信息在缓存空间中的地址。

5 步骤 604、第四工作模块将报文接收指示信息的地址通过协议层设备发送给对端设备。

在传输过程中，第四工作模块将报文接收指示信息的地址组装成 TLP 包通过 TLP 接口发送给协议层设备，再由协议层设备将该 TLP 包转换成 PCIe 协议包通过高速串行总线发送给对端设备。

10 所述对端设备中具有报文接收指示信息的缓存空间以及接收报文的缓存空间，所述报文接收指示信息的初始地址和地址空间大小用于指示报文接收指示信息在缓存空间中的地址。启动第四工作模块时，第四工作模块首次发送的报文接收指示信息的地址为报文接收指示信息的初始地址。

步骤 605、所述对端设备将所述报文接收指示信息的地址中的报文接收指示信息内容，通过协议层设备发送给第四工作模块。

15 所述对端设备接收到报文接收指示信息的地址后，会在缓存报文接收指示信息的缓存空间中将该地址对应的报文接收指示信息内容发送给控制器。所述报文接收指示信息内容包括报文接收有效指示信息、接收报文的初始缓存地址。

20 步骤 606、所述第四工作模块的第五异步 FIFO 将目标设备发送的通用包结构形式的接收报文进行缓存、时序转换和数据位宽转换后，转换为符合 PCIe 协议要求的 TLP 包结构形式和时序的报文数据包。

目标设备可以将接收报文通过 DMA 通道发送给控制器的第四模块，第四工作模块的第五异步 FIFO 可以将目标设备发送的通用包结构形式的报文进行缓存、时序转换和数据位宽转换后，转换为符合 PCIe 协议要求的 TLP
25 包结构形式和时序的报文数据包。在这里需要说明的是，当第四工作模块

的第五异步 FIFO 中的缓存存满的时,第四工作模块可以通知目标设备不再发送接收报文过来。

步骤 607、在所述报文接收有效指示信息为有效时,控制器将所述接收报文的初始缓存地址以及从第五异步 FIFO 输出的 TLP 包形式的报文数据包通过协议层设备发送给对端设备。

接收报文的初始缓存地址为对端设备将接收到的报文进行缓存的初始地址;在所述报文接收有效指示信息为有效时表明该地址为空可以缓存接收到的报文,此时第四工作模块将所述接收报文的初始缓存地址以及从第五异步 FIFO 输出的 TLP 包形式的报文数据包通过协议层设备发送给对端设备,在此传输过程中数据形式的转换参考上文描述。

若所述报文接收有效指示信息为无效或不正确时,则所述控制器会反复重复上述过程,直到所述对端设备发送的所述接收指示信息为有效。

步骤 608、所述对端设备从所述接收报文的初始缓存地址处缓存报文数据包。

步骤 609、所述第四工作模块通过协议层设备向对端设备发送报文接收完成命令,所述报文接收完成命令用于所述对端设备将所述报文数据包初始缓存地址对应的报文接收有效指示信息更改为无效。

所述第四工作模块将所述接收报文的报文数据包发送给对端设备后,由于对端设备会将从所述接收报文的初始缓存地址处缓存报文数据包,所述报文数据包初始缓存地址对应的缓存地址处就会被占用,而该地址对应的报文接收有效指示信息还是有效的,此时第四工作模块就需要向对端设备发送报文接收完成命令,该报文接收完成命令用于指示对端设备将所述报文数据包初始缓存地址对应的报文接收有效指示信息更改为无效。

所述报文接收指示信息的地址是从初始地址开始,按照上述步骤 604-609 将接收到的报文缓存到该初始地址后,所述第四工作模块会将报文

接收指示信息的初始地址自动加 1，继续进行步骤 604-609，完成后再加 1，以此循环进行步骤 604-609，直至所述报文接收指示信息的地址超出了步骤 603 解析出的报文接收指示信息的初始地址和地址空间大小限定的报文发送接收信息的地址范围。

5 本实施例方法中，控制器中两个或两个以上的工作模块可以同时工作，这样基于一条 PCIe 总线链路，本实施例方法可以实现同时进行 CPU 读写访问寄存器操作和数据报文的双向传输，从而也大大简化了一个 PCIe 总线设备或系统，也具有应用灵活多样性的特点；且本实施例方法中，一个所述控制器可以同时支持一个或一个以上所述目标设备，具有非常好的扩展性。数据报文的双向传输以 DMA 方式进行，且该 DMA 方式需通过所述 CPU 写操作来控制其开关使能和确定数据缓存空间大小、数据初始地址。特别是，通过所述报文收发指示信息实现了查询和控制 DMA 操作，以及实现了数据传输的自查询、自控制、错误或失败重传、所述报文发送指示信息空间的自轮询等特点，并兼具有数据位宽转换、异步时钟域转换、统计
10 等功能；且一个所述控制器可以同时支持一个或一个以上所述目标设备，具有非常好的扩展性。

实施例 3

本发明实施例提供了一种数据传输装置，基于增强型外设互连 PCIe 协议总线，如图 7 所示，所述装置包括：接收模块 701，分配模块 702，第一
20 工作模块 703、第二工作模块 704、第三工作模块 705 和第四工作模块 706，其中，

接收模块 701，配置为接收对端设备发送的数据包，所述数据包上携带有工作类型标志位；

分配模块 702，配置为在所述接收模块 701 接收到的工作类型标志位表示为读操作时，将所述数据包分配给第一工作模块；
25

所述第一工作模块 703, 配置为在解析出所述分配模块 702 分配的数据包获得读操作命令时, 将所述读操作命令发送给目标设备, 接收目标设备返回的读数据, 并将所述读数据发送给所述对端设备;

分配模块 702, 还配置为在所述接收模块 701 接收到的工作类型标志位
5 表示为写操作时, 将所述数据包分配给第二工作模块;

所述第二工作模块 704, 配置为在解析出所述分配模块 702 分配的所述数据包获得写操作命令时, 将所述数据包中的写操作命令发送给目标设备, 接收目标设备返回的写操作完成信号;

所述第二工作模块 704, 还配置为在解析所述数据包获得 DMA 读操作
10 命令时, 启动所述第三工作模块 705, 并将所述 DMA 读操作命令发送给所述第三工作模块 705;

所述第三工作模块 705, 配置为根据所述第二工作模块 704 发送的所述 DMA 读操作命令获得所述对端设备中的发送报文, 并将所述发送报文发送给目标设备;

15 所述第二工作模块 704, 还配置为在解析出所述数据包获得 DMA 写操作命令时, 启动所述第四工作模块 706, 将所述 DMA 写操作命令发送给所述第四工作模块 706;

所述第四工作模块 706, 还配置为根据所述第二工作模块 704 发送的所述 DMA 写操作命令将目标设备发送的接收报文, 发送给对端设备。

20 可选的, 如图 8 所示, 所述第一工作模块 703 中包括: 第一处理模块 7031, 第一异步先入先出缓存器 FIFO 模块 7032 和第二异步 FIFO 模块 7033; 其中,

所述第一处理模块 7031, 配置为解析数据包获得 CPU 读操作命令, 然后将所述 CPU 读操作命令转换为一个或多个通用寄存器读操作访问命令;

25 其中, 所述 CPU 读操作命令中包括读使能、读初始地址、读数据个数, 所

述通用寄存器读操作访问命令包括读使能、读地址；

所述第一处理模块 7031，还配置为将所述一个或多个通用寄存器读操作访问命令缓存到第一异步先入先出缓存器 FIFO 模块 7032 中；

5 所述第一异步 FIFO 模块 7032，配置为将所述第一处理模块 7031 缓存的一个或多个通用寄存器读操作访问命令的时序转换为符合目标设备的时序；

所述第一处理模块 7031，还配置为将所述第一异步 FIFO 模块 7032 转换后的所述一个或多个通用寄存器读操作访问命令通过配置通道发送给所述目标设备；通用寄存器读操作访问命令用于所述目标设备进行读操作获
10 得读数据；

所述第二异步 FIFO，配置为通过配置通道接收所述读数据，并将所述读数据转换为符合 PCIe 协议要求的 TLP 包结构形式和时序；

所述第一处理模块 7031，配置为将所述第二异步 FIFO 模块 7033 转换后的读数据发送给对端设备。

15 所述第一异步 FIFO 模块，还配置为在第一预设时间内未接收到所述目标设备发送的读数据时，自行生成无效读数据。

可选的，如图 9 所示，所述第二工作模块 704 中包括：第二处理模块 7041，第三异步 FIFO 模块 7042；其中，

所述第二处理模块 7041，配置为解析数据包获得 CPU 写操作命令，然后将所述 CPU 写操作命令转换为一个或多个通用寄存器写操作访问命令；
20 其中，所述 CPU 写操作命令中包括写使能、写数据、写初始地址、写数据个数，所述通用寄存器写操作访问命令包括写使能、写地址、所述写地址对应的单个写数据；

所述第二处理模块 7041，还配置为将所述一个或多个通用寄存器写操作访问命令缓存到第三异步 FIFO 模块 7042 中；
25

所述第三异步 FIFO 模块 7042, 配置为将所述第二处理模块 7041 缓存的所述一个或多个通用寄存器写操作访问命令的时序转换为符合目标设备的时序;

5 所述第二处理模块 7041, 还配置为将所述第三异步 FIFO 模块 7042 转换后的所述一个或多个通用寄存器写操作访问命令通过配置通道发送给所述目标设备; 通用寄存器写操作访问命令用于所述目标设备在写地址写入所述写地址对应的单个写数据;

所述第二处理模块 7041, 还配置为通过配置通道接收所述目标设备发送的写操作完成信号。

10 所述第二处理模块, 还配置为在第二预设时间内未接收到所述目标设备发送的写操作完成信号时, 生成所述写操作完成信号。

在一实施例中, 所述 DMA 读操作命令中包括报文发送指示信息的初始地址和地址空间大小; 如图 10 所示, 所述第三工作模块 705 包括第三处理模块 7051 和第四异步 FIFO 模块 7052; 其中,

15 第三处理模块 7051, 配置为在第 i 次时, 根据所述 DMA 读操作命令将报文发送指示信息的地址发送给对端设备; 其中, 所述报文发送指示信息的地址为报文发送指示信息的初始地址 $+i-1$, i 为大于等于 1 的整数; 所述报文发送指示信息的地址不超出所述报文发送指示信息的初始地址和地址空间大小限定的地址范围。

20 第三处理模块 7051, 还配置为接收对端设备发送的所述报文发送指示信息的地址中的报文发送指示信息内容; 其中, 所述报文发送指示信息内容包括报文发送有效指示信息、报文大小和报文初始缓存的地址;

第三处理模块 7051, 还配置为在所述报文发送有效指示信息为有效时, 将所述报文大小和报文初始缓存地址发送给对端设备;

25 第三处理模块 7051, 还配置为接收所述对端设备发送的所述报文大小

和报文初始缓存地址对应的发送报文，并将所述发送报文缓存到第四异步 FIFO 模块 7052 中；

所述第四异步 FIFO 模块 7052，配置为在将所述第三处理模块 7051 缓存的发送报文经过时序转换、数据位宽转换后，转换为通用包结构形式报文，通过 DMA 通道发送给目标设备；

第三处理模块 7051，还配置为在所述第四异步 FIFO 模块 7052 将所述发送报文发送给目标设备后，向对端设备发送报文发送完成命令，所述报文发送完成命令用于所述对端设备将所述发送报文对应的报文发送有效指示信息更改为无效。

在一实施例中，所述 DMA 写操作命令中包括报文接收指示信息的初始地址和地址空间大小；如图 11 所示，所述第四工作模块 706 包括：第四处理模块 7061 和第五异步 FIFO 模块 7062，其中，

所述第四处理模块 7061，配置为在第 j 次时，根据所述 DMA 写操作命令将报文接收指示信息的地址发送给对端设备；其中，所述报文接收指示信息的地址为报文接收指示信息的初始地址 $+j-1$ ， j 为大于等于 1 的整数；所述报文接收指示信息的地址未超出所述报文接收指示信息的初始地址和地址空间大小限定的地址范围；

所述第四处理模块 7061，还配置为接收对端设备发送的所述报文接收指示信息的地址中的报文接收指示信息内容；其中，所述报文接收指示信息内容包括报文接收有效指示信息、接收报文的初始缓存地址；

所述第五异步 FIFO 模块 7062，配置为将目标设备发送的通用包结构形式的接收报文进行缓存、时序转换和数据位宽转换后，转换为符合 PCIe 协议要求的 TLP 包结构形式和时序的报文数据包；

所述第四处理模块 7061，还配置为在所述报文接收有效指示信息为有效时，将所述接收报文的初始缓存地址以及所述第五异步 FIFO 模块 7062

输出的报文数据包发送给对端设备；所述接收报文的初始缓存地址用于所述对端设备从所述接收报文的初始缓存地址处缓存报文数据包；

所述第四处理模块 7061，还配置为向对端设备发送报文接收完成命令，所述报文接收完成命令用于所述对端设备将所述报文数据包初始缓存地址
5 对应的报文接收有效指示信息更改为无效。

在实际应用中，接收模块 701，分配模块 702，第一工作模块 703、第二工作模块 704、第三工作模块 705 和第四工作模块 706 可以由位于控制器上的中央处理器（CPU）、微处理器（MPU）、数字信号处理器（DSP）或现场可编程门阵列（FPGA）等器件实现。

本领域内的技术人员应明白，本发明的实施例可提供为方法、系统、
10 或计算机程序产品。因此，本发明可采用硬件实施例、软件实施例、或结合软件和硬件方面的实施例的形式。而且，本发明可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质（包括但不限于磁盘存储器和光学存储器等）上实施的计算机程序产品的形式。

本发明是参照根据本发明实施例的方法、设备（系统）、和计算机程序
15 产品的流程图和/或方框图来描述的。应理解可由计算机程序指令实现流程图和/或方框图中的每一流程和/或方框、以及流程图和/或方框图中的流程和/或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、嵌入式处理机或其他可编程数据处理设备的处理器以产生一个机器，使得
20 通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的装置。

这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理
25 设备以特定方式工作的计算机可读存储器中，使得存储在该计算机可读存储器中的指令产生包括指令装置的制造品，该指令装置实现在流程图一个

流程或多个流程和/或方框图一个方框或多个方框中指定的功能。

这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上，使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机实现的处理，从而在计算机或其他可编程设备上执行的指令提供用于实现
5 在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的步骤。

以上所述仅为本发明的较佳实施例而已，并非用于限定本发明的保护范围。

工业实用性

10 本发明实施例控制器接收对端设备发送的数据包，所述数据包上携带有工作类型标志位；在工作类型标志位表示为读操作时，将所述数据包分配给第一工作模块，所述第一工作模块解析所述数据包获得读操作命令，将所述读操作命令发送给目标设备，接收目标设备返回的读数据，并将所述读数据发送给所述对端设备；在工作类型标志位表示为写操作时，将所
15 述数据包分配给第二工作模块，所述第二工作模块解析所述数据包获得写操作命令时，将所述数据包中的写操作命令发送给目标设备，接收目标设备返回的写操作完成信号；所述第二工作模块解析所述数据包获得直接存储访问 DMA 读操作命令时，启动所述第三工作模块，将所述 DMA 读操作命令发送给所述第三工作模块，所述第三工作模块根据所述 DMA 读操作命令获得所述对端设备中的发送报文，将所述发送报文发送给目标设备；所
20 述第二工作模块解析所述数据包获得 DMA 写操作命令时，启动所述第四工作模块，将所述 DMA 写操作命令发送给所述第四工作模块，所述第四工作模块根据所述 DMA 写操作命令将目标设备发送的接收报文，发送给对端设备。如此，控制器中两个或两个以上的工作模块可以同时工作，这样，基
25 于一条 PCIe 总线链路，可以实现同时进行 CPU 读写访问寄存器操作和数

据报文以 DMA 方式进行双向传输，从而也大大简化了 PCIe 总线设备或系统，具有应用灵活多样性的特点；另外，一个所述控制器可以同时支持一个或一个以上的目标设备，具有非常好的扩展性。

权利要求书

1、一种数据传输方法，所述方法应用于控制器，所述控制器中包括第一工作模块、第二工作模块、第三工作模块和第四工作模块，所述方法包括：

5 接收对端设备发送的数据包，所述数据包上携带有工作类型标志位；

在工作类型标志位表示为读操作时，将所述数据包分配给第一工作模块，所述第一工作模块解析所述数据包获得读操作命令，将所述读操作命令发送给目标设备，接收目标设备返回的读数据，并将所述读数据发送给所述对端设备；

10 在工作类型标志位表示为写操作时，将所述数据包分配给第二工作模块，所述第二工作模块解析所述数据包获得写操作命令时，将所述数据包中的写操作命令发送给目标设备，接收目标设备返回的写操作完成信号；

所述第二工作模块解析所述数据包获得直接存储访问 DMA 读操作命令时，启动所述第三工作模块，将所述 DMA 读操作命令发送给所述第三工作模块，所述第三工作模块根据所述 DMA 读操作命令获得所述对端设备中的发送报文，将所述发送报文发送给目标设备；

所述第二工作模块解析所述数据包获得 DMA 写操作命令时，启动所述第四工作模块，将所述 DMA 写操作命令发送给所述第四工作模块，所述第四工作模块根据所述 DMA 写操作命令将目标设备发送的接收报文，发送给
20 对端设备。

2、根据权利要求 1 所述的方法，其中，所述第一工作模块解析所述数据包获得读操作命令，将所述读操作命令发送给目标设备，接收目标设备返回的读数据，并将所述读数据发送给所述对端设备，包括：

所述第一工作模块解析数据包获得 CPU 读操作命令，然后将所述 CPU

读操作命令转换为一个或多个通用寄存器读操作访问命令;其中,所述 CPU 读操作命令中包括读使能、读初始地址、读数据个数,所述通用寄存器读操作访问命令包括读使能、读地址;

第一工作模块将所述一个或多个通用寄存器读操作访问命令缓存到第
5 一异步先入先出缓存器 FIFO 中;

所述第一工作模块中的第一异步 FIFO 将所述一个或多个通用寄存器读操作访问命令的时序转换为符合目标设备的时序,并在转换后将所述一个或多个通用寄存器读操作访问命令通过配置通道发送给所述目标设备;通用寄存器读操作访问命令用于所述目标设备进行读操作获得读数据;

10 所述第一工作模块中的第二异步 FIFO 通过配置通道接收所述读数据,并将所述读数据转换为符合增强型外设互连 PCIe 协议要求的 TLP 包结构形式和时序;并将转换后的读数据发送给对端设备。

3、根据权利要求 2 所述的方法,其中,所述第一工作模块的第二异步 FIFO 在第一预设时间内未接收到所述目标设备发送的读数据时,自行生成
15 无效读数据。

4、根据权利要求 1 所述的方法,其中,所述第二工作模块解析所述数据包获得写操作命令时,将所述数据包中的写操作命令发送给目标设备,接收目标设备返回的写操作完成信号,包括:

所述第二工作模块解析数据包获得 CPU 写操作命令,然后将所述 CPU
20 写操作命令转换为一个或多个通用寄存器写操作访问命令;其中,所述 CPU 写操作命令中包括写使能、写数据、写初始地址、写数据个数,所述通用寄存器写操作访问命令包括写使能、写地址、所述写地址对应的单个写数据;

第二工作模块将所述一个或多个通用寄存器写操作访问命令缓存到第
25 三异步 FIFO 中;

所述第二工作模块中的第三异步 FIFO 将所述一个或多个通用寄存器写操作访问命令的时序转换为符合目标设备的时序，并在转换后将所述一个或多个通用寄存器写操作访问命令通过配置通道发送给所述目标设备；通用寄存器写操作访问命令用于所述目标设备在写地址写入所述写地址对应的单个写数据；

所述第二工作模块通过配置通道接收所述目标设备发送的写操作完成信号。

5 5、根据权利要求 4 所述的方法，其中，所述第二工作模块在第二预设时间内未接收到所述目标设备发送的写操作完成信号时，所述第二工作模块自行生成所述写操作完成信号。

6、根据权利要求 1 所述的方法，其中，所述 DMA 读操作命令中包括报文发送指示信息的初始地址和地址空间大小；所述第三工作模块根据所述 DMA 读操作命令获得所述对端设备中的发送报文，将所述发送报文发送给目标设备，包括：

15 在第 i 次时，所述第三工作模块根据所述 DMA 读操作命令将报文发送指示信息的地址发送给对端设备；其中，所述报文发送指示信息的地址为报文发送指示信息的初始地址 $+i-1$ ， i 为大于等于 1 的整数；

所述第三工作模块接收对端设备发送的所述报文发送指示信息的地址中的报文发送指示信息内容；其中，所述报文发送指示信息内容包括报文发送有效指示信息、报文大小和报文初始缓存的地址；

所述第三工作模块在所述报文发送有效指示信息为有效时，将所述报文大小和报文初始缓存地址发送给对端设备；

所述第三工作模块接收所述对端设备发送的所述报文大小和报文初始缓存地址对应的发送报文；

25 所述第三工作模块将所述发送报文缓存到第四异步 FIFO 中，经过时序

转换、数据位宽转换后，转换为通用包结构形式报文，通过 DMA 通道发送给目标设备；

所述第三工作模块向对端设备发送报文发送完成命令，所述报文发送完成命令用于所述对端设备将所述发送报文对应的报文发送有效指示信息
5 更改为无效；

依次循环进行上述步骤，直至所述报文发送指示信息的地址超出所述报文发送指示信息的初始地址和地址空间大小限定的地址范围。

7、根据权利要求 1 所述的方法，其中，所述 DMA 写操作命令中包括
10 报文接收指示信息的初始地址和地址空间大小；所述第四工作模块根据所述 DMA 写操作命令将目标设备发送的接收报文，发送给对端设备，包括：

在第 j 次时，所述第四工作模块根据所述 DMA 写操作命令将报文接收指示信息的地址发送给对端设备；其中，所述报文接收指示信息的地址为
报文接收指示信息的初始地址 $+j-1$ ， j 为大于等于 1 的整数；

所述第四工作模块接收对端设备发送的所述报文接收指示信息的地址
15 中的报文接收指示信息内容；其中，所述报文接收指示信息内容包括报文接收有效指示信息、接收报文的初始缓存地址；

所述第四工作模块的第五异步 FIFO 将目标设备发送的通用包结构形式的接收报文进行缓存、时序转换和数据位宽转换后，转换为符合 PCIe 协议要求的 TLP 包结构形式和时序的报文数据包；

20 在所述报文接收有效指示信息为有效时，所述第四工作模块将所述接收报文的初始缓存地址以及从第五异步 FIFO 输出的报文数据包发送给对端设备；所述接收报文的初始缓存地址用于所述对端设备从所述接收报文的初始缓存地址处缓存报文数据包；

所述第四工作模块对端设备发送报文接收完成命令，所述报文接收完
25 成命令用于所述对端设备将所述报文数据包初始缓存地址对应的报文接收

有效指示信息更改为无效;

依次循环进行上述步骤,直至所述报文接收指示信息的地址超出所述报文接收指示信息的初始地址和地址空间大小限定的地址范围。

8、一种数据传输装置,所述装置包括:接收模块,分配模块,第一工作模块、第二工作模块、第三工作模块和第四工作模块,其中,

接收模块,配置为接收对端设备发送的数据包,所述数据包上携带有工作类型标志位;

分配模块,配置为在所述接收模块接收到的工作类型标志位表示为读操作时,将所述数据包分配给第一工作模块;

10 所述第一工作模块,配置为在解析出所述分配模块分配的数据包获得读操作命令时,将所述读操作命令发送给目标设备,接收目标设备返回的读数据,并将所述读数据发送给所述对端设备;

分配模块,还配置为在所述接收模块接收到的工作类型标志位表示为写操作时,将所述数据包分配给第二工作模块;

15 所述第二工作模块,配置为在解析出所述分配模块分配的所述数据包获得写操作命令时,将所述数据包中的写操作命令发送给目标设备,接收目标设备返回的写操作完成信号;

所述第二工作模块,还配置为在解析所述数据包获得直接存储访问DMA读操作命令时,启动所述第三工作模块,并将所述DMA读操作命令
20 发送给所述第三工作模块;

所述第三工作模块,配置为根据所述第二工作模块发送的所述DMA读操作命令获得所述对端设备中的发送报文,并将所述发送报文发送给目标设备;

所述第二工作模块,还配置为在解析出所述数据包获得DMA写操作命令时,启动所述第四工作模块,将所述DMA写操作命令发送给所述第四工
25 令时,启动所述第四工作模块,将所述DMA写操作命令发送给所述第四工

作模块;

所述第四工作模块,配置为根据所述第二工作模块发送的所述 DMA 写操作命令将目标设备发送的接收报文,发送给对端设备。

9、根据权利要求 8 所述的装置,其中,所述第一工作模块中包括: 第一处理模块, 第一异步先入先出缓存器 FIFO 模块和第二异步 FIFO 模块; 其中,

所述第一处理模块,配置为解析数据包获得 CPU 读操作命令,然后将所述 CPU 读操作命令转换为一个或多个通用寄存器读操作访问命令;其中,所述 CPU 读操作命令中包括读使能、读初始地址、读数据个数,所述通用寄存器读操作访问命令包括读使能、读地址;

所述第一处理模块,还配置为将所述一个或多个通用寄存器读操作访问命令缓存到第一异步先入先出缓存器 FIFO 模块中;

所述第一异步 FIFO 模块,配置为将所述第一处理模块缓存的一个或多个通用寄存器读操作访问命令的时序转换为符合目标设备的时序,并在转换后将所述一个或多个通用寄存器读操作访问命令通过配置通道发送给所述目标设备;通用寄存器读操作访问命令用于所述目标设备进行读操作获得读数据;

所述第二异步 FIFO 模块,配置为通过配置通道接收所述读数据,并将所述读数据转换为符合增强型外设互连 PCIe 协议要求的 TLP 包结构形式和时序;并将转换后的读数据发送给对端设备。

10、根据权利要求 9 所述的装置,其中,所述第一异步 FIFO 模块,还配置为在第一预设时间内未接收到所述目标设备发送的读数据时,自行生成无效读数据。

11、根据权利要求 8 所述的装置,其中,所述第二工作模块中包括: 第二处理模块, 第三异步 FIFO 模块; 其中,

所述第二处理模块，配置为解析数据包获得 CPU 写操作命令，然后将所述 CPU 写操作命令转换为一个或多个通用寄存器写操作访问命令；其中，所述 CPU 写操作命令中包括写使能、写数据、写初始地址、写数据个数，所述通用寄存器写操作访问命令包括写使能、写地址、所述写地址对应的
5 单个写数据；

所述第二处理模块，还配置为将所述一个或多个通用寄存器写操作访问命令缓存到第三异步 FIFO 模块中；

所述第三异步 FIFO 模块，配置为将所述第二处理模块缓存的所述一个或多个通用寄存器写操作访问命令的时序转换为符合目标设备的时序，并在转换后将所述一个或多个通用寄存器写操作访问命令通过配置通道发送给所述目标设备；通用寄存器写操作访问命令用于所述目标设备在写地址
10 写入所述写地址对应的单个写数据；

所述第二处理模块，还配置为通过配置通道接收所述目标设备发送的写操作完成信号。

15 12、根据权利要求 11 所述的装置，其中，所述第二处理模块，还配置为在第二预设时间内未接收到所述目标设备发送的写操作完成信号时，生成所述写操作完成信号。

13、根据权利要求 8 所述的装置，其中，所述 DMA 读操作命令中包括报文发送指示信息的初始地址和地址空间大小；所述第三工作模块包括第
20 三处理模块和第四异步 FIFO 模块；其中，

第三处理模块，配置为在第 i 次时，根据所述 DMA 读操作命令将报文发送指示信息的地址发送给对端设备；其中，所述报文发送指示信息的地址为报文发送指示信息的初始地址 $+i-1$ ， i 为大于等于 1 的整数；所述报文发送指示信息的地址不超出所述报文发送指示信息的初始地址和地址空间
25 大小限定的地址范围。

第三处理模块，还配置为接收对端设备发送的所述报文发送指示信息的地址中的报文发送指示信息内容；其中，所述报文发送指示信息内容包括报文发送有效指示信息、报文大小和报文初始缓存的地址；

第三处理模块，还配置为在所述报文发送有效指示信息为有效时，将
5 所述报文大小和报文初始缓存地址发送给对端设备；

第三处理模块，还配置为接收所述对端设备发送的所述报文大小和报文初始缓存地址对应的发送报文，并将所述发送报文缓存到第四异步 FIFO 模块中。

所述第四异步 FIFO 模块，配置为在将所述第三处理模块缓存的发送报
10 文经过时序转换、数据位宽转换后，转换为通用包结构形式报文，通过 DMA 通道发送给目标设备；

第三处理模块，还配置为在所述第四异步 FIFO 模块将所述发送报文发送给目标设备后，向对端设备发送报文发送完成命令，所述报文发送完成命令用于所述对端设备将所述发送报文对应的报文发送有效指示信息更改
15 为无效。

14、根据权利要求 8 所述的装置，其中，所述 DMA 写操作命令中包括报文接收指示信息的初始地址和地址空间大小；所述第四工作模块包括：第四处理模块和第五异步 FIFO 模块，其中，

所述第四处理模块，配置为在第 j 次时，根据所述 DMA 写操作命令将
20 报文接收指示信息的地址发送给对端设备；其中，所述报文接收指示信息的地址为报文接收指示信息的初始地址 $+j-1$ ， j 为大于等于 1 的整数；所述报文接收指示信息的地址未超出所述报文接收指示信息的初始地址和地址空间大小限定的地址范围；

所述第四处理模块，还配置为接收对端设备发送的所述报文接收指示
25 信息的地址中的报文接收指示信息内容；其中，所述报文接收指示信息内

容包括报文接收有效指示信息、接收报文的初始缓存地址；

所述第五异步 FIFO 模块，配置为将目标设备发送的通用包结构形式的接收报文进行缓存、时序转换和数据位宽转换后，转换为符合 PCIe 协议要求的 TLP 包结构形式和时序的报文数据包；

- 5 所述第四处理模块，还配置为在所述报文接收有效指示信息为有效时，将所述接收报文的初始缓存地址以及所述第五异步 FIFO 模块输出的报文数据包发送给对端设备；所述接收报文的初始缓存地址用于所述对端设备从所述接收报文的初始缓存地址处缓存报文数据包；

- 10 所述第四处理模块，还配置为向对端设备发送报文接收完成命令，所述报文接收完成命令用于所述对端设备将所述报文数据包初始缓存地址对应的报文接收有效指示信息更改为无效。

15、一种计算机存储介质，所述计算机存储介质中存储有计算机可执行指令，该计算机可执行指令用于执行权利要求 1 至 7 任一项所述的数据传输方法。

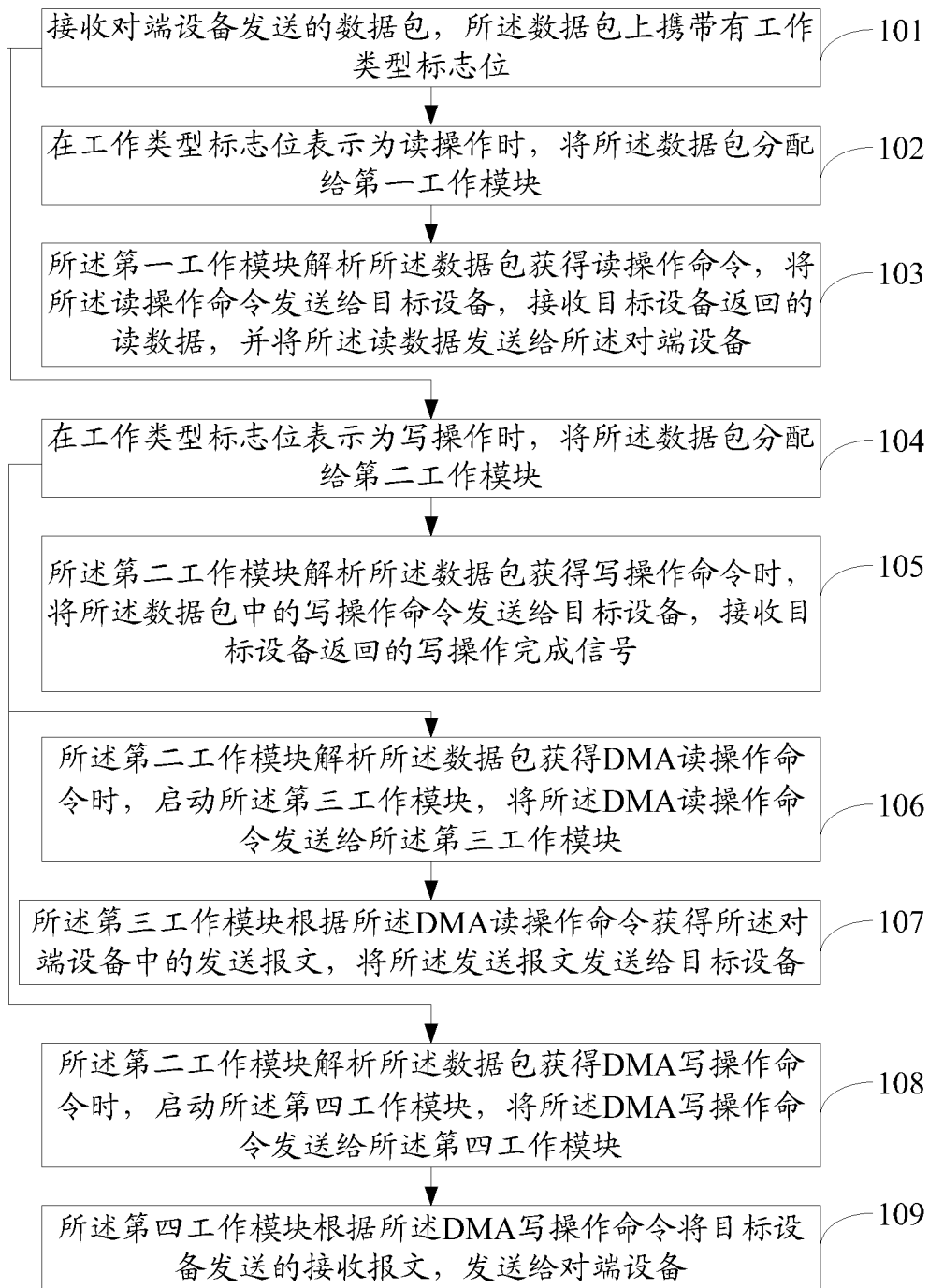


图 1

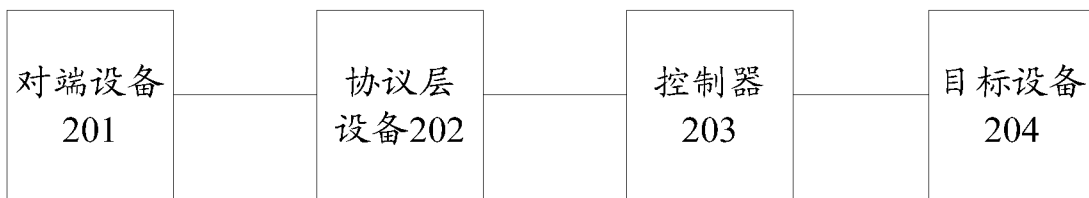


图 2

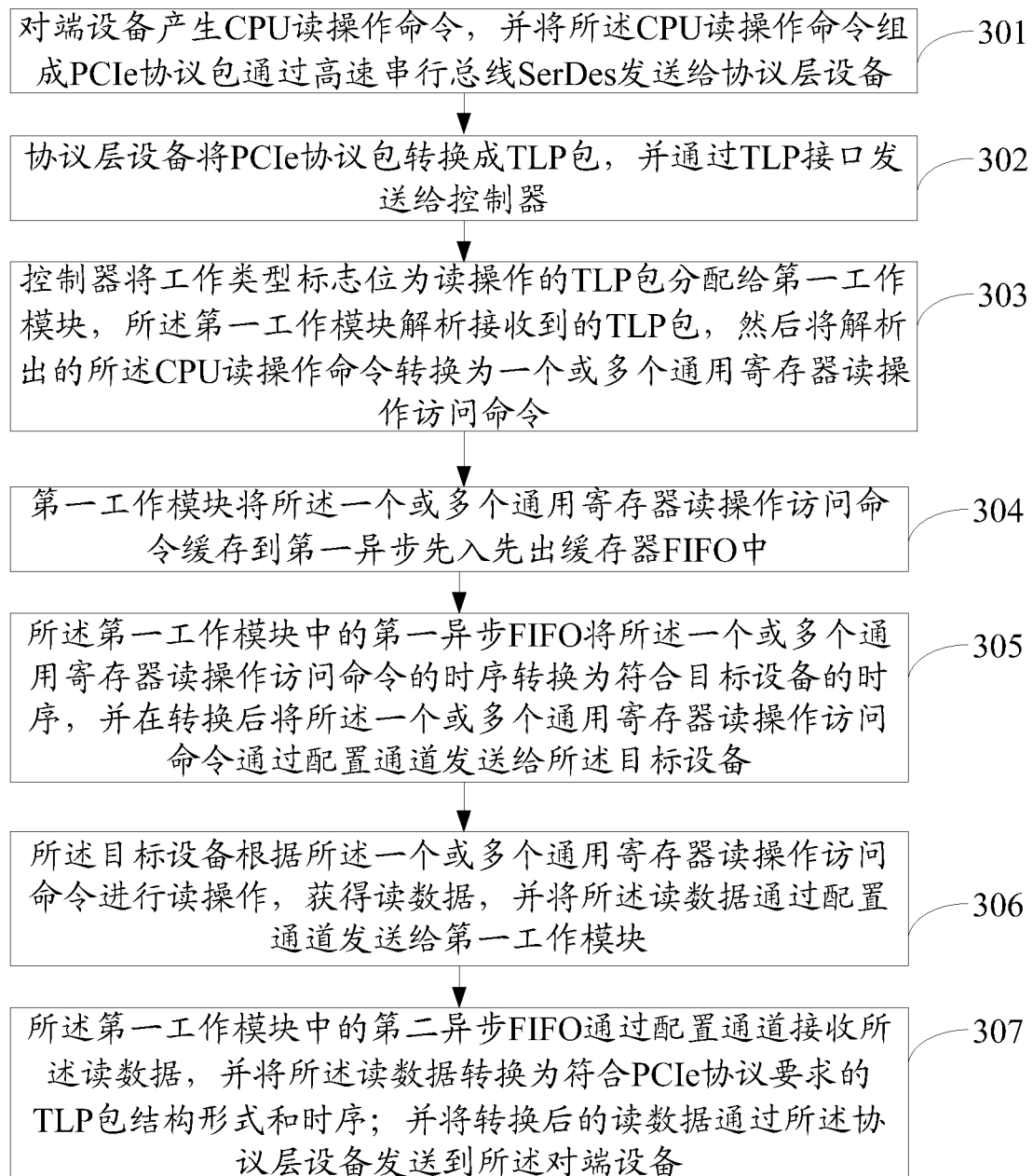


图 3

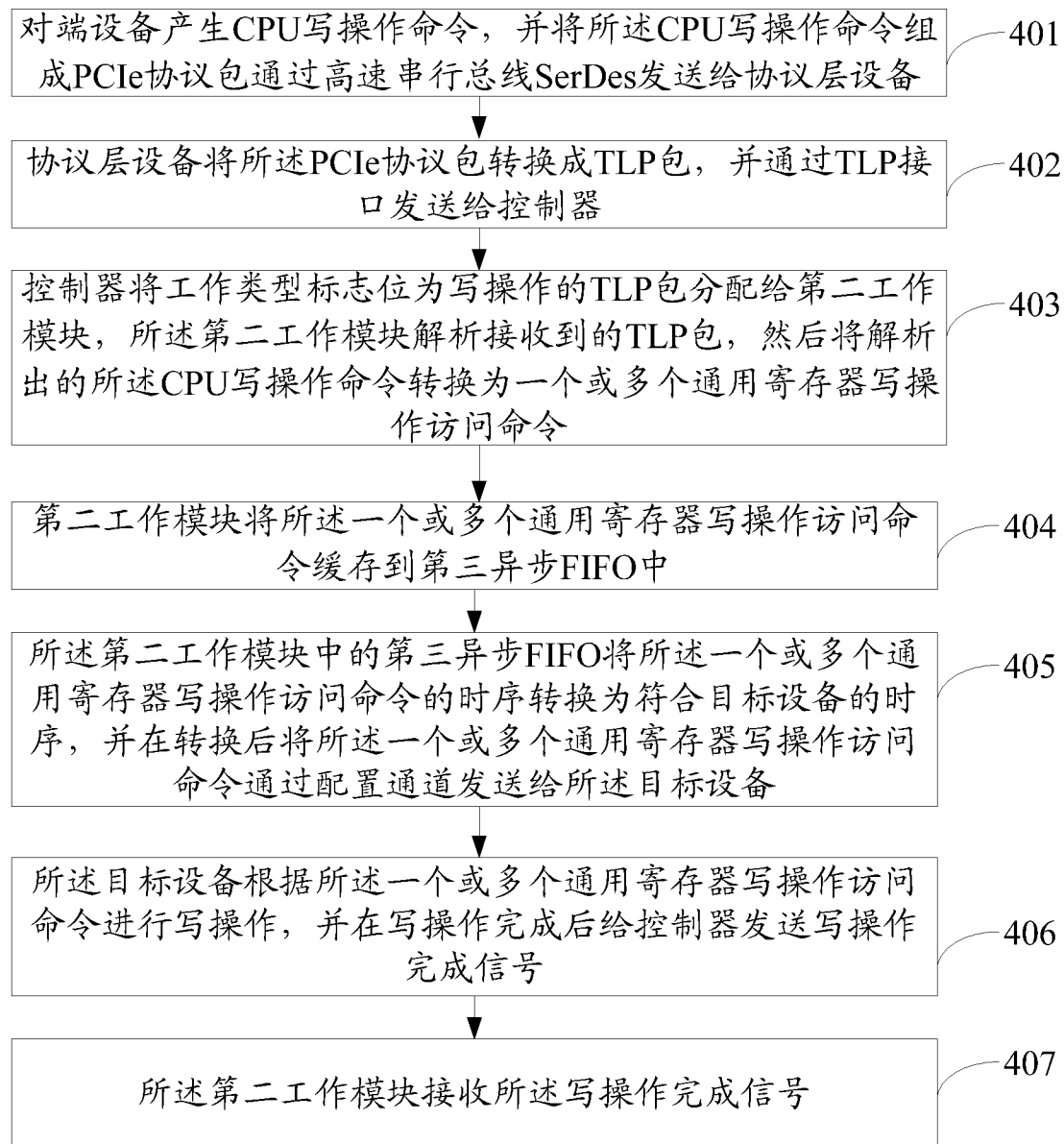


图 4

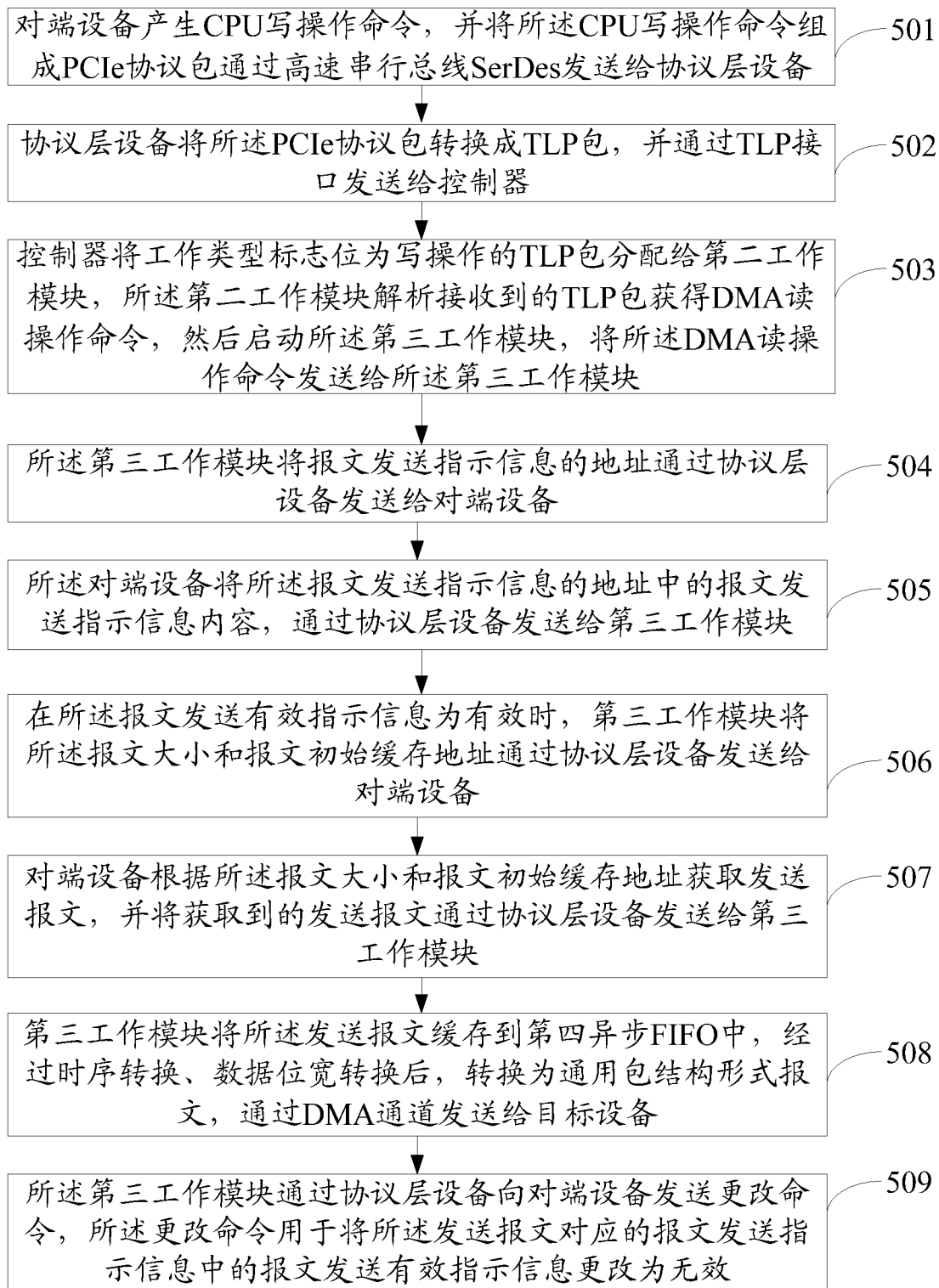


图 5

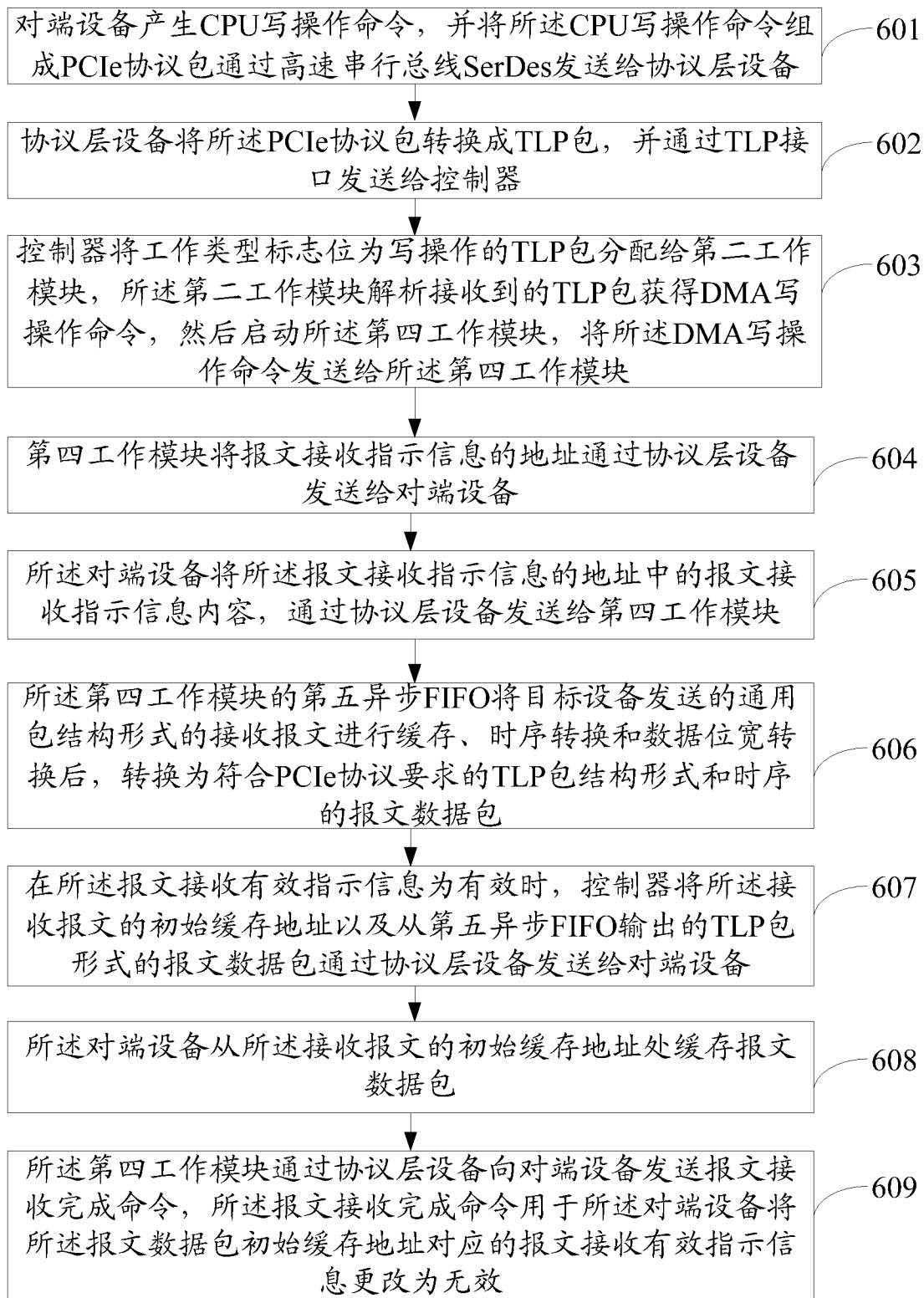


图 6

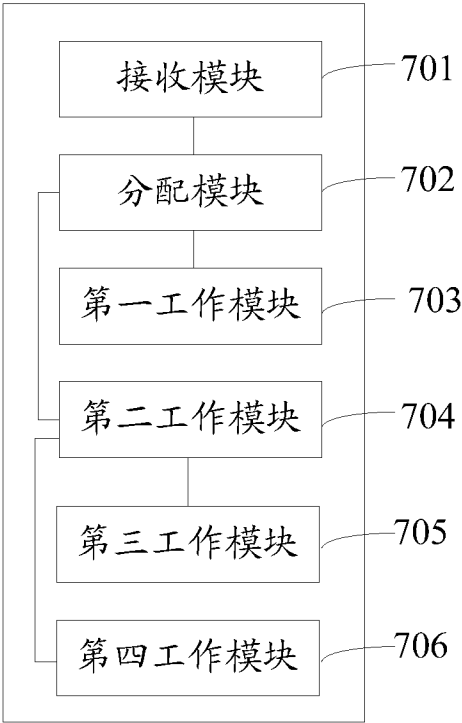


图 7

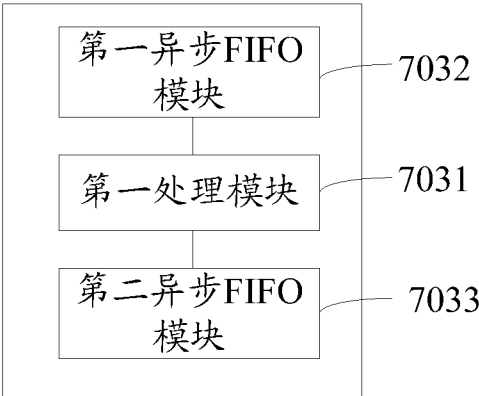


图 8

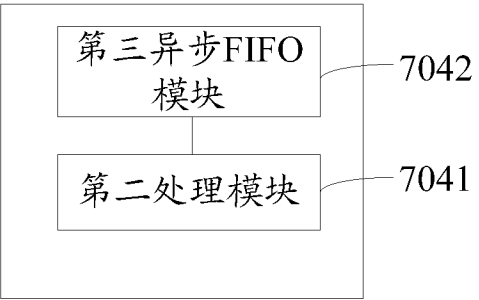


图 9

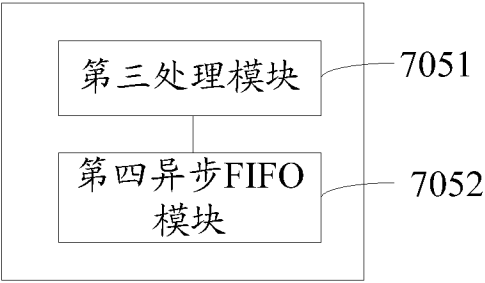


图 10

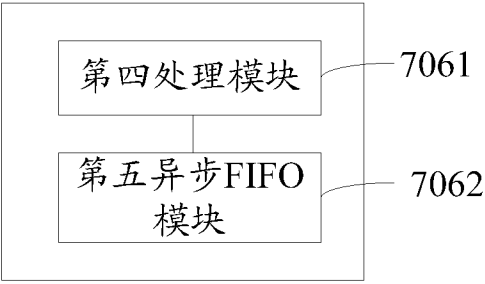


图 11

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/081038

A. CLASSIFICATION OF SUBJECT MATTER

G06F 13/14 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI, IEEE, GOOGLE: DMA, controller, data, transmission, read+, writ+, simultan+, tag, stor+, package, pars

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103635969 A (MICON TECHNOLOGY INC.) 12 March 2014 (12.03.2014) description, paragraphs [0015], [0043]-[0050], and figures 1-3	1-15
A	CN 104040515 A (INTEL CORP.) 10 September 2014 (10.09.2014) the whole document	1-15
A	CN 104054049 A (INTEL CORP.) 17 September 2014 (17.09.2014) the whole document	1-15
A	CN 104021090 A (SAMSUNG ELECTRONICS CO., LTD.) 03 September 2014 (03.09.2014) the whole document	1-15
A	US 2014223083 A1 (SAMSUNG ELECTRONICS CO., LTD.) 07 August 2014 (07.08.2014) the whole document	1-15

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 15 July 2016	Date of mailing of the international search report 26 July 2016
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LAN, Juan Telephone No. (86-10) 010-62413709

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/081038

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103635969 A	12 March 2014	WO 2012166548 A2	06 December 2012
		KR 20140025541 A	04 March 2014
		EP 2715729 A2	09 April 2014
		US 2014189163 A1	03 July 2014
		US 2012311193 A1	06 December 2012
		TW 201303586 A	16 January 2013
		JP 2014517402 A	17 July 2014
CN 104040515 A	10 September 2014	US 2014189212 A1	03 July 2014
		WO 2013048451 A1	04 April 2013
		EP 2761481 A1	06 August 2014
CN 104054049 A	03 September 2014	US 2014310721 A1	16 October 2014
		WO 2013103571 A1	11 July 2013
		EP 2801024 A1	12 November 2014
CN 104021090 A	03 September 2014	DE 102014102246 A1	28 August 2014
		US 2014244908 A1	28 August 2014
		KR 20140107935 A	05 September 2014
US 2014223083 A1	07 August 2014	KR 20140099737 A	13 August 2014

国际检索报告

国际申请号

PCT/CN2016/081038

A. 主题的分类

G06F 13/14(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G06F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, WPI, EPODOC, CNKI, IEEE, GOOGLE: 控制器, 数据, 传输, 读, 写, 同时, 标志, DMA, 存储, 数据包, 解析, controller, data, transmission, read+, writ+, simultan+, tag, stor+, package, pars+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 103635969 A (美光科技公司) 2014年 3月 12日 (2014 - 03 - 12) 说明书第[0015], [0043]-[0050]段, 图1-3	1-15
A	CN 104040515 A (英特尔公司) 2014年 9月 10日 (2014 - 09 - 10) 全文	1-15
A	CN 104054049 A (英特尔公司) 2014年 9月 17日 (2014 - 09 - 17) 全文	1-15
A	CN 104021090 A (三星电子株式会社) 2014年 9月 3日 (2014 - 09 - 03) 全文	1-15
A	US 2014223083 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2014年 8月 7日 (2014 - 08 - 07) 全文	1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 7月 15日

国际检索报告邮寄日期

2016年 7月 26日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

蓝娟

电话号码 (86-10)010-62413709

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/081038

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103635969	A	2014年 3月 12日	WO	2012166548	A2	2012年 12月 6日
				KR	20140025541	A	2014年 3月 4日
				EP	2715729	A2	2014年 4月 9日
				US	2014189163	A1	2014年 7月 3日
				US	2012311193	A1	2012年 12月 6日
				TW	201303586	A	2013年 1月 16日
				JP	2014517402	A	2014年 7月 17日
CN	104040515	A	2014年 9月 10日	US	2014189212	A1	2014年 7月 3日
				WO	2013048451	A1	2013年 4月 4日
				EP	2761481	A1	2014年 8月 6日
CN	104054049	A	2014年 9月 17日	US	2014310721	A1	2014年 10月 16日
				WO	2013103571	A1	2013年 7月 11日
				EP	2801024	A1	2014年 11月 12日
CN	104021090	A	2014年 9月 3日	DE	102014102246	A1	2014年 8月 28日
				US	2014244908	A1	2014年 8月 28日
				KR	20140107935	A	2014年 9月 5日
US	2014223083	A1	2014年 8月 7日	KR	20140099737	A	2014年 8月 13日

表 PCT/ISA/210 (同族专利附件) (2009年7月)