

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-234837

(P2004-234837A)

(43) 公開日 平成16年8月19日(2004.8.19)

(51) Int.Cl.⁷

G11C 11/401

G01R 31/28

G11C 11/407

F I

G11C 11/34

G11C 11/34

G11C 11/34

G01R 31/28

371E

371A

362S

B

テーマコード(参考)

2G132

5M024

審査請求 有 請求項の数 2 O L (全 20 頁)

(21) 出願番号 特願2004-74330 (P2004-74330)

(22) 出願日 平成16年3月16日(2004.3.16)

(62) 分割の表示 特願平9-75685の分割

原出願日 平成9年3月27日(1997.3.27)

(71) 出願人 503121103

株式会社ルネサステクノロジ

東京都千代田区丸の内二丁目4番1号

(74) 代理人 100089233

弁理士 吉田 茂明

(74) 代理人 100088672

弁理士 吉竹 英俊

(74) 代理人 100088845

弁理士 有田 貴弘

(72) 発明者 大石 司

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

Fターム(参考) 2G132 AA00 AA08 AG08 AK07 AK15

AL00

最終頁に続く

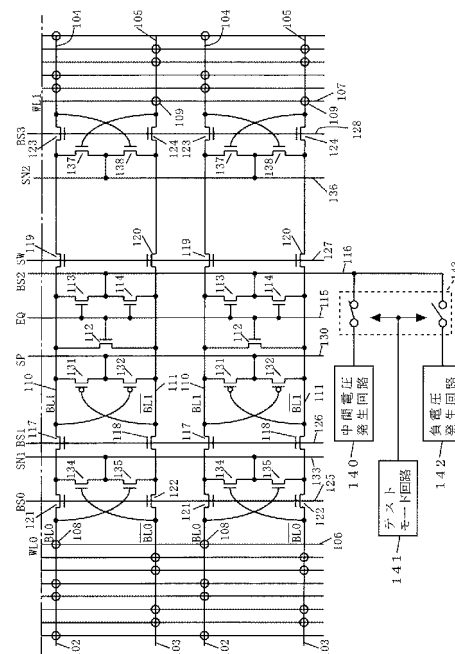
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 半導体集積回路の動作を高速化する。

【解決手段】 負電圧発生回路142は、イコライズ信号EQおよび信号BS0～BS3のローレベルに比べてさらにNMOSトランジスタの閾値分だけ低い負電圧を与える。そうすると、トランジスタ113、114およびトランジスタ117～124が次々にオンし、ビット線103～105が負電圧になる。このときに、ワード線106、107等にLを与えてメモリセルのゲートトランジスタをオフ状態にしておいても、メモリセルにデータとしてLを書き込むことができる。

【選択図】 図11



【特許請求の範囲】

【請求項 1】

メモリセルの記憶ノードに接続された一方電流電極、他方電流電極、および制御電極を持ち、前記制御電極がハイレベルのとき導通状態となり、ローレベルのとき非導通状態となる第 1 のトランジスタと、

前記第 1 のトランジスタの前記制御電極に接続されたワード線と、

前記第 1 のトランジスタの前記他方電流電極に接続される第 1 のビット線と、

前記第 1 のビット線に対応して設けられた第 2 のビット線と、

前記第 1 のビット線に接続された一方電流電極、前記第 2 のビット線に接続された他方電流電極、および第 1 の信号が与えられる制御電極を持ち、前記第 1 の信号がハイレベルのとき導通状態となり、前記第 1 の信号がローレベルのとき非導通状態となる第 2 のトランジスタと、

電源ラインと、

前記電源ラインに接続された一方電流電極、前記第 2 のビット線に接続された他方電流電極、および第 2 の信号が与えられる制御電極を持ち、前記第 2 の信号がハイレベルのとき導通状態となり、前記第 2 の信号がローレベルのとき非導通状態となる第 3 のトランジスタと、

前記電源ラインに選択的に接続可能で、前記電源ラインをローレベルより低い電圧にして前記第 1 から第 3 のトランジスタを導通状態とさせることが可能な負電圧を前記電源ラインに供給する負電圧発生回路と

を備える、半導体集積回路。

【請求項 2】

メモリセルに接続されたワード線および第 1 のビット線と、

前記第 1 のビット線に対応して設けられた第 2 のビット線と、

前記第 1 のビット線に接続された一方電流電極、前記第 2 のビット線に接続された他方電流電極、および第 1 の信号が与えられる制御電極を持ち、前記第 1 の信号が第 1 の電位のとき導通状態となり、前記第 1 の信号が第 2 の電位のとき非導通状態となる第 1 のトランジスタと、

前記第 2 のビット線に接続された一方電流電極、他方電流電極、および第 2 の信号が与えられる制御電極を持つ第 2 のトランジスタと、

前記第 2 のトランジスタの前記他方電流電極に接続された電源ラインと、

前記電源ラインに選択的に接続可能で、前記第 2 のビット線が前記第 1 のトランジスタによって前記第 1 のビット線から切り放されて前記第 2 のビット線および前記第 2 の信号が前記第 1 の電位と前記第 2 の電位の間の中間電位にあるとき、前記電源ラインに前記中間電位に対して前記第 2 のトランジスタの閾値よりも大きく隔たる電位を与える電位発生回路と

を備える、半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体集積回路に関し、特に半導体集積回路外部に接続される外部デバイスとの間のデータのやり取りを仲介するインタフェース回路及び該インタフェース回路から半導体集積回路内部にデータを伝送するバスを備える半導体集積回路、内部クロックを高速で外部クロックと同期させる位相同期ループ（以下、PLL回路という。）を備える半導体集積回路に、小型化されたDRAMあるいはテスト容易化されたDRAMを備える半導体集積回路に関するものである。

【背景技術】

【0002】

一般に、半導体集積回路は、一つのチップに複数の機能が盛り込まれている。言い換えれば、それぞれ異なる機能を持つ内部デバイスが同一のチップの内部に複数集積されて半

10

20

30

40

50

導体集積回路を構成しているということになる。図15は、いわゆるワンチップマイコンと呼ばれる半導体集積回路の構成を例示するブロック図である。ワンチップマイコンも、一つのチップ1上に複数の内部デバイスを配設して形成されている。チップ1上には、命令の解釈と実行を行う制御回路を含み演算処理を行うCPU2が配置されている。このCPU2に与えられる命令等のデータは、半導体集積回路の内部にある内部デバイスや外部にある外部デバイスから与えられる。そのうちの外部デバイスは入出力ピン3に接続される。入出力ピン3には、内部デバイスの一つであるインタフェース回路4が接続されている。このインタフェース回路4は、入出力ピン3に接続される外部デバイスと半導体集積回路の内部デバイスとの間のやり取りの電氣的、機能的な整合をとるために存在する。つまり、このインタフェース回路4が半導体集積回路の内部と外部の境界を行き来するデータの交通整理を行っている。

10

【0003】

ところで、CPU2が命令を実行するためには、CPU2で必要とするデータを半導体集積回路が取り込まなくてはならない。CPU2での処理速度には限界があるため、半導体集積回路の内部で生成されたデータや外部から与えられるデータは、CPU2で処理が開始されるまでの間、いずれかの内部デバイスで保持されなければならなくなる。また、CPU2等の内部デバイスから外部デバイスにデータを効率的に伝送するためにもデータの一時的な保持が必要になる。CPU2で処理するデータやCPU2で処理されて外部に出力されるのを待っているデータを保持するために、このような半導体集積回路中には、記憶装置が設けられるのが一般的である。半導体集積回路中に設けられる記憶装置としては、例えば、CPU2とデータの送受信を最高速度にて実施するSRAM5、CPU2が必要とする大規模なデータを記憶したり画像処理を実行するときに画像データ等を保持記憶するためのメインメモリとしてのDRAM6、基本プログラムやデータを記憶したり、アプリケーションに必要な個別プログラムを記憶するNVRAM7等がある。

20

【0004】

ここまでに出てきた内部デバイスには、インタフェース回路4以外に、SRAM5等の記憶装置とCPU2の2種類がある。このようにインタフェース回路4以外に複数種の内部デバイスが存在する場合、半導体集積回路は、例えば、外部デバイスとCPU2との間でデータを転送するためのチャンネルと、外部デバイスと記憶装置との間でデータを転送するチャンネルのような、2つ以上のチャンネルを持ち、チャンネルの切り換えをインタフェース回路4に委任する間接制御方式を採ることもできる。また、外部デバイスからCPU2に直接入力し、CPU2から記憶装置に転送する直接制御方式を採ることもできる。間接制御方式において、データ転送の終了までチャンネルーインタフェース回路4間の物理的結合関係を解かず一度にデータ転送を行うセクタチャンネルと、チャンネルーインタフェース回路4間の物理的結合関係をある単位で切り換えながらデータ転送を行うマルチプレクスチャンネルとがある。

30

【0005】

マルチチャンネルの場合に、インタフェース回路4がチャンネルの切り換えを行うために、インタフェース回路4は、チャンネルの切り換えを行うための情報を必要とする。

従来のマルチチャンネルの場合におけるチャンネルの切り換えは、データのバイト毎に切り替えたり、データにチャンネルセレクトに関する情報を持たせてデータのブロック単位に切り替える方法が採られている。

40

【0006】

伝送されるデータには幾つかの種類があり、CPU2ですぐにでも実行可能なデータであるならば、CPU2に直接送信される。また、メインメモリを書き換える必要があったり、一度蓄積する必要があったりするデータの場合には、DRAM6等の記憶装置側に伝達される。もちろんCPU2と記憶装置の両方に同時に伝達すべきデータも存在する。また、DRAM6に伝達されるデータの中には、キャッシュに用いられるデータもあり、そのようなデータはSRAM5にも同時に蓄積される。

【0007】

50

また、CPU 2で処理されてCPU 2より出力されるデータの中には、SRAM 5やDRAM 6に転送されるデータだけでなく、そのまま外部デバイスに出力したいデータも含まれている。このような場合、従来は、一旦DRAM 6に全てのデータを記憶させて、図示しないマルチプレクサによってインタフェース回路4とDRAM 6とを接続し、その中から外部デバイスに出力したいデータだけを、DRAM 6から外部デバイスに出力するような方式も採用できる。

【0008】

次に、図15の半導体集積回路にも用いられているPLL回路8について説明する。PLL回路8は、半導体集積回路内部で用いられる内部クロックと、半導体集積回路の外部から与えられる外部クロックとの同期を取るために設けられている。システムチップにおいてもPLL回路が使用されるが、システムチップの場合には、パワーダウンモードや、リフレッシュモードなど、常にクロックが変化する。このような場合にも、高速な同期を実現することが内部クロックに従って動く半導体集積回路の高速化には重要である。外部のデバイスと半導体集積回路との間の通信には、内部クロックと外部クロックとの同期は欠かすことができない。

【0009】

従来のPLL回路は、図17に示すように、周波数および位相の違いを検出するための周波數位相比較器30と、周波數位相比較器30の検出結果に応じた時間だけ電流の流し込みや引き抜きを行うチャージポンプ31と、チャージポンプ31の出力から高周波成分や雑音を取り除き直流電圧を得るためのループフィルタ32と、ループフィルタ32の出力に応じた周波数を持つ内部クロックを生成するリングオシレータ33とで構成されている。従来のPLL回路では、内部クロックと外部クロックとの同期をとるのに周波数を接近させる周波数引き込み過程と位相同期が完了する位相同期過程の2つの過程を一つの周波數位相比較器で行う。

【0010】

なお、本出願に関連する文献として下記のものがある。

【0011】

【特許文献1】特開平6-152403号公報

【特許文献2】特開平6-315290号公報

【特許文献3】特開平9-45009号公報

【特許文献4】特開平9-74352号公報

【特許文献5】特開平10-107623号公報

【特許文献6】特開平6-119777号公報

【特許文献7】特開平7-85695号公報

【特許文献8】特開平8-102191号公報

【特許文献9】特開平8-235862号公報

【特許文献10】特開平9-213077号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

従来の半導体集積回路は、以上のように構成されているので、入力されたデータは必ず決められた行き先に到達することとなり、行き先でデータの受け入れを拒否されている間はデータの転送を中止して行き先がデータ受け入れ可能となるまで待つこととなり、データ転送に時間が掛かるという問題がある。例えば、図15に即していうと、データは、行き先の情報を持って外部デバイスから入出力ピン3を通してインタフェース回路4に到達する。そのデータが持つ行き先情報がCPU 2を示していれば、インタフェース回路4は、CPU 2とチャンネルを繋いで、そのデータをその繋いだチャンネルを使って伝送する。ところが、CPU 2が命令処理等のビジー状態であってデータの受け取りができない場合には、そのデータの伝送が終わるまでチャンネルの結合を解除することができず、データ転送を効率的に行うことができないという問題が発生する。

なお、図16は、図15よりも大容量のデータを処理するのに適した半導体集積回路のエキスパンドバージョンの構成を示すブロック図である。図16に示すエキスパンドバージョンの半導体集積回路は、そのチップサイズが大きくなることも当然であるが、SRAM5やDRAM6の容量が拡張されている。また、NVRAM7に付加してさらに基本的なプログラム等の格納場所であるROM9が設けられている。このように大容量のデータ伝送を扱うエキスパンドバージョンの半導体集積回路にあっては転送効率が悪くなるのを避けなくてはならないという問題は、通常の半導体集積回路よりもさらに深刻な問題である。

また、内部デバイスから外部デバイスにデータを伝送する場合には、同じ外部デバイスと接続するチャンネルが固定されると、外部デバイスに必要なデータを全て内部デバイスへ予め転送しておかなければならなくなり、内部デバイス同士を結合するローカルリンクが混雑するという問題を生じる。

10

【0013】

従来のPLL回路を備える半導体集積回路では、内部クロックと外部クロックとの同期をとるのに周波数を接近させる周波数引き込み過程と位相同期が完了する位相同期過程の2つの過程を一つの周波數位相比較器で行うため、周波数引き込み範囲を広く設定していた場合に設定時間が長くなるという問題がある。

【0014】

また、従来のDRAMを備える半導体集積回路において、DRAMは、面積においてもまた消費電力においても半導体集積回路において大きな位置を占め、DRAMを大きくすると半導体集積回路の面積や消費電力が増大するという問題がある。

20

【0015】

また、DRAMのテストでは、しばしば複数のメモリセルに同時に同じデータを書き込みたいという技術的要求がある。このような場合、大抵は、ワード線を選択してその後メモリセルに順次データを書き込むか、メモリセルアレイの横にレジスタを有し、そのレジスタに先ずデータを書き込み、その後メモリセルアレイ内のメモリセルに一括して同一データを書き込む構成が提案されている。これらの場合、テストモード時に、DRAMは、そのテストを行うためのデータの一括書き込みにおいて書き込みサイクルのオーバーヘッドが存在するため、半導体集積回路の高速化の妨げになるという問題がある。

【0016】

この発明は上記の問題点を解消するためになされたものであり、内部デバイスからインタフェース回路に与えられる情報によって行き先の変更を可能にする機能をインタフェース回路に持たせ、データの伝送されるべき内部デバイスがそのデータを受け取れないときには他の内部デバイスにデータを転送することができるようにし、データの単位量当たりインタフェース回路がチャンネルを結合している平均的な時間を短縮することを目的とする。

30

【0017】

また、周波数が大きく変動した場合にも外部クロックと内部クロックの同期を採ることができるとともに同期をとる時間を短縮して半導体集積回路の動作を高速化することを目的とする。

40

【0018】

また、DRAMを簡単化することにより半導体集積回路を小型化することを目的とする。

【0019】

また、DRAMにテスト用データを一括で書き込むときの書き込みサイクルのオーバーヘッドをなくすことによりDRAMのテスト時間を短縮し半導体集積回路の高速化を図ることを目的とする。

【課題を解決するための手段】

【0020】

第1の発明に係る半導体集積回路は、メモリセルの記憶ノードに接続された一方電流電

50

極、他方電流電極、および制御電極を持ち、前記制御電極がハイレベルのとき導通状態となり、ローレベルのとき非導通状態となる第1のトランジスタと、前記第1のトランジスタの前記制御電極に接続されたワード線と、前記第1のトランジスタの前記他方電流電極に接続される第1のビット線と、前記第1のビット線に対応して設けられた第2のビット線と、前記第1のビット線に接続された一方電流電極、前記第2のビット線に接続された他方電流電極、および第1の信号が与えられる制御電極を持ち、前記第1の信号がハイレベルのとき導通状態となり、前記第1の信号がローレベルのとき非導通状態となる第2のトランジスタと、電源ラインと、前記電源ラインに接続された一方電流電極、前記第2のビット線に接続された他方電流電極、および第2の信号が与えられる制御電極を持ち、前記第2の信号がハイレベルのとき導通状態となり、前記第2の信号がローレベルのとき非導通状態となる第3のトランジスタと、前記電源ラインに選択的に接続可能で、前記電源ラインをローレベルより低い電圧にして前記第1から第3のトランジスタを導通状態とさせることが可能な負電圧を前記電源ラインに供給する負電圧発生回路とを備えて構成される。

10

【0021】

第2の発明に係る半導体集積回路は、メモリセルに接続されたワード線および第1のビット線と、前記第1のビット線に対応して設けられた第2のビット線と、前記第1のビット線に接続された一方電流電極、前記第2のビット線に接続された他方電流電極、および第1の信号が与えられる制御電極を持ち、前記第1の信号が第1の電位のとき導通状態となり、前記第1の信号が第2の電位のとき非導通状態となる第1のトランジスタと、前記第2のビット線に接続された一方電流電極、他方電流電極、および第2の信号が与えられる制御電極を持つ第2のトランジスタと、前記第2のトランジスタの前記他方電流電極に接続された電源ラインと、前記電源ラインに選択的に接続可能で、前記第2のビット線が前記第1のトランジスタによって前記第1のビット線から切り放されて前記第2のビット線および前記第2の信号が前記第1の電位と前記第2の電位の間の中間電位にあるとき、前記電源ラインに前記中間電位に対して前記第2のトランジスタの閾値よりも大きく隔たる電位を与える電位発生回路とを備えて構成される。

20

【発明の効果】

【0022】

請求項1記載の発明の半導体集積回路によれば、負電圧によって一括書き込みを行うので、書き込みサイクルのオーバーヘッドをなくして半導体集積回路の動作を高速化できるという効果がある。

30

【0023】

請求項2記載の発明の半導体集積回路によれば、ビット線がプリチャージ電位にあるときに、ビット線を高電位あるいは低電位にして、対象となるワード線に接続されたメモリセルに一括してデータを書き込むことができるという効果がある。

【発明を実施するための最良の形態】

【0024】

実施の形態1.

この発明の実施の形態1による半導体集積回路について図1、図2を用いて説明する。

40

図1は、半導体集積回路の内部デバイスとそれらに接続するバスとの関係の一例を示すブロック図である。

図1に示す半導体集積回路において、メインパラレルデータバスを構成するマルチプレクサ10は、CPU2、インタフェース回路4、SRAM5、及びDRAM6に並列に接続する。

【0025】

マルチプレクサ10の制御は、インタフェース回路4によって行われる。このマルチプレクサ10によって、CPU2、SRAM5およびDRAM6は選択的にインタフェース回路4と接続され、インタフェース回路4に接続された一つの内部デバイスが外部デバイスとの間でデータ伝送を行う。例えば、マルチプレクサ10によりCPU2が選択され

50

ば、インタフェース回路 4 を介して CPU 2 が外部デバイスとの間でデータを伝送する。

ここで、外部デバイスから CPU 2 にデータを伝送した場合について説明する。データを伝送するという観点で外部デバイスから CPU 2 を観た場合、2 つの状態がある。一つは、CPU 2 がデータ受信可能な状態であり、他の一つは、CPU 2 がデータ受信不可能な状態である。CPU 2 がデータ受信可能な状態にある場合、外部デバイスは CPU 2 への行き先情報を持ったデータをインタフェース回路 4 に対し送信すれば、インタフェース回路 4 がその情報に基づきマルチプレクサ 10 を制御して CPU 2 へのチャンネルを開くので、即座にデータの伝送を行うことができる。

【0026】

しかし、CPU 2 がデータ受信不可能な状態にある場合、インタフェース回路 4 が CPU 2 へのチャンネルを開いてしまうとマルチプレクサ 10 が他の内部デバイスと外部デバイスとのチャンネルを開くことができなくなるので、インタフェース回路 4 には CPU 2 からデータ受信不可能な状態にあることを示すビジー信号 11 などの処理信号が送られて CPU 2 とのチャンネルが開かれないようにしている。

【0027】

図 2 は、インタフェース回路 4 とマルチプレクサ 10 との関係を示すブロック図である。入出力ピン 3 は外部デバイスから制御信号が入力される制御ピン 3 a と入力信号が入力される入力ピン 3 b と半導体集積回路から外部デバイスへ出力信号を出力するための出力ピン 3 c とを備えている。

入出力ピン 3 から入力された信号には、制御ピン 3 a を介してインタフェース回路 4 の制御バッファ 4 a に与えられる行き先情報を持った制御信号が含まれている。制御バッファ 4 a は、制御信号に応じてマルチプレクサ 10 を制御する。例えば、CPU 2 に送信すべきデータであった場合には、制御バッファ 4 a から出力される制御信号に応じて、マルチプレクサ 10 が、CPU 2 に接続されている信号線 12 と入力バッファ 4 b とを接続する。また、DRAM 6 に送信すべきデータであった場合には、制御信号に応じて、DRAM 6 に接続されている信号線 13 と入力バッファ 4 b とが接続される。なお、図 2 には示していないが、SRAM 5 に至る信号線も設けられ、これも制御信号にマルチプレクサ 10 にて入力バッファ 4 b と接続される。

【0028】

CPU 2 が処理中で外部デバイスからのデータを受け付けられない場合について半導体集積回路と外部デバイスとの関係を考えると、外部デバイスが半導体集積回路にデータを伝送できず待っている状態にあり、半導体集積回路と外部デバイスの間の処理は進んでいない。CPU 2 の処理が終了するのを待って外部デバイスからのデータを転送したのでは、半導体集積回路へのデータの転送効率は上がらない。そこで、CPU 2 が処理中でデータを受け付けられないときには、CPU 2 がインタフェース回路 4 の制御バッファ 4 a に対しビジー信号 11 を送信する。ビジー信号 11 を受けた制御バッファ 4 a は、予め決められた規則に従って、CPU 2 に送信されるべきデータの行き先を変更する。例えば、CPU 2 に送信されるべき外部デバイスからのデータを DRAM 6 に転送する。そうすることによって、半導体集積回路と外部デバイスとの間のデータ転送効率が向上する。

【0029】

同様のことは、SRAM 5 と DRAM 6 との関係でも成り立つ。例えば、SRAM 5 が CPU 2 との間で通信状態にあり、他のデバイスと通信できないときには、外部デバイスから SRAM 5 に送信すべきデータを DRAM 6 に転送することができる。

【0030】

CPU 2 においても、SRAM 5 においても、データ受け入れ可能な状態になったときに、これらが受け入れるべきデータが DRAM 6 に蓄えられていないかどうかをチェックする。CPU 2 や SRAM 5 は、受け入れるべきデータがあれば、ローカルリンクバス 16 を使って受け入れる。

【0031】

ローカルリンクバス 16 は、ここでは、CPU 2、DRAM 6、SRAM 5 の 3 つの内

10

20

30

40

50

部デバイス間に設けられている。ローカルリンクバス16を使えば、それぞれの間で独自のデータ転送が行える。DRAM6やSRAM5をデュアルポート化すれば、ローカルリンクバス16が別々に接続されている他の2つの内部デバイスに対し、2本のローカルリンクバス16を同時に用いて同時にデータ転送を行うことも可能である。例えば、DRAM6が蓄積しているCPU2へ行くべきデータとSRAM5に行くべきデータを同時に送出してデータ転送効率をさらに上げることも可能である。なお、CPU2に対しては、不揮発性メモリであるNVRAM7に接続する独自のバス17が開かれている。

【0032】

上述したものは、インタフェース回路4において、データの行き先が唯一の内部デバイスに決定される場合（セレクトチャネル）について説明したが、マルチセクションを実行すること（マルチプレクスチャネル）で複数の内部デバイスを行き先に指定することも可能である。この場合に、例えば、CPU2がデータ受け入れ不可能な状態であるとき、上記と同様にDRAM6がCPU2に代わってデータを受け入れるとすると、本来DRAM6に受け入れられるべきデータとが交互にDRAM6に到着することになる。従って、DRAM6では、これらのデータを混同が生じないように記憶することが必要になる。例えば、DRAM6にもCPU2からビジー信号11を送信して、ビジー信号11が到着している間にDRAM6に送られてきたデータはメモリ領域の複数のブロックに振り分けて記憶するなどの処理が必要になる。ただし、データの振り分けを行わなくてもデータの混同を生じないような措置をDRAM6の側で採っておけば問題はなく上記実施の形態と同様の効果を生じる。

【0033】

次に、内部デバイスから外部デバイスにデータを出力する場合について説明する。CPU2で処理されてCPU2より出力されるデータの中には、SRAM5やDRAM6に転送されるデータだけでなく、そのまま外部デバイスに出力したいデータも含まれている。このような場合に、CPU2から外部デバイスに直接出力するデータとDRAM6から外部デバイスに出力するデータをCPU2からインタフェース回路4に送信されるビジー信号11等の処理信号によってマルチプレクサ10を切り換えることで、一連のデータとして出力させる。例えば、先ずCPU2と外部デバイスとの間のチャネルを開くように、インタフェース回路4からの指示によってマルチプレクサ10がチャネルの選択を実行する。そして、CPU2のデータ出力に続けたいDRAM6のデータの番になったときに、CPU2からビジー信号11をインタフェース回路4に送信してマルチプレクサ10にチャネルの切り換えを実行させて、DRAM6のデータをCPU2のデータに続けて外部デバイスに出力させる。またCPU2のデータ出力の番になれば、DRAM6からCPU2にその情報が渡され、CPU2がビジー信号11の出力を停止することによってCPU2と外部デバイスとの間のチャネルをマルチプレクサ10が開くことになる。このような操作を繰り返すことによって一連のデータをCPU2とDRAM6という2つの内部デバイスから外部デバイスに対し出力することができる。

【0034】

このように複数の内部デバイスが有するデータをつなぎ合わせた一連のデータを一つの外部デバイスに対して一気に出力したい場合には、マルチプレクサ10によって交互に必要な内部デバイスを選択することでその目的を達成でき、これらのデータを一つの内部デバイスに集める工程が省ける分だけローカルリンクバス16の負担を軽くすることができる。また、一つの内部デバイスに集める時間を短縮できるので、半導体集積回路のデータ処理レートを向上させることができる。

【0035】

なお、上記実施の形態では、CPU2からのみビジー信号11をインタフェース回路4に出力したが、図3に示すようにDRAM6等の他の内部デバイスからも出力させてよく、また複数の内部デバイスからであってもよく上記実施の形態と同様の効果を奏する。

【0036】

実施の形態2.

10

20

30

40

50

図 4 は、この発明の実施の形態 2 による PLL 回路の構成を示すブロック図である。図 4 の PLL 回路 40 においては、周波数比較器 41 は外部クロック EXCLK と内部クロック INCLK の周波数を比較し、位相比較器 45 は周波数比較器 41 の比較と並行して外部クロック EXCLK と内部クロック INCLK の位相比較を行う。

【0037】

そして、第 1 の電流出力手段 50 は、周波数比較器 41 の比較結果に応じた電流を出力する。また、第 2 の電流出力手段 51 は、位相比較器 45 の比較結果に応じた電流を出力する。リングオシレータ 49 は、第 1 および第 2 の電流出力手段 50, 51 の出力電流の和に応じた周波数を持つ内部クロック INCLK を生成して出力する。

【0038】

この PLL 回路 40 では、周波数のずれによる内部クロック INCLK の修正と、位相のずれによる内部クロック INCLK の修正との独立性を高めているので、外部クロック EXCLK との間の同期がはずれたときに、再び同期がとれるまでの時間を短縮することができる。

【0039】

PLL 回路 40 の第 1 の電流出力手段 50 は、周波数比較器 41 が出力する内部クロック INCLK と外部クロック EXCLK との周波数の比をカウントする比較結果計測回路 42 と、比較結果計測回路 42 の出力結果を符号化するエンコーダ 43 と、エンコーダ 43 が出力する符号から該符号に応じた電流値を持つ電流に変換する電流変換回路 44 から構成されている。

【0040】

PLL 回路 40 の第 2 の電流出力手段 51 は、位相比較器 45 が出力する内部クロック INCLK と外部クロック EXCLK との位相の違いから現在の外部クロック EXCLK の位相差に応じたシフト方向にシフトする比較結果計測回路 46 と、比較結果計測回路 46 の出力結果を符号化するエンコーダ 47 と、エンコーダ 47 が出力する符号から該符号に応じた電流値を持つ電流に変換する電流変換回路 48 から構成されている。

【0041】

図 5 は、PLL 回路における電流コントロールを例示するブロック図である。電流変換回路 44, 48 は基準電流発生回路 60 と分流発生回路 61 とを共有する。基準電流発生回路 60 は、リングオシレータ 49 から出力される内部クロック INCLK に応じた電流を発生する。従って、外部クロック EXCLK と内部クロック INCLK の周波数が一致しておりかつ変化していなければ、基準電流も変化せず、リングオシレータ 49 も内部クロック INCLK の周波数も一定している。

【0042】

分流発生回路 61 は、基準電流発生回路 60 から出力された電流を所定の比率でコース (Coarse) 発生回路 62 とファイン (Fine) 発生回路 63 およびサブカウンタ対応回路 64 とに分けて供給する。ここでは、ファイン発生回路 63 とサブカウンタ対応回路 64 に与えられる電流は同じ大きさの電流であることを示しており、一つの電流経路で与えているというのではない。ただし、異なる比率で電流を与えてもよく、発明の効果を得ることができる点に変わりはない。

【0043】

コース発生回路 62 は電流変換回路 44 に設けられ、エンコーダ 43 が出力する符号に応じて、分流発生回路 61 から与えられる電流を n 倍あるいは n 分の 1 倍にする。

ファイン発生回路 63 は電流変換回路 48 に設けられ、エンコーダ 47 が出力する符号に応じて、分流発生回路 61 から与えられる電流を増減する。ファイン発生回路 63 は、位相差に応じて電流を増加しないといけない場合がある。よって分流発生回路 61 から予め与えられる電流のうちのある一定の割合の電流しか流さず、増加する必要に応じて電流を増加させる。

サブカウンタ対応回路 64 も電流変換回路 48 に設けられ、分流発生回路 61 から与えられる電流のうちのある一定の割合の電流を増減する。加算回路 65 は、コース発生回路

10

20

30

40

50

6 2 とファイン発生回路 6 3 とサブカウンタ対応回路 6 4 の出力電流を加算する。

リングオシレータ 4 9 は、加算回路 6 5 が出力する電流に応じた周波数を持つ内部クロック I N C L K を出力する。付加機構 1 0 0 は、第 1 のエフアールリングオシレータ 6 6、第 2 のエフアールリングオシレータ 6 7、第 1 のエフエフリングオシレータ 6 8、第 2 のエフエフリングオシレータ 6 9、および位相検出シフタ 7 0 からなる。これらのいずれも加算回路 6 5 が出力する電流に応じた周波数のクロックを出力する。但しリングオシレータ 4 9、6 6 ~ 6 9 が発振するクロックの周波数は同じである。

【0044】

次に、図 7 および図 8 を用いて、周波数比較器 4 1 が外部クロック E X C L K と内部クロック I N C L K との周波数の差を比較する時の動作について説明する。図 7 は、外部クロック E X C L K の周波数が内部クロック I N C L K の周波数よりも低い場合について説明するためのタイミングチャートである。外部クロック E X C L K の立ち上がりトリガとして第 1 のエフアールリングオシレータ 6 6 が、内部クロック I N C L K の周波数と同じクロック F R C L K とその反転クロックバー F R C L K を出力する。

10

【0045】

外部クロック E X C L K がハイレベルにある時のクロック F R C L K の立ち上がりおよびクロックバー F R C L K の立ち上がり（但し外部クロック E X C L K の立ち上がりに対応したものを除く。）をカウントする。図 7 においては、その数が合計 3 つである。同様にして、外部クロック E X C L K の反転外部クロックバー E X C L K の立ち上がりトリガとして第 1 のエフエフリングオシレータ 6 8 が、内部クロック I N C L K の周波数と同じクロック F F C L K とその反転クロックバー F F C L K を出力する。

20

【0046】

反転外部クロック E X C L K がハイレベルにある時のクロック F F C L K の立ち上がりおよびクロックバー F F C L K の立ち上がり（但し反転外部クロックバー E X C L K の立ち上がりに対応したものを除く。）をカウントする。図 7 においては、その数が合計 3 つである。

【0047】

ここで、クロック F R C L K、バー F R C L K、F F C L K、バー F F C L K の立ち上がりの合計を 2 で割ってその値によってコース発生回路 6 2 の制御を行う。図 7 の場合には、分流発生回路 6 1 から出力される電流をコース発生回路 6 2 によって 3 倍する。この場合、リングオシレータ 4 9 の電流がほぼ 3 倍になり、内部クロック I N C L K の周波数はほぼ $1/3$ 倍になる。そのため、周波数比較器 4 1 では内部クロック I N C L K と外部クロック E X C L K との周波数比を 1 と判断し、基準電流発生回路 6 0 の出力は上昇したままで安定する。

30

【0048】

次に、図 8 は、外部クロック E X C L K の周波数が内部クロック I N C L K の周波数よりも高い場合について説明するためのタイミングチャートである。外部クロック E X C L K の立ち上がりトリガとして第 2 のエフアールリングオシレータ 6 7 が、内部クロック I N C L K の周波数と同じクロック F R C L K とその反転クロックバー F R C L K を出力する。

40

【0049】

クロック F R C L K がハイレベルにある時の外部クロック E X C L K の立ち上がりおよび反転クロックバー F R C L K がハイレベルにあるときの反転外部クロックバー E X C L K の立ち上がり（但し、それぞれ最初のものを除く。）をカウントする。図 8 においては、その数が合計 2 つである。

【0050】

同様にして、外部クロック E X C L K の反転外部クロックバー E X C L K の立ち上がりトリガとして第 2 のエフエフリングオシレータ 6 9 が、それぞれ内部クロック I N C L K の周波数と同じクロック F F C L K とその反転クロックバー F F C L K を出力する。

【0051】

50

そして、クロック F F C L K がハイレベルにある時の反転外部クロックバー E X C L K の立ち上がりおよび反転クロックバー F F C L K がハイレベルにあるときの反転外部クロックバー E X C L K の立ち上がりのカウントする。図 8 においては、その数が合計 2 つである。

【0052】

ここで、外部クロック E X C L K，バー E X C L K の立ち上がりの合計を 2 で割ってその値によってコース発生回路 6 2 の制御を行う。図 8 の場合には、分流発生回路 6 1 から出力される電流をコース発生回路 6 2 によって二分の一倍する。この場合、リングオシレータ 4 9 の電流がほぼ二分の一倍になり、内部クロック I N C L K の周波数はほぼ 2 倍になる。そのため、周波数比較器 4 1 では内部クロック I N C L K と外部クロック E X C L K との周波数比を 1 と判断し、基準電流発生回路 6 0 の出力は降下したままで安定する。 10

【0053】

以上のように、周波数比較器 4 1 は、外部クロック E X C L K と内部クロック I N C L K の周波数に対し、大きい方を小さい方で除した値を整数として求める。よって第 1 の電流出力手段 5 0 の動作により、2 つの周波数の比は $1/2 \sim 2$ の間に収まる。

【0054】

比較結果計測回路 4 6 には、図 6 に示すように、複数の双方向シフトレジスタをリング状に接続して構成された双方向シフトリング 4 6 a とサブカウンタ 4 6 b とが備えられている。双方向シフトリング 4 6 a は、位相検出シフタ 7 0 が出力するクロックに応じて次のシフトレジスタにデータをシフトする。よって内部クロック I N C L K の周波数が高くなれば、シフト速度が上昇し、逆に周波数が低くなればシフト速度が低下する。このように、双方向比較結果計測回路 4 6 は、シフト速度が変化することで、内部クロック I N C L K の周波数が高くなっても分解能を一定にでき、高い精度を維持することができる。なお、双方向シフトリング 4 6 a の精度は、それを構成するステージ数にも左右される。 20

【0055】

サブカウンタ 4 6 b は、双方向シフトリング 4 6 a のアップ側にある場合には、カウント数を上昇させ、ダウン側にある場合には、カウント数を下げる。そのカウント数は、サブカウンタ対応回路 6 4 に与えられ、サブカウンタ対応回路 6 4 は、そのカウント数に応じて加算回路 6 5 に与える電流を増減する。ここで、ファイン発生回路 6 3 に与えられる電流はコース発生回路 6 2 の動作に依拠して大きく変動し、かつファイン発生回路 6 3 が双方向シフトリング 4 6 a の一ステージに対応して増減する電流は、サブカウンタ対応回路 6 4 がサブカウンタ 4 6 b の一カウントに対応して増減させる電流に比べて大きく設定されている。このように設定することによって、リングオシレータ 4 9 に与える電流の調整をさらに細かくすることが可能となる。 30

【0056】

なお、ここでは、位相比較器 4 5 は、位相差のみを検出する構成を有する場合について説明したが、位相比較器として従来のものを用いることもできる。この場合には同時に周波数差も検出するが、周波数比較器 4 1 を含むループにより周波数差は $1/2 \sim 2$ 倍の間に設定されるので、位相比較器での検出は位相差が主となる。

【0057】

以上のように構成された P L L 回路 4 0 は、位相比較器 4 5 に変えて従来の周波數位相比較器 3 0 を用いたとしても、周波数差と位相差が大きく開いていても、理想的な場合、外部クロック E X C L K と内部クロック I N C L K の長周期側のほぼ 2 クロック分で同期させることが可能となる。 40

【0058】

なお、上記実施の形態では、分流発生回路 6 1 を設けて電流を分流し、コース発生回路 6 2、ファイン発生回路 6 3 およびサブカウンタ対応回路 6 4 で分流した電流をそれぞれに処理して加算回路 6 5 で足し合わせたが、他の構成であってもよく、例えば、サブカウンタ対応回路 6 4 とファイン発生回路 6 3 とコース発生回路 6 2 とをこの順に直列に接続し、基準電流発生回路 6 0 から出力された電流を直列的に増減してリングオシレータに与 50

えてもよく上記実施の形態と同様の効果を奏する。

【0059】

実施の形態3.

次に、この発明の実施の形態3によるDRAMセンスアンプについて説明する。図9はこの発明の実施の形態3によるDRAMセンスアンプの構成を示す回路図である。図9に示すように、センスアンプ101の一侧にビット線対102、103が、他側にビット線対104、105が、それぞれ設けられている。ビット線102、103は、センスアンプ101の左側に接続されている。ビット線対102、103に読み出される、あるいは、書き込まれる信号には、それぞれ符号BL0、バーBL0が与えられている。ワード線106、107が、それぞれビット線対102、103およびビット線対104、105と直交するように設けられている。ワード線106、107を伝達する信号には、それぞれ符号WL0、WL1が与えられている。

【0060】

ワード線106、107の信号WL0、WL1がハイレベル（以下、Hと記す。）であれば、例えば、メモリセル108とビット線102が接続され、また、メモリセル109とビット線105が接続され、ビット線対102、103や104、105は、メモリセル108、109のデータをセンスアンプ101に伝えることができる。

【0061】

センスアンプ101には、ビット線102、104の延長線上にビット線110が、ビット線103、105の延長線上にビット線111が設けられている。ビット線110、111の信号には、それぞれ符号BL1、バーBL1が与えられる。NMOSトランジスタ112は、ゲートを信号線115に接続するとともに、ビット線対110、111に2つの電流電極をそれぞれ接続している。トランジスタ113、114のゲートにも信号線115が接続されている。NMOSトランジスタ113はその2つの電流電極をそれぞれ電源ライン116とビット線110に接続している。また、NMOSトランジスタ114は、2つの電流電極をそれぞれ電源ライン116とビット線111に接続している。信号線115に与えられるイコライズ信号EQをHにすると、トランジスタ112～114がオンして、ビット線対110、111に電源ライン116から中間電圧（電源電圧がVccの場合には $V_{cc}/2$ を採る）が供給される。

【0062】

NMOSトランジスタ117、121は、ビット線102、110の間に直列に接続されたアイソレーショントランジスタで、ビット線102、110の接続と非接続を実行する。NMOSトランジスタ118、122は、ビット線103、111の間に直列に接続されたアイソレーショントランジスタで、ビット線103、111の接続と非接続を実行する。

【0063】

NMOSトランジスタ119、123は、ビット線104、110の間に直列に接続されたアイソレーショントランジスタで、ビット線104、110の接続と非接続を実行する。NMOSトランジスタ120、124は、ビット線105、111の間に直列に接続されたアイソレーショントランジスタで、ビット線105、111の接続と非接続を実行する。

【0064】

トランジスタ117、118のゲートは、共に信号線126に接続されており、信号線126を通じて供給される信号BS1がHのとき導通状態となる。トランジスタ121、122のゲートは、共に信号線125に接続されており、信号線125を通じて供給される信号BS0がHのとき導通状態となる。トランジスタ119、120のゲートは、共に信号線127に接続されており、信号線127を通じて供給される信号BS2がHのとき導通状態となる。トランジスタ123、124のゲートは、共に信号線128に接続されており、信号線128を通じて供給される信号BS3がHのとき導通状態となる。

【0065】

10

20

30

40

50

電源ライン130は、PMOSトランジスタ131, 132を介してそれぞれビット線110, 111に接続される。電源ライン130の電圧は符号SPで示される。PMOSトランジスタ131, 132の閾値電圧は $V_{cc}/2$ よりも低く設定され、電源ライン130とビット線110との間に接続されたトランジスタ131のゲートはビット線111に接続され、電源ライン130とビット線111との間に接続されたトランジスタ132のゲートはビット線110に接続されている。なお、図示省略しているが、電源ライン130には、電源電圧 V_{cc} を供給する電源との間を接続状態あるいは非接続状態とするためのトランジスタなどのスイッチ手段が設けられている。

【0066】

電源ライン133は、トランジスタ134を介してトランジスタ117, 121の接続点に接続される。また、トランジスタ135を介してトランジスタ118, 122の接続点に接続される。電源ライン133の電圧は、符号SN1で示される。NMOSトランジスタ134, 135は、中間電圧 $V_{cc}/2$ よりも低い閾値を有している。電源ライン133とトランジスタ117, 121との間に接続されたトランジスタ134のゲートはビット線103に接続され、電源ライン133とトランジスタ118, 122との間に接続されたトランジスタ135のゲートはビット線102に接続されている。なお、図示省略しているが、電源ライン133には、電源電圧GNDを供給する電源との間を接続状態あるいは非接続状態とするためのトランジスタなどのスイッチ手段が設けられている。

【0067】

電源ライン136は、トランジスタ137を介してトランジスタ119, 123の接続点に接続される。また、トランジスタ138を介してトランジスタ120, 124の接続点に接続される。電源ライン136の電圧は、符号SN2で示される。NMOSトランジスタ137, 138は閾値電圧が中間電圧 $V_{cc}/2$ より大きく設定することができる。電源ライン136とトランジスタ119, 123との間に接続されたトランジスタ137のゲートはビット線105に接続され、電源ライン136とビット線111との間に接続されたトランジスタ138のゲートはビット線104に接続されている。なお、図示省略しているが、電源ライン136には、電源電圧GNDを供給する電源との間を接続状態あるいは非接続状態とするためのトランジスタなどのスイッチ手段が設けられている。

【0068】

次に、このセンスアンプ101の動作について図10に示すタイミングチャートを用いて説明する。

時刻 t_1 において、信号WL0, WL1はローレベル（以下「L」と記す。）であり、メモリセル108, 109はビット線102, 105とは接続されていない。この時、信号BS0~BS3はHであり、ビット線102, 104, 110が互いに、そしてビット線103, 105, 111が互いに、それぞれ接続されている。またこの時、イコライズ信号EQがHであるため、トランジスタ112~114が導通しており、電源ライン116から電荷の供給を受けてビット線102~105, 110, 111が全て中間電圧に充電されている。そしてこの時、電源ライン130, 133, 136はいずれも電源から切り放されているので、これらのラインの電圧SP, SN1, SN2は、全て中間電圧となっている。

【0069】

時刻 t_2 において、イコライズ信号EQがLになり、トランジスタ112~114がオフしてビット線110, 111と電源ライン116とは互いに切り放される。時刻 t_2 においては信号BS0, BS2もLとなり、トランジスタ119~122がオフするのでビット線102, 104, 110が、またビット線103, 105, 111が、それぞれ互いに切り放される。従って時刻 t_2 における動作で、ビット線110, 111はそれぞれ別個にフローティングとなる。

【0070】

また、時刻 t_2 の直後、電源ライン130が電源に接続され、電圧SPが V_{cc} に向けて上昇し始める。ビット線110, 111には電荷が供給されないので、やがて時刻 t_3

10

20

30

40

50

において、電圧 S P とビット線 1 1 0, 1 1 1 の間の電位差がトランジスタ 1 3 1, 1 3 2 の閾値電圧を超える。すると、トランジスタ 1 3 1, 1 3 2 がオンして、信号 B L 1, バー B L 1 は電圧 S P に追従して電源電圧 V c c に向け上昇を始める。

【0071】

時刻 t 4 において、信号 W L 0 が H になるとメモリセル 1 0 8 がビット線 1 0 2 に接続され、ビット線 1 0 2 と 1 0 3 の間に電位差が生じる。この電位差は、電源電圧 V c c と接地電圧 G N D と比較するとかなり小さく、ここではこれを初期振幅という。ビット線 1 0 2, 1 0 3 はビット線 1 1 0, 1 1 1 から切り放されているため、その初期振幅を保持する。

【0072】

時刻 t 5 において、ビット線対 1 1 0, 1 1 1 の電圧は、電源電圧 V c c からトランジスタ 1 3 1, 1 3 2 の閾値電圧だけ低い電圧に達して安定している。このとき、電源ライン 1 3 3 を電源 G N D に接続して徐々に電圧を低下させる。

【0073】

時刻 t 6 になると、ビット線 1 0 2, 1 0 3 と電源ライン 1 3 3 との間の電位差がトランジスタ 1 3 4, 1 3 5 の閾値電圧に達しトランジスタ 1 3 4, 1 3 5 がオンしてビット線 1 1 0, 1 1 1 の電圧が降下し始める。しかし、初期振幅によってトランジスタ 1 3 5 のオン状態がトランジスタ 1 3 4 のそれよりも強いため、トランジスタ 1 3 5 の方に流れる電流がトランジスタ 1 3 4 に流れる電流に比べて多くなる。よってビット線 1 1 1 の方がビット線 1 1 0 よりも早くて以下する。

【0074】

時刻 t 7 において、ビット線 1 1 1 と電源ライン 1 3 0 の間の電圧がトランジスタ 1 3 1 の閾値電圧に達するとトランジスタ 1 3 1 がオンして、ビット線 1 1 0 は電源ライン 1 3 0 から電荷の供給を受けて電源電圧 V c c に向けて上昇を始める。この時点では、ビット線 1 1 0 の電圧の降下はトランジスタ 1 3 4 によってのみ行われる。

【0075】

時刻 t 8 において、ビット線 1 1 0 と 1 1 1 の間の電位差が十分に大きくなると、信号 B S 0 を H にしてビット線対 1 0 2, 1 0 3 とビット線対 1 1 0, 1 1 1 の接続を行う。トランジスタ 1 2 1, 1 2 2 がオンすることで、トランジスタ 1 3 4, 1 3 5 はラッチとして働き、ビット線対 1 0 2, 1 0 3 とビット線対 1 1 0, 1 1 1 の振幅を電源電圧 V c c と G N D の間でフルスイングさせることができる。

【0076】

以上説明したように、トランジスタ 1 3 4, 1 3 5 が増幅手段の一部として用いられると同時にラッチとしても用いられるので、センスアンプ 1 の構成が簡略化されている。

【0077】

なお、上記実施の形態では、センスアンプ 1 0 1 と左側のビット線対 1 0 2, 1 0 3 との関係について説明したが、センスアンプ 1 0 1 とビット線対 1 0 2 ~ 1 0 5 の関係は左右対称であるため、センスアンプ 1 と右側のビット線対 1 0 4, 1 0 5 についても同様のことがいえる。

【0078】

実施の形態 4.

次に、この発明の実施の形態 4 による半導体集積回路を図について説明する。図 1 1 は、この発明の実施の形態 4 による D R A M の構成の一例を示す回路図である。図 1 1 において、図 9 と同一符号のものは、図 9 の同一符号の部分に相当する部分であり、中間電圧発生回路 1 4 0 が、通常、電源ライン 1 1 6 に電源電圧 V c c のほぼ二分の一に当たる中間電圧 V B L を供給する回路である。

【0079】

負電圧発生回路 1 4 2 は、テストを行うためにメモリセルに一括して L を書き込むために設けられている。負電圧発生回路 1 4 2 は、テストモード回路 1 4 1 からの指令に応じたスイッチ手段 1 4 3 によって、中間電圧発生回路 1 4 0 に替わって電源ライン 1 1 6 に

10

20

30

40

50

接続される。

【0080】

負電圧発生回路142は、イコライズ信号EQおよび信号BS0～BS3のローレベルに比べてさらにNMOSトランジスタの閾値分だけ低い負電圧を与える。そうすると、トランジスタ113, 114およびトランジスタ117～124が次々にオンし、ビット線103～105が負電圧になる。このときに、ワード線106, 107等にLを与えてメモリセルのゲートトランジスタをオフ状態にしておいても、メモリセルにデータとしてLを書き込むことができる。例えば、図12に示す1トランジスタ・1キャパシタ型のメモリセルにおいて、ビット線Bとワード線Wの電位差によってトランジスタQがオンするため、キャパシタCにデータの書き込みが行える。

10

【0081】

なお、上記の書き込みが行われているときは、電源ライン130, 133, 136はフローティングの状態にされている。

【0082】

また、図13は、この発明の実施の形態4によるDRAMの構成の第2の態様を示す回路図である。図13において、図9と同一符号のものは、図9の同一符号の部分に相当する部分である。高電位発生回路145は、スイッチ手段147によって電源ライン148に接続され、電源ライン148をプリチャージ電位よりも高い高電位にする回路である。低電位発生回路146は、スイッチ手段147によって電源ライン148に接続され、プリチャージ電位よりも低い低電位にする回路である。ここで、プリチャージ電位とは、プリチャージされたときのビット線110, 111の電位をいう。また、高電位とは、プリチャージ電位よりもNMOSトランジスタの閾値だけ高い電位をいい、低電位とは、プリチャージ電位よりもNMOSトランジスタの閾値だけ低い電位をいう。

20

テストモード回路141は、テストモード時に、スイッチ手段147を制御して高電位発生回路145あるいは低電位発生回路146を電源ライン148に接続する。テストモード時以外の時には、高電位発生回路145および低電位発生回路146のいずれも電源ライン148には接続されない。電源ライン148とビット線110とにそれぞれ一方および他方の電流電極を接続し、ゲートを信号線149に接続したNMOSトランジスタ150が設けられている。

【0083】

30

信号線149は、テストモード時にハイレベル電位になっており、電源ライン148が高電位あるいは低電位になると、ビット線110は高電位あるいは低電位にチャージされる。この後、対象となるワード線に対して、このデータを書き込めば、一括してメモリセルにデータを書き込むことができる。なお、テストモード以外のときには信号線149には接地電圧GNDが与えられる。

【0084】

また、図14は、この発明の実施の形態4によるDRAMの構成の第3の態様を示す回路図である。図14において、図13と同一符号のものは、図13の同一符号の部分に相当する部分である。第3の態様のDRAMが、第2の態様のDRAMと異なる点は、電源ライン148に加えて電源ライン152を追加し、高電位発生回路145あるいは低電位発生回路146と接続されるビット線の行を偶数列と奇数列に分けた点である。電源ライン148はトランジスタ150を介して奇数列のビット線に接続され、電源ライン152はトランジスタ153を介して偶数列のビット線に接続される。また、スイッチ手段151が電源ライン148, 152の選択を行うように構成されている。

40

【図面の簡単な説明】

【0085】

【図1】実施の形態1による半導体集積回路の構成の一例を示すブロック図である。

【図2】図1に示したマルチプレクサとインタフェース回路の関係を示すブロック図である。

【図3】実施の形態1による半導体集積回路の構成の他の態様を示すブロック図である。

50

【図 4】 実施の形態 2 による半導体集積回路の構成の一例を示すブロック図である。

【図 5】 図 4 の 2 つの電流変換回路を説明するためのブロック図である。

【図 6】 図 4 の比較結果計測回路の構成を示すブロック図である。

【図 7】 周波数比較器の動作を説明するためのタイミングチャートである。

【図 8】 周波数比較器の動作を説明するためのタイミングチャートである。

【図 9】 実施の形態 3 による半導体集積回路の構成を示す回路図である。

【図 10】 図 9 に示す回路の動作を説明するためのタイミングチャートである。

【図 11】 実施の形態 4 による半導体集積回路の構成を示す回路図である。

【図 12】 実施の形態 4 のメモリセルの構成の一例を示す回路図である。

【図 13】 実施の形態 4 による半導体集積回路の構成の他の態様を示す回路図である。

10

【図 14】 実施の形態 4 による半導体集積回路の構成の他の態様を示す回路図である。

【図 15】 半導体集積回路の一般的な構成を示すブロック図である。

【図 16】 半導体集積回路のエキスパンドバージョンの構成を示すブロック図である。

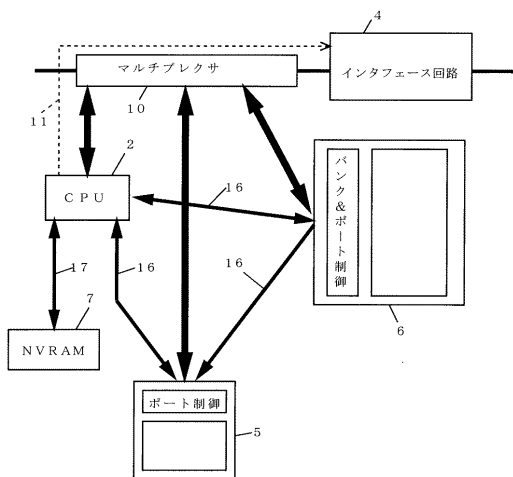
【図 17】 従来の PLL 回路の構成を示すブロック図である。

【符号の説明】

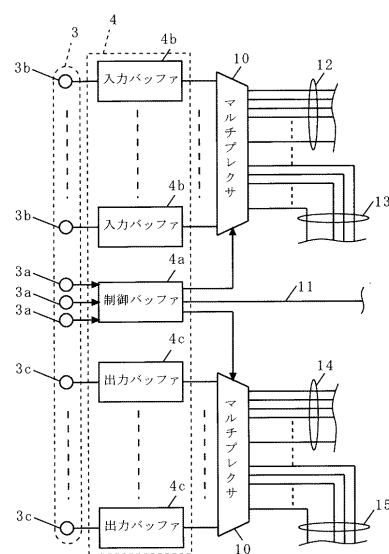
【0086】

1 チップ、2 CPU、3 位相同期ループ回路、4 インタフェース回路、5 S
RAM、6 DRAM、7 NVRAM、10 マルチプレクサ、16 ローカルリンク
バス、41 周波数比較器、42, 45 比較結果計測回路、43, 47 エンコーダ、
44, 48 電流変換回路、45 位相比較器、49 リングオシレータ、46a 双方
20 向シフトリング、101 センスアンプ、102~105 ビット線、106, 107
ワード線、108, 109 メモリセル、140 中間電圧発生回路、141 テストモ
ード回路、142 負電圧発生回路、145 高電位発生回路、146 低電位発生回路
。

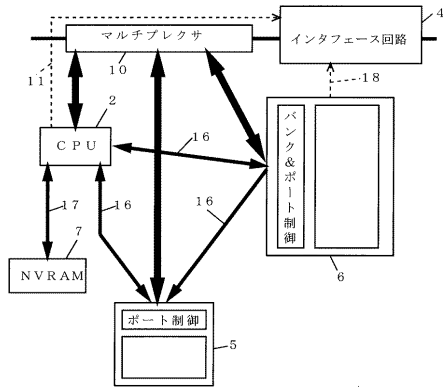
【図 1】



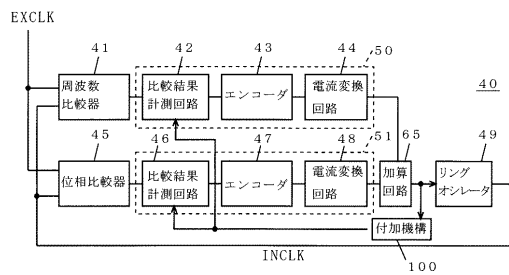
【図 2】



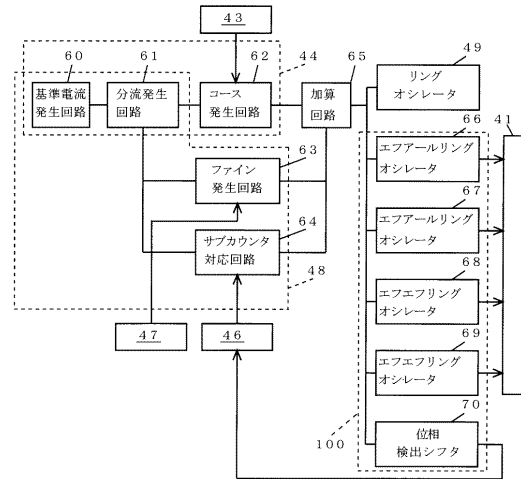
【 図 3 】



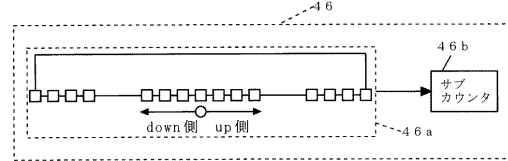
【図 4】



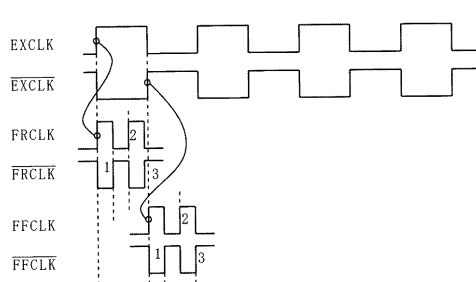
【図 5】



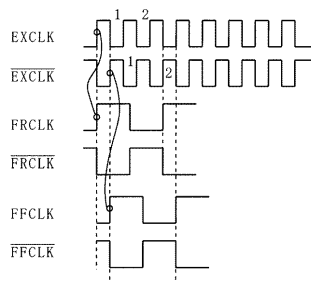
【 図 6 】



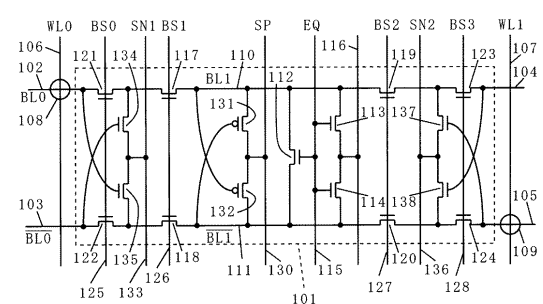
【 図 7 】



【图 8】

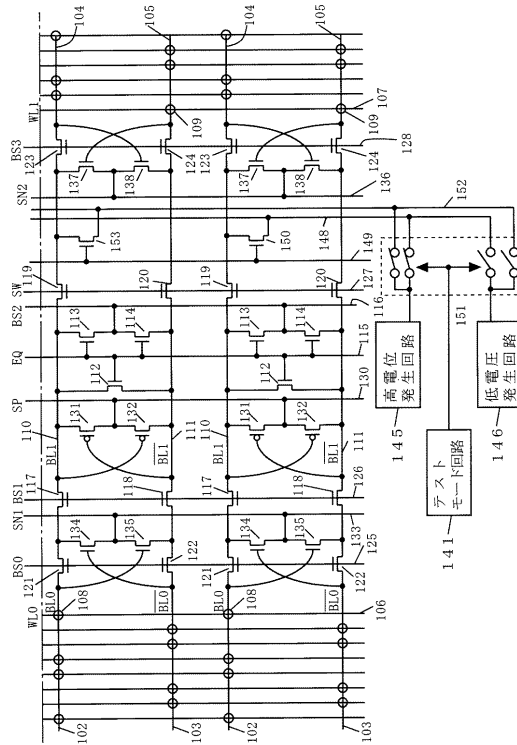


【图 9】

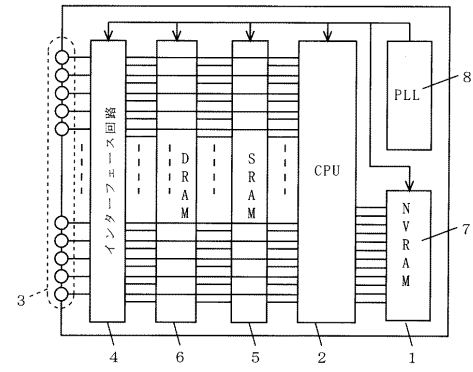


101:センスアンプ
102~105:ビット線
106, 107:ワード線
108, 109:メモリセル

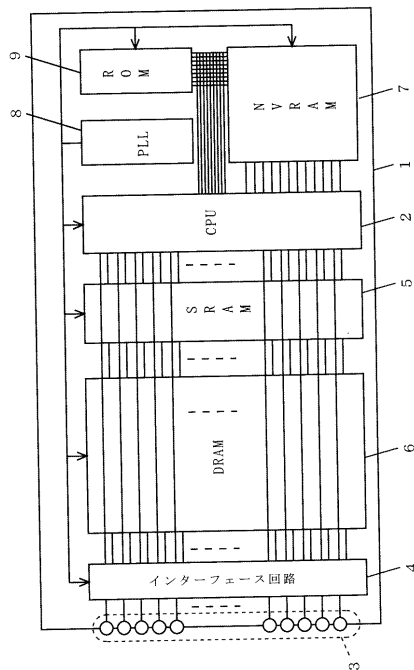
【図 1 4】



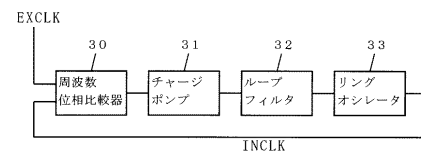
【図 1 5】



【図 1 6】



【図 1 7】



フロントページの続き

Fターム(参考) 5M024 AA49 AA50 AA90 BB15 BB20 BB27 BB29 BB36 BB40 CC62
CC63 DD83 FF20 JJ32 JJ38 KK32 KK33 MM10 PP01 PP03
PP07