



(12) 发明专利

(10) 授权公告号 CN 101136632 B

(45) 授权公告日 2010. 08. 04

(21) 申请号 200710104294. 2

审查员 毛习文

(22) 申请日 2007. 05. 25

(30) 优先权数据

11/420, 480 2006. 05. 26 US

(73) 专利权人 瑞昱半导体股份有限公司

地址 中国台湾新竹科学园区

(72) 发明人 林嘉亮

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 蒲迈文 黄小临

(51) Int. Cl.

H03M 1/00 (2006. 01)

(56) 对比文件

US 6378079 B1, 2002. 04. 23, 说明书第 1 栏
第 13-16 行, 第 4 栏第 51 行 - 第 6 栏第 62 行、附图 4A, 4B.

CN 1520639 A, 2004. 08. 11, 全文 .

US 4611194 A, 1986. 09. 09, 全文 .

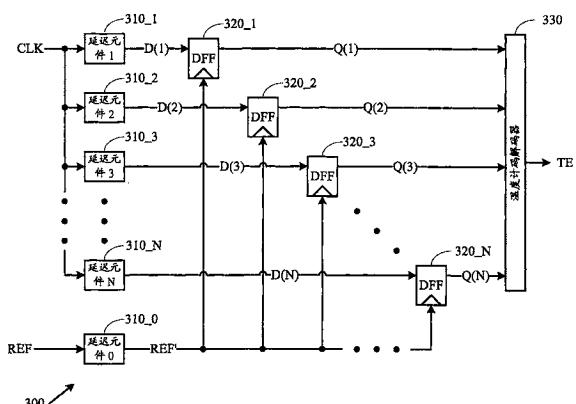
权利要求书 1 页 说明书 6 页 附图 6 页

(54) 发明名称

时间对数字转换器及其方法

(57) 摘要

披露了一种时间对数字转换器 (time-to-digital converter, TDC), 且此时间对数字转换器包含用以接收一第一时钟及用于产生多个已延迟时钟的多个并联电路; 用以在一第二时钟的一边缘 (edge) 上的已延迟时钟分别地进行接收及取样以产生多个决定信号的多个取样电路; 以及用以接收前述的决定信号及相应的产生一数字输出信号的一译码器。



1. 一种时间对数字转换方法,包含 :

接收一第一时钟;

藉由使用多个并联电路以自该第一时钟产生一第一群延迟时钟,其中,该第一群延迟时钟具有不同的时序;

根据一第二时钟对该第一群延迟时钟进行取样以产生一第一群决定信号;

依据该第一群决定信号以输出一第一时序估量信号;

自该第一时钟产生一第二群延迟时钟,其中该第二群延迟时钟的延迟时间与该第一群延迟时钟的延迟时间不同;

根据一第三时钟对该第二群延迟时钟进行取样以产生一第二群决定信号;

依据该第二群决定信号以输出一第二时序估量信号;以及

根据该第一时序估量信号及该第二时序估量信号以产生一最终时序估量信号。

2. 如权利要求 1 所述的方法,其中该第一群延迟时钟具有不同的延迟量。

3. 如权利要求 1 所述的方法,其中该第一群延迟时钟的时序形成一序列,该序列近似于一算术序列。

4. 如权利要求 1 所述的方法,其中输出该第一时序估量信号的步骤还包含:使用一温度计译码器。

5. 如权利要求 1 所述的方法,其中输出该第一时序估量信号的步骤还包含:对该第一群决定信号进行加总。

6. 如权利要求 1 所述的方法,其中该第二延迟群延迟时钟的时序形成一第二序列,该第二序列近似于一算术序列。

7. 如权利要求 1 所述的方法,其中输出该第二时序估量信号的步骤还包含使用一第二温度计码译码器。

8. 如权利要求 1 所述的方法,其中产生该最终时序估量信号的步骤还包含:检测用于该第一时序估量信号的一饱和状态。

9. 如权利要求 8 所述的方法,其中产生该最终时序估量信号的步骤还包含:除非该饱和状态被检测,否则将该第一时序估量信号选择作为该最终时序估量信号。

10. 如权利要求 1 所述的方法,其中产生该最终时序估量信号的步骤还包含:检测用于该第二时序估量信号的一零状态。

11. 如权利要求 10 所述的方法,其中产生该最终时序估量信号还包含:除非该零状态被检测,否则将该第二时序估量信号选择作为该最终时序估量信号。

时间对数字转换器及其方法

技术领域

[0001] 本发明涉及一种转换器,特别是涉及一种时间对数字转换器 (time-to-digital converter, TDC)。

背景技术

[0002] 时间对数字转换器 (time-to-digital converter, TDC) 为人所熟知的现有技术。如图1所示,一现有时间对数字转换器 100 包含:一延迟链 (delay chain),该延迟链包含多个串行延迟组件 110_1 ~ 110_N、一阵列数据触发器 (dataflip-flop) DFF120_1 ~ 120_N 及一温度计码译码器 (thermometer-codedecoder) 130。此延迟链接收一输入时钟 CLK 及产生多个已延迟信号 D(1) ~ D(N) 等等。因所有的延迟组件 (110_1、...、110_N) 大致上是相同的电路,所以大致上于该延迟组件会产生相同的延迟量。令每一延迟组件的延迟量为 d。延迟组件 110_1 ~ 110_N 输出的已延迟信号 (D(1) ~ D(N)) 作为阵列数据触发器 DFF120_1 ~ 120_N 的输入信号,而阵列数据触发器分别地产生多个决定信号 (Q(1) ~ Q(N))。举例来说,来自延迟组件 110_1 的已延迟信号 D(1) 被提供至数据触发器 DFF120_1 以产生决定信号 Q(1)。所有数据触发器 (120_1 ~ 120_N) 由一参考时钟 REF 所触发。时间对数字转换器 100 系用以进行检测及数字化输入时钟 CLK 及参考时钟 REF 之间的时序差异。温度计码译码器 130 接收来自该数据触发器 (120_1 ~ 120_N) 的多个决定信号 (Q(1) ~ Q(N)),且将多个决定信号转换为一数字输出信号 TE (代表“时序估量”),其中此 TE 表示为输入时钟 CLK 及参考时钟 REF 间的一已估量的时序差异。

[0003] 图 2 为一使用 8 个延迟组件及 8 个数据触发器的现有 TDC 的时序示意图。由所有数据触发器对前述决定信号 Q(1) ~ Q(8) 进行加总以求得数字输出信号 TE。于此时序示意图中输入时钟 CLK 及参考时钟 REF 间的已估量的时序差异为 $TE \cdot d = 4d$, 其中 d 为每一组件所产生的延迟量。在此方法中,数字输出信号 TE 的输出码群为 {0, 1, 2, ..., 8}。而在另一方法中,一偏移量被导入至数字输出信号 TE,致使用于数字输出信号 TE 的输出码群为 {-4, -3, -2, -1, 0, 1, 2, 3, 4}。而该偏移量是由数字输出信号 $TE = -4+Q(1)+Q(2)+Q(3)+\dots+Q(8)$ 且同时在输入时钟 CLK 与多个数据触发器间插入四个延迟组件 (未见于图标)。因为数字相位锁相回路 (phase lock loop) 在稳态中对于一 TDC 所需的时间差异 (于一输入时钟及一参考时钟间) 接近于零,所以此偏移量对于一数字相位锁相回路应用是必要的。在另一实施例中,其使用奇数个延迟组件及数据触发器,此偏移量被采用致使该用于数字输出信号 TE 的码群为 {±1/2, ±3/2, ±5/2, ...}。在此方法中,于码群内并无存有“0”值,且 ±1/2 被认为是“实际上等于零” (virtually zero)。此外,对于一数字相位锁相回路的应用,在一稳态内对于一 TDC 所需的时间差异 (于一输入时钟及一参考时钟间) 接近真零或实际上等于零。

[0004] 现有的 TDC 的时序分辨率是由延迟组件的延迟量所限制。举例来说,于新的互补金属氧化物半导体 (CMOS) 技术中,一延迟组件通常以一缓冲电路 (buffer circuit) 来实现,其中,延迟组件的延迟量不会少于 20ps。因此,以新的 CMOS 电路来架构的现有 TDC 电路

的时间分辨率被限制在 20ps 左右。

[0005] 因此,如何一产生一时间高解析的装置及其方法应是迫切需要的。

发明内容

[0006] 因此,本发明的目的之一在于提供一种时间对数字转换器及其方法,该时间对数字转换器具有较高的分辨率。

[0007] 本发明的目的之一在于提供一种数字式相位锁相回路及其方法,该时数字式相位锁相回路具有一较高的分辨率的时间对数字转换器。

[0008] 本发明的目的之一在于提供一种时序检测方法,该时序检测方法具有较高的分辨率。

[0009] 本发明的目的之一在于提供一种时间对数字转换器及其方法,该时间对数字转换器具有一检测范围,此检测范围可涵盖较宽范围且具有一高分辨率。

[0010] 在一实施例中,其披露了一种时间对数字转换器,包含:多个并联电路,是根据一第一时钟而产生一第一群延迟时钟,其中该第一群延迟时钟具有不同的时序;多个取样电路 (sampling circuit),是根据一第二时钟及该第一群延迟时钟而产生一第一群决定信号;以及一第一电路,是根据该第一群决定信号而产生一第一时序估量信号。

[0011] 在一实施例中,其披露了一种时间对数字转换方法。此方法包含:接收一第一时钟;藉由使用多个并联电路以自该第一时钟产生一第一群延迟时钟,其中,该第一群延迟时钟具有不同的时序;根据一第二时钟对该第一群延迟时钟进行取样以产生一第一群决定信号;以及依据该第一群决定信号以输出一第一时序估量信号;自该第一时钟产生一第二群延迟时钟,其中该第二群延迟时钟的延迟时间与该第一群延迟时钟的延迟时间不同;根据一第三时钟对该第二群延迟时钟进行取样以产生一第二群决定信号;依据该第二群决定信号以输出一第二时序估量信号;以及根据该第一时序估量信号及该第二时序估量信号以产生一最终时序估量信号。

[0012] 在一实施例中,其披露了一种执行时序检测方法。此方法包含:使用多个并联电路以自一第一时钟中产生多个导出时钟 (derived clock),其中该多个导出时钟具有不同的延迟量;于该多个导出时钟及一第二时钟间决定多个相应时序关系;以及根据该多个时序关系决定于该第一时钟及该第二时钟间的一时序差异。

附图说明

[0014] 为使本发明的上述和其它目的、特征、优点与实施例能更明显易懂,附图的详细说明如下:

[0015] 图 1 示出了现有时间对数字转换器的电路图;

[0016] 图 2 示出了具有 8 个延迟组件的一现有时间对数字转换器的时序示意图;

[0017] 图 3A 示出了根据本发明的一时间对数字转换器的电路图;

[0018] 图 3B 示出了图 3A 的具有 8 个并联延迟组件的一时间对数字转换器的时序示意图;

[0019] 图 4 示出了一时间对数字转换器的另一电路图;

[0020] 图 5 示出了一延伸范围时间对数字转换器的电路图;以及

[0021] 图 6 示出了使用图 5 的一延伸范围时间对数字转换器的一数字 PLL 电路图。

[0022]	附图符号说明	
[0023]	100 :时间对数字转换器 (TDC)	300 :TDC
[0024]	110_1、110_2 及 110_3 :延迟组件	300_1 :第一 TDC 电路
[0025]	120_1、120_2 及 120_3 :阵列数据	300_2 :第二 TDC 电路
[0026]	触发器 (DFF)	310_1、310_2 及 310_3 :延迟组件
[0027]	400 :TDC	320_1、320_2 及 320_3 :触发器
[0028]	410 :加总电路	330 :温度计码译码器
[0029]	600 :数字式相位锁相回路	500 :TDC
[0030]	610 :TDC	510 :精细 TDC
[0031]	620 :回路滤波器	520 :粗略 TDC
[0032]	630 :数字式控制振荡器	530 :TDC 选择器
[0033]	640 :分频电路	540 :缩放组件
[0034]	550 :复用器	

具体实施方式

[0035] 本发明涉及一种时间对数字转换器 (TDC) 的方法及其装置。以下详细地讨论目前较佳的实施例。然而应被理解的是，本发明提供许多可适用的发明观念，而这些观念能被体现于很宽广多样的特定具体背景中。所讨论的特定具体的实施例仅是说明使用本发明的特定结构，而且不会限制本发明的范围。

[0036] 在本发明的 TDC 实施例中，是以多个并联延迟组件作为一时间的量测棒；且时间分辨率由两延迟组件间的一延迟差异量来决定。因为两延迟组件之间的延迟差异量可非常小，所以时间分辨率可以非常高。

[0037] 高分辨率时间对数字转换器

[0038] 请参阅图 3A，其示出了本发明的 TDC300 的实施电路。此 TDC300 包含：用于接收一参考时钟 REF 及产生一已延迟参考时钟 REF' 的一延迟组件 310_0；用于接收一共通输入时钟 CLK 及分别地产生多个已延迟信号（如 D(1) ~ D(N)）的多个并联延迟组件（如 310_1 ~ 310_N）；由已延迟时钟 REF' 所触发 (trigger) 多个触发器 DFF320_1 ~ 320_N，且这些触发器接收已延迟信号（如 D(1) ~ D(N)）且分别地产生多个决定信号（如 Q(1) ~ Q(N)）；以及用于接收前述决定信号（如 Q(1) ~ Q(N)）且产生代表输入时钟 CLK 及参考时钟 REF 之间的时序差异的一估量值的一数字输出信号 TE 的一温度计码译码器 (thermometer-codedecoder) 330。延迟组件 310_0 于输入时钟 REF 中产生一 d_0 延迟量，延迟组件 320_1 于输入时钟 CLK 中产生一 d_1 延迟量，延迟组件 320_2 于输入时钟 CLK 中产生一 d_2 延迟量，延迟组件 320_3 于输入时钟 CLK 中产生一 d_3 延迟量，以此类推。所有这些延迟量皆不相同（如 $d_0, d_1, d_2, d_3, \dots$ ）。在一较佳实施例中，所有的延迟量形成一算术序列，如

$$d_n = d_0 + n \cdot \Delta, \text{ for } n = 1, 2, 3, K$$

[0040] 其中， Δ 为此算术序列的两连续因子的一公差 (common difference)。在最新的 CMOS 技术中，可以通过使用在两延迟组件之间轻微的不匹配而使得公差 Δ 很小，例如小至 1ps。

[0041] 如图 3B 所示,此图根据图 3A 中使用 8 个并联延迟组件及 8 个数据触发器(当 $N = 8$)的一 TDC300 的一实施时序示意图。在此实施例中,藉由对来自所有的数据触发器的前述决定信号进行加总而求得数字输出信号 TE;如 TE 为 $Q(1)+Q(2)+Q(3)+\dots+Q(N)$ 。输入时钟 CLK 及参考时钟 REF 间的已估量的时序差异为 $TE \cdot \Delta = 4\Delta$,其中 Δ 为此延迟组件阵列的两连续因子间延迟量的一公差。明显地,藉由使用本发明的电路亦使得所实现的分辨率高于现有甚多。请注意,在本实施例中,用于数字输出信号 TE 码群为 $\{0, 1, 2, 3, \dots, N\}$,所以仅当输入时钟 CLK 早于参考时钟 REF,且在输入时钟 CLK 及参考时钟 REF 的时序差异包含在 0 与 $N \cdot \Delta$ 之间时,TDC300 可有效地检测用于输入时钟 CLK 的时序。

[0042] 在另一实施例中,(未示于图中,但大致上与图 3A 的 TDC300 相同的电路),设计者能使用产生自输入时钟 CLK 的共通时钟 CLK' 以对产生自参考时钟 REF 的多个已延迟时钟进行取样。亦是,设计者大致上使用与图 3A 中 TDC300 相同的电路,但将输入时钟 CLK 及参考时钟 REF 交换。在另一实施例中,仅当参考时钟 REF 早于输入时钟 CLK,且在参考时钟 REF 及输入时钟 CLK 间的时序差异包含在 0 与 $N \cdot \Delta$ 之间时,TDC 可有效地检测用于输入时钟 CLK 的时序。

[0043] 在另一实施例中,在数字输出信号 TE 内产生一 $N/2$ 偏移量(以 $N/2$ 此一实施范例,但未限制此偏移量),致使用于数字输出信号 TE 的码群为 $\{-N/2, -N/2+1, -N/2+2, \dots, N/2-2, N/2-1, N/2\}$ 。此偏移量藉由使数字输出信号 TE 为 $TE = -N/2+Q(1)+Q(2)+Q(3)+\dots+Q(N)$,且同时改变图 3A 中延迟组件 310_0 的延迟量而产生,其中此延迟量从 d_0 至 $d_0+(N/2) \cdot \Delta$ 。当使用奇数个并联延迟组件及数据触发器(如 N 为奇数),在码群并没有存有“0”且 $\pm 1/2$ 被认为“实际上等于零”(virtually zero)。在另一实施例中,当在输入时钟 CLK 及参考时钟 REF 间的时序差异包含在 $-(N/2)$ 与 $(N/2) \cdot \Delta$ 之间时,TDC 可有效地检测用于输入时钟 CLK 的时序。

[0044] 而在另一实施例中,设计者选择使用一产生自输入时钟 CLK 所求得的共通时钟 CLK' 以对自参考时钟 REF 所求得多个已延迟时钟进行取样,且同时将一 $N/2$ 偏移量导入至数字输出信号 TE(以 $N/2$ 此一实施范例,但未限制此偏移量)。依照下列的方式,则可完成此实施例:

[0045] (1)、使用与图 3A 中 TDC300 相同的电路,但将输入时钟 CLK 及参考时钟 REF 交换;

[0046] (2)、同时改变图 3A 中延迟组件 310_0 的延迟量,其中该延迟量从 d_0 至 $d_0+(N/2) \cdot \Delta$;以及

[0047] (3)、令数字输出信号 $TE = -N/2+Q(1)+Q(2)+Q(3)+\dots+Q(N)$ 当在输入时钟 CLK 及参考时钟 REF 间的时序差异包含在 $-(N/2)$ 与 $(N/2) \cdot \Delta$ 之间时,TDC 可有效地检测用于输入时钟 CLK 的时序。

[0048] 请注意, $N/2$ 偏移量仅作为一实施例,且藉由插入一较佳的延迟组件使设计者可自由地选择任一偏移量。然而在实施例中,因为数字锁相回路在稳态时,输入时钟 CLK 必需追踪参考时钟 REF,且用于时序估量信号的码群被集中在零,因此于数字锁相回路使用 $N/2$ 偏移量为一较佳选择。

[0049] 于图 4 的另一实施例,藉由使用两 TDC 电路使其增加两倍的检测范围。此图 4 的 TDC 电路 400 包含:由图 3A 的 TDC 电路 300 所构建一第一 TDC 电路 300_1,其中此第一 TDC 电路 300_1 用于检测一输入时钟 CLK 及一参考时钟 REF 之间的时间差异,且产生一第一时

序估量信号 TE_1；及由图 3A 的 TDC 电路 300 所构建一第二 TDC 电路 300_2，其中此第二 TDC 电路 300_2 系用于检测参考时钟 REF 及输入时钟（将输入时钟 CLK 参考时钟 REF 的角色相互置换）之间的时间差异，且用于产生一第二时序估量信号 TE_2；及一加总电路 410，将第一时序估量信号 TE_1 减去第二时序估量信号 TE_2 以产生一最终时序估量信号 TE。令用于第一时序估量信号 TE_1 的码群为 $\{0, 1, 2, \dots, N_1\}$ 及用于第二时序估量信号 TE_2 的码群为 $\{0, 1, 2, \dots, N_2\}$ 。由 TDC300 检测在输入时钟 CLK 与参考时钟 REF 间的时间差异范围从 $-N_2 \cdot \Delta$ 至 $N_1 \cdot \Delta$ 。

[0050] 延伸范围 TDC

[0051] 图 3 所示的 TDC300 的实施例提供一非常细小分辨率。然而，此 TDC300 可检测的所有时序范围相当地有限。举例来说，若存有 8 个并联延迟组件且在连续延迟组件的公差为 1ps，所检测时序范围为 8ps。然而，在许多实施例方面，当于输入时钟 CLK 与参考时钟 REF 间的时序差异很小时，一高分辨率是必要的。同时，时序差异很大时，一低分辨率可被接受。以这些范例，设计者可将本发明与一现有 TDC 结合以扩增检测范围。如图 5 所示，一 TDC500 包含一精细 (fine) TDC510、一粗略 (coarse) TDC520、一 TDC 选择器 530、一缩放组件 540 以及一复用器 550。此精细 TDC510 接收一输入时钟 CLK 及一参考时钟 REF 且为本发明的高分辨率但窄频范围 TDC (如图 3 的 TDC300 或图 4 的 TDC400) 而产生一第一时序估量信号 TE1。此粗略 TDC520 接收输入时钟 CLK 及参考时钟 REF 且为一低分辨率但宽带范围 TDC (如图 1 的 TDC100) 而产生一第二时序估量信号 TE2。TDC 选择器 530 接收第一时序估量信号 TE1 及第二时序估量信号 TE2 且相应地决定何者时序估量信号被使用。缩放组件 540 根据一因子 d/Δ 对来自粗略 TDC520 的第二时序估量信号 TE2 进行缩放而产生一已缩放时序估量信号 TE'，其中该 d 为粗略 TDC520 的分辨率及 Δ 为精细 TDC510 的分辨率。复用器 550 根据来自 TDC 选择器 530 的一控制信号 560 而在一第一时序估量信号 TE1 及第二时序估量信号 TE2 间进行选择以产生最终时序估量信号 TE。第一时序估量信号 TE1 较佳地为偏移量 (当精细 TDC510 以图 3 的 TDC300 来实现时，此偏移量通过调整延迟组件 310_0 的延迟量) 以使用于第一时序估量信号 TE1 的群码被集中在零，且当输入时钟 CLK 被参考时钟 REF 定位时，第一时序估量信号 TE1 为零或实质上为零。第二时序估量信号 TE2 较佳地也为偏移量 (举例来说，如前所述，当粗略 TDC520 以图 1 的 TDC100 来实现时，在参考时钟 REF 与触发器间插入多个延迟组件) 以使当输入时钟 CLK 被参考时钟 REF 定位时，则第二时序估量信号 TE2 为零或实质上为零。在一较佳实施例中，精细 TDC510 的检测范围等同于或比得上的粗略 TDC520 的分辨率。

[0052] 在第一实施例中，除非第一时序估量信号 TE1 达到一高点 (ceiling) 或一低点 (floor)，则精细 TDC510 所产生的第一时序估量信号 TE1 经复用器 550 选出以输出最终输出信号 TE。举例来说，若 8 个并联延迟组件被使用在 TDC510 内时，且第一时序估量信号 TE1 的范围包含在 -4 及 4 之间，且对于第一时序估量信号 TE1 以 4 为高点及 -4 为低点。而当第一时序估量信号 TE1 达到高点或低点的一此精细 TDC510 处于“饱和”状态时，则该粗略 TDC520 被使用以延伸检测范围。在一第二实施例中，除非第二时序估量信号 TE2 为零或实质上为零 (当没有真零存在用于第二时序估量信号 TE2 的码群)，自粗略 TDC520 的第二时序估量信号 TE2 则被使用。当第二时序估量信号 TE2 为零或实质上为零，在输入时钟 CLK 与参考时钟 REF 间的时间差异则对于粗略 TDC520 太小以致于可有效地消除，所以必需使

用精细 TDC510。

[0053] 在另一实施例中并未显示于图内,但已为本领域的技术人员所知悉,为使用一 d/Δ 因子对第一时序估量信号 TE1(取代第二时序估量信号 TE2) 进行缩放以产生一另一已缩放时序估量信号 TE1' 且在已缩放时序估量信号 TE1' 及第二时序估量信号 TE2 进行选择以产生一最终输出信号 TE。

[0054] 以图 1 的 TDC100 所建构的粗略 TDC520 仅为一实施例,亦可使用任一可提供在输入时钟 CLK 与参考时钟 REF 之间时间差异的一粗略数字代表值的 TDC。只要当输入时钟 CLK 被参考时钟 REF 对齐 (align) 时,该粗略 TDC520 的数字输信号 TE2 为较佳的偏移量以致于该数字输信号 TE2 的码群被集中接近零及数字输信号 TE2 的为零 (或实质上为零,当没有真“0”码) 的粗略 TDC 皆可被使用。

[0055] 数字式相位锁相回路

[0056] 本发明亦可适用于一数字式相位锁相回路应用。于图 6 揭示一数字式相位锁相回路 600 的方块图。此数字式相位锁相回路 600 接收一参考时钟 REF 且产生一输出信号 OUT, 此数字式相位锁相回路包含: 用于接收该参考时钟 REF 及一回授时钟 CLK 且产生一时序估量信号 TE 的一 TDC610; 用于接收该时序估量信号 TE 及产生一频率控制信号 FC 的一回路滤波器 (loop filter, LF) 620; 用以接收该频率控制信号及产生该输出时钟 OUT 的一数字控制振荡器 (digitally controlled oscillator) 630; 用于接收该输出时钟 OUT 及产生该回授时钟 CLK 的一分频电路 (分频的倍率为可编程的) 640 (此组件并非是必要组件, 其可省略)。此 TDC610 如使用图 5 的电路 500 而被实现, 此 TDC610 检测在参考时钟 REF 与回授时钟 CLK 间的一时序差异且产生时序估量信号 TE 以表示此时序差异。当此时序差异为小时, 此检测范围涵盖此时序差异的一较宽范围且具有一高分辨率。此回路滤波器 620 为一数字式滤波器, 其包含至少一触发器 (Flip-Flop) 及一将时序估量信号 TE 转换为该频率控制信号 FC 的一加总电路。数字控制振荡器 630 产生该回授时钟 CLK, 其频率是由频率控制信号 FC 所决定。并非必须的分频电路 640 藉由使用一 N 因子对该输出时钟 CLK 进行分频以产生该回授时钟 CLK。此回路滤波器 620、数字控制振荡器 630 及分频电路 640 的实施例已为现有的技术, 在此不在赘述。

[0057] 通过本文可知, 一数据触发器 (DFF) 为一于第二时钟的一边缘上对第一时钟进行取样的实施电路。请注意, 数据触发器只是为“取样” 电路的实施范例之一。对于本领域技术人员, 使用另一取样电路如一锁存 (latch) 电路亦在本发明的保护范围内。

[0058] 通过本文可知, 一延迟组件用于在一输入时钟内产生一已延迟时钟。对于本领域技术人员, 在不脱离本发明的原理下, 任一可于一时钟内产生延迟的电路皆可使用。举例来说, 在没有使用一明确延迟组件下, 设计者可使用一电线 (wire) 以延迟一时钟。

[0059] 虽然本发明已以较佳实施例披露如上, 然其并非用以限定本发明, 对于本领域技术人员在不脱离本发明的精神和范围的前途下可作各种的更动与润饰, 因此本发明的保护范围以本发明的权利要求为准。

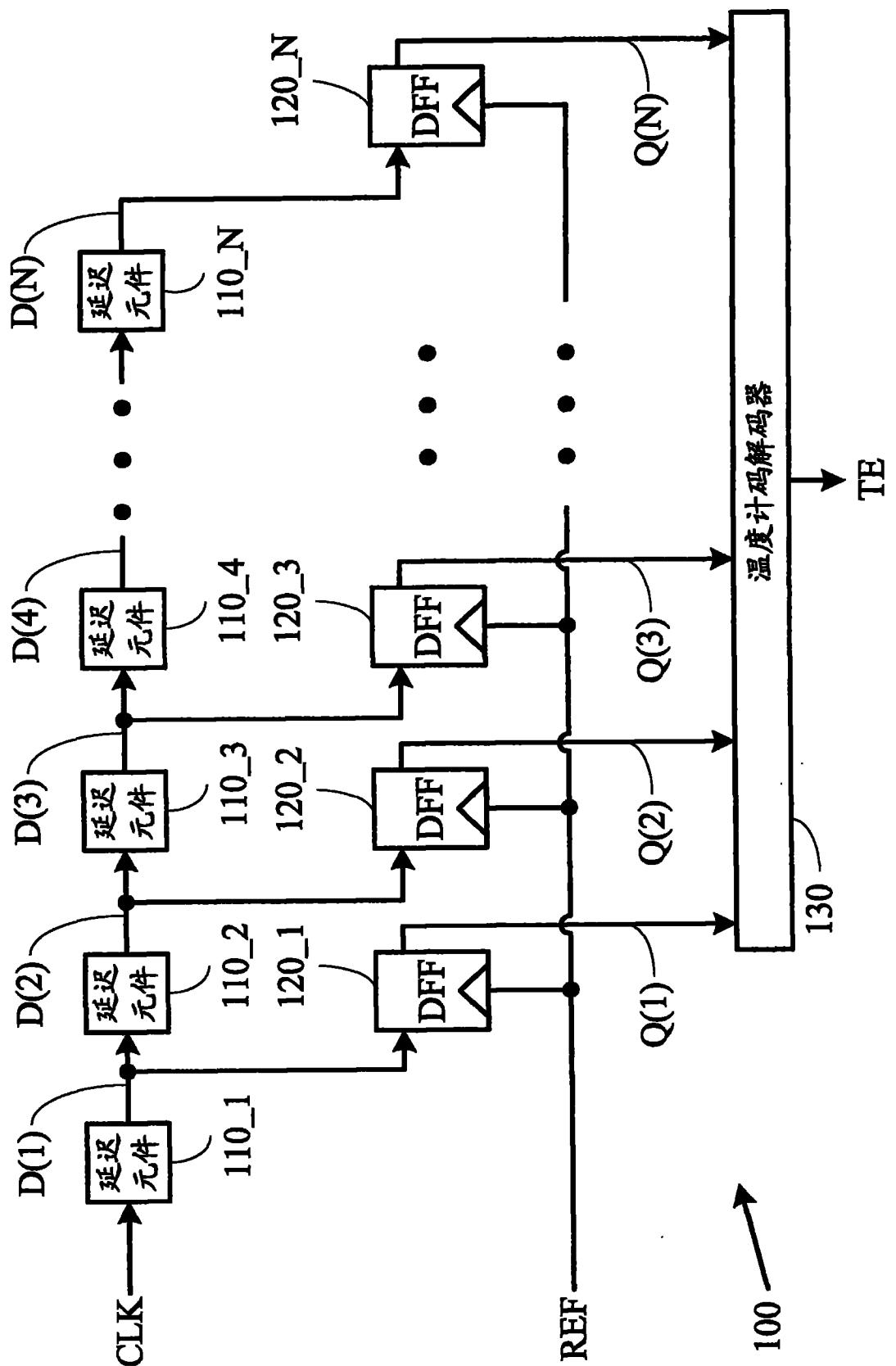


图 1

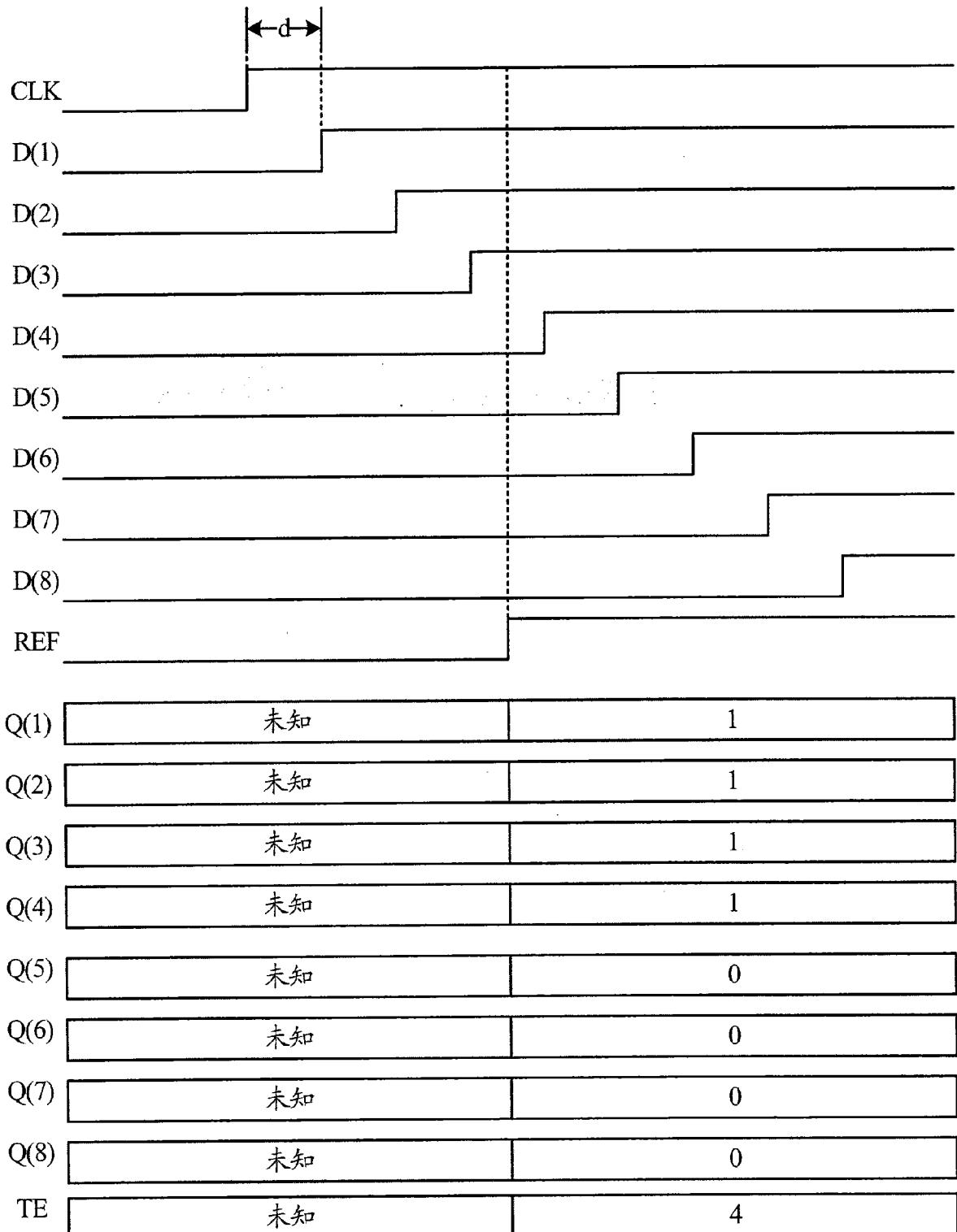


图 2

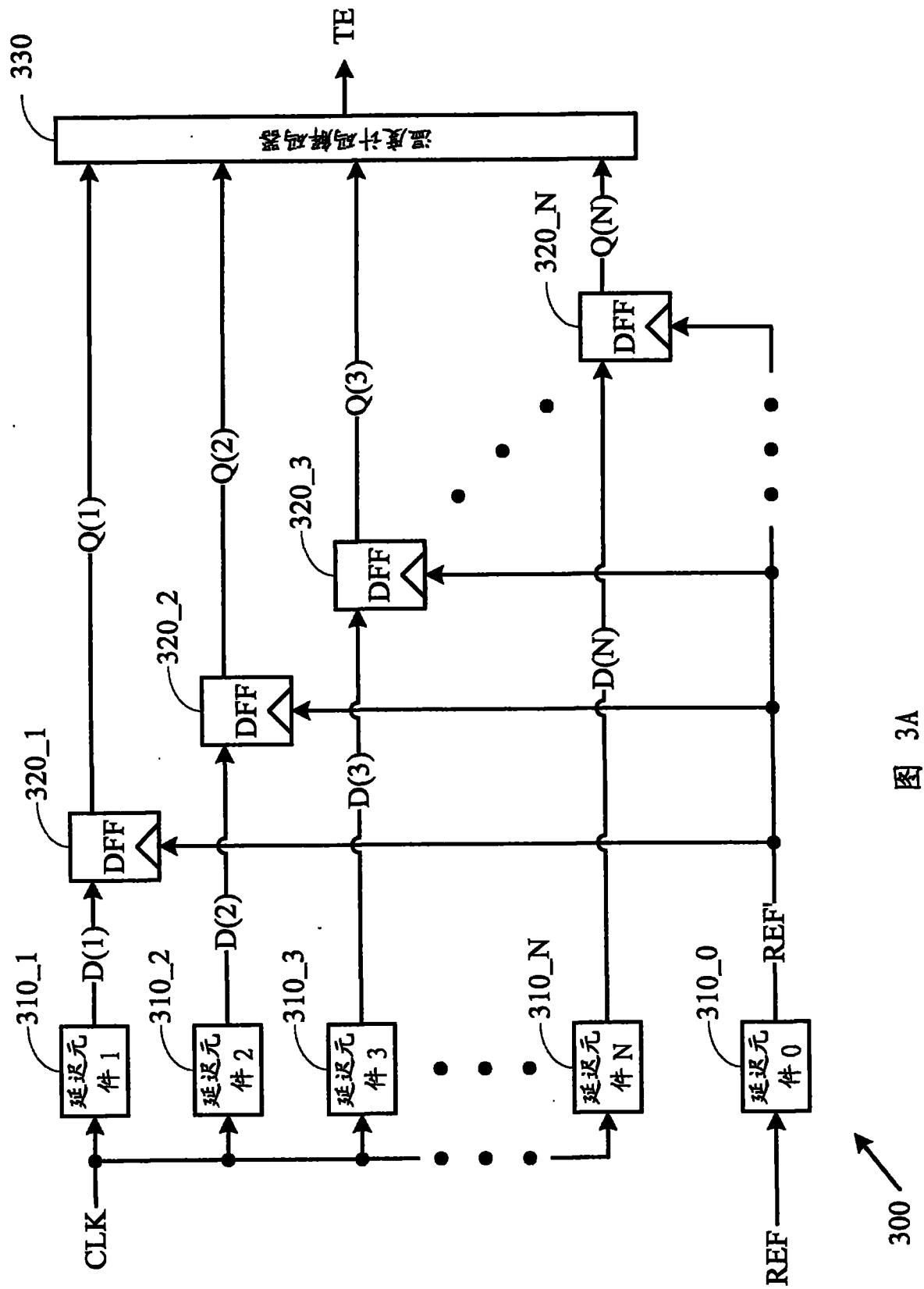


图 3A

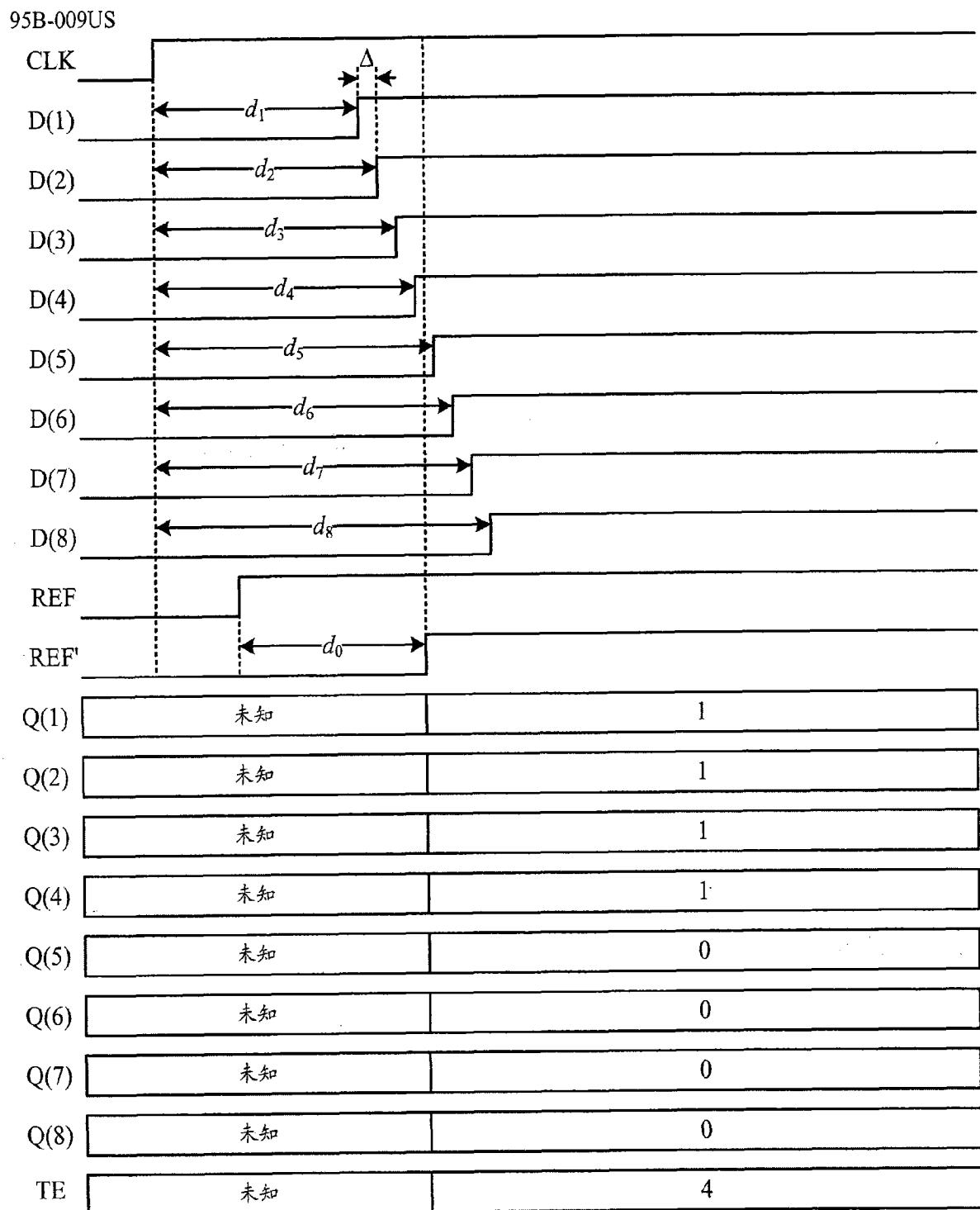


图 3B

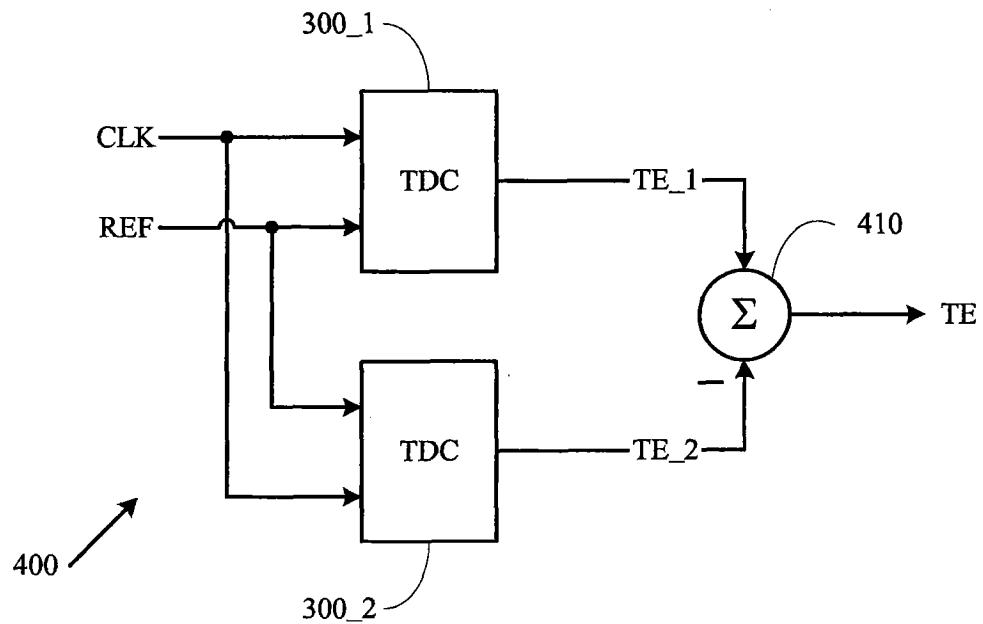


图 4

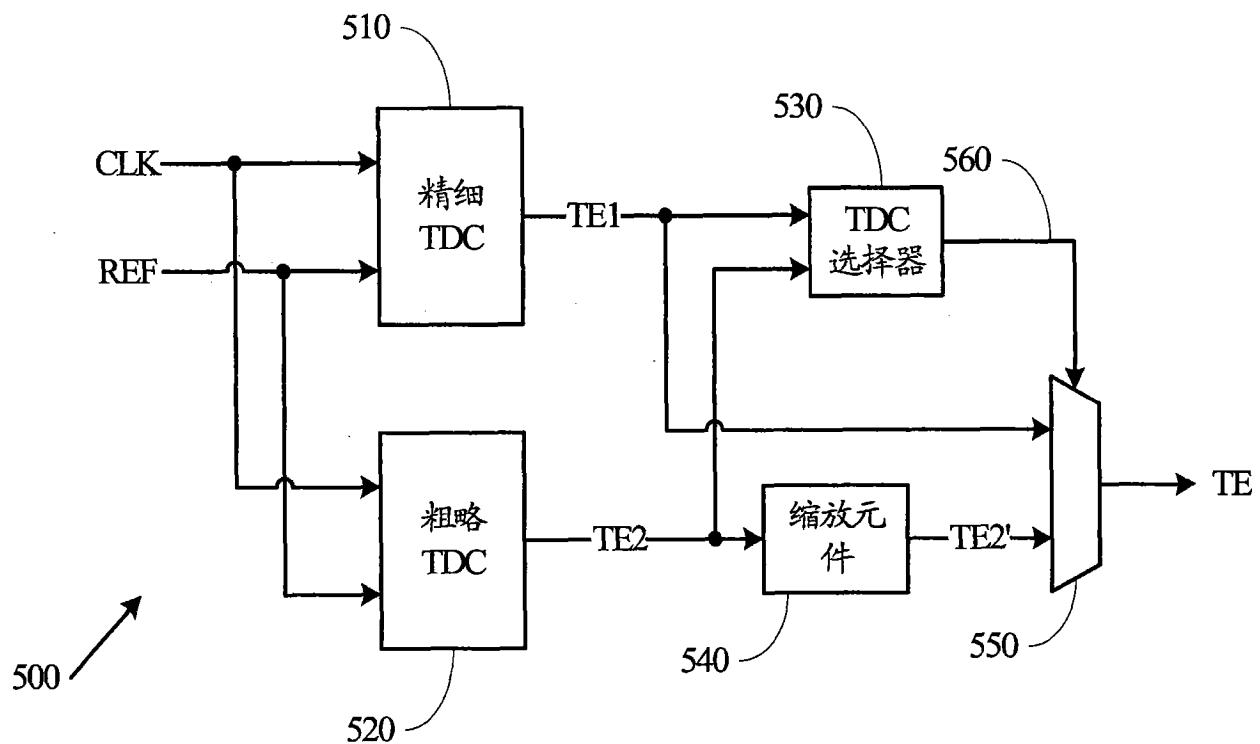


图 5

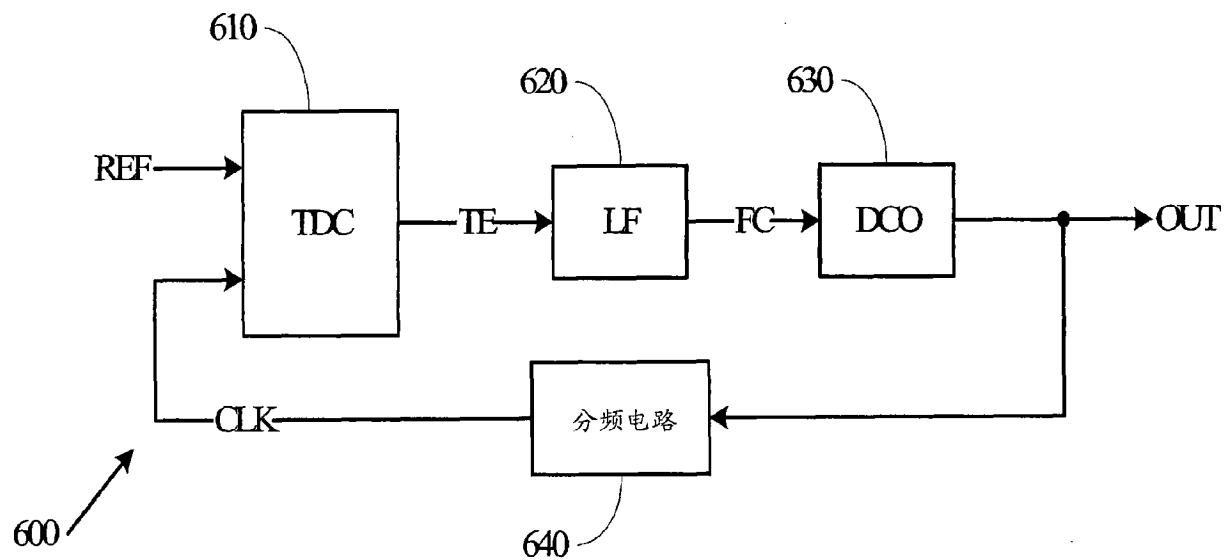


图 6