202520902

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 202520902 A

(43)公開日： 中華民國 114 (2025) 年 05 月 16 日

(21)申請案號：113136915 (22)申請日： 中華民國 112 (2023) 年 08 月 31 日

(51)Int. Cl.： *H10D64/00 (2025.01)* *H10D30/00 (2025.01)*
G06F30/39 (2020.01)

(30)優先權：2022/08/31 美國 17/823,644

(71)申請人：美商蘋果公司 (美國) APPLE INC. (US)
美國

(72)發明人：阿爾普特金 埃姆雷 ALPTEKIN, EMRE (US) ；奧利瓦 安東尼塔 OLIVA, ANTONIETTA (US)

(74)代理人：陳長文；黃章典；金若芸

申請實體審查：有 申請專利範圍項數：20 項 圖式數：14 共 57 頁

(54)名稱

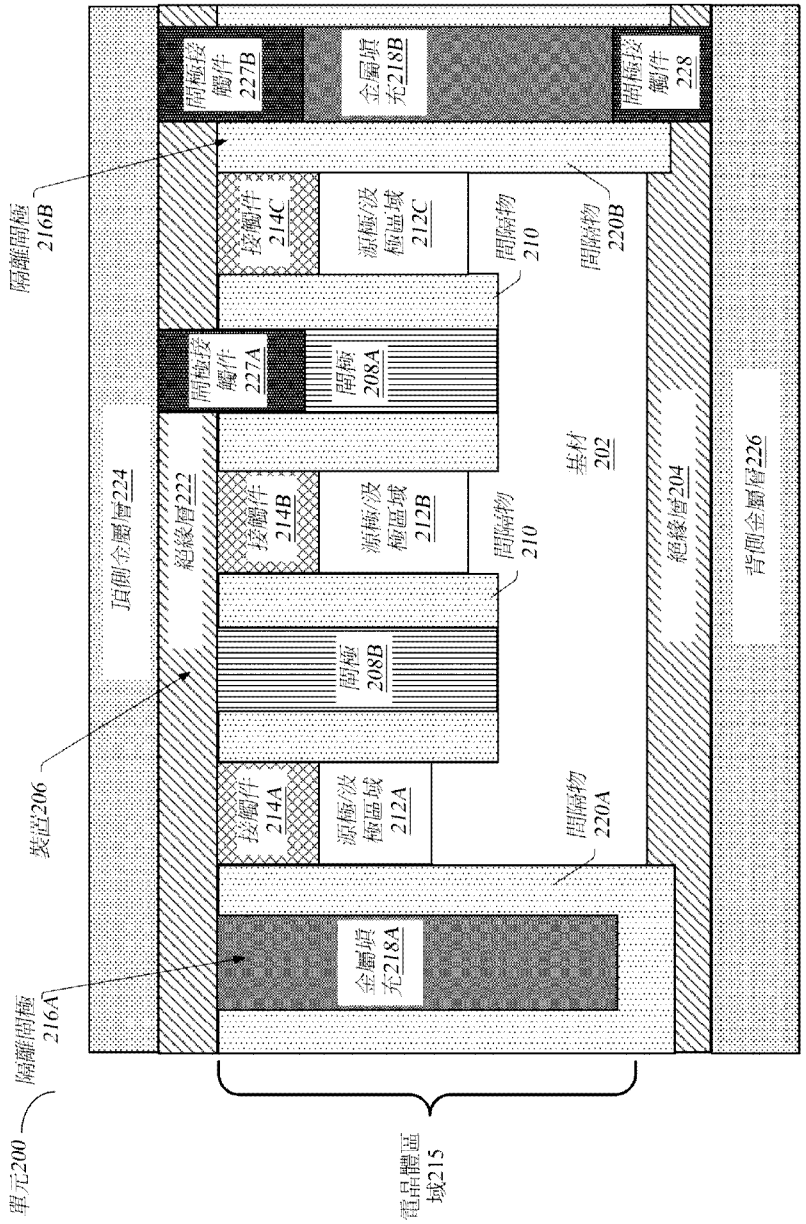
具有用於信號布線的背側接觸件之半導體設備

(57)摘要

揭示一種可實施在 FinFET 裝置或其他 FET 裝置中的單元布局。該單元布局利用一隔離閘極結構以在一主動閘極的一信號輸入與一背側金屬層之間提供布線。該隔離閘極結構包括由閘極間隔物圍繞的一金屬填充。該金屬填充連接在該裝置中的該等頂側層與該裝置中的該背側層之間。該金屬填充可通過在一頂側金屬層或置於一頂側絕緣層中的一金屬線其中一者中的布線連接至該主動閘極的該信號輸入。該隔離閘極結構可係放置在一單元邊界處或該單元內側的任何標準單元的部分，以提供對背側信號布線的存取。額外地，具有隔離閘極結構的填充單元可為相鄰功能單元提供背側布線連接。

A cell layout that may be implemented in FinFET devices or other FET devices is disclosed. The cell layout utilizes an isolation gate structure to provide routing between a signal input of an active gate and a backside metal layer. The isolation gate structure includes a metal fill surrounded by gate spacers. The metal fill connects between the topside layers in the device and the backside layer in the device. The metal fill may be connected to the signal input of the active gate through routing either in a topside metal layer or a metal wire placed in a topside insulating layer. The isolation gate structure can be part of any standard cell being placed at a cell boundary or inside the cell to provide access to backside signal routing. Additionally, filler cells with isolation gate structures may provide backside routing connections for adjacent functional cells.

指定代表圖：



【圖4】

符號簡單說明：

200:單元

202:基材

204:絕緣層

206:裝置

208A:閘極

208B:閘極

210:閘極間隔物；間隔物

212A:源極/汲極區域

212B:源極/汲極區域

212C:源極/汲極區域

214A:源極/汲極接觸件

214B:源極/汲極接觸件

214C:源極/汲極接觸件；接觸件

215:電晶體區域

216A:隔離閘極

216B:隔離閘極

218A:金屬填充

218B:金屬填充

220A:間隔物

220B:間隔物

222:絕緣層

224:頂側金屬層

226:背側金屬層

227A:閘極接觸件

227B:閘極接觸件

228:閘極接觸件

20252Ø915
202[illegible]
專利案號：113136915
原申請案號：112132950

【發明摘要】

【中文發明名稱】　具有用於信號布線的背側接觸件之半導體設備

【英文發明名稱】　SEMICONDUCTOR APPARATUSES WITH BACKSIDE CONTACTS FOR SIGNAL ROUTING

【中文】

揭示一種可實施在FinFET裝置或其他FET裝置中的單元布局。該單元布局利用一隔離閘極結構以在一主動閘極的一信號輸入與一背側金屬層之間提供布線。該隔離閘極結構包括由閘極間隔物圍繞的一金屬填充。該金屬填充連接在該裝置中的該等頂側層與該裝置中的該背側層之間。該金屬填充可通過在一頂側金屬層或置於一頂側絕緣層中的一金屬線其中一者中的布線連接至該主動閘極的該信號輸入。該隔離閘極結構可係放置在一單元邊界處或該單元內側的任何標準單元的部分，以提供對背側信號布線的存取。額外地，具有隔離閘極結構的填充單元可為相鄰功能單元提供背側布線連接。

【英文】

A cell layout that may be implemented in FinFET devices or other FET devices is disclosed. The cell layout utilizes an isolation gate structure to provide routing between a signal input of an active gate and a backside metal layer. The isolation gate structure includes a metal fill surrounded by gate spacers. The metal fill connects between the topside layers in the device and the backside layer in the device. The metal fill may be connected to the signal input of the active gate through routing either in a topside metal layer or a metal wire placed in a topside insulating layer. The isolation gate structure can be part of any standard cell being placed at a cell boundary or inside the cell to

provide access to backside signal routing. Additionally, filler cells with isolation gate structures may provide backside routing connections for adjacent functional cells.

【指定代表圖】圖4

【代表圖之符號簡單說明】

200:單元

202:基材

204:絕緣層

206:裝置

208A:閘極

208B:閘極

210:閘極間隔物；間隔物

212A:源極/汲極區域

212B:源極/汲極區域

212C:源極/汲極區域

214A:源極/汲極接觸件

214B:源極/汲極接觸件

214C:源極/汲極接觸件；接觸件

215:電晶體區域

216A:隔離閘極

216B:隔離閘極

218A:金屬填充

218B:金屬填充

220A:間隔物

220B:間隔物

222:絕緣層

224:頂側金屬層

226:背側金屬層

227A:閘極接觸件

227B:閘極接觸件

228:閘極接觸件

【特徵化學式】無

【發明說明書】

【中文發明名稱】　具有用於信號布線的背側接觸件之半導體設備

【英文發明名稱】　SEMICONDUCTOR APPARATUSES WITH BACKSIDE CONTACTS FOR SIGNAL ROUTING

【技術領域】

【0001】　本文描述的實施例係關於半導體裝置中的信號布線。更具體而言，本文描述的實施例係關於通過積體電路之背側層的信號布線。

【先前技術】

【0002】　標準單元係可提供邏輯功能、儲存功能等的電晶體、被動結構、及互連結構的群組。標準單元方法論中的目前趨勢係朝向在增加標準單元內的複雜度（例如，電路密度及組件的數目）的同時，降低標準單元的大小。然而，隨著標準單元設計變得更小，變得更難以提供對標準單元內之組件的存取（例如，連接）。

【0003】　額外地，隨著標準單元的大小減少，標準單元的效能可變得更受單元內的性質影響。例如，標準單元內的電阻（諸如在單元中的金屬跡線中、或擴散區域與金屬跡線之間的界面中的電阻）可降低單元的效能，其中隨著單元變得更小，在效能上的影響變得更加成為問題。因此，降低標準單元內的跡線電阻可增加單元的效能。

【發明內容】

無

【圖式簡單說明】

【0004】 本揭露所述之實施例的方法及設備之特徵及優點將藉由參照下列之根據本揭露所述之實施例之目前較佳但為說明性的實施例之詳細描述而連同隨附圖式更完整地理解，其中：

〔圖 1〕描繪根據一些實施例之具有背側層電力連接的標準單元的實施例的表示圖。

〔圖 2〕描繪根據一些實施例之沿著圖 1 所示之截線 2-2 的標準單元的截面表示圖。

〔圖 3〕描繪根據一些實施例之具有通過隔離閘極結構在主動閘極與背側金屬層之間的布線的單元的實施例的表示圖。

〔圖 4〕描繪根據一些實施例之沿著圖 3 所示之截線 4-4 的單元的截面表示圖。

〔圖 5〕描繪根據一些實施例之具有在主動閘極與隔離閘極結構之間的替代布線的單元的實施例的表示圖。

〔圖 6〕描繪根據一些實施例之沿著圖 5 所示之截線 6-6 的單元的截面表示圖。

〔圖 7〕描繪根據一些實施例之具有連接至主動閘極之信號輸入及源極/汲極之閘極接觸件的單元的截面表示圖。

〔圖 8〕描繪根據一些實施例之具有隔離閘極的積體電路布局的實施例的表示圖，該等隔離閘極具有在頂側及背側層二者中的信號布線。

〔圖 9〕描繪根據一些實施例之在僅在頂側具有信號布線之積體電路布局中的頂側信號軌道的表示圖。

〔圖 10〕描繪根據一些實施例之在具有頂側及背側信號布線之積體電路布局中的頂側信號軌道及背側信號軌道的表示圖。

〔圖 11〕描繪根據一些實施例之具有二種類型之在主動閘極的信號輸入與隔離閘極中的金屬填充之間的布線連接的積體電路裝置的截面表示圖。

〔圖 12〕描繪根據一些實施例之具有功能單元及填充單元的積體電路布局的俯視表示圖。

〔圖 13〕描繪根據一些實施例之具有用於提供背側存取之隔離閘極結構的填充單元的截面表示圖。

〔圖 14〕係實例系統的一個實施例的方塊圖。

【0005】 雖然本文中所揭露實施例可受到各種修改且具有替代形式，其特定實施例係以圖式中實例之方式展示，且在本文中詳細說明。然而，應理解，圖式及其詳細說明並非意欲將申請專利範圍之範圍侷限於所揭示之具體形式。反之，本申請案意欲涵括所有落於所附申請專利範圍所界定之本申請案之本揭露的精神與範圍內的修改、均等物、及替代物。

【實施方式】

【0006】 本揭露係關於利用背側金屬層以用於將控制信號連接提供至積體電路單元（諸如標準單元）中的電晶體。如本文所使用，用語「標準單元(standard cell)」係指形成在基材上之電晶體結構、被動結構、及互連結構的群組，以提供係各種實施方案之標準的邏輯或儲存功能。積體電路單元亦可包括針對特定實施方案個別地設計的客製電路設計單元。本文描述之電路設計單元的實施例可實施在邏輯積體電路或記憶體積體電路的各種實施方案中。

【0007】 單元的許多目前設計在電晶體上方的區域中將用於電力或信號的連接及布線提供至電晶體或其他結構。例如，可將用於電力或信號的連接及

布線提供於該裝置之頂側層（例如，當在一般截面圖中檢視時，在該裝置中之電晶體的主動層上方的層）中。如本文所使用，用語「頂側(topside)」係指在該裝置之主動層垂直上方（例如，在該裝置之電晶體區域上方）的該裝置中之區域。例如，頂側可係指在垂直維度上在電晶體區域上方的組件（諸如接觸件或層），如圖式所描繪及本文所描述。在一些情況下，用語「前側(frontside)」可與用語「頂側」互換地使用。

【0008】 針對標準單元之設計的一些最近發展將用於電力連接的連接及布線移動至電晶體下方的金屬層。例如，可將用於電力的連接及布線提供於該裝置之背側層（例如，當在一般截面圖中檢視時，在該裝置中之電晶體的主動層下方的層）中。如本文所使用，用語「背側(backside)」係指在該裝置之主動層垂直下方（例如，在該裝置之電晶體區域下方）的該裝置中之區域。例如，背側可係指諸如在垂直維度上電晶體區域下方之接觸件或層的組件，如圖式所描繪及本文所述。應注意，如本文所使用，位於主動層下方的背側元件可能處於主動層製造於其上的矽基材上方、內、或下方。亦即，如本文所使用，「背側」係相對於主動層，而非矽基材。

【0009】 圖1描繪根據一些實施例之具有背側層電力連接的標準單元的實施例的表示圖。為求圖式簡化，在本文揭示之單元的表示圖中僅顯示與本揭露相關的組件。所屬技術領域中具有通常知識者將理解，額外組件可存在於本文描繪之單元的任一者中。例如，在圖1中，在圖式中垂直延伸的閘極在一些描繪中可係可見的。在圖1中，(A)係標準單元100之實施例的俯視表示，而(B)係標準單元之實施例的仰視表示。圖2描繪根據一些實施例之沿著圖1所示之截線2-2的

標準單元100的截面表示圖。截線2-2經定位橫跨背側金屬層126的電力軌，如圖1之(B)中所示。於下文進一步描述的背側通孔128的表示圖描繪於圖1之(B)中。

【0010】 在圖2的所繪示實施例中，標準單元100包括基材102。在某些實施例中，基材102係矽基材。在各種實施例中，基材102可包括用於實施在單元100中的額外組件或特徵。例如，基材102可包括用於實施在單元100中的絕緣層104（例如，氧化層）、擴散（例如，氧化物擴散）區域、或摻雜區域。為簡化圖示，基材102及絕緣層104經描繪為單一層。在一些實施例中，絕緣層104可包括多個絕緣層。例如，絕緣層104可包括多個氧化物層、多個氮化物層、或各種絕緣層的組合。

【0011】 在各種實施例中，標準單元100包括形成在基材102上的裝置106。裝置106可係例如電晶體，諸如FinFET裝置、奈米片FET (nanosheet FET, NSH)裝置、或GAAFET（「閘極全環繞(gate-all-around)」FET）裝置。亦可設想電晶體裝置的其他實施例。在各種實施例中，裝置106包括在基材102中形成於上方的閘極108、閘極間隔物110、源極/汲極區域112、及源極/汲極接觸件114。

【0012】 在某些實施例中，閘極108（例如，閘極108A、108B）係裝置106中的主動閘極。閘極108可係例如多晶矽線（例如，多晶矽層或金屬層）。閘極間隔物110可定位在閘極108與源極/汲極區域112之間。在各種實施例中，閘極間隔物110形成為閘極108的部分（例如，閘極及間隔物係在相同程序流程中形成）。源極/汲極區域112（例如，源極/汲極區域112A、112B、112C）定位在閘極108及間隔物110的側上。源極/汲極區域112可係例如在鰭或奈米片堆疊或任何2D（二維）通道材料上生長的磊晶層。亦可設想源極/汲極區域112至少部分地定位在基材102中的各種實施例。

【0013】 在某些實施例中，隔離閘極116定位在裝置106的相對側上。隔離閘極116可包括金屬填充118及間隔物120。在一些實施例中，隔離閘極116可僅包括絕緣體材料（例如，填充118係絕緣體材料）。如圖2之所繪示實施例所示，隔離閘極116（例如，閘極116A、116B）使用延伸至裝置之主動區域下方（例如，裝置106之電晶體下方）之基材102中的金屬填充118A、118B及間隔物120A、120B在裝置106的各側上提供隔離。額外地，間隔物120延伸至絕緣層104中，使得隔離閘極116定義用於裝置106的隔離，且在裝置106與相鄰裝置之間提供電信號隔離。

【0014】 在某些實施例中，絕緣層122及頂側金屬層124形成在裝置106及隔離閘極116上方（例如，在裝置的頂側中）。絕緣層122可包括形成在裝置106上方的一或多個絕緣層。例如，絕緣層122可包括一或多個氧化物層。在各種實施例中，絕緣層122至少部分地圍繞或封裝裝置106的區域（例如，閘極108、間隔物110、源極/汲極區域112、及接觸件114）及隔離閘極116。

【0015】 在所繪示實施例中，頂側金屬層124包括提供用於單元100中的裝置106及/或其他裝置之布線的一或多個金屬層。在各種實施例中，頂側金屬層124將用於連接的布線提供給至/自裝置106的控制信號。例如，閘極108可藉由通過絕緣層122的通孔或其他連接而連接至頂側金屬層124中的各種金屬布線。如本文所使用，用語「金屬布線(routing)」係指在二個結構之間提供路徑/布線之金屬通孔、金屬線、金屬跡線等的任何組合。可設想「金屬布線」中的金屬以替代導電材料置換的額外實施例。例如，「金屬布線」中的金屬可以超導體材料、半導體材料、或非金屬導體置換。

【0016】 在單元100的各種實施例中，背側金屬層126形成在裝置106下方（例如，在裝置的背側中）。在某些實施例中，背側金屬層126包括提供用於裝置106之電力連接的一或多個金屬層（例如，背側金屬層係用於裝置106的電力軌）。例如，背側金屬層126可包括提供從裝置106至Vdd（例如，供應電壓）及Vss（例如，接地）之電力布線的一或多個金屬層。

【0017】 在所繪示實施例中，至裝置106中的源極/汲極區域112A的電力連接係由來自背側金屬層126的背側通孔128製成。背側通孔128提供在源極/汲極區域112A與背側金屬層126之間通過基材102及絕緣層104的連接。在一些實施例中，背側通孔128係通過基材102及絕緣層104的埋入式通孔。

【0018】 在各種實施例中，如圖2所示，背側金屬層126形成在基材102的底部表面處或附近。在某些實施例中，背側金屬層126包括裝置106之主動層的一或多個背側層（例如，背側金屬層在裝置106之電晶體區域的垂直下方）。在一些實施例中，背側金屬層126包括基材102中的一或多個埋入層（例如，金屬層埋入或嵌入在基材的底部表面下）。在一些實施例中，背側金屬層126埋入在載體基材層（例如，矽載體基材）下。可設想背側金屬層126不位於基材102中的額外實施例。

【0019】 描繪於圖1及圖2中之標準單元100的實施例可改善單元布局內之面積的利用率。雖然提供背側電力布線提供面積利用率上的改善，面積利用率上的進一步改善可藉由除了裝置的頂側外亦將信號連接（例如，用於控制信號、資料信號、或不與電力關聯的其他信號的連接）路由通過裝置的背側而達成。提供通過單元的額外信號連接或布線可降低RC延遲，該RC延遲一般來自在單元之頂側層中的通孔連接處的電阻。

【0020】 然而，通過背側層路由信號的挑戰係提供將來自主動閘極之頂側的信號路由至背側金屬層的合理且可實施方法。例如，將信號連接從閘極路由至背側層可能使信號及供電連接緊鄰地放置，從而導致降低裝置可靠性的寄生問題。額外地，形成從背側層至閘極的信號連接可能需要高度受控程序，以能夠使信號連接及電力連接緊鄰地放置，因此增加成本並減少裝置產率。本揭露設想利用通過裝置之隔離區域（例如，隔離閘極）的信號路徑以提供可實施在邏輯及記憶體單元設計中之具有低電阻的布線路徑。如本文描述的隔離閘極可係放置在單元邊界的任何標準單元的部分，或可放置在單元內側以提供對背側信號布線的存取。提供本文描述的信號布線路徑可提供更佳的單元效能、電力利用率、及面積利用率。

【0021】 本文揭示的某些實施例具有三個廣泛要件：1)位於積體電路裝置之電晶體區域下方的金屬層（例如，背側金屬層）；2)結構化形成在電晶體之主動閘極的一側上的電晶體區域中的閘極，其中該閘極結構包括定位在閘極間隔物之間的金屬填充，其中該金屬填充連接至該金屬層；及3)位於電晶體區域上方的金屬線，其中該金屬線將金屬填充連接至主動閘極的信號輸入。在某些實施例中，閘極結構係定位至積體電路裝置之主動區域之該側的隔離閘極結構（例如，在裝置中之主動閘極的該側上），且金屬層係具有用於傳播信號（例如，控制信號）之配線的背側金屬層。在一些實施例中，金屬填充藉由閘極接觸件或其他連接結構連接至背側金屬層。

【0022】 在各種實施例中，金屬線位於電晶體區域上方的頂側金屬層中。閘極接觸件或其他連接結構可將閘極結構中的金屬填充連接至頂側金屬層中的金屬線。因此，閘極結構中的金屬填充通過閘極接觸件將頂側金屬層連接

至背側金屬層。在此類實施例中，閘極結構在主動閘極的信號輸入與背側金屬層之間提供連接路徑，以允許將來自主動閘極的信號路由至背側金屬層中的信號配線。

【0023】 在一些實施例中，金屬線位於電晶體區域與頂側金屬層之間的絕緣層中。例如，金屬線可係將主動閘極的信號輸入連接至閘極結構中的金屬填充的跳線或交叉耦接器。金屬線可包括通過絕緣層至主動閘極之信號輸入及金屬填充之頂部的閘極接觸件。使用將主動閘極的信號輸入連接至金屬填充的金屬線，提供在主動閘極的信號輸入與背側金屬層之間通過金屬填充的連接路徑，以允許將來自主動閘極的信號路由至背側金屬層中的信號配線。

【0024】 簡言之，本發明人已認知到可利用隔離閘極結構以在主動閘極的信號輸入與背側金屬層之間提供連接路徑。利用隔離閘極結構對積體電路裝置中的面積成本幾乎沒有影響，且沒有對用於製造積體電路裝置之程序的顯著改變。能夠將來自主動閘極的控制信號路由通過裝置結構內的背側金屬層可改善積體電路裝置中的效能、電力利用率、及面積擴縮，如本文所描述的。

【0025】 圖3描繪根據一些實施例之具有通過隔離閘極結構在主動閘極與背側金屬層之間的布線的單元的實施例的表示圖。在圖3中，(A)係單元200之實施例的俯視表示圖，而(B)係該單元之實施例的仰視表示圖。圖4描繪根據一些實施例之沿著圖3所示之截線4-4的單元200的截面表示圖。截線4-4經定位橫跨頂側金屬層224及背側金屬層226的信號部分，如圖3之(B)中所示。於下文進一步描述之閘極接觸件227A、227B的表示圖描繪在圖3的(A)中，而亦於下文進一步描述的閘極接觸件228的表示圖描繪於圖3的(B)中。

【0026】 在圖4的所繪示實施例中，單元200包括基材202。在某些實施例中，基材202係矽基材。在各種實施例中，基材202可包括用於實施在單元200中的額外組件或特徵。例如，基材202可包括用於實施在單元200中的絕緣層204、擴散區域、或摻雜區域。在某些實施例中，絕緣層204包括一或多個氧化物層。為簡化圖示，基材202及絕緣層204經描繪為單一層。在一些實施例中，絕緣層204可包括多個絕緣層（例如，多個氧化物層）。

【0027】 在所繪示實施例中，單元200包括形成在基材202上的裝置206。如同上文描述的裝置106，裝置206可係電晶體，諸如FinFET裝置、奈米片FET (NSH)裝置、或GAAFET（「閘極全環繞」FET）裝置。在某些實施例中，裝置206包括形成在單元100中的裝置206的電晶體區域215中的閘極208A、208B、閘極間隔物210、源極/汲極區域212A至212C、及源極/汲極接觸件214A至214C。

【0028】 在某些實施例中，隔離閘極216A、216B定位在裝置206的相對側上。隔離閘極216A、216B可分別包括金屬填充218A、218B及分別包括間隔物220A、220B。在各種實施例中，如圖4所示，間隔物220A、220B延伸至絕緣層204中。因此，隔離閘極216A、216B使用延伸至裝置之主動區域下方（例如，電晶體下方）之基材202中的金屬填充218A、218B及間隔物220A、220B在裝置206的各側上提供隔離。因此，隔離閘極216定義用於裝置206的隔離區域，且在裝置206與相鄰裝置之間提供電信號隔離。

【0029】 在某些實施例中，閘極108A、108B係裝置206中的主動閘極。閘極108A、108B可包括例如形成閘極的主動部分的多晶矽線（例如，多晶矽層或金屬層）。閘極間隔物210可定位在閘極208與源極/汲極區域212之間以定義主動閘極。在各種實施例中，閘極間隔物210形成為閘極208的部分（例如，

閘極及間隔物係在相同程序流程中形成）。源極/汲極區域212A、212B、212C定位在閘極208A、208B、208C的側上。源極/汲極區域212A、212B、212C可係例如FinFET或NSH裝置中的鰭或奈米片堆疊。亦可設想源極/汲極區域212A、212B、212C至少部分地定位在基材202中的各種實施例。

【0030】　在某些實施例中，絕緣層222及頂側金屬層224形成在裝置206及隔離閘極216上方（例如，在電晶體區域215上方的裝置的頂側中）。絕緣層222可包括形成在電晶體區域215上方的一或多個絕緣層。例如，絕緣層222可包括一或多個氧化物或氮化物層。在各種實施例中，絕緣層222至少部分地圍繞或封裝裝置106的電晶體區域215（例如，閘極208、間隔物210、源極/汲極區域212、接觸件214、及隔離閘極216）。

【0031】　在各種實施例中，頂側金屬層224包括在絕緣層222上方的一或多個金屬層。頂側金屬層224可提供用於裝置206的信號布線（例如，控制信號布線）。例如，頂側金屬層224中的金屬布線可提供用於裝置206的信號布線。在單元200的經繪示實施例中，背側金屬層226形成在裝置206中的絕緣層204下方（例如，在電晶體區域215下方的裝置的背側中）。

【0032】　在某些實施例中，如圖4所示，背側金屬層226形成在基材202的底部表面處或附近。在一些實施例中，背側金屬層226包括裝置206之主動層的一或多個背側層（例如，背側金屬層在裝置206之電晶體區域215的垂直下方）。在一些實施例中，背側金屬層226包括基材202中的一或多個埋入層（例如，金屬層埋入或嵌入在基材的底部表面下）。在一些實施例中，背側金屬層226埋入在載體基材層（例如，矽載體基材）下。可設想背側金屬層226不位於基材202中的額外實施例。

【0033】 在某些實施例中，背側金屬層226在單元200的裝置206與/或其他裝置之間提供信號布線（例如，控制信號布線）。例如，背側金屬層226可包括在單元200中將來自裝置206的控制信號路由至另一裝置（或另一單元中的裝置）的金屬布線。

【0034】 如本文描述的，背側金屬層226中的金屬布線可與電晶體區域215上方的金屬布線（例如，頂側金屬層224中的金屬布線）及通過隔離閘極結構的金屬布線（例如，通過隔離閘極216中的金屬填充218的布線）組合實施，以在裝置206中的主動閘極的信號輸入與另一裝置之間提供信號路由路徑。在圖4的所繪示實施例中，閘極208A的信號輸入藉由閘極接觸件227A連接至頂側金屬層224。進一步地，隔離閘極216B中的金屬填充218B的頂部藉由閘極接觸件227B連接至頂側金屬層224。閘極接觸件227A、227B可係在電晶體區域215與頂側金屬層224之間製成通過絕緣層222的金屬通孔或其他連接。

【0035】 在某些實施例中，閘極接觸件227A將閘極208A的信號輸入連接至頂側金屬層224中的金屬布線，該金屬布線進一步連接至閘極接觸件227B。閘極接觸件227B接著將頂側金屬層224中的金屬布線連接至隔離閘極216B中的金屬填充218B。金屬填充218B的底部接著使用閘極接觸件228通過絕緣層204（例如，通過絕緣層的閘極接觸通孔）連接至背側金屬層226中的金屬布線。金屬填充218B因此在頂側金屬層224中的金屬布線與背側金屬層226中的金屬布線之間提供連接。因此，隔離閘極216B中的金屬填充218B提供用於將控制信號從裝置206之頂側路由至裝置之背側的路徑。由於隔離閘極216B一般包括在標準單元布局中，在頂側金屬層224中的金屬布線與背側金屬層226中的金屬布線之間提供連接的金屬填充218B的實施方案對單元200中的面積利用率幾乎沒有影響。

【0036】 額外地，對於繪示於圖4中的單元200的實施例，頂側金屬層224中之在閘極接觸件227A與閘極接觸件227B之間提供連接的金屬線具有提供小電阻的相對短的長度。因此，閘極208A的信號輸入與金屬填充218B之間的連接可提供用於傳輸信號的低RC延遲。進一步地，在單元200中，金屬填充218B可導因於形成金屬填充之金屬的體積而具有低電阻。金屬填充218B的低電阻可降低將信號路由通過隔離閘極216B在信號之RC延遲上的影響。

【0037】 將頂側金屬層224中的金屬布線用於連接閘極208A的信號輸入及隔離閘極216B中的金屬填充218B的替代方案可係在絕緣層222中添加連接閘極之信號輸入及隔離閘極中之金屬填充的金屬線（或其他金屬結構）。

【0038】 圖5描繪根據一些實施例之具有在主動閘極與隔離閘極結構之間的替代布線的單元的實施例的表示圖。在圖5中，(A)係單元200之實施例的俯視表示圖，而(B)係該單元之實施例的仰視表示圖。圖6描繪根據一些實施例之沿著圖5所示之截線6-6的單元200的截面表示圖。截線6-6經定位橫跨頂側金屬層224及背側金屬層226的信號部分，如圖5之(B)中所示。於下文進一步描述閘極接觸件230的表示圖（描繪在圖5的(A)中）連同閘極接觸件228的表示圖（於本文描述，描繪於圖5之(B)中）。

【0039】 在圖6的所繪示實施例中，閘極208A的信號輸入與金屬填充218B的頂部之間的連接係由定位在絕緣層222中的閘極接觸件230製成。在某些實施例中，閘極接觸件230包括從閘極208A的信號輸入及金屬填充218B的頂部至絕緣層222中製成的閘極接觸通孔。閘極接觸通孔接著連接至形成在絕緣層222中的金屬線（或其他金屬布線）。在各種實施例中，當絕緣層包括多個絕緣層時，閘極接觸件230的金屬線部分形成在絕緣層222的單一層中。在一些

實施例中，絕緣層222可具有增加的厚度（與例如圖1所示的絕緣層122相比）以提供空間，用於在該金屬線上方及下方兩者鈞具有電絕緣的情況下將閘極接觸件230的金屬線部分定位在絕緣層內側。

【0040】 使用閘極接觸件230在閘極208A的信號輸入與金屬填充218B的頂部之間提供連接不需要利用頂側金屬層224中的資源提供此連接。例如，閘極接觸件230係在閘極208A的信號輸入與金屬填充218B的頂部之間的局部化跳線或分路器。

【0041】 在一些實施例中，閘極接觸件230可經實施以額外拾取來自裝置206中之源極/汲極區域的信號。圖7描繪根據一些實施例之具有連接至主動閘極之信號輸入及源極/汲極之閘極接觸件的單元的截面表示圖。在所繪示實施例中，定位在絕緣層222中的閘極接觸件230'除了連接至閘極208A的信號輸入及金屬填充218B的頂部的連接外，亦連接至源極/汲極區域212C的接觸件214C。至裝置206中的閘極208A的信號輸入及源極/汲極區域212C二者的連接可允許單元200的額外實施方案。

【0042】 本文描述的實施例藉由利用積體電路裝置之布局中的隔離閘極中的金屬填充而提供通過積體電路裝置之背側的信號路徑（例如，控制信號路徑）的布線，以在主動閘極與背側層之間提供連接。圖8描繪根據一些實施例之具有隔離閘極的積體電路布局的實施例的表示圖，該等隔離閘極具有在頂側及背側層二者中的信號布線。在圖8中，(A)係積體電路布局800之實施例的俯視表示圖，而(B)係積體電路布局之實施例的仰視表示圖。為更佳地瞭解本揭露，在布局800中顯示表示單元200（描繪於圖3及圖4中）的虛線框。

【0043】 在布局800中，區域810A、810B係積體電路裝置的主動區域。布局800包括沿著(A)中的頂側金屬層224與(B)中的背側金屬層226之間的區域810A、810B展開的主動閘極208及隔離閘極216的多個實例。在所繪示實施例中，布局800包括顯示於(A)中的頂側信號軌道820A、820B及顯示於(B)中的背側信號軌道830A、830B。頂側信號軌道820A及背側信號軌道830A對應於區域810A，而頂側信號軌道820B及背側信號軌道830B對應於區域810B。

【0044】 如圖8所示，通過主動區域的信號布線可使用在提供在隔離閘極216處的頂側金屬層224與背側金屬層226之間的布線連接而實施在裝置的頂側及背側二者中。例如，對於主動區域810A，頂側信號軌道820A提供信號路由，直到到達隔離閘極216'為止，如(A)中從左至右所示。在隔離閘極216'處，信號路由經路由至背側信號軌道830A且傳播出布局外至右側，如(B)中所示。在主動區域810B中，頂側信號軌道820B提供信號路由直到到達隔離閘極216"為止，如(A)中從左至右所示，在該處信號路由經路由至背側信號軌道830B且傳播出布局外至右側，如(B)中所示。應瞭解雖然圖8中的布局800描繪將頂側金屬層224用於頂側信號布線的實施例（如圖3及圖4之實施例中描述者），類似於布局800的布局可使用在將金屬線實施在絕緣層中（例如，圖5至圖7的實施例）以用於頂側信號布線的實施例中。

【0045】 如圖8所示，在隔離閘極216處添加將信號路由通過積體電路布局800中之裝置之背側的能力允許背側信號布線與頂側信號布線組合。將在積體電路裝置之背側上的信號布線與在積體電路裝置之頂側上的信號布線組合（例如，在頂側及背側二者上的信號布線）可提供諸如但不限於在促成經改善

電力布線特性對積體電路裝置中的面積擴縮幾乎沒有影響的同時，降低積體電路中的信號傳輸的RC延遲的優點。

【0046】 進一步地，除了利用頂側布線外還利用背側信號布線可降低積體電路布局中所需的頂側信號軌道的數目。在僅頂側信號布線中，路由用於平行主動區域的信號一般需要多個信號軌道。例如，一般需要三個頂側信號軌道，其中二個主動區域用以提供用於製作至主動區域之各者的接觸件的間距。圖9描繪根據一些實施例之在僅在頂側具有信號布線之積體電路布局中的頂側信號軌道的表示圖。在所繪示實施例中，需要三個信號軌道910A、910B、910C以為各種閘極接觸件920提供足夠的間距（例如，描繪中的x-y間距）以製作與下方閘極的連接。

【0047】 圖10描繪根據一些實施例之在具有頂側及背側信號布線之積體電路布局中的頂側信號軌道及背側信號軌道的表示圖。在圖10的所繪示實施例中，背側信號布線的添加允許積體電路布局僅具有單一頂側信號軌道1010及單一背側信號軌道1020。因為頂側閘極接觸件1015及背側閘極接觸件1025可由於深度上的變化（在描繪中的z方向上）而在描繪中以較接近的x-y間距定位，僅需要單一軌道。

【0048】 可設想積體電路裝置之包括利用通過頂側金屬層之布線（如圖4之實施例所示）及通過頂側絕緣層中之金屬線之布線（如圖6之實施例所示）的組合在主動閘極的信號輸入與隔離閘極中的金屬填充之間的連接的各種額外實施例。圖11描繪根據一些實施例之具有二種類型之在主動閘極的信號輸入與隔離閘極中的金屬填充之間的布線連接的積體電路裝置的截面表示圖。在各種實施例中，積體電路裝置1100包括二個隔離閘極216'、216"，其中在基材202

及絕緣層204上方的電晶體區域中具有多個主動閘極208在隔離閘極之間（且在描繪中，二個主動閘極在隔離閘極216"的右方）。主動閘極208具有源極/汲極區域212，其中接觸件214定位在閘極之間，而隔離閘極216'、216"具有由閘極間隔物220'、220"圍繞的金屬填充218'、218"。

【0049】 在所繪示實施例中，隔離閘極216'中的金屬填充218'藉由閘極接觸件227'連接至頂側金屬層224中的信號布線。金屬填充218'亦藉由閘極接觸件228'連接至背側金屬層226中的信號布線。頂側金屬層224中的信號布線接著藉由閘極接觸件227A連接至主動閘極208A的信號輸入以完成主動閘極208A的信號輸入與背側金屬層226中的信號布線之間的布線。

【0050】 隔離閘極216"中的金屬填充218"藉由定位在絕緣層222中的閘極接觸件230連接至主動閘極208A'的信號輸入。金屬填充218"亦藉由閘極接觸件228"連接至背側金屬層226中的信號布線。因此，主動閘極208A'的信號輸入與背側金屬層226中的信號布線之間的信號布線係通過隔離閘極216"中的金屬填充218"、閘極接觸件228"、及閘極接觸件230而完成。額外地，裝置1100可包括在源極/汲極區域212與頂側金屬層224中的布線之間提供信號連接的一或多個源極/汲極接觸件1110。

【0051】 裝置1100的各種實施例亦可包括至背側金屬層226的電力布線。例如，如圖11所示，裝置1100包括將源極/汲極區域212連接至背側金屬層226的背側通孔128。背側通孔128可連接至背側金屬層226中的電力布線。背側金屬層226中的電力布線可與背側金屬層中的信號布線相異。因此，背側金屬層226在不同布線路徑之間具有電分離的裝置1100中提供電力及信號布線二者。可在不與本揭露的範圍不同的狀況下設想通過組合通過頂側金屬層的布線

及通過頂側絕緣層中的金屬線的布線而使用主動閘極的信號輸入與隔離閘極中的金屬填充之間的連接的額外實施方案。

【0052】 在各種實施例中，本文描述之單元200中的隔離閘極216的結構（顯示在圖3至圖7中）可實施在積體電路布局中的填充單元中。將隔離閘極216實施在填充單元中可將背側存取提供給經定位相鄰於填充單元的功能單元。圖12描繪根據一些實施例之具有功能單元及填充單元的積體電路布局的俯視表示圖。在所繪示實施例中，布局1200包括功能單元1210及填充單元1220。

【0053】 圖13描繪根據一些實施例之具有用於提供背側存取之隔離閘極結構的填充單元的截面表示圖。在所繪示實施例中，填充單元1220包括三個隔離閘極結構1310。應瞭解填充單元1220可包括任何數目的隔離閘極結構1310。例如，隔離閘極結構1310的數目可藉由填充單元1220的大小判定，其中較大的填充單元具有較大數目的隔離閘極結構。增加填充單元1220中的隔離閘極結構1310的數目可降低頂側金屬層224與背側金屬層226之間的連接的電阻，而降低隔離閘極結構的數目可降低材料或處理成本。額外地，隔離閘極結構1310的寬度可變化以判定與填充單元1220關聯的電阻及材料成本。

【0054】 隔離閘極結構1310具有與本文描述之隔離閘極216類似的結構。在所繪示實施例中，隔離閘極結構1310包括在間隔物220與源極/汲極區域212之間的金屬填充218，其中接觸件214定位在隔離閘極結構之間。源極/汲極212及接觸件214在填充單元1220中可係非主動的（例如，填充單元1220的電晶體區域係非主動的）。可設想源極/汲極區域212及接觸件214未形成在填充單元1220中的實施例。

【0055】 閘極接觸件227將隔離閘極結構1310中的218中的金屬填充218的頂部連接至頂側金屬層224，而閘極接觸件228將金屬填充的底部連接至背側金屬層226。因此，金屬填充218將頂側金屬層224連接至背側金屬層226。使用在填充單元1220中製作之在頂側金屬層224與背側金屬層226之間的連接，頂側金屬層224或背側金屬層226中的布線可在功能單元1210（顯示於圖12中）與填充單元之間製作。因此，填充單元1220在布局1200中提供用於功能單元1210的背側金屬層226存取點。

實例電腦系統

【0056】 接著轉向圖14，顯示系統1400的一個實施例的方塊圖，該系統可合併及/或以其他方式利用本文描述的方法及機制。在所繪示實施例中，系統1400包括系統單晶片(system on chip, SoC) 1406的至少一個實例，其可包括多種類型的處理單元，諸如中央處理單元(CPU)、圖形處理單元(GPU)、或以其他方式，通訊網狀架構、及至記憶體及輸入/輸出裝置的介面。在一些實施例中，SoC 1406中的一或多個處理器包括多個執行線道(execution lane)及指令發佈佇列。在各種實施例中，SoC 1406耦接至外部記憶體1402、周邊設備1404、及電力供應器1408。

【0057】 亦提供電力供應器1408，其將供應電壓供應至SoC 1406以及將一或多個供應電壓供應至記憶體1402及/或周邊設備1404。在各種實施例中，電力供應器1408代表電池組（例如，智慧型手機、膝上型電腦或平板電腦、或其他裝置中的可再充電電池組）。在一些實施例中，包括SoC 1406的多於一個的實例（且亦包括多於一個的外部記憶體1402）。

【0058】 記憶體1402係任何類型的記憶體，諸如動態隨機存取記憶體(dynamic random access memory, DRAM)、同步DRAM (SDRAM)、雙倍資料速率（DDR、DDR2、DDR3等）SDRAM（包括諸如mDDR3等的SDRAM的行動版本，及/或諸如LPDDR2等的SDRAM的低功率版本）、RAMBUS DRAM (RDRAM)、靜態RAM (SRAM)等。一或多個記憶體裝置耦接至電路板上以形成記憶體模組，諸如單列記憶體模組(single inline memory module, SIMM)、雙列記憶體模組(dual inline memory module, DIMM)等。替代地，裝置係以疊層晶片(chip-on-chip)組態、疊層封裝(package-on-package)組態、或多晶片模組組態利用SoC或積體電路安裝。

【0059】 周邊設備1404取決於系統1400的類型而包括任何所欲電路系統。例如，在一個實施例中，周邊設備1404包括用於各種類型之無線通訊（諸如，WiFi、藍牙、蜂巢式、全球定位系統等）的裝置。在一些實施例中，周邊設備1404亦包括額外儲存器，包括RAM儲存器、固態儲存器、或磁碟儲存器。周邊設備1404包括使用者介面裝置，諸如顯示螢幕（包括觸控顯示螢幕或多觸控顯示螢幕）、鍵盤、或其他輸入裝置、麥克風、揚聲器等。

【0060】 如所繪示，系統1400顯示具有在廣泛範圍之區域中的應用。例如，系統1400可使用為桌上型電腦1410、膝上型電腦1420、平板電腦1430、蜂巢式或行動電話1440、或電視機1450（或耦接至電視機的機上盒）的晶片、電路系統、組件等的部分。亦繪示智慧型手錶及健康監測裝置1460。在一些實施例中，智慧型手錶可包括多種通用運算相關功能。例如，智慧型手錶可提供電子郵件、手機服務、使用者日曆等等。在各種實施例中，健康監測裝置可係專用醫學裝置或否則包括專用健康相關功能性。例如，健康監測裝置可監測使用

者之生命徵象，追蹤使用者對其他使用者的接近性以用於流行病皮社交距離之目的，接觸追跡、在健康危機之情況下向緊急服務提供通訊。流行病學功能（諸如接觸者追蹤(contact tracing)）、提供對急診醫療服務之通訊等。在各種實施例中，上文所提及之智慧手錶可或可不包括一些或任何健康監測相關功能。亦設想到其他穿戴裝置，諸如圍繞頸部穿戴之裝置、可植入人體中之裝置、經設計以提供擴增及/或虛擬實境體驗的眼鏡等等。

【0061】　系統1400可進一步使用為（多個）基於雲端之服務1470之部分。例如，先前所提及之裝置及/或其他裝置可存取雲端中的運算資源（亦即，遠端地定位硬體及/或軟體資源）。又進一步地，系統1400可使用在先前所提及者之外的居家1480的一或多個裝置中。例如，居家內之器具可監測及偵測值得關注之條件。例如，在居家內之各種裝置（例如，冰箱、冷氣系統等）可監測裝置之狀態，且提供應偵測到特定事件的警示給屋主（或例如修復設施）。替代地，恆溫器可監測家中之溫度，且可基於屋主對各種條件的回應歷史而自動調整溫氣/冷氣系統。圖14中亦繪示系統1400對各種運輸模式1490的應用。例如，系統1400可使用在飛機、火車、公車、出租汽車、自用汽車、從私人船隻至遊輪的水面船隻、機車（用於租賃或自用）等的控制及/或娛樂系統中。在各種情形中，系統1400可用以提供自動化引導（例如，自動駕駛車輛）、一般系統控制、及其他。此等任何許多其他實施例皆可行及設想。應注意，繪示於圖14中的裝置及應用僅係說明性的且未意圖為限制性。其他裝置係可行且經設想的。

***

【0062】 本揭露包括對「一實施例(an embodiment)」或「實施例」群組(groups of 「embodiments」)（例如，「一些實施例(some embodiment)」或「各種實施例(various embodiments)」）的引用。實施例係所揭露之概念的不同實施方案或例項。提及「一實施例(an embodiment)」、「一個實施例(one embodiment)」、「一特定實施例(a particular embodiment)」、及類似者不必然指稱相同實施例。設想大量可行的實施例，包括該些具體揭示者，以及落在本揭露之精神或範圍內的修改或替代例。

【0063】 本揭露可討論可由所揭露之實施例產生的潛在優點。並非這些實施例之所有實施方案將必須表現潛在優點之任何者或全部。無論是針對特定實施方案所實現的優點是否取決於許多因素，其中一些者係在本揭露範圍外。事實上，落在申請專利範圍之範圍內的實施方案可能不會展現一些或所有任何所揭露之優點有許多原因。例如，一特定實施方案可包括本揭露範圍外的其他電路系統（結合所揭露實施例之一者）而使一或多個所揭露優點無效或減弱。此外，特定實施方案（例如，實施方案技術或工具）之次佳設計執行亦可使所揭露優點無效或減弱。即使假定經熟練的實施方案，優點的實現仍可取決於其他因素，諸如於其中部署該實施方案之環境情況。例如，施加至一特定實施方案的輸入可防止在此揭露中解決的一或多個問題免於出現在特定場合，結果係可能無法實現其解決方案的效益。考慮到本揭露外部的可能因素的存在，明確地意欲將本文所述的任何潛在優點並非解讀為必須符合請求項限制以證明侵權。而是，此類潛在優點之識別意欲說明具有本揭露之利益的設計者可用的（多種）改善類型。許可地描述的此類優點（例如，陳述特定優點「可引

起」）並非意欲傳達實際上此類優點是否可實現的疑慮，而是認知到實現此類優點的技術現實常取決於額外因素。

【0064】　除非另外陳述，否則實施例係非限制性的。即，所揭露之實施例並非意欲限制基於本揭露之草擬的申請專利範圍之範圍，即使僅描述關於一特定特徵的一單一實例。所揭露之實施例意欲係說明性而非限制，而在本揭露中沒有與此相反的任何陳述。因此，本申請案意欲允許申請專利範圍涵蓋所揭露之實施例以及此類替代例、修改例、與均等物，此等對於受益於本揭露之所屬技術領域中具有通常知識者來說將是顯而易見的。

【0065】　例如，此申請案中的特徵可以任何合適的方式組合。據此，在此申請案之審查期間（或主張其優先權之申請案）可對特徵之任何此類組合制定新請求項。具體而言，參考隨附申請專利範圍，可組合來自獨立請求項之特徵與其他獨立請求項之特徵，若適當，包括依附於其他附屬請求項的請求項。類似地，若適當，可組合來自各別附屬請求項之特徵。

【0066】　據此，雖然隨附的附屬請求項可經草擬，使得各依附於一單一其他請求項，但是亦設想額外相依性。與本揭露一致的附屬項之特徵的任何組合經設想且可在此申請案或另一申請案中主張。簡言之，組合不限於在隨附申請專利範圍中具體列舉者。

【0067】　若適當，亦設想以一種格式或法定類型（例如，設備）草擬之請求項意欲支持另一種格式或法定類型（例如，方法）之對應請求項。

***

【0068】 因為本揭露係一法律文件，所以各種用語及詞組可受到行政與司法解釋的規約。公告特此以下段落以及在整份揭露內容提供的定義將用於判定如何解釋基於本揭露所草擬的申請專利範圍。

【0069】 除非上下文另有明確指定，否則提及項目的單數形式（即，名詞或名詞詞組之前有「一(a/an)」、或「該(the)」）意欲意指「一或多個(one or more)」。因此，在一請求項提及「一項目(an item)」在沒有隨附上下文情況中不排除該項目的額外例項。「複數個(plurality)」項目係指二或更多個項目之一集合。

【0070】 在本文中，字語「可(may)」在本文中以許可意涵使用（即，具有可能以、能夠），且非以強制意涵使用（即，必須）。

【0071】 用語「包含(comprising)」及「包括(including)」及其形式係開放式，意指「包括但不限於(including, but not limited to)」。

【0072】 當本揭露中關於一選項清單使用用語「或(or)」時，其通常將被理解為以包含性意涵使用，除非上下文另有提供。因此，陳述「x或y (x or y)」相當於「x或y、或兩者(x or y, or both)」，因此：1)涵蓋x，但不涵蓋y；2)涵蓋y，但不涵蓋x；及3)涵蓋x與y兩者。另一方面，諸如「x或y任何者但非兩者(either x or y, but not both)」的詞組清楚表明「或(or)」係以排他性含意意義使用。

【0073】 陳述「w、x、y、或z、或其任何組合(w, x, y, or z, or any combination thereof)」或「...w、x、y、及z之至少一者(at least one of … w, x, y, and z)」意欲涵蓋涉及在該集合中的單一元件至多總數目個元件的所有可能性。例如，給定集合[w, x, y, z]，這些詞組涵蓋該集合之任何單一元件（例

如，w，但沒有x、y、或z (w but not x, y, or z)）、任何二個元件（例如，w與x，但沒有y或z (w and x, but not y or z)）、任何三個元件（例如，w、x與y，但沒有z (w, x, and y, but not z)）、及所有四個元件。因此，詞組「...w、x、y、及z之至少一者(at least one of … w, x, y, and z)」係指該集合[w, x, y, z]之至少一個元件，藉此涵蓋此元件清單中的所有可行組合。此詞組並不解讀為需要w之至少一個例項、x之至少一個例項、y之至少一個例項、及z之至少一個例項。

【0074】　在本揭露中，各種「標示」可置於名詞或名詞詞組之前。除非上下文另有提供，否則用於一特徵的不同標示（例如，「第一電路(first circuit)」、「第二電路(second circuit)」、「特定電路(specific circuit)」、「給定電路(given circuit)」等）係指該特徵的不同例項。額外地，除非另有說明，否則標示「第一(first)」、「第二(second)」、及「第三(third)」當施加至一特徵時並非意味任何類型的順序（例如，空間、時間、邏輯等）。

【0075】　詞組「基於(based on)」或係用以敘述影響一判定的一或多個因素。此用語不排除可能有額外因素可影響判定。意即，一判定可單獨基於特定因素，或基於該等特定因素以及其他未指出因素。考慮用語「基於B判定A(determine A based on B)」。此用語指出，B係一用以判定A之因素，或B影響A之判定。此用語不排除亦可基於一些其他因素例如C來判定A。此用語亦意欲涵括其中A係單獨基於B而判定的一實施例。如本文所用，用語「基於(based on)」與用語「至少部分地基於(based at least in part on)」同義。

【0076】　詞組「回應於(in response to/response to)」描述觸發效應之一或多個因素。此詞組不排除額外因素可影響或以其他方式觸發效應的可能性，聯合特定因素或獨立於特定因素任一者。意即，一效應可係單獨回應於該等因

素，或可回應於該等被指出因素以及其他未指出因素。考慮詞組「回應於B而執行A (perform A in response to B)」。此詞組指定B係觸發A的執行或觸發A的特定結果的因素。此詞組並不排除亦可回應於某個其他因素（諸如C）而執行A。此詞組亦不排除可聯合回應於B及C而執行A。此詞組亦意圖涵蓋僅回應於B而執行A的實施例。如本文中所使用的，詞組「回應於(responsive to)」與詞組「至少部分回應於(responsive at least in part to)」同義。類似地，詞組「回應於(in response to)」與詞組「至少部分回應於(at least in part in response to)」同義。

***

【0077】 在本揭露中，不同的實體（其等可能被不同地稱為「單元(unit)」、「電路(circuit)」、其他組件等）可被描述或主張為「經組態(configured)」以執行一或多個任務或操作。此表示法（『實體』經組態以『執行一或多個任務』）在本文中係用以指稱結構（即，實體之物）。具體而言，此表示法係用以指示此結構係經配置以在操作期間執行該一或多個任務。即使一結構目前並未被操作，仍可稱該結構「經組態以(configured to)」執行某任務。因此，經說明或敘述為「經組態以(configured to)」執行某任務的一實體，係指實體之物，諸如裝置、電路、具有處理單元的系統、儲存有可執行用以實施該任務之程式指令的記憶體等。此詞組在本文中並非用以指稱無形之物。

【0078】 在一些情況中，各種單元/電路/組件可在本文中描述為執行一組任務或操作。應理解，這些實體「經組態以(configured to)」執行該等任務/操作，即使未具體提及。

【0079】 用語「經組態以(configured to)」並非意欲意指「可組態以(configurable to)」。例如，未經程式化的FPGA將不被視為「經組態以(configured to)」執行一特定功能。然而，此未經程式化的FPGA可係「可組態以(configurable to)」執行該功能。在適當程式化之後，接著，該FPGA可聲稱「經組態以(configured to)」執行特定功能。

【0080】 為基於本揭露之美國專利申請案的目的，在一請求項中描述一結構「經組態以」執行一或多個任務係明確地意圖不援引35 U.S.C. § 112(f)對該請求項元件進行解讀。如果申請人意欲在基於本揭露的美國專利申請案的審查期間援引章節112(f)，將使用「用以「執行一功能」之構件」這樣的句構來陳述請求項元件。

【0081】 在本揭露中可描述不同的「電路(circuit)」。這些電路或「電路系統(circuitry)」構成包括各種類型電路元件的硬體，諸如組合式邏輯、時控儲存裝置（例如，正反器、暫存器、鎖存器等）、有限狀態機、記憶體（例如，隨機存取記憶體、嵌入式動態隨機存取記憶體）、可程式化邏輯陣列等。電路系統可經客製化設計或自標準程式庫取用。在各種實施方案中，電路系統可依需要包括數位組件、類比組件、或兩者之組合。某些類型的電路通常可稱為「單元(unit)」（例如，解碼單元、算術邏輯單元(ALU)、功能單元、記憶體管理單元(memory management unit, MMU)等）。此類單元亦指電路或電路系統。

【0082】 因此，所揭露之電路/單元/組件及圖式中所繪示與本文所揭露的其他元件包括硬體元件，諸如前述段落中所述者。在許多例項中，可藉由描述一特定電路之功能來指定在該電路內之硬體元件的內部配置。例如，一特定「解碼單元(decode unit)」可描述為執行「處理指令的作業碼，並將該指令路

由到複數個功能單元中之一或多者(processing an opcode of an instruction and routing that instruction to one or more of a plurality of functional units)」的功能，其意指該解碼單元「經組態以(configured to)」執行此功能。本功能之說明書對電腦技術領域中具有通常知識者足以意味著用於該電路之一組可行結構。

【0083】 在各種實施例中，如前述段落中所討論者，電路、單元、及由其等經組態以實施之功能或操作所定義的其他元件，該配置及此類電路/單元/組件相對於彼此及以其等互動的方式來形成硬體之微階層性定義，該硬體最終製造於積體電路中或經程式化至FPGA中，以形成微階層性定義之實體實施方案。因此，該微階層性定義係由所屬技術領域中具有通常知識者所認知為許多實體實施方案可自其衍生的結構，其等所有皆落入該微階層性定義係所描述之廣泛結構內。即，提出根據本揭露所提供之微階層性定義的具有通常知識的技術人員可在無需過度實驗且在應用通常知識之情況中，藉由以硬體描述語言(hardware description language, HDL)（諸如Verilog或VHDL）編碼電路/單元/組件的描述來實施該結構。HDL描述常以可呈功能性之方式表達。但是對於所屬技術領域中具有通常知識者，此HDL描述係用於將電路、單元、或組件的結構變換成下一層級之實施方案細節的方式。此一HDL描述可採取行為程式碼（其一般並非可合成的）、暫存器傳送語言(register transfer language, RTL)程式碼（其一般係可合成，對比於行為程式碼）、或結構性程式碼（例如，指定邏輯閘及其等連接性的接線對照表）之形式。隨後，HDL描述可依據針對一給定積體電路製造技術所設計的元件庫而合成，且可針對時序、功率及其他原因進行修改以產生一最終設計資料庫，該最終設計資料庫傳送至製造廠以製造遮罩，最後生產出積體電路。一些硬體電路或其部分亦可在一簡圖編輯器(schematic

editor)中經客製化設計，並隨合成電路系統被轉移至積體電路設計中。積體電路可包括電晶體及其他電路元件（例如，被動元件諸如電容器、電阻器、電感器等）及電晶體與電路元件間之互連件。一些實施例可實施多個積體電路，該多個積體電路經耦接在一起以實施硬體電路，且/或在一些實施例中可使用離散元件。替代地，HDL設計可經合成至一可程式化邏輯陣列，諸如現場可程式化閘陣列(FPGA)，且可於FPGA中實施。此電路群組之設計與這些電路的後續下層實施方案之間的解耦通常導致以下情境，其中當此程序係在電路實施程序的一不同階段執行時，電路或邏輯設計者從不針對下層實施方案指定超出電路經組態以執行動作之描述的特定一組結構。

【0084】　事實上，電路元件之許多不同的下層組合可用以實施相同規格電路，導致該電路的大量等效結構。如所提及，這些下層電路實施方案可根據製造技術的變化、經選擇以製造積體電路的製造廠、針對一特定專案所提供之元件庫等而變化。在許多情況中，由不同設計工具或方法論進行選擇，以產生此等不同實施方案可係任意的。

【0085】　此外，對於電路之特定功能規格的單一實施方案常見的是，針對給定實施例，包括大量裝置（例如，數百萬的電晶體）。據此，數量龐大的此資訊使得提供完整陳述用以實施單一實施例之下層結構係不切實際的，更別說是龐大陣列的等效可行實施方案。出於此原因，本揭露描述使用產業中通常採用的功能速記的電路結構。

【符號說明】

【0086】

100:標準單元；單元

102:基材

104:絕緣層

106:裝置

108:閘極

108A:閘極

108B:閘極

110:閘極間隔物；間隔物

112:源極/汲極區域

112A:源極/汲極區域

112B:源極/汲極區域

112C:源極/汲極區域

114:源極/汲極接觸件；接觸件

116:隔離閘極

116A:閘極

116B:閘極

118:金屬填充；填充

118A:金屬填充

118B:金屬填充

120:間隔物

120A:間隔物

120B:間隔物

122:絕緣層

124:頂側金屬層

126:背側金屬層

128:背側通孔

200:單元

202:基材

204:絕緣層

206:裝置

208:閘極；主動閘極

208A:閘極

208A':主動閘極

208B:閘極

208C:閘極

210:閘極間隔物；間隔物

212:源極/汲極區域；源極/汲極

212A:源極/汲極區域

212B:源極/汲極區域

212C:源極/汲極區域

214:接觸件

214A:源極/汲極接觸件

214B:源極/汲極接觸件

214C:源極/汲極接觸件；接觸件

215:電晶體區域

216:隔離閘極

216':隔離閘極

216'':隔離閘極

216A:隔離閘極

216B:隔離閘極

218:金屬填充

218':金屬填充

218'':金屬填充

218A:金屬填充

218B:金屬填充

220:間隔物

220':閘極間隔物

220'':閘極間隔物

220A:間隔物

220B:間隔物

222:絕緣層

224:頂側金屬層

226:背側金屬層

227:閘極接觸件

227':閘極接觸件

227A:閘極接觸件

227B:閘極接觸件

228:閘極接觸件

228':閘極接觸件

228'':閘極接觸件

230:閘極接觸件

230':閘極接觸件

800:積體電路布局；布局

810A:區域

810B:區域

820A:頂側信號軌道

820B:頂側信號軌道

830A:背側信號軌道

830B:背側信號軌道

910A:信號軌道

910B:信號軌道

910C:信號軌道

920:閘極接觸件

1010:頂側信號軌道

1015:頂側閘極接觸件

1020:背側信號軌道

1025:背側閘極接觸件

1100:積體電路裝置；裝置

1110:源極/汲極接觸件

1200:布局

1210:功能單元

1220:填充單元

1310:隔離閘極結構

1400:系統

1402:外部記憶體；記憶體

1404:周邊設備

1406:系統單晶片(SoC)

1408:電力供應器

1410:桌上型電腦

1420:膝上型電腦

1430:平板電腦

1440:蜂巢式或行動電話

1450:電視機

1460:智慧型手錶及健康監測裝置

1470:基於雲端之服務

1480:居家

1490:運輸模式

2-2:截線

4-4:截線

6-6:截線

Vdd:供應電壓

Vss:接地

【發明申請專利範圍】

【請求項1】一種設備，其包含：

一電晶體，其形成在一積體電路的一電晶體區域中，該電晶體具有一主動閘極，該主動閘極具有一信號輸入；

一金屬層，其在垂直於該電晶體區域的一垂直維度上位於該電晶體區域下方；

一閘極結構，其形成在該積體電路的該電晶體區域中，該閘極結構包括定位在該電晶體區域中的閘極間隔物之間的一金屬填充，其中該閘極結構在垂直於該垂直維度的一水平維度上定位在該電晶體的一第一側上，且其中該金屬填充連接至該金屬層；及

一金屬線，其在該垂直維度上位於該電晶體區域上方，其中該金屬線將該金屬填充連接至該主動閘極的該信號輸入。

【請求項2】如請求項1之設備，其進一步包含在該垂直維度上位於該電晶體區域上方的一上金屬層，其中該金屬線定位在該上金屬層中。

【請求項3】如請求項1之設備，其進一步包含：

一上金屬層，其在該垂直維度上位於該電晶體區域上方；及

一絕緣層，其定位在該電晶體區域與該上金屬層之間，其中該金屬線定位在該絕緣層中。

【請求項4】如請求項1之設備，其中該閘極結構中的該金屬填充及該等閘極間隔物在該垂直維度上在該電晶體下方延伸，且其中該閘極結構中的該金屬填充藉由該等閘極間隔物之至少一者與該電晶體的該第一側分開，以在該金屬填充與該主動閘極之間提供電隔離。

【請求項5】如請求項1之設備，其進一步包含形成在該積體電路的該電晶體區域中的一第二閘極結構，該第二閘極結構包括定位在該電晶體區域中的第二閘極間隔物之間的一第二金屬填充，其中該第二閘極結構在該水平維度上定位在該電晶體的一第二側上，該第二側在該水平維度上在該電晶體的該第一側的一相對側上。

【請求項6】如請求項1之設備，其進一步包含路由至該主動閘極的該信號輸入的一控制信號，其中該控制信號從該金屬層通過該金屬填充及該金屬線路由至該信號輸入。

【請求項7】如請求項1之設備，其進一步包含在該金屬層中的一金屬信號線，其中該金屬填充將該主動閘極的該信號輸入連接至該金屬信號線。

【請求項8】如請求項7之設備，其中該金屬信號線連接至形成在該積體電路的該電晶體區域中的至少一個額外電晶體。

【請求項9】如請求項1之設備，其進一步包含：

一絕緣層，其定位在該電晶體區域與該金屬層之間；及

一閘極接觸通孔，其在該絕緣層中，該閘極接觸通孔提供該金屬填充與該金屬層之間的連接。

【請求項10】一種設備，其包含：

一電晶體，其形成在一積體電路的一電晶體區域中；

一第一金屬層，其在垂直於該電晶體區域的一垂直維度上位於該電晶體區域上方；

一第二金屬層，其在該垂直維度上位於該電晶體區域下方；及

一閘極結構，其形成在該積體電路的該電晶體區域中，該閘極結構包括定位在該電晶體區域中的閘極間隔物之間的一金屬填充，其中該閘極結構在垂直於該垂直維度的一水平維度上定位在該電晶體的一第一側上，且其中該金屬填充連接該第一金屬層及該第二金屬層。

【請求項11】如請求項10之設備，其進一步包含：

一主動閘極，其在該電晶體中，該主動閘極具有一信號輸入，其中該信號輸入通過該第一金屬層連接至該金屬填充。

【請求項12】如請求項10之設備，其進一步包含：

一主動閘極，其在該電晶體中，該主動閘極具有一信號輸入；及

一第一金屬線，其位於第一金屬層中，其中該第一金屬線將該信號輸入連接至該金屬填充。

【請求項13】如請求項12之設備，其進一步包含：

一第二金屬線，其位於該第二金屬層中；

其中該第二金屬線通過該金屬填充及該第一金屬線連接至該信號輸入。

【請求項14】如請求項10之設備，其中該電晶體及該閘極結構定位在一填充單元中，在該填充單元之該電晶體區域中的該電晶體係非主動的，該設備進一步包含：

一功能單元，其經定位相鄰於該填充單元，其中該功能單元包括具有一主動閘極的一主動電晶體，該主動閘極具有一信號輸入，其中該主動電晶體的該信號輸入耦接至該第一金屬層，且其中該第二金屬層在該信號輸入與該功能單元的一背側金屬層之間提供用於一控制信號的布線。

【請求項15】如請求項10之設備，其進一步包含：

一絕緣層，其定位在該電晶體區域與該第一金屬層之間；

一第一閘極接觸通孔，其在該絕緣層中，該第一閘極接觸通孔連接該金屬填充及該第一金屬層；及

一第二閘極接觸通孔，其在該絕緣層中，該第二閘極接觸通孔連接該電晶體中的一主動閘極的一信號輸入及該第一金屬層。

【請求項16】一種設備，其包含：

一電晶體，其形成在一積體電路的一電晶體區域中；

一第一絕緣層，其在垂直於該電晶體區域的一垂直維度上位於該電晶體區域上方；

一金屬層，其在該垂直維度上位於該電晶體區域下方；

一第二絕緣層，其在該垂直維度上位於該電晶體區域與該金屬層之間；

一閘極結構，其形成在該積體電路的該電晶體區域中，該閘極結構包括定位在該電晶體區域中的閘極間隔物之間的一金屬填充，其中該閘極結構在垂直於該垂直維度的一水平維度上定位在該電晶體的一第一側上；

一金屬線，其定位在該第一絕緣層中，其中該金屬線連接至該金屬填充；及

一閘極接觸通孔，其定位在該第二絕緣層中，其中該閘極接觸通孔將該金屬填充連接至該金屬層。

【請求項17】如請求項16之設備，其進一步包含在該電晶體中的一主動閘極，其中該主動閘極的一信號輸入藉由該金屬線、該金屬填充、及該閘極接觸通孔連接至該金屬層。

【請求項18】如請求項17之設備，其中該主動閘極的一源極/汲極區域連接至該金屬線。

【請求項19】如請求項17之設備，其進一步包含：

一第一閘極接觸通孔，其在該第一絕緣層中，該第一閘極接觸通孔連接該金屬填充及該金屬線；及

一第二閘極接觸通孔，其在該第一絕緣層中，該第二閘極接觸通孔連接該主動閘極的該信號輸入及該金屬線。

【請求項20】如請求項16之設備，其進一步包含位於該電晶體區域上方的一上金屬層，其中該上金屬層與該金屬線電隔離。

(發明圖式)

圖1

隔離結構 116B
間隔物 120B
金屬墊 118B
通道件 114C
源極/汲極磊晶物 112C
間隔物 110
閘極 108B
閘極 102
頂部金屬層 124
絕緣層 122
絕緣層 104
背側金屬層（電力軌） 126
閘極 108A
裝置 106
通道件 114A
源極/汲極磊晶物 112A
背側通孔 128
金屬墊 118A
單元 100
隔離結構 116A
間隔物 120A

圖2

單元200
閘極接觸件228
4
4
(B)
(A)
背側金屬層226
背側金屬層226
背側金屬層226
閘極接觸件227B
閘極接觸件227A
頂側金屬層224
頂側金屬層224
頂側金屬層224
單元200

圖3

隔離結構 216B
頂部金屬層 224
絕緣層 222
裝置 206
隔離結構 216A
基底 200
金屬填充 218A
基片 202
絕緣層 204
背側金屬層 226
金屬填充 218B
隔離件 227B
隔離件 228
隔離件 227A
隔離件 214C
隔離件 214B
隔離件 214A
源極/汲極區域 212C
源極/汲極區域 212B
源極/汲極區域 212A
閘極 208A
閘極 208B
閘結構 210
閘結構 220B
閘結構 220A

圖4

單元200
導通接觸件228
6
背側金屬層226
背側金屬層226
背側金屬層226
(B)
頂側金屬層224
頂側金屬層224
頂側金屬層224
背面接觸件230
(A)
單元200
頂側金屬層224
6

圖5

底部導電層216B
裝置206
頂側金屬層224
絕緣層222
頂部導電層216A
基板200
金屬填充218A
閘極介電層220A
源極/汲極磊晶結構212A
接觸件214A
閘極208B
閘極介電層220B
源極/汲極磊晶結構212B
接觸件214B
閘極208A
閘極介電層220C
源極/汲極磊晶結構212C
接觸件214C
金屬填充218B
閘極介電層220
閘極間隔件210
閘極間隔件210
閘極間隔件210
基底202
絕緣層204
背側金屬層226
閘極間隔件228
閘極寬度215

圖6

隔離層216B
金屬柱218B
閘極
228
閘極接觸件230'
接觸件214C
源極/汲極區域212C
閘極
208A
閘極
208B
接觸件214B
源極/汲極區域212B
接觸件214A
源極/汲極區域212A
金屬柱218A
裝置206
頂部金屬層224
絕緣層222
隔離層216A
單元200
基材202
絕緣層204
介質層220
介質層220
介質層220
介質層220
介質層225
閘極寬度W2

圖(圖7)

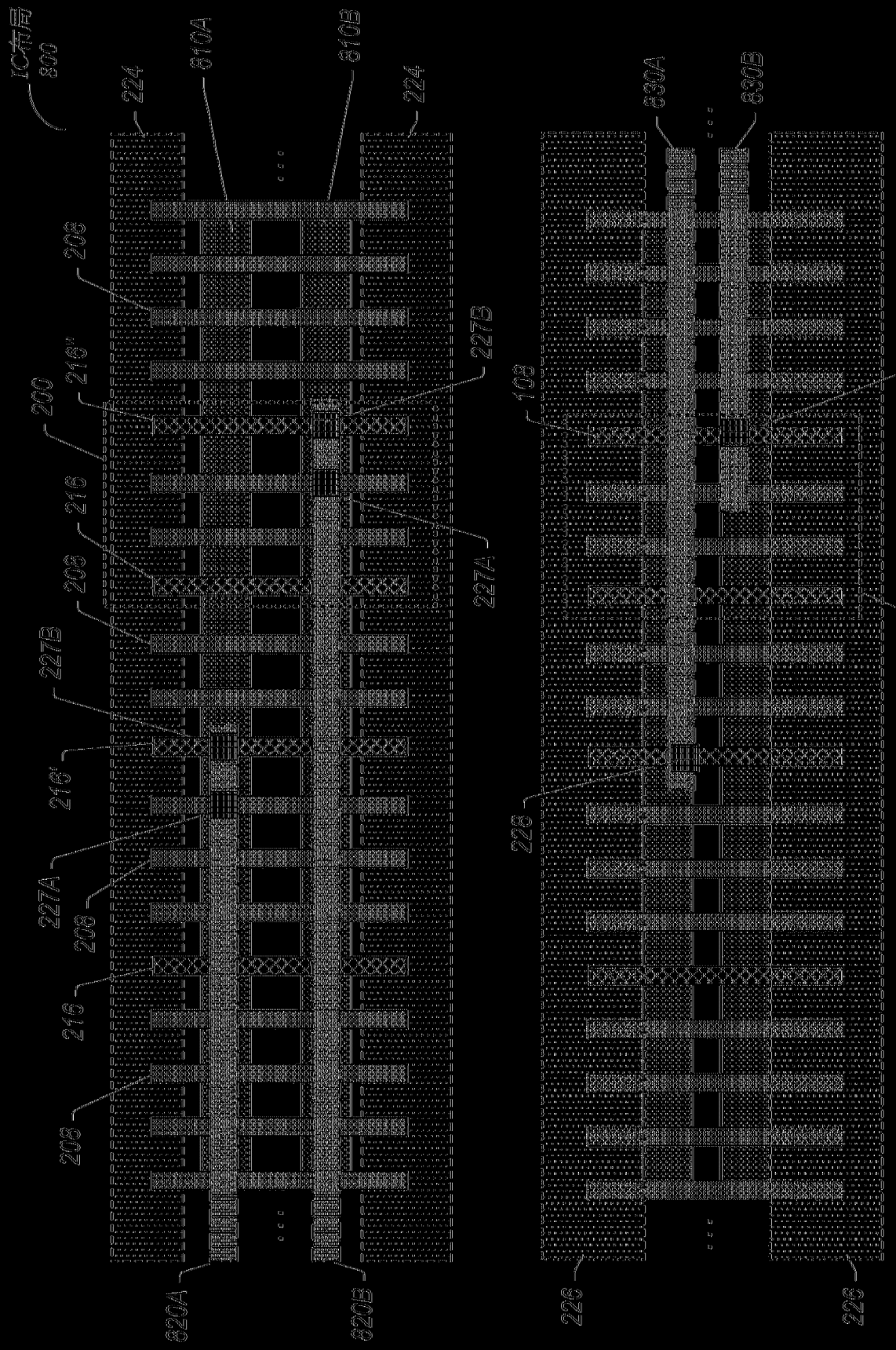

LC帶區
800
224
810A
810B
224
208
227B
216'
200
216
208
227A
208
227B
216'
227A
208
216
208
820A
820B
(A)
830A
830B
108
228
200
228
226
226
(B)

圖8

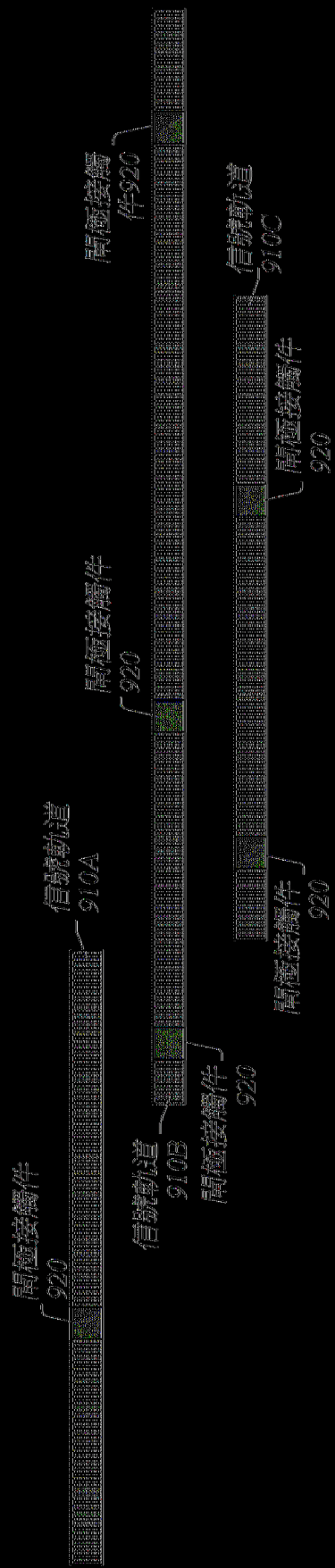
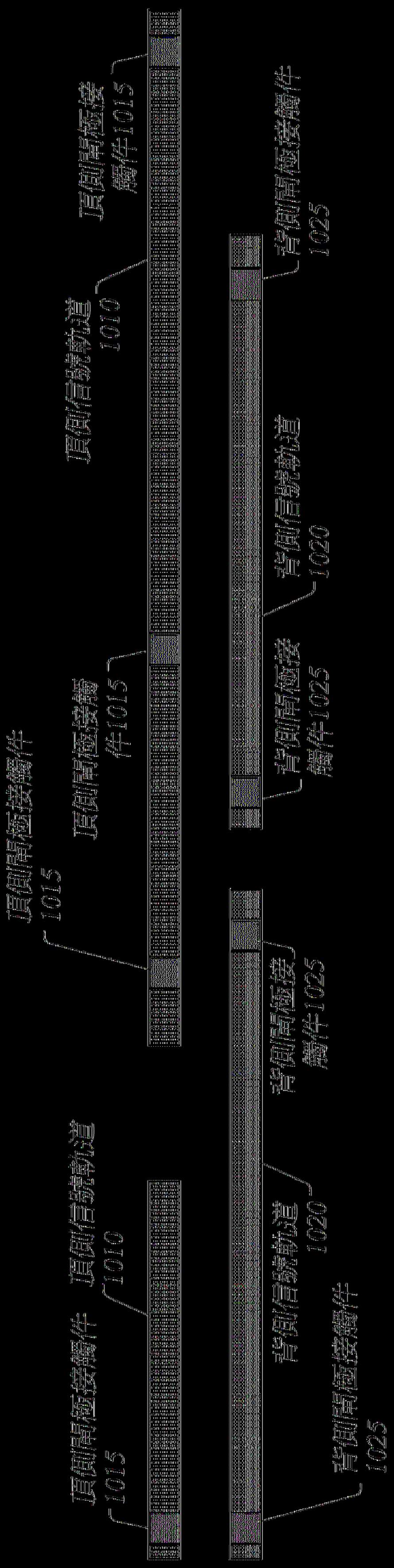

周面接觸件
920
信號軌道
910A
周面接觸件
920
信號軌道
910B
周面接觸件
920
周面接觸件
920
信號軌道
910C
周面接觸件
920

圖9


頂側閘極接觸件1015
頂側信號軌道1010
頂側閘極接觸件1015
頂側閘極接觸件1015
頂側信號軌道1010
頂側閘極接觸件1015
背側閘極接觸件1025
背側信號軌道1020
背側閘極接觸件1025
背側閘極接觸件1025
背側信號軌道1020
背側閘極接觸件1025

【圖10】

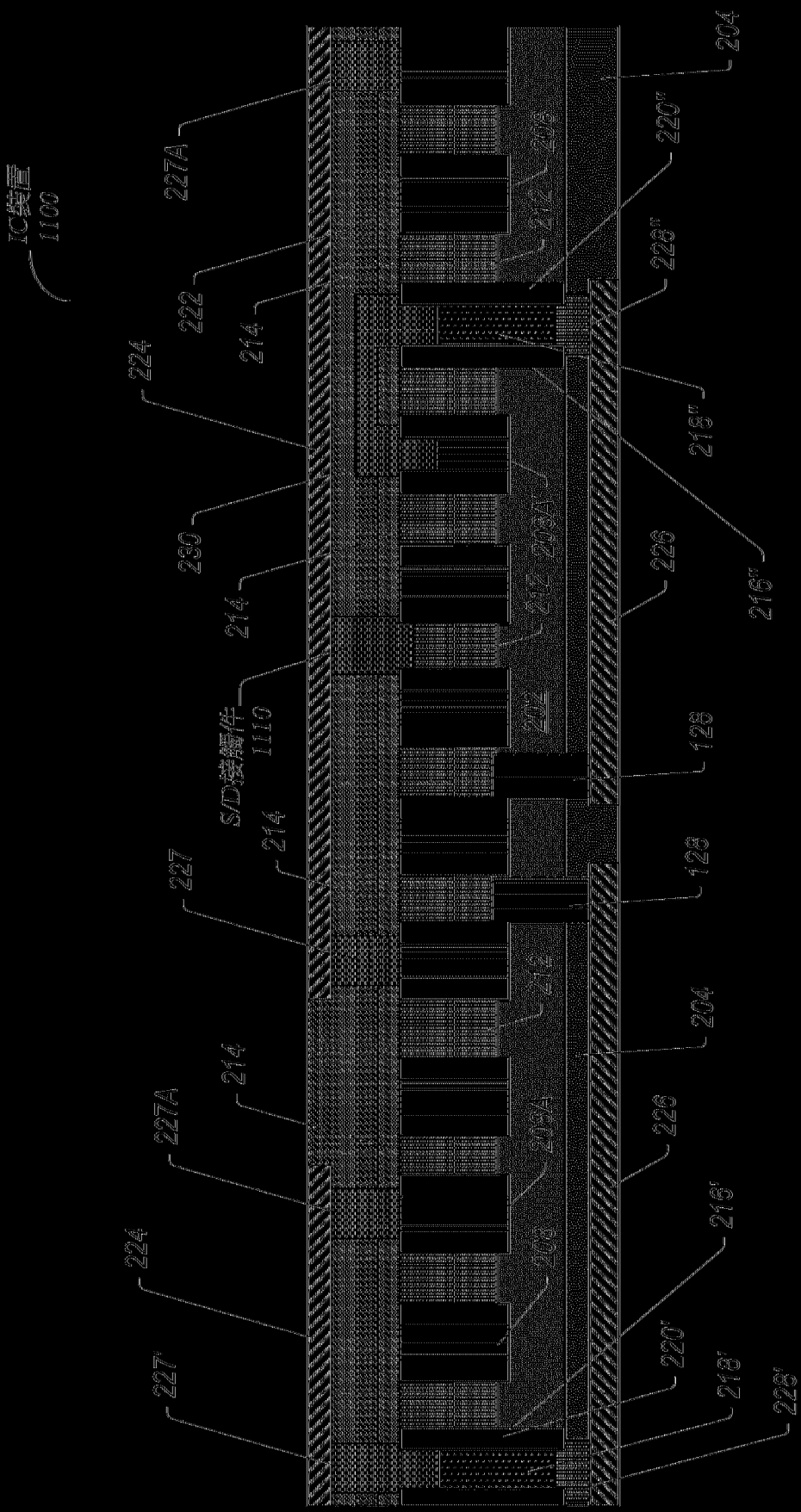

IC卡座
110
224
227A
214
SD卡插件
110
214
227
214
224
227'
224
227A
214
230
214
222
224
227A
204
220"
228"
218"
216"
226
128
128
204
226
216'
220'
218'
228'

圖11

IC佈局
1200
功能單元
1210
填充單元
1220
功能單元
1210
填充單元
1220
功能單元
1210
功能單元
1210
填充單元
1220
功能單元
1210
功能單元
1210
填充單元
1220
填充單元
1220

[圖12]

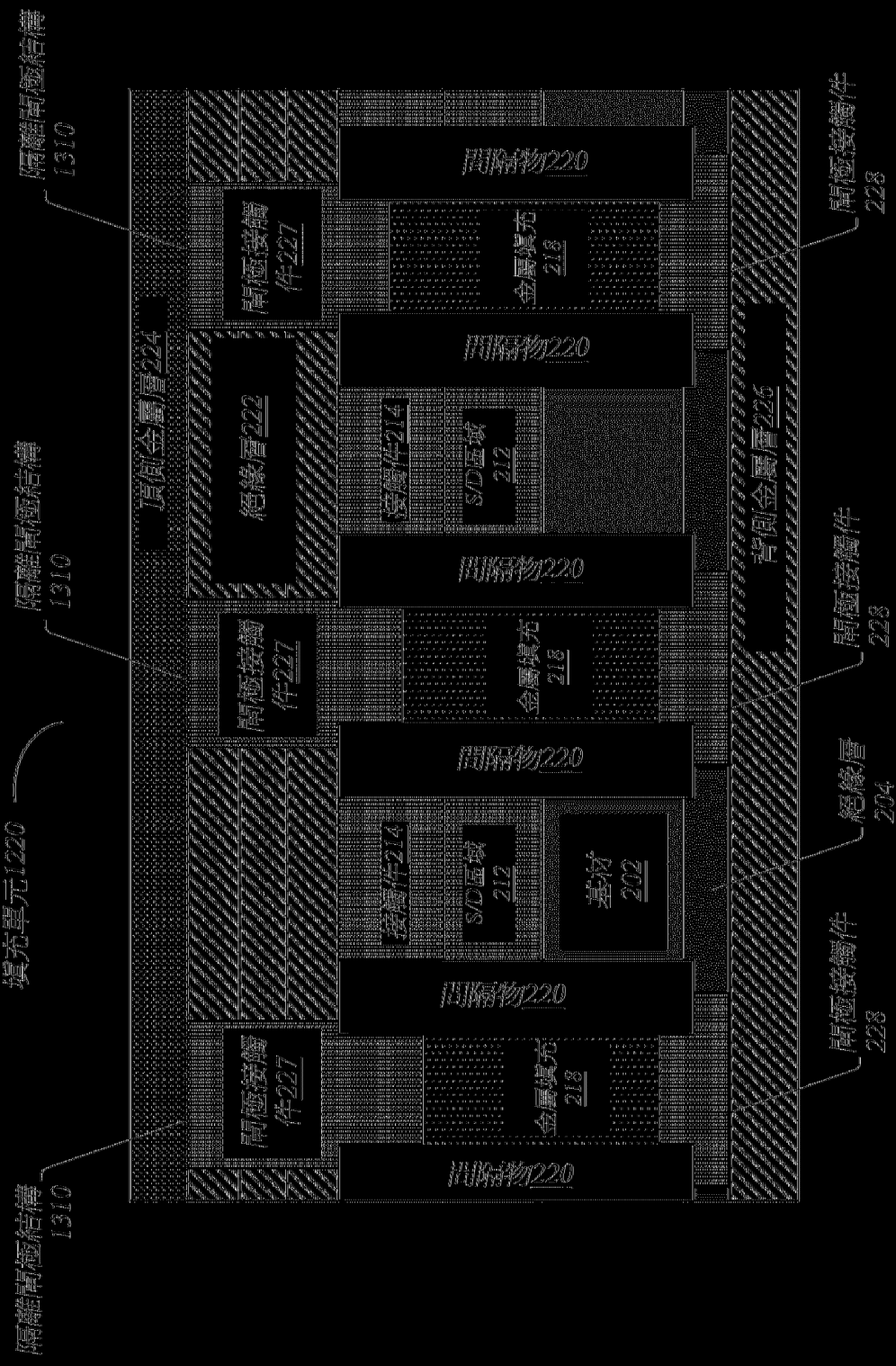

隔離閘極結構
1310
隔離閘極結構
1310
隔離閘極結構
1310
源/汲單元220
頂部金屬層224
絕緣層222
閘極接觸件227
閘極接觸件227
閘極接觸件227
間隔物220
間隔物220
間隔物220
間隔物220
間隔物220
金屬矽化物218
金屬矽化物218
金屬矽化物218
接觸件214
S/D區域212
接觸件214
S/D區域212
基材202
閘極接觸件228
閘極接觸件228
閘極接觸件228
背側金屬層226
絕緣層204

圖13

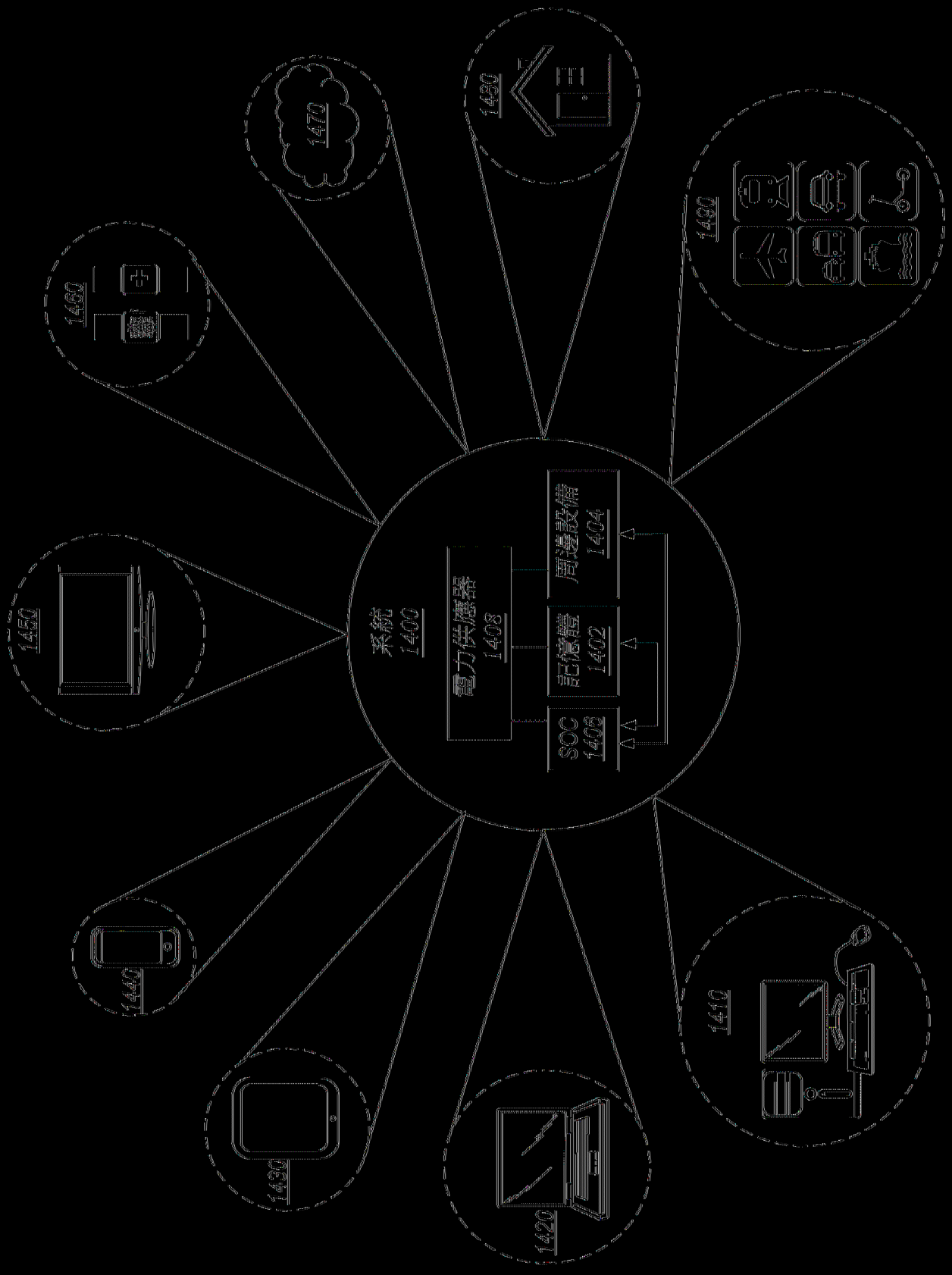

1400
系統
1408
電力供應器
1402
記憶體
1404
周邊設備
1406
SOC
1410
1420
1430
1440
1450
1460
1470
1480
1490

圖14

【發明申請專利範圍】

【請求項1】一種半導體設備，其包含：

一電晶體裝置，其在垂直於一基材的一垂直維度上形成在該基材上方的一電晶體區域中，該電晶體裝置具有一或多個主動閘極，該一或多個主動閘極具有各該等主動閘極的對應信號輸入；

一第一隔離閘極結構，其在垂直於該垂直維度的一水平維度上定義該電晶體區域的一第一端，該第一隔離閘極結構包括定位在該電晶體區域中的閘極間隔物之間的一介層填充；

一第二隔離閘極結構，其在垂直於該垂直維度的該水平維度上定義該電晶體區域的一第二端，該第二隔離閘極結構包括定位在該電晶體區域中的閘極間隔物之間的一介層填充；

一介層件，其在該垂直維度上位於該電晶體區域下方；及

一介層線，其在該垂直維度上位於該電晶體區域上方，其中該介層線的至少一部分耦接至在該電晶體區域中的該等信號輸入的至少一個信號輸入；

其中在該第一隔離閘極結構及該第二隔離閘極結構中之至少一者中的該介層填充耦接至該介層件的一部分及該介層線之耦接至該至少一個信號輸入的部分之一者。

【請求項2】如請求項1之半導體設備，其進一步包含：

一上介層件，其在該垂直維度上位於該電晶體區域上方；及

一絕緣件，其定位在該電晶體區域與該上介層件之間。

【請求項3】如請求項2之半導體設備，其中該介層線定位在該絕緣件中。

[請求項4] 如請求項2之半導體設備，其中該金屬線定位在該上金屬層中。

[請求項5] 如請求項4之半導體設備，其進一步包含在該絕緣層中的一個極接觸通孔，該個極接觸通孔提供該金屬填充與定位在該上金屬層中的該金屬線之間的連接。

[請求項6] 如請求項1之半導體設備，其進一步包含路由至該至少一個信號輸入的一控制信號，其中該控制信號從該金屬層通過該金屬填充及該金屬線而路由至該至少一個信號輸入。

[請求項7] 如請求項1之半導體設備，其中該金屬層包括一金屬信號線，該金屬填充將該至少一個信號輸入連接至在該金屬層中的該金屬信號線。

[請求項8] 如請求項1之半導體設備，其中耦接至該金屬層的該部分及該金屬線之耦接至該至少一個信號輸入的該部分二者的該金屬填充係在該第一隔離間極結構中，且其中在該第二隔離間極結構中的該金屬填充耦接至該金屬層的一額外部分及一第二金屬線。

[請求項9] 如請求項8之半導體設備，其中該第二金屬線耦接至在該電晶體區域中的該等信號輸入的至少一個額外信號輸入。

[請求項10] 如請求項8之半導體設備，其中該金屬線在該垂直維度上定位於該電晶體區域上方的一上金屬層中，且其中該第二金屬線定位於一絕緣層中，該絕緣層定位於該電晶體區域與該上金屬層之間。

[請求項11] 如請求項1之半導體設備，其進一步包含：

一絕緣層，其在該垂直維度上定位在該電晶體區域上方，其中該金屬線定位在該絕緣層中；及

一第二介層件，其在該垂直維度上定位在該絕緣件上方，該第二介層件包括一第二介層線，其中在該半導體區域中的該等信號輸入的至少一個額外信號輸入耦接至該第二介層線。

[請求項12] 如請求項11之半導體設備，其中該等主動閘極中之至少一者的一源極區域或一汲極區域耦接至該第二介層線。

[請求項13] 如請求項1之半導體設備，其中該等主動閘極中之至少一者的一源極區域或一汲極區域耦接至在該介層件中的電力布線，該電力布線係該介層件之一不同部分，該介層件之該不同部分與該介層件之耦接至該介層填充的該部分不同。

[請求項14] 一種半導體設備，其包含：

一半導體裝置，其在垂直於一基材的一垂直維度上形成在該基材上方的一半導體區域中，該半導體裝置具有複數個主動閘極；

一介層件，其在該垂直維度上位於該半導體區域下方；

複數條介層線，其在該垂直維度上位於該半導體區域上方，其中該複數條介層線包括至少：

一第一介層線，其耦接至在該複數個主動閘極中的一第一主動閘極的一第一信號輸入；及

一第二介層線，其耦接至在該複數個主動閘極中的一第二主動閘極的一第二信號輸入；

一第一隔離閘極結構，其在垂直於該垂直維度的一水平維度上定義該半導體區域的一第一端，該第一隔離閘極結構包括定位在該半導體區域中的第一閘

極間隔物之間的 第一金屬填充，其中該第一金屬填充耦接至該金屬柱的 第一部分及該第一金屬線；及

一 第二隔離閘極結構，其在垂直於該垂直維度的該水平維度上定義該半導體區域的 第二端，該第二隔離閘極結構包括定位在該半導體區域中的第二閘極間隔物之間的 第二金屬填充，其中該第二金屬填充耦接至該金屬柱的 第二部分及該第二金屬線。

[請求項15] 如請求項14之半導體設備，其進一步包含：

一上金屬柱，其在該垂直維度上位於該半導體區域上方；及

一 絕緣柱，其定位在該半導體區域與該上金屬柱之間。

[請求項16] 如請求項15之半導體設備，其中該第一金屬線定位在該上金屬柱中，且其中該第二金屬線定位在該絕緣柱中。

[請求項17] 如請求項16之半導體設備，其中該上金屬柱包括與該第一金屬線實體隔離的 第三金屬線，且其中該第三金屬線耦接至在該複數個主動閘極中的 第三主動閘極。

[請求項18] 如請求項14之半導體設備，其中該等主動閘極中之至少一者的 源極區域或 汲極區域耦接至在該金屬柱中的電力布線，該電力布線係該金屬柱中與該金屬柱的該第一部分及該第二部分不同的 一部分。

[請求項19] 一種半導體設備，其包含：

一 半導體基材；

一 半導體區域，其在垂直於 該基材的 一垂直維度上位於該基材上方；

一下金屬柱，其在該垂直維度上位於該半導體區域下方；

一上金屬柱，其在該垂直維度上位於該半導體區域上方；

一填充物單元，其形成在該半導體區域中，該填充物單元具有複數個隔離間極結構，其中該等隔離間極結構包括：

一介層填充，其定位在該半導體區域中的間極間隔物之間，其中該介層填充耦接至該下金屬件的一部分及該上金屬件的一部分；及

一功能單元，其形成在該半導體區域中，該功能單元在垂直於該垂直維度的一水平維度上經定位成相鄰於該填充物單元，該功能單元具有一或多個主動間極結構，該一或多個主動間極結構具有對應信號輸入，其中至少一個信號輸入耦接至該上金屬件之耦接至該介層填充的該部分。

[請求項20] 如請求項19之半導體設備，其進一步包含相鄰於該功能單元定位的一額外填充物單元，該額外填充物單元沿著該功能單元之該填充物單元之外的另一側定位。