

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2013年11月14日(14.11.2013)



(10) 国際公開番号

WO 2013/168427 A1

(51) 国際特許分類:  
*G06F 15/173 (2006.01) H04L 12/729 (2013.01)*  
*H04L 12/46 (2006.01)*

(21) 国際出願番号: PCT/JP2013/002973

(22) 国際出願日: 2013年5月9日(09.05.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願 2012-109835 2012年5月11日(11.05.2012) JP

(71) 出願人: パナソニック株式会社(PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).

(72) 発明者: 石井 友規 (ISHII, Tomoki). 山口 孝雄 (YAMAGUCHI, Takao). 吉田 篤 (YOSHIDA, Atsushi). 得津 覚 (TOKUTSU, Satoru). 曾我 祐紀 (SOGA, Yuuki).

(74) 代理人: 奥田 誠司 (OKUDA, Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目8番16号 大阪証券取引所ビル10階 奥田国際特許事務所 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

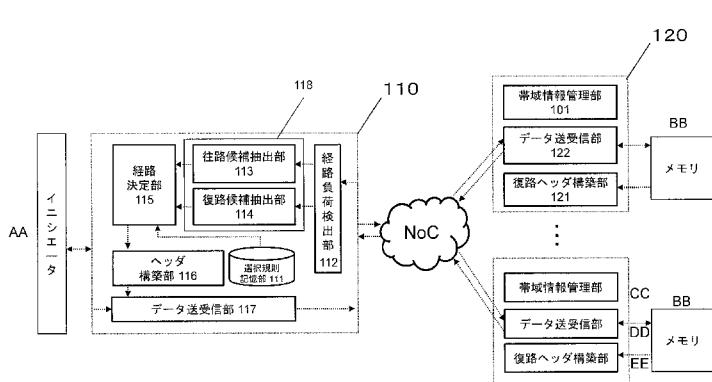
(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: BUS CONTROL DEVICE, BUS CONTROL SYSTEM, AND NETWORK INTERFACE

(54) 発明の名称: バス制御装置、バス制御システム、およびネットワークインターフェース



101, CC Band information management unit  
111 Selection rule storage unit  
112 Route load detection unit  
113 Outward-route candidate extraction unit  
114 Return-route candidate extraction unit  
115 Route determining unit  
116 Header constructing unit  
117, 122, DD Data transmission/reception unit  
121, EE Return header constructing unit  
AA Initiator  
BB Memory

(57) Abstract: The present invention achieves broadband communication at a low bus operation frequency in a System-on-Chip (SoC) communication bus. In a bus control system of a semiconductor circuit wherein data is transmitted between a first node and a second node via a networked bus, a bus control device is directly connected to the first node. The bus control device is provided with: a route load detection unit that detects the load on each route in a group of outward routes from the first node to the second node and/or a group of return routes from the second node to the first node; a route candidate extraction unit that extracts a candidate route from among the routes such that the loads of the routes are balanced; a route determining unit that determines a data transmission route on the basis of the result of the extraction and a pre-determined selection rule; and a data transmission/reception unit that transmits data between the first node and the second node, using header information that has route information indicating the determined route stored therein.

(57) 要約:

[続葉有]



---

SoC (System-on-Chip) の通信バスにおいて低いバス動作周波数で広帯域な通信を実現する。バス制御装置は、ネットワーク化されたバスを介して第1ノードと第2ノードとの間でデータを伝送する半導体回路のバス制御システムの、当該第1ノードに直接接続される。バス制御装置は、第1ノードから第2ノードに向かう往路群、および第2ノードから第1ノードに向かう復路群の少なくとも一方の経路群に関して各経路の負荷を検出する経路負荷検出部と、当該経路群の経路負荷が均一化されるように、経路群の中から候補となる経路を抽出する経路候補抽出部と、抽出結果、および予め定められた選択規則に基づいて、データの伝送経路を決定する経路決定部と、当該経路を示す経路情報を格納したヘッダ情報をを利用して、第1ノードと第2ノードとの間でデータを伝送するデータ送受信部とを備えている。

## 明細書

### 発明の名称：

### バス制御装置、バス制御システム、およびネットワークインターフェース 技術分野

[0001] 本願は、ネットワーク化された通信バスを備える半導体チップにおいて、通信バスの制御を行うための技術に関する。

### 背景技術

[0002] N o C (Network-on-Chip) は、ネットワーク化された通信バスであり、N o C上で効率的に転送データを分散させる従来の方法として、特許文献1に記載の方法がある。図1は、特許文献1のバスの構成を示す。図1において、送信機能モジュールAの各々は、受信側機能モジュールBにデータを転送するためのR1からR4の4つの経路のうちのいずれかを選択できる。送信機能モジュールAの各々は、受信側機能モジュールBへのデータの転送に先立ち、受信側機能モジュールBから経路R1からR4の4つの経路それぞれの流量を取得し、経路R1からR4の流量が出来るだけ均一になるように自らのデータ転送経路を選択する。送信機能モジュールAの各々が独立にこのような動作を行うことにより、4つの経路R1からR4の間の流量の偏りが最小化され、バスを低い動作周波数で動作させながら広帯域なデータ転送を行うことができる。

### 先行技術文献

### 特許文献

[0003] 特許文献1：特許第4796668号明細書

### 発明の概要

### 発明が解決しようとする課題

[0004] 図2は、一般的なS o Cシステムの構成を示す。図2に示すように、一般的なS o Cでは、プロセッサとしてのCPU、メディア処理用DSPとしてのエンコードエンジンENC、デコードエンジンDEC、外部とのデータ入

出力用ASICであるI/O、グラフィック処理用ASIC（図示せず）など多数のイニシエータが往路バス（ライトバス）、復路バス（リードバス）を介して共有メモリと接続される。イニシエータから往路バスを用いてメモリに転送されるデータへの経路の割当は、設計時に決定されたイニシエータ間の優先度関係を反映させた形で行われる必要がある。リアルタイム系の信号処理を行うENC、DEC、I/Oなどは、レート保証型のイニシエータであり、設計帯域以上のメモリへのデータ転送は行わない。しかしながら、レート非保証のイニシエータであるCPUなどは、例えばユーザの機器操作に基づく多数のタスクの起動や、内部キャッシュのミスヒットなどにより、メモリに対して瞬間的に大量のデータ転送を要求することがある。

[0005] レート非保証のイニシエータが存在する場合には、最大要求帯域を事前に定義することはできない。したがって、上述した特許文献1の技術を利用したとしても、より効率的なデータ転送が依然として求められる。

### 課題を解決するための手段

[0006] 上記課題を解決するために、本発明の一態様は、ネットワーク化されたバスを介して第1ノードと第2ノードとの間でデータを伝送する、半導体回路のバス制御システムにおいて、前記第1ノードに直接接続されるバス制御装置であって、前記バス制御装置は、前記第1ノードから前記第2ノードに向かう2以上の経路を往路群とし、前記第2ノードから前記第1ノードに向かう2以上の経路を復路群としたときにおいて、前記往路群および前記復路群の少なくとも一方の経路群に関して各経路の負荷を検出する経路負荷検出部と、前記少なくとも一方の経路群の経路負荷が均一化されるように、前記経路群の中から候補となる経路を抽出する経路候補抽出部と、予め定められた選択規則を記憶した選択規則記憶部と、前記経路候補抽出部の抽出結果、および前記選択規則記憶部に記憶された選択規則に基づいて、データを伝送する経路を決定する経路決定部と、決定された前記経路を示す経路情報を格納したヘッダ情報を生成するヘッダ構築部と、前記ヘッダ情報に基づいて特定される前記経路を利用して、前記第1ノードと前記第2ノードとの間でデータを伝送する。

タを伝送するデータ送受信部とを備えたバス制御装置を含む。

[0007] 上述の一般的かつ特定の態様は、システム、方法およびコンピュータプログラムを用いて実装され、またはシステム、方法およびコンピュータプログラムの組み合わせを用いて実現され得る。

## 発明の効果

[0008] 本発明のある実施形態にかかるバス制御装置によれば、より効率的なデータ転送が実現される。

## 図面の簡単な説明

[0009] [図1]従来のバス構成図である。

[図2]一般的なS o Cシステムの構成を示す図である。

[図3]本発明の一実施形態にかかるS o Cシステム400を示す図である。

[図4]イニシエータ401から404の要求帯域を示す図である。

[図5]フロー割当状況の時間変化を示す図である。

[図6]パケットヘッダの構築例を示す図である。

[図7]応答パケットのパケットヘッダの構成の例を示す図である。

[図8]主としてイニシエータ側のネットワークインターフェース（N1）110の構成の例を示す図である。

[図9]N1413のローカルバスの経路選択規則の例を示す図である。

[図10]経路A、経路Bの各帯域情報管理部から取得された情報の例を示す図である。

[図11]フロー間での到着順序が崩れる経路割当の例を示す図である。

[図12]往路、復路の経路割当結果の格納例を示す図である。

[図13]フロー関連情報の通知パケットの構成例を示す図である。

[図14]本発明の一例である第1の実施形態にかかる、イニシエータ側のN1における処理フローを示す図である。

[図15]本発明の一例である第2の実施形態にかかるS o Cシステムを示す図である。

[図16]N12011、N12012、N12013が参照する経路選択規則

の例を示す図である。

[図17]イニシエータ2001によるフロー200101の割当要求時に、経路A、経路Cの帯域情報管理部から取得された情報の例を示す図である。

[図18]イニシエータ2002によるフロー200201の割当要求時に、経路A、経路Cの帯域情報管理部から取得された情報の例を示す図である。

[図19]フロー関連情報の通知パケットの構成例を示す図である。

[図20]本発明の一例である第3の実施形態にかかるS o Cシステムの構成例を示す図である。

[図21]各イニシエータが生成するフローの特性を示す図である。

[図22]フローの割当状態の例を示す図である。

[図23]本発明の一例である第4の実施形態にかかるネットワークの構成例を示す図である。

[図24]経路分離の方法例を示す図である。

## 発明を実施するための形態

[0010] 近年、S o C (System on Chip) が利用される組込機器分野や汎用プロセッサ分野において、半導体チップの高機能化への要求が高まっている。半導体チップの高機能化に伴い、チップ上の通信バスを介して転送されるデータの要求帯域が増加し、通信バスの広帯域化が必要となってきた。通信バスの広帯域化のためには、バスの動作周波数を上げることで、単位時間あたりのデータ転送量を増やすことが考えられる。しかしながら、動作周波数の増加により消費電力の増加、実装面積の増加、レイアウト実装の複雑化の課題が生じる。動作周波数を上げずに通信バスの広帯域化を行う為には、低速な通信経路を並列的に用いて、転送データ負荷を並列バス上で効率的に分散することが有効である。

[0011] リアルタイム系のレート保証型のイニシエータに対する経路選択は、要求帯域が経路間で均一となるように行うのが望ましい。一方、レート非保証型のイニシエータに対する経路選択は、要求帯域の均一性を重視せず異なる経路に割り当てることが望ましい。その理由は、レート保証系とレート非保証

系の干渉及びレート非保証系の相互干渉を排除するためである。このように往路でのバスの経路を割り当てる場合には、イニシエータ毎の転送データの特性も加味した上で行う必要がある。

- [0012] 一方、復路を用いてメモリコントローラから各イニシエータに返信されるデータは、往路でイニシエータ間の優先度に応じた調停が既に行われ、調停順序に基づいてメモリから読み出されたものである。よって、単純に経路間の返信の帯域が均一となるように復路の経路を割り当てれば良い。また各イニシエータの要求帯域の設計が往路での要求帯域（ライトの帯域）と復路での要求帯域（リードの帯域）に分離して設計される場合もあり、往路と復路それぞれの要求帯域に基づいて、経路選択を行うことでバス帯域を充分に利用可能となる。
- [0013] ここでさらに留意すべき事項が2つある。
- [0014] 第1の留意事項は、システムの大規模化に対するスケーラビリティである。図2において、ENC1がバスイニシエータとして動作し、メモリEへのデータの書き込みと読み出しを行う場合、ENC1はメモリEへのデータの転送に先立ち、経路R1からR4の往路での流量を取得し、最適な経路を選択した上で、メモリEに対してデータの転送を行う。選択された経路はENC1側に記憶され、以降のメモリEへのデータ転送は該経路が用いられる。ENC1から転送データを受理したメモリコントローラCは、メモリEへのアクセス処理を行い、結果のデータをENC1に返信する。メモリコントローラCは、データ返信に先立ち、経路R1からR4の復路での流量を取得し、最適な経路を選択した上で、ENC1に対してデータの転送を行う。選択された経路はメモリコントローラCに記憶され、以降のENC1へのデータ転送は該経路が用いられる。
- [0015] 一般的なSoCの構成では、多数のイニシエータがメモリを共用する構成であるため、メモリコントローラCが管理すべき復路の情報は、イニシエータの増加に従い増大し、メモリコントローラのリソースの増加と処理負荷の増加をもたらす。また更に復路の経路選択には、各復路の流量を取得するた

めの制御情報交換の遅延が生じるため、メモリEへのアクセスレイテンシの増加や、その間メモリEから読み出されたデータを一時的に蓄積するためのバッファも必要となり、メモリコントローラのリソースの増加と処理遅延の増加をもたらす。よって、イニシエータの増加に対し、共用メモリ側のメモリコントローラのスケーラビリティを確保できるような構成が必要とされている。

- [0016] 第2の留意事項は、S o Cの品種展開時などにイニシエータの個数などの変更があった場合、イニシエータへの復路の情報を管理するメモリコントローラへも設計変更が波及し、設計工数と検証工数を増大させることである。そのような設計工数および検証工数の増大の抑制もまた必要とされている。
- [0017] 本願発明者らは、スケーラビリティおよび設計変更の容易さを向上させつつ、往路と復路、レート保証系とレート非保証系などの転送データの特性を考慮した経路割当を行う技術を開発した。
- [0018] たとえば本願発明のある実施形態によるバス制御装置は、ネットワーク化されたバスを介して第1ノードと第2ノードとの間でデータを伝送する、半導体回路のバス制御システムにおいて、第1ノードに直接接続される。バス制御装置は、第1ノードから第2ノードに向かう2以上の経路を往路群とし、第2ノードから第1ノードに向かう2以上の経路を復路群としたときにおいて、往路群および復路群の少なくとも一方の経路群に関して各経路の負荷を検出する経路負荷検出部と、少なくとも一方の経路群の経路負荷が均一化されるように、経路群の中から候補となる経路を抽出する経路候補抽出部と、予め定められた選択規則を記憶した選択規則記憶部と、経路候補抽出部の抽出結果、および選択規則記憶部に記憶された選択規則に基づいて、データを伝送する経路を決定する経路決定部と、決定された経路を示す経路情報を格納したヘッダ情報を生成するヘッダ構築部と、ヘッダ情報に基づいて特定される経路を利用して、第1ノードと第2ノードとの間でデータを伝送するデータ送受信部とを備えている。
- [0019] 上述のバス制御装置を用いたバス制御システムでは、往路または復路の少

なくとも一方の経路においてバス動作周波数の低減が可能になり、消費電力削減、実装面積削減、レイアウトが容易となる。また往路、復路のデータ転送経路を第1ノード（イニシエータ）側で管理できるため、システムの大規模化と品種展開時の設計、検証工数の削減に対応可能となる。また複数のメモリを有するシステムにおいて、メモリの使用率も向上させることができる。

- [0020] 上記課題を解決するために、本発明の一態様は、ネットワーク化されたバスを介して第1ノードと第2ノードとの間でデータを伝送する、半導体回路のバス制御システムにおいて、前記第1ノードに直接接続されるバス制御装置であって、前記バス制御装置は、前記第1ノードから前記第2ノードに向かう2以上の経路を往路群とし、前記第2ノードから前記第1ノードに向かう2以上の経路を復路群としたときにおいて、前記往路群および前記復路群の少なくとも一方の経路群に関して各経路の負荷を検出する経路負荷検出部と、前記少なくとも一方の経路群の経路負荷が均一化されるように、前記経路群の中から候補となる経路を抽出する経路候補抽出部と、予め定められた選択規則を記憶した選択規則記憶部と、前記経路候補抽出部の抽出結果、および前記選択規則記憶部に記憶された選択規則に基づいて、データを伝送する経路を決定する経路決定部と、決定された前記経路を示す経路情報を格納したヘッダ情報を生成するヘッダ構築部と、前記ヘッダ情報に基づいて特定される前記経路を利用して、前記第1ノードと前記第2ノードとの間でデータを伝送するデータ送受信部とを備えたバス制御装置を含む。
- [0021] 例示的なある実施形態において、前記経路負荷検出部は、前記往路群および前記復路群の少なくとも一方の経路群に割り当てられているバスの利用帯域を、前記経路負荷として検出する。
- [0022] 例示的なある実施形態において、前記少なくとも一方の経路群は前記往路群であり、前記経路候補抽出部は前記往路群の経路のうち、前記経路負荷が最も小さくなる経路を、前記候補となる経路として抽出する。
- [0023] 例示的なある実施形態において、前記少なくとも一方の経路群は前記復路

群であり、前記経路候補抽出部は前記復路群の経路のうち、前記経路負荷が最も小さくなる経路を、前記候補となる経路として抽出する。

- [0024] 例示的なある実施形態において、前記選択規則記憶部は、経路に関する制限が無い選択規則、特定の経路を利用する選択規則、データ伝送単位であるフローが複数存在する場合におけるフローの順序を示す選択規則、およびレート非保証型のフローであることを示す選択規則の少なくとも1つを記憶する。
- [0025] 例示的なある実施形態において、前記選択規則記憶部は、データ伝送単位であるフローが複数存在する場合におけるフローの順序を示す選択規則を記憶しており、新たなフローとの間で順序性を有する他のフローの経路が既に決定されており、かつ、フローの順序性を示す前記選択規則が新たなフローに適用される場合において、前記経路候補抽出部は、前記他のフローの経路と同一の経路を、前記候補となる経路として抽出する。
- [0026] 例示的なある実施形態において、前記選択規則記憶部は、レート非保証型のフローであることを示す選択規則を記憶しており、レート非保証型のフローの経路が既に決定されており、かつ、レート非保証型のフローであることを示す前記選択規則が新たなフローに適用される場合において、前記経路候補抽出部は、既存の前記レート非保証型のフローの経路とは異なる経路を、前記候補となる経路として抽出する。
- [0027] 例示的なある実施形態において、前記選択規則記憶部が、特定の経路を利用する選択規則を記憶しており、かつ、前記特定の経路を利用する選択規則が新たなフローに適用される場合において、前記経路決定部は、前記経路候補抽出部の抽出結果に拘わらず、前記選択規則によって特定される経路を、前記データを伝送する経路として決定する。
- [0028] 例示的なある実施形態において、レート非保証型のフローの経路が既に決定されており、前記選択規則記憶部がレート非保証型のフローであることを示す選択規則を記憶しており、かつ、前記レート非保証型のフローであることを示す選択規則が新たなフローに適用される場合において、前記経路候補

抽出部は、既存の前記レート非保証型のフローの経路とは異なる経路を、前記候補となる経路として抽出する。

- [0029] 例示的のある実施形態において、前記選択規則記憶部は、さらに前記第1ノードのフローの優先度を示す優先度情報を保持しており、前記経路候補抽出部は、前記優先度情報に基づいて、優先度がより低いフローが割り当てられた経路を、前記候補となる経路として抽出する。
- [0030] 例示的のある実施形態において、前記データ送受信部は、パケット方式で前記データを送受信し、前記ヘッダ構築部は、パケットのヘッダに前記ヘッダ情報を格納する。
- [0031] 本発明のある例示的な実施形態にかかるバス制御システムは、少なくとも1つの第1ノードと、少なくとも1つの第2ノードと、前記少なくとも1つの第1ノードに直接接続された、上述したいずれかの例示的な実施形態にかかるバス制御装置と、前記バス制御装置および前記少なくとも1つの第2ノードとの間に複数の経路を形成するネットワーク化されたバスと、を備え、前記バスを介して前記少なくとも1つの第1ノードと前記少なくとも1つの第2ノードとの間でデータを伝送する。
- [0032] ある例示的な実施形態において、前記バス制御システムは、複数のメモリの各々に割り当てられたデータのフローを交換するマイグレータをさらに備え、前記複数のメモリは、前記少なくとも1つの第2ノードであり、前記少なくとも1つの第1ノードから前記複数のメモリとの間には複数の経路が設けられており、前記マイグレータは、前記複数の経路に割り当てられているバスの利用帯域と、各メモリ上で利用される容量とに基づいて、複数のメモリの各々に割り当てられたデータのフローを交換する。
- [0033] 例示的のある実施形態において、前記バス制御システム中の前記複数の経路は空間的に分離された複数のバスとして構成される。
- [0034] 例示的のある実施形態において、前記バス制御システム中の前記複数の経路はバス上の単一の信号線によって構成される。
- [0035] 例示的のある実施形態において、前記バス制御システム中の前記複数の経

路はバス上の単一の信号線を時分割多重することによって構成される。

- [0036] 例示的なある実施形態において、前記バス制御システム中のネットワーク化された前記バスは、前記複数の経路が設けられたローカルバスと、システムバスとを備えており、前記バス制御システムは、前記ローカルバスと前記システムバスとを接続するバスブリッジをさらに備えている。
- [0037] 本発明のある実施形態にかかるネットワークインターフェースは、上述のいずれかに記載のバス制御システムにおいて用いられる。前記ネットワークインターフェースは、帯域情報を管理する帯域情報管理部であって、前記帯域情報は、対応する経路に現在割り当てられている、データ伝送単位であるフローの帯域に関する情報である、帯域情報管理部と、前記第1ノードから前記第2ノードへのデータ、および前記第2ノードから前記第1ノードへのデータを送受信するデータ送受信部とを備えている。
- [0038] 例示的なある実施形態において、前記帯域情報管理部は、前記バス制御システムに包含される前記バス制御装置の経路負荷検出部からの要求に応答して、前記データ送受信部を介して前記帯域情報を出力する。
- [0039] 例示的なある実施形態において、前記ネットワークインターフェースは、前記ヘッダ情報に格納された前記復路を示す経路情報に基づいて、前記復路を特定する情報を生成し、宛先を特定する情報とともにパケットのヘッダに格納する復路ヘッダ構築部をさらに備えている。
- [0040] 以下、添付の図面を参照しながら、本発明のある実施形態によるバス制御装置および通信システムを説明する。以下の実施形態の説明では、バス制御装置は、ネットワークインターフェースであるとして説明する。また、データを相互に伝送する複数のノードは、イニシエータおよびメモリであるとして説明する。
- [0041] (実施形態1)

図3は、本実施形態にかかるS〇Cシステム400を示す。イニシエータ401-404の各々は、ローカルバス470およびシステムバス480を介して共用メモリ461との間でデータの転送を行う。S〇Cシステムを構

成するN o Cバスでは、ローカルバス470およびシステムバス480上のデータの転送は、パケット単位で行われる。データの転送を実現するための接続関係は以下のとおりである。

- [0042] まず、イニシエータ401から404は、ネットワークインターフェースN I (Network Interface) 411から414を通してローカルバス470に接続される。メモリ461はメモリコントローラ451およびN I 441を通してシステムバス480に接続される。各N Iは、パケット化や脱パケット化の処理を行ってデータを転送する。
- [0043] ローカルバス470とシステムバス480はバスブリッジ431を通して相互に接続されている。バスブリッジ431は、ローカルバス側に2つの入出力インターフェースを持ち、それぞれ経路AとBに接続される。
- [0044] ローカルバス470は、ルータ421から424によってネットワーク化され、いずれのイニシエータからもメモリ461とのデータ転送において、経路Aと経路Bが選択可能な構成となっている。バスブリッジ431には、経路AおよびBの各々に対応してインターフェース部120aおよび120bを有している。インターフェース部120aおよび120bの構成は後に図8に関連して説明する。
- [0045] ローカルバス470において、実線の矢印は各イニシエータからバスブリッジ431にデータを転送するための往路バス471を表し、点線の矢印はバスブリッジ431から各イニシエータにデータを返信するための復路バス472を表す。
- [0046] システムバス480は、バスブリッジ431からメモリ461にデータを転送するための往路バス481と、メモリ461からバスブリッジ431にデータを返信するための復路バス482から構成される。
- [0047] 本実施形態では、システムバス481、482は各32ビット幅、200MHzのバスであり、接続可能なバンド幅は、800MB/sである。またローカルバス471、472は各32ビット幅、100MHzのバスであり、接続可能なバンド幅は、経路Aで400MB/s、経路Bで400MB/s

sであり、2つの経路の合計で800MB/sである。

- [0048] ローカルバス470では、100MHzの低動作周波数の2つの経路AとBを均等に用いることで、システムバス480と比較して半分のバス動作周波数で動作可能な構成となっている。この構成は、後述するように、単純にバス幅を2倍にして転送速度を半分に落とすことのみを意味しているのではない。複数の経路でデータを伝送可能とすることで、経路毎に独立してフローを伝送できることを意図している。複数の経路を設けることにより、バス幅が実質的に拡大し、配線および当該配線上を伝送されるデータが局所的に集中することを抑制可能となる。
- [0049] 図4は、イニシエータ401から404の要求帯域を示す。要求帯域の単位は1秒間に転送可能なメガバイト数で表している。この値は瞬間的な計測値ではなく、イニシエータ毎の要求帯域の設計値または、機器のユースケース毎に定められるような比較的長い時間に渡る要求帯域を示している。
- [0050] 上述した構成のSocシステム400を用いて、メモリアクセス動作の概要を説明する。
- [0051] 本実施形態では、イニシエータ401、402、403、404の順に、それぞれ時刻 $t_c = 1000, 2000, 3000, 4000$ にメモリ461へのアクセスを開始するものとする。時刻 $t_c$ はシステム起動時を起点とし、バス動作周波数を基準としたサイクル数で時刻を表した値とする。
- [0052]  $t_c = 0$ のシステム起動時点では未だどのイニシエータもメモリ461へのアクセスを行っていないため、いずれの経路にも帯域が割り当てられていない状態である。
- [0053] 図5は、フロー割当状況の時間変化を示す。図5の第3列に示されるように、 $t_c = 0$ においては要求帯域は全て0である。
- [0054]  $t_c = 1000$ において、イニシエータ401がメモリ461へのアクセスを開始する際、N1411はバスブリッジ431から、経路Aの往路、復路と経路Bの往路、復路の割当帯域を取得する。この時点ではいずれも割当が行われていない。そのため、往路では経路Aに対して300MB/s、復

路では経路Aに対して100MB/sの帯域の割当要求をバスブリッジ431に対して行う。図5の第4列には、イニシエータ401の帯域が割り当てられた後の各径路の帯域が示されている。

- [0055] 次に、 $t_c = 2000$ において、イニシエータ402がメモリ461へのアクセスを開始する。このとき、N1412はバスブリッジ431から、経路Aの往路、復路と経路Bの往路、復路の割当帯域を取得する。この時点では図5の第4列に示すような割当状態となっている。そこで、2つの経路間で割当帯域を均一化すべく、N1412はバスブリッジ431に対し、往路では経路Bに対して200MB/s、復路では経路Bに対して300MB/sの帯域の割当要求を行う。図5の第5列は、イニシエータ402の帯域がさらに割り当てられた後の各径路の帯域が示されている。
- [0056] 次に、 $t_c = 3000$ において、イニシエータ403がメモリ461へのアクセスを開始する。このとき、N1413はバスブリッジ431から、経路Aの往路、復路と経路Bの往路、復路の割当帯域を取得する。この時点では図5の第5列に示すような割当状態となっている。そこで、2つの経路間で割当帯域を均一化すべく、N1413はバスブリッジ431に対し、往路では経路Bに対して200MB/s、復路では経路Aに対して300MB/sの帯域の割当要求を行う。図5の第6列は、イニシエータ403の帯域がさらに割り当てられた後の各径路の帯域が示されている。
- [0057] 最後に、 $t_c = 4000$ において、イニシエータ404がメモリ461へのアクセスを開始する。このとき、N1414はバスブリッジ431から、経路Aの往路、復路と経路Bの往路、復路の割当帯域を取得する。この時点では図5の第6列に示すような割当状態となっている。そこで、2つの経路間で割当帯域を均一化すべく、N1414はバスブリッジ431に対し、往路では経路Aに対して100MB/s、復路では経路Bに対して100MB/sの帯域の割当要求を行う。図5の第7列は、イニシエータ404の帯域がさらに割り当てられた後の各径路の帯域が示されている。
- [0058]  $t_c = 4000$ 以降は、図5の第7列に示した割当状態により、経路Aと

経路B間で転送データ量が往路、復路ともに均一に分散された状態となる。各イニシエータに対して行われた往路及び復路の経路割当結果は、各イニシエータに接続されたN<sub>I</sub>によって記憶され、イニシエータから受理した転送データのパケット化を行う際に、パケットのヘッダに往路及び復路の経路情報を格納する。

- [0059] 図6はイニシエータ側のN<sub>I</sub>で生成されるパケットヘッダの構成例である（後述）。ローカルバスのルータ421から424は、往路ではパケットヘッダの第2フィールドを宛先としてパケット転送を行い、システムバスのルータ（図示せず）は第1フィールドを宛先としてパケット転送を行う。メモリ側のN<sub>I</sub>441に到着したパケットは脱パケット化されると同時に、復路への返信パケットに付与するパケットヘッダを往路パケットヘッダの格納情報から生成する。
- [0060] 図7は復路パケットヘッダの例である。メモリ461から読み出した転送データは、図7に示されるパケットヘッダを用いてパケット化され、システムバス復路482を用いて転送される。システムバス復路482からパケットを受理したバスブリッジ431は、パケットヘッダの第2フィールドを参照し、ローカルバスの復路の経路を決定し、ローカルバス復路472に返信パケットを送出する。返信パケットは、パケットヘッダの第1フィールドを宛先として転送され、イニシエータ側N<sub>I</sub>まで届けられ、脱パケット化された後にイニシエータに渡されることでメモリアクセスが完了する。
- [0061] 図8は、イニシエータ側のネットワークインターフェース（N<sub>I</sub>）110の構成の例を示す。このN<sub>I</sub>110は、イニシエータに直接接続されるインターフェースであり、図3に示すN<sub>I</sub>411から414に対応する。以下、N<sub>I</sub>110の例として図3のN<sub>I</sub>413を挙げて説明する。
- [0062] N<sub>I</sub>110は、選択規則記憶部111と、経路負荷検出部112と、経路決定部115と、ヘッダ構築部116と、データ送受信部117と、経路候補抽出部118とを備えている。以下、N<sub>I</sub>110の各構成要素およびその動作を詳細に説明する。

[0063] なお、本実施形態では、第1ノードであるイニシエータから第2ノードであるメモリまでの往路、および、メモリからイニシエータまでの復路の両方に関して、負荷分散を行う例を説明する。しかしながら、往路または復路のいずれかのみに関して負荷分散を行ってもよい。すなわち本実施形態は、往路および復路の少なくとも一方に関して負荷分散を行うことを想定している。これは、本実施形態の説明を援用する他の実施形態に関しても同様である。

[0064] (選択規則記憶部 111)

選択規則記憶部 111 は、イニシエータと各メモリとの間の経路を選択するために利用される選択規則を格納する。

[0065] 図9は、N1413に関するローカルバスの経路選択規則の例を示す。第1列にはN1413に与えられたシステム上で一意のID（本実施形態では数字列）が示されており、第2列にはイニシエータ401からのフローを区別するための番号が示されている。第1列のIDの数字列と第2列のフロー番号とを合わせると、システムで一意なフローを区別するための識別子であるフローIDが得られる。本実施形態においては、フローIDは、たとえば「41301」、「41302」などと表される。

[0066] ここで「フロー」とは、設計時あるいは動作時におけるメモリへのアクセスの要求帯域の単位を表す。例えばイニシエータ403がコーデックエンジンであり、エンコード処理タスクに往路200MB/s、復路300MB/sの要求設計帯域が与えられ、デコード処理タスクに往路100MB/s、復路100MB/sの要求設計帯域が与えられているとする。この場合のこれら2つのタスクが、イニシエータの2つのフローに対応する。

[0067] 第3列および第4列はそれぞれローカルバスでの往路と復路での経路を割り当てる際の選択規則を表す。フローIDが41301のフローに適用される選択規則を例に挙げて説明すると、このフローには往路、復路とも制限無の規則が適用されており、経路の制限も設けられていない。これは、経路間のデータ転送量が均一となるように、経路A、経路Bのいずれの経路の割当

も可能であることを示す。

- [0068] 他の例として、フロー41302のフローに適用される選択規則は、往路、復路とも経路Bに固定され経路Aは選択されないことを示す。これは、例えばシステム上に平均要求帯域は設計されているが、最大要求帯域はバスの物理帯域を上限とするようなレート非保証系のイニシエータが他にも存在する場合に有効である。複数のイニシエータが同一の経路を選択することで、最大要求帯域が相互に干渉し、イニシエータのパフォーマンスが瞬間的に急低下する可能性がある。フローの経路を固定する規則を設けることにより、そのようなパフォーマンスの低下を回避することができる。そのような状況では、一方のレート非保証系のイニシエータは往路、復路とも経路Aに固定する選択規則とし、他方のレート非保証系のイニシエータは往路、復路とも経路Bに固定する選択規則としてもよい。
- [0069] またシステム上に、メモリへのアクセス・レイテンシが非常に短いイニシエータが存在する場合、割当帯域が制限された特定の優遇経路を設け、該経路に該イニシエータの経路割当を固定する場合の選択規則として利用してもよい。
- [0070] フローIDが41303と41304のフローに適用される選択規則では、これら2つのフローに属するメモリからの応答パケットに対して、イニシエータ403への到着順序が守られる必要があることを示す。選択規則記憶部111へのフローの登録は、初期化処理としてシステム起動前や、システム動作の切換前に行われてもよいし、各フローの開始時点でイニシエータによって行われてもよい。
- [0071] (経路負荷検出部112)
- 経路負荷検出部112は、経路選択候補となる各経路上の帯域情報管理部101に帯域情報を要求し、データ送受信部122を介して帯域情報管理部101から送信された、現在の経路毎の帯域割当状況を取得する。帯域割当状況の取得は、イニシエータからのフローの送信開始要求を受信したタイミングで行われる。

[0072] 図10は経路A、経路Bの各帯域情報管理部から取得された情報の例を示す。図10は、N1413のエンコード処理タスクのフローに関し、経路Bの往路、復路には、それぞれ200MB/s、300MB/sの帯域が既に割り当てられている状態であることを示している。帯域情報管理部101からの帯域上の取得は、バス上での制御パケットの交換によって行ってもよいし、専用の制御信号のハンドシェイクによって行ってもよい。バス上での制御パケットの交換によって行う場合は、N1413から各経路上の帯域情報管理部に対して、制御パケットをユニキャストパケットとして送信してもよいし、ブロードキャストパケットとして送信してもよい。また往路の帯域情報を取得する制御パケットと復路の帯域情報を取得する制御パケットを同一の制御パケットとして処理してもよいし、別個の制御パケットとして処理してもよい。

[0073] (経路候補抽出部118)

経路候補抽出部118は、往路群および復路群のうちの少なくとも一方の経路群の経路負荷が均一化されるように、経路群の中から候補となる経路を抽出する。候補となる経路の抽出には、経路負荷検出部112によって取得された種々の経路の負荷の情報が利用される。

[0074] なお、本願明細書では、「経路群の経路負荷が均一化されるように」という文言は、以下の意味で用いられる。すなわちこの文言は、経路群の少なくとも1つに既に帯域が割り当てられている状況において、新たに帯域を割り当てるようとするときに、経路群全体で負荷の差が小さくなるように、という意味で用いられる。経路群全体で負荷の差が小さくなるように帯域の割り当てが行われていればよい。経路群の負荷の差が存在しないことが最も好ましいが、実際には負荷の差は存在し得る。そのような負荷の差の存在は許容される。なお、「フローの帯域を均一化する」などにおける「均一化」という意味も同様に、経路群全体で負荷の差が小さくなるように、という意味で用いられ、負荷の差が完全になくなることを必要としないことに留意されたい。

[0075] 経路候補抽出部 118 は、往路候補抽出部 113 および復路候補抽出部 114 を有する。往路に関しては、往路候補抽出部 113 が候補となる経路を抽出する。復路に関しては、復路候補抽出部 114 が候補となる経路を抽出する。

[0076] (往路候補抽出部 113)

往路候補抽出部 113 は、経路負荷検出部 112 によって、帯域情報管理部 101 から取得された、経路  $i$  每の往路割当済帯域の値  $U_i$  と、割当対象のフロー  $j$  の往路要求帯域  $u_j$  とから、経路  $i$  にフロー  $j$  の割当を行った場合の経路  $i$  の往路割当帯域の値  $E_{ij}$  を算出する。数 1 内の  $fwd$  は往路を示す添字である。

[数1]

$$E_{ij}^{fwd} = U_i^{fwd} + u_j^{fwd}$$

[0077] ここで、図 10 は、往路割当済帯域 ( $U_i$ ) の値の例を示す。

[0078] 全ての選択候補経路に対して、 $E_{ij}$  の算出を行い、各経路の中で  $E_{ij}$  の値が最も小さくなる経路  $R_j$  をフロー  $j$  への往路割当経路の候補として選択する。

[数2]

$$R_j^{fwd} = \text{index } i \text{ of } \left( \min \{ E_{ij}^{fwd} \} \right)$$

[0079] (復路候補抽出部 114)

復路候補抽出部 114 は、経路負荷検出部 112 によって、帯域情報管理部 101 から取得された、経路  $i$  每の復路割当済帯域の値  $U_i$  と、割当対象のフロー  $j$  の復路要求帯域  $u_j$  とから、経路  $i$  にフロー  $j$  の割当を行った場合の経路  $i$  の復路割当帯域の値  $E_{ij}$  を算出する。数 1 内の  $back$  は復路を示す添字である。

## [数3]

$$E_{ij}^{back} = U_i^{back} + u_j^{back}$$

- [0080] 図10はまた、復路割当済帯域（U<sub>ij</sub>）の値の例を示す。
- [0081] 全ての選択候補経路に対して、E<sub>ij</sub>の算出を行い、各経路の中でE<sub>ij</sub>の値が最も小さくなる経路R<sub>j</sub>をフローjへの往路割当経路の候補として選択する。

## [数4]

$$R_j^{back} = \text{index } i \text{ of } \left( \min \{ E_{ij}^{back} \} \right)$$

- [0082] (経路決定部115)

経路決定部115は、イニシエータ413からのフロー開始要求を検出し、フローIDを検索キーとして選択規則記憶部111を検索し、該フローに関する経路選択規則を抽出する。フローIDが41301のフロー（図9）に対する処理の例を説明すると、経路決定部115は、経路負荷検出112に対して帯域情報の取得を行わせ、往路候補抽出部113と復路候補抽出部114の結果を得る。該フローの往路選択規則は、制限無となっているため、往路間の割当帯域の均一性が最も高くなる往路候補抽出部113の出力経路を往路の割当経路として決定する。また復路選択規則も、制限無となっているため、復路間の割当帯域の均一性が最も高くなる復路候補抽出部114の出力経路を復路の割当経路として決定する。該フローには、往路、復路とも選択規則に制限が無いため、それぞれ独立に割当帯域が最も均一となる経路が選択される。またフローIDが41302のフロー（図9）に対する処理の例を説明すると、往路、復路のいずれも割当経路が固定された選択規則となっているため、帯域情報を取得する必要はなく、往路、復路ともに指定された経路を割当経路として決定する。

- [0083] またフローIDが41303と41304のフロー（図9）に関しては、往路での選択規則に制限は無いが、復路の選択規則はフロー間での応答パケ

ットの到着順序が崩れない条件の下で経路選択を行うべきことを示している。これはアクセスに順序性を有する单一のフローを、送信帯域を確保するために2つの経路を用いて並列的に送信する場合などに該当する。

[0084] なお、本実施形態のN o Cでは、送信元と送信先がそれぞれ決まると、そのデータを中継するルータも一意に定まる構成であることを想定している。したがって、本実施形態では、パケットの送信順序を決定すれば順序を維持できる。なお、上述した「送信先」とは、最終的な送信宛先であるメモリではなく、バスブリッジの経路インターフェースを意味することに留意されたい。

[0085] 図11は、フロー間での到着順序が崩れる経路割当の例を示す。フロー41303に属する応答パケット41303aと、フロー41304に属する応答パケット41304aは、メモリ1101からバスブリッジ1102にアクセス順序に従って到着する。もしフロー41303に対してローカルバスの復路で経路Aが、フロー41304に対してローカルバスの復路で経路Bが割り当てられた状態であり、経路Aよりも経路Bのほうが転送が速かった場合には、イニシエータ1103に到着する順序は、41304c、41303cのようにアクセス順序とは逆になるため、該フローの選択規則により該割当状態を禁止する。具体的には、フロー41303に対する割当が、フロー41304に対する割当前に発生した場合には、フロー41303に対する割当は、フロー41301と同様に、往路、復路に対して独立に経路が選択される。しかる後にフロー41304に対する割当が発生した際には、往路に対してはフロー41301の往路と同様に各経路の往路割当済帯域に基づいて往路を決定するが、復路の割当については、各経路の復路割当済帯域に基づくことなく、先行して割り当てられた関連フロー41303の復路を、フロー41304への割当先の復路として決定する。経路A、経路B間のデータ転送のタイミングの差によるイニシエータへの到着順序の逆転が防止できる。選択規則に従って決定された各フローの往路、復路の経路割当結果は、経路決定部115によって記憶され、各フローに属するメモリアク

セスが行われる際に、ヘッダ構築部116によって参照され、パケットヘッダの生成に利用される。

- [0086] 図12は往路、復路の経路割当結果の格納例を示す。経路決定部115は、該フローに対する往路、復路の割当が完了すると、該割当経路上の帯域情報管理部101に対して、割当を行ったフローに関する情報であるフロー関連情報を通知する。フロー関連情報には、少なくとも該フローの要求帯域に関する情報が含まれる。
- [0087] 図13はフロー関連情報の通知パケットの構成例を示す。該パケットは、メモリアクセスの要求パケットではないため、第1列目のフィールドのメモリ側N1のIDはNULLが格納される。第2列目のフィールドには、往路の割当結果である経路のID、第3列目のフィールドには、送信元であるイニシエータ側N1のID、第4列目のフィールドには、復路の割当結果である経路のIDが格納される。また第5列目のフィールドには、往路に対して割り当てられた要求帯域を示す値が、第6列目のフィールドには、復路に対して割り当てられた要求帯域を示す値が格納され、これらの要求帯域に関する情報が、該パケットにより、帯域情報管理部101に伝達されることにより、各経路上の帯域情報管理部101は、経路上に割り当てられた全てのフローの要求帯域を管理することが可能となる。
- [0088] 経路決定部115は、メモリ・アクセスが完了すると、往路および復路の解放通知を出力する。この通知に基づいて、帯域情報管理部101は、往路および復路の経路を解放し、往路割当済帯域および復路割当済帯域の各値を更新する。
- [0089] (ヘッダ構築部116)
- ヘッダ構築部116は、経路決定部115に記憶されたフロー毎の往路、復路の経路割当結果を参照することで、メモリに対して送信するメモリアクセスの要求パケットのパケットヘッダを構築する。
- [0090] 図6は、パケットヘッダの構築例を示す。
- [0091] パケットフィールドの第1列には、アクセスする宛先メモリのIDを示す

値が格納される。宛先メモリのIDは、イニシエータ403からN1413に対してメモリアクセス要求を出力する度に受信してもよいし、アクセス先のメモリアドレスから宛先メモリのIDに変換するための変換テーブルをN1413に保持し、それを参照することで解決してもよい。

[0092] パケットフィールドの第2列には、往路割当結果を示す値が格納される。

図12は、経路割当結果の例を示す。ヘッダ構築部116は、フローIDに基づいて図12に示した経路割当結果の記憶領域を検索することで、往路割当結果を示す値を抽出し、パケットフィールドの第2列に格納する。

[0093] パケットフィールドの第3列には、イニシエータ403を示すIDが格納される。イニシエータ403のIDは、N1403の初期化時にイニシエータ403からN1403に対してレジスタ等を用いて設定してもよい。またシステムで一意なN1403のIDとしてN1403内に事前に記憶してもよい。パケットフィールドの第4列には、フローIDに基づいて図12に示した経路割当結果の記憶領域を検索することで抽出した復路割当結果を示す値が格納される。またこれら以外のシステムで必要とされる情報もヘッダ内にフィールドを設けて格納してもよい。

[0094] (データ送受信部117)

イニシエータ403から、メモリへのライトまたはリードのアクセス要求を受理したデータ送受信部117は、該アクセスのフローIDを特定し、ヘッダ構築部116に通知することで、メモリに送信するためのアクセス要求パケットのパケットヘッダを獲得する。またイニシエータ403からライトデータを受理した場合には、パケットヘッダと共に初段のルータ422に対して要求パケットの送信を行う。またルータ422から応答パケットを受信した場合は、応答パケットからパケットヘッダを除去し、リードデータを受理した場合には、イニシエータ403に対して送信する。イニシエータ403とのデータの送受信については、イニシエータが対応するバスプロトコルへの変換処理も必要に応じて行う。

[0095] ここで図8および図3を参照する。

[0096] 図8のメモリ側インターフェース部120は、図3のN1441の構成の例

である。また図8に示すように、メモリが複数存在する場合にはメモリ側イ  
ンタフェース部120も複数設けられる。つまり、経路が異なれば、経路ご  
とにインターフェース部が設けられる。

[0097] 同様の理由で、メモリ側インターフェース部120と同等の構成を有するイ  
ンタフェース部120が、各経路AおよびBについてインターフェース部12  
0aおよび120b（図3）として設けられる。以下では、図8のインターフ  
ェース部120が、図3のN1441に対応するとして説明するが、インターフ  
ェース部120aおよび120b（図3）の構成も同等であることに留意  
されたい。

[0098] メモリ側インターフェース部120は、帯域情報管理部101と、復路ヘッ  
ダ構築部121と、データ送受信部122とを備えている。以下、メモリ側  
インターフェース部120の構成要素およびその動作を詳細に説明する。

[0099] （復路ヘッダ構築部121）

復路ヘッダ構築部121は、イニシエータ側のN1411からN1414  
より受信したメモリアクセスの要求パケットのパケットヘッダに基づいて、  
メモリアクセス結果を格納する応答パケットのパケットヘッダを構築する。  
ローカルバス内の応答パケットの割当経路は、イニシエータ側のN1411  
からN1414内で管理されるため、応答パケットがとるべき復路の経路に  
関する情報は、要求パケットのパケットヘッダ内に格納されてメモリ側のN  
1441に通知される。

[0100] 図7は、応答パケットのパケットヘッダの構成の例を示す。応答パケット  
の第1列目のフィールドは、応答パケットの最終的な宛先となるイニシエー  
タ側のN1のIDが、図6に示す要求パケットのパケットヘッダの第3列目  
のフィールドから複製され格納される。応答パケットの第2列目のフィール  
ドは、ローカルバスの復路を示すIDであり、要求パケットの第4列目のフ  
ィールドから複製され格納される。応答パケットの第3列目のフィールドは  
、応答パケットの送信元であるメモリ側のN1441のIDであり、要求パ

ケットの第1列目のフィールドと同一の値が格納される。応答パケットの第4列目のフィールドは、ローカルバス往路のIDであり、要求パケットの第2フィールドから複製され格納される。なお、復路においてはローカルバス往路の情報は特に必要はないため、ローカルバス往路のIDを設けなくてもよい。

[0101] (データ送受信部122)

データ送受信部122は、システムバス往路481を介して、要求パケットを受信する。データ送受信部122は、要求パケットからパケットヘッダを分離し、ライトデータまたはリード要求を、メモリコントローラ451に送信する。またデータ送受信部122は、要求パケットヘッダから分離したパケットヘッダを復路ヘッダ構築部121に通知する。また、メモリコントローラ451から、メモリ461へのライトまたはリードのアクセス応答を受理した場合は、復路ヘッダ構築部121から応答パケットのパケットヘッダを獲得し、該アクセス応答に含めて応答パケットを生成し、システムバス復路482を介してイニシエータに対して送信する。メモリコントローラ451とのデータの送受信については、メモリコントローラ451が対応するバスプロトコルへの変換処理も必要に応じて行う。

[0102] (帯域情報管理部101)

帯域情報管理部101は、本実施形態では、バスブリッジ431のローカルバス側インターフェース上に存在する構成をとっているが、各経路の帯域情報が管理できる場所であれば、経路上のどこにあってもよい。経路*i*上の帯域情報管理部101は、経路*i*に対して現在割り当てられているフローの割当済帯域*U<sub>i</sub>*を管理し、経路決定部115から受理した割当結果の通知に基づいて*U<sub>i</sub>*を更新する。システム起動時などの未だフローが何も割り当てられていない状態において、割当済帯域*U<sub>i</sub>*は数5、数6に従い初期化される。式中のfwdは往路を表し、backは復路を表す添字である。

[数5]

$$U_i^{fwd} = 0$$

[数6]

$$U_i^{back} = 0$$

[0103] 図13は、フローjの割当処理完了に伴い、経路決定部115から受理する割当結果の通知のパケットの例を示す。パケットの第2列目に格納された往路のIDが、帯域情報管理部101が管理する経路iに対応するIDであれば、パケットの第5列目のフィールドに格納された該フローjの往路割当帯域の値jを用いて、数7に従って割当済帯域U<sub>i</sub>の値を更新する。

[数7]

$$U_i^{fwd} = U_i^{fwd} + u_j^{fwd}$$

[0104] パケットの第4列目に格納された復路のIDが、帯域情報管理部101が管理する経路iに対応するIDであれば、パケットの第6列目のフィールドに格納された該フローjの復路割当帯域の値jを用いて、数8に従って割当済帯域U<sub>i</sub>の値を更新する。

[数8]

$$U_i^{back} = U_i^{back} + u_j^{back}$$

[0105] また一方、経路iに割当済であるフローjが、イニシエータの状態変化などにより消滅した場合には、経路決定部115から受理する割当済帯域の解放通知などに基づき、割当済帯域U<sub>i</sub>を数9、数10に従い更新する。

[数9]

$$U_i^{fwd} = U_i^{fwd} - u_j^{fwd}$$

[数10]

$$U_i^{back} = U_i^{back} - u_j^{back}$$

[0106] 経路iへのフローの割当、解放に伴って常に割当済帯域U<sub>i</sub>を更新すること

により、経路*i*の往路、復路に割り当てられている要求帯域を帯域情報管理部101で管理することが可能となる。帯域情報管理部101は、経路負荷検出部112からの要求に従い、割当済帯域<sub>i</sub>の値を通知する。

- [0107] 図14は、本実施形態のイニシエータ側のN1における処理フローを示す。まずステップS1401において、経路決定部115はイニシエータからのフロー開始要求を検出する。ステップS1402において、経路決定部115は、選択規則記憶部111から、選択規則を読み出す。
- [0108] ステップS1403において、往路候補抽出部113は、経路毎の割当済帯域（往路）を取得する。具体的には、往路候補抽出部113は、経路負荷検出部112によって帯域情報管理部101から取得された、経路*i*毎の往路割当済帯域の値<sub>i</sub>と、割当対象のフロー*j*の往路要求帯域<sub>j</sub>とから、経路*i*にフロー*j*の割当を行った場合の経路*i*の往路割当帯域の値E<sub>*i,j*</sub>（数1）を算出する。
- [0109] ステップS1404において、復路候補抽出部114は、経路毎の割当済帯域（復路）を取得する。具体的には、復路候補抽出部114は、経路負荷検出部112によって、帯域情報管理部101から取得された、経路*i*毎の復路割当済帯域の値<sub>i</sub>と、割当対象のフロー*j*の復路要求帯域<sub>j</sub>とから、経路*i*にフロー*j*の割当を行った場合の経路*i*の復路割当帯域の値E<sub>*i,j*</sub>を算出する。
- [0110] ステップS1405において、経路決定部115は、往路候補抽出部113と復路候補抽出部114の結果を得て選択規則記憶部111を検索し、選択規則に従った経路（往路、復路）を決定する。
- [0111] ステップS1406において、経路決定部115は、割当経路上のメモリ側インターフェース部120の帯域情報管理部101に、経路（往路、復路）の決定結果を通知する。
- [0112] ステップS1407においてメモリ・アクセスが開始され、ステップS1408においてメモリ・アクセスが終了する。
- [0113] そしてステップS1409において、経路決定部115は経路（往路、復

路)の解放通知を出力する。この結果、帯域情報管理部101は、往路および復路の経路を解放し、往路割当済帯域および復路割当済帯域の各値を更新する。

[0114] 本実施形態では、イニシエータのデータ転送先はシステムメモリとして説明したが、ローカルメモリやグラフィックメモリなどでもよいし、入出力ポートやバッファ、デバイスであってもよいし、イニシエータ間の直接通信であってもよい。例えばイニシエータ401からイニシエータ404へ、メモリ461を介さず、ローカルバス内で直接通信する場合には、パケットの宛先としてイニシエータ側のN1414のIDを指定すればよい。その場合、N1411から送信された要求パケットは、バスブリッジ431でループバックされ、N1414に送られる。またN1414から送られた応答パケットは、バスブリッジ431でループバックされ、N1411に返される。直接通信のためのフローの割当も、メモリ・アクセスのフローに対する経路割当の処理と同様に行えばよい。かかる構成によればバスの利用帯域を往路、復路毎に最適に制御することが可能となり、低いバス動作周波数の並列構成のバスを用いて、広帯域なデータ転送を行うことができる。

[0115] (実施形態2)

実施形態1においては、各イニシエータが発生させるフロー $j$ の最大要求帯域 $u_j$ が定義可能な場合の例を説明した。フロー毎の最大要求帯域は、S○Cの帯域設計の方法により粒度は異なるものの、メモリアクセス性能の保証の必要性から、レート保証型のイニシエータについては設計時に定義される設計パラメータと考えてよい。

[0116] しかし実際のS○Cシステムの構成時には、プロセッサやメモリアクセス性能を問わないレート非保証型のイニシエータも存在する。レート非保証型のイニシエータでは、平均要求帯域は定義可能な場合もある。しかしながら、例えばユーザの機器操作に基づく多数のタスクの起動や、内部キャッシュのミスヒットなどにより、メモリに対して瞬間的に大量のデータ転送を要求することがある。このときの最大要求帯域の上限はバスの物理帯域となる。

- [0117] このようなレート非保証型の広帯域なメモリアクセスが、メモリアクセス性能の保証が必要なリアルタイム系のイニシエータのメモリアクセスと相互に干渉するのを防ぐため、本実施形態においては、バスの帯域を時分割多重したり、またはルータでのパケット転送時における優先度制御を行う。
- [0118] 図15は、本実施形態におけるS〇Cシステムを示す。
- [0119] イニシエータ2001－2003はいずれもレート非保証系のイニシエータである。リアルタイム系のイニシエータの記載は省略するが、帯域の時分割多重やパケット優先度制御が行われているのであれば、システム上に存在していても良い。
- [0120] レート非保証系のイニシエータ2001－2003はバスを介して共用メモリ2051、2052との間でデータの転送を行う。イニシエータ2001－2003は、ネットワーク・インターフェースであるN12011、2012、2013を介してルータ2021－2023にそれぞれ接続される。メモリ2051、2052は、メモリコントローラ2041、2042、ネットワーク・インターフェースであるN12031、2032を介してルータ2024、2025に接続される。ルータ2021－2025は、各隣接間で接続されたバスを形成する。
- [0121] イニシエータ2001、2002、2003はメモリ2051、2052のいずれにもアクセスが可能である。例えばイニシエータ2001からメモリ2051へアクセスを行う際には、イニシエータ2001は、イニシエータ2001から実線で示したバスを通じてルータ2024の経路A側のインターフェースを経由しメモリ2051に至る経路Aと、点線で示したバスを通じてルータ2024の経路B側のインターフェースを経由しメモリ2051に至る経路Bの2つの経路を選択可能である。イニシエータ2001からメモリ2052へのアクセスについても同様に、経路C、経路Dの2つの経路を選択可能である。またイニシエータ2002、2003についても同様に、メモリ2051、2052へのアクセスにおいて、それぞれ2つの経路を選択可能である。

- [0122] 図16は、N12011、N12012、N12013が参照する経路選択規則の例を示す。フロー200101、200201、200301は、いずれもレート非保証型のフローである。フロー200101と200201は同じ優先度を持つ。フロー200301の優先度はフロー200101、200201の優先度より低い。この優先度の情報は、選択規則記憶部によって選択規則と共に保持されている。
- [0123] 図15に実線及び点線で示したバスは、それぞれ往路と復路から構成されるが、実施形態1と同様であるため図15には図示していない。本実施形態では、バスの物理帯域は、往路、復路とも、各32ビット幅、200MHzのバスであり、接続可能なバンド幅は、800MB/sである。該構成のSOCシステムを用いて、レート非保証系のイニシエータにおける経路割当の詳細な方法を、実施形態1と同様の部分については省略し、異なる部分についてのみ行う。
- [0124] イニシエータ2003は、イニシエータ2001に先立ち、メモリ2052へのアクセスを行うためのレート非保証系のフロー200301の割当要求を開始する。この時点では他のレート非保証系のフロー200101、200201は未だ割当が行われていないため、たとえば、他のレート保証型のフローの割当状況、メモリ2052に至る経路C、経路D間のホップ数の差を加味して、経路Cが割り当てられる。次にイニシエータ2001から、メモリ2051にアクセスするためのレート非保証系のフロー200101の割当要求が出されると、N12011は、選択可能な各経路上の帯域情報管理部からレート非保証系のフローの割当状況を取得し、経路Bではなく、経路Aを選択する。これにより、イニシエータ2003が行うレート非保証系のメモリアクセスと点線の経路上で干渉することを防ぎ、フロー200101、フロー200301の双方とも、物理帯域を上限とするメモリへのアクセスが可能となる。またその後、イニシエータ2002から、メモリ2052にアクセスするためのレート非保証型のフロー200201の割当要求が出されると、N12012は、選択可能な各経路上の帯域情報管理部から

レート非保証系のフローの割当状況を取得し、経路Aにレート非保証系の高優先度のフロー200101が割当済であり、経路Bにレート非保証系の低優先度のフロー200301が割当済であることを検出する。フロー200201の優先度は、フロー200101と同様で高いため、N12012は、高優先度のフロー間での干渉を防ぐため、フロー200201を経路Bに割り当てる。

[0125] 図8のイニシエータ側ネットワーク・インターフェース(N1)110は、図15のN12011、N12012、N12013の構成の例である。実施形態1のN1110と同じ機能を有する構成要素の説明は省略し、機能が異なる構成要素を詳細に説明する。

[0126] (選択規則記憶部111)

いずれのフローもレート非保証型であり、最大要求帯域が定義できないため、選択規則記憶部111が格納する選択規則にはレート非保証であることを示す情報が格納される。またレート非保証型のフロー間に優先度関係が存在する場合は、優先度を示す情報も格納される。

[0127] (経路負荷検出部112)

経路負荷検出部112は、経路選択候補となる各経路上の帯域情報管理部101から、現在の経路毎のレート非保証型のフローの割当状況を取得する。

[0128] 図17は、イニシエータ2001によるフロー200101の割当要求時に、経路A、経路Cの帯域情報管理部から取得された情報の例を示す。経路Aにはレート非保証型のフローは割り当てられていないため、往路、復路とも0の状態である。一方、経路Cには既にイニシエータ2003のレート非保証型のフローが1本割り当てられているため、往路、復路とも1の状態である。

[0129] また図18は、イニシエータ2002によるフロー200201の割当要求時に、経路A、経路Cの帯域情報管理部から取得された情報の例を示す。経路Aには既にイニシエータ2001のレート非保証型のフローが1本割り

当てられているため、往路、復路とも 1 の状態である。経路 C には既にイニシエータ 2003 のレート非保証型のフローが 1 本割り当てられているため、往路、復路とも 1 の状態である。

[0130] 割当状況を表す値については、本実施形態では、該経路に割り当てられたレート非保証型のフローの本数としているが、割当が為されているかどうかを示すバイナリ値としてもよいし、レート非保証型のフローに平均要求帯域が定義できる場合には、平均要求帯域で重み付けをした値としてもよい。

[0131] (経路候補抽出部 118)

経路候補抽出部 118 は、往路候補抽出部 113 および復路候補抽出部 114 の少なくとも一方を動作させ、往路および復路の少なくとも一方の経路群の経路負荷が均一化されるように、経路群の中から候補となる経路を抽出する。具体的には、次に説明するように、往路候補抽出部 113 および復路候補抽出部 114 を動作させる。

[0132] (往路候補抽出部 113)

往路候補抽出部 113 は、経路負荷検出部 112 によって、帯域情報管理部 101 から取得された、経路 i 每の往路のレート非保証型の割当状況に基づいて、先ずレート非保証型のフロー割当が為されていない経路を選択する。そして、そのような経路が存在しない場合には、往路候補抽出部 113 は、割当対象のフローの優先度よりも低い優先度のフローのみが割り当てられている経路を選択する。そのような経路も存在しない場合には、往路候補抽出部 113 は、割当対象のフローの優先度と同等かそれ以上の優先度のフローの割当数が最小の経路 i を該フローへの往路割当経路の候補として選択する。

[0133] (復路候補抽出部 114)

復路候補抽出部 114 は、経路負荷検出部 112 によって、帯域情報管理部 101 から取得された、経路 i 每の往路のレート非保証型の割当状況に基づいて、先ずレート非保証型のフロー割当が為されていない経路を選択する。そして、そのような経路が存在しない場合には、復路候補抽出部 114 は

、割当対象のフローの優先度よりも低い優先度のフローのみが割り当てられている経路を選択する。そのような経路も存在しない場合には、復路候補抽出部114は、割当対象のフローの優先度と同等かそれ以上の優先度のフローの割当数が最小の経路 $i$ を該フローへの往路割当経路の候補として選択する。

[0134] (経路決定部115)

経路決定部115は、イニシエータ2001からのレート非保証型のフローの開始要求を検出し、フローIDを検索キーとして選択規則記憶部111を検索し、該フローに関する経路選択規則を抽出する。フローIDが200101のフローに対する処理の例としては、経路負荷検出部112に対してレート非保証系の割当状況の取得を行わせ、往路候補抽出部113と復路候補抽出部114の結果を得る。該フローの往路選択規則としては、レート非保証型となっているため、往路間の割当フロー数の均一性が最も高くなる往路候補抽出部113の出力経路を往路の割当経路として決定する。また復路選択規則としても、レート非保証型となっているため、復路間の割当フロー数の均一性が最も高くなる復路候補抽出部114の出力経路を復路の割当経路として決定する。経路決定部115は、該レート非保証系フローに対する往路、復路の割当が完了すると、該割当経路上の帯域情報管理部101に対して、割当を行ったフローに関する情報であるフロー関連情報を通知する。フロー関連情報には、少なくとも該フローがレート非保証系のフローであることを示す情報が含まれる。

[0135] 図19は、フロー関連情報の通知パケットの構成例を示す。該パケットは、メモリアクセスの要求パケットではないため、第1列目のフィールドのメモリ側N<sub>1</sub>のIDはNULLが格納される。第2列目のフィールドには、往路の割当結果である経路のID、第3列目のフィールドには、送信元であるイニシエータ側N<sub>1</sub>のID、第4列目のフィールドには、復路の割当結果である経路のIDが格納される。また第5列目のフィールドには、往路に対して新たに1本のレート非保証型のフローが割り当てられたことを示す1が、

第6列目のフィールドには、往路に割り当てられたフローの優先度が、第7列目のフィールドには、復路に対して新たに1本のレート非保証型のフローが割り当てられたことを示す1が、第8列目のフィールドには、復路に割り当てられたフローの優先度が格納され、通知用パケットとして、帯域情報管理部101に伝達されることにより、各経路上の帯域情報管理部101は、経路上でのレート非保証型のフローの割当状況を管理することが可能となる。

[0136] (帯域情報管理部101)

帯域情報管理部101は、本実施形態では、ルータ2024の経路A側のインターフェース部と、ルータ2025の経路C側のインターフェース部に位置する構成をとっているが、各経路の帯域情報が管理できる場所であれば、経路上のどこにあってもよい。経路i上の帯域情報管理部101は、経路iに対して現在割り当てられているレート非保証型のフローの割当状態 $A_i$ をフローの優先度毎に管理し、経路決定部115から受理した割当結果の通知に基づいて $A_i$ を更新する。システム起動時などの未だフローが何も割り当てられていない状態において、レート非保証型フローの割当本数などを示す $A_i$ は数11、数12に従い初期化される。式中のfwdは往路を表し、backは復路を表す添字である。

[数11]

$$A_i^{\text{fwd}} = 0$$

[数12]

$$A_i^{\text{back}} = 0$$

[0137] 図19は、フローjの割当処理完了に伴い、経路決定部115から受理する割当結果の通知のパケットの例を示す。パケットの第2列目に格納された往路のIDが、帯域情報管理部101が管理する経路iに対応するIDであれば、パケットの第5列目のフィールドに格納された該フローjの往路割当

状況の値  $a_j$  を用いて、数 13 に従ってレート非保証系の割当状況  $A_i$  の値を更新する。

[数13]

$$A_i^{fwd} = A_i^{fwd} + a_j^{fwd}$$

[0138] パケットの第 4 列目に格納された復路の ID が、帯域情報管理部 101 が管理する経路 i に対応する ID であれば、パケットの第 6 列目のフィールドに格納された該フロー j の復路割当状況の値  $a_j$  を用いて、数 14 に従ってレート非保証系の割当状況  $A_i$  の値を更新する。

[数14]

$$A_i^{back} = A_i^{back} + a_j^{back}$$

[0139] また一方、経路 i に割当済であるレート非保証型フロー j が、イニシエータの状態変化などにより消滅した場合には、経路決定部 115 から受理するレート非保証系の割当状況の解放通知などに基づき、割当済帯域  $A_i$  を数 15、数 16 に従い更新する。

[数15]

$$A_i^{fwd} = A_i^{fwd} - a_j^{fwd}$$

[数16]

$$A_i^{back} = A_i^{back} - a_j^{back}$$

[0140] 経路 i へのレート非保証型のフローの割当、解放に伴って常に優先度毎の割当状況  $A_i$  を更新することにより、経路 i の往路、復路に割り当てられているレート非保証型のフローの割当状況を帯域情報管理部 101 で管理することが可能となる。帯域情報管理部 101 は、経路負荷検出部 112 からの要求に従い、レート非保証型のフローの優先度毎の割当状況  $A_i$  の値を通知する。

[0141] 上述の構成によればシステム上にバスの物理帯域上限までのメモリアクセスを行うレート非保証系のイニシエータが複数存在する状況下でも、バスの利用帯域を往路、復路毎に最適に制御することが可能となり、低いバス動作周波数の並列構成のバスを用いて、広帯域なデータ転送を行うことができる。また往路もしくは復路のいずれか一方だけで、フローの割当処理を行っても良い。

[0142] (実施形態3)

イニシエータからメモリへのアクセスに注目すると、同等の要求帯域を有する複数のフローがあった場合でも、各フローがメモリ上で使用する容量には差があるのが一般的である。そのため、メモリへ至る経路のフローの帯域を均一化するだけではなく、該フローが占有するメモリ領域の容量についても考慮する必要がある。

[0143] 図20は、本実施形態におけるS○Cシステムの構成例を示す。メモリ2051およびメモリ2052は、マイグレータ2061により接続されている。実施形態2に関連して説明したS○Cシステムの構成要素と同じ機能を有する構成要素の説明は省略する。

[0144] また図21は、各イニシエータが生成するフローの特性を示す。イニシエータ2001、イニシエータ2002は、いずれも要求帯域が定義可能なりアルタイム系のイニシエータである。

[0145] 本実施形態では、帯域情報管理部101は、マイグレータ2061の経路A、経路Bのインターフェース上にあり、それぞれメモリ2051、メモリ2052に割り当てられたフローの割当済帯域情報と割当済容量を管理する。各フローは、図21に示された開始時刻になると、フローの割当要求を出して利用するメモリの割当を行う。

[0146] 実施形態1と同様に各フローのメモリへの割当処理が時間順に行われる。

[0147] 図22は、フローの割当状態の例を示す。時刻  $t_c = 4000 \text{ cycle}$ において、最後のフロー2002へのメモリの割当が完了した時点では、往路、復路とも、メモリ2051には200MB/sの帯域が割り当てら

れ、メモリ2052には200MB/sの帯域が割り当てられている。すなわち、メモリ間での割当済帯域が均一となった状態となる。

[0148] 一方、各メモリでの割当済容量を比較すると、メモリ2051では200MBの領域が使用され、メモリ2052では800MBの領域が使用される状態となる。これでは、800MBの物理容量を有する2つのメモリで構成したシステムにおいては、メモリ2051の利用可能容量のうちの600MBが未使用となってしまう。

[0149] マイグレータ2061は、割当済容量を比較することによってメモリの利用可能容量が不均衡の状態にあることを検出し、フローの割当状態の更新を行う。具体的には、要求帯域が同等であるフロー200101とフロー200102を選択し、フロー200101をメモリ2051からメモリ2052へ移動させ、フロー200102をメモリ2052からメモリ2051へ移動させることで、メモリ2051の利用容量を500MBとし、メモリ2052の利用容量を500MBとする。これにより、メモリ2051、メモリ2052間で、割当済帯域、割当済容量が共に最適となる。

[0150] 図20のN12011、N12012の構成は、図8のイニシエータ側ネットワーク・インターフェース(N1)110と同じである。メモリ間で交換するためのフローを決定するため、帯域情報管理部101は、フローID毎に該フローの要求帯域と要求容量の両方を管理し、それらの情報に基づいて、メモリ間の割当済帯域と割当済容量が共に最適となるように交換対象のフローを選択する。交換が完了すると、マイグレータ2061は、関係するイニシエータ側のN1に対して変更通知を送信し、変更通知を受信したイニシエータ側のN1は、経路割当結果を更新する。

[0151] (実施形態4)

実施形態2では、図15においてイニシエータからメモリに至る選択経路は空間的に分離された構成として示したが、本発明はこの構成に限らない。

[0152] 図23は、本実施形態にかかるネットワークの構成例を示す。イニシエータ2001、2002、2003は、N12011、2012、2013を

介してルータ2021に接続され、ルータ2021はルータ2022と広帯域リンク2081で接続される。広帯域リンク2081はバス幅の拡張により広帯域化されていても良いし、データ転送のための動作周波数を高くすることにより広帯域化されていても良い。バス幅の拡張により広帯域化する場合は、リンク2081のバス幅を、イニシエータとルータ2021間を結ぶリンクのバス幅の2倍にしても良い。リンク2081の信号線のうちの半分は経路Aに、残りの半分は経路Bに割り当てられ、ルータ2022上に経路Aと経路Bの帯域情報を管理する2つの帯域情報管理部101を有する。

[0153] またリンク2081のデータ転送のための動作周波数を高くすることにより広帯域化する場合は、ルータ2021、2022は、半分に分周された動作周波数をバスクロックとして使用し、クロックの立ち上がりで経路Aを、立ち下がりで経路Bを認識しても良い。たとえば図24(a)～(d)は、経路分離の方法例を示す。リンク2081は、各イニシエータの出力リンクの帯域の2倍のデータ転送能力を有する(図24(a))。そこで、図24(b)に示すようにリンク2081のバスクロックを2分周し、2分周したクロックの立ち上がりおよび立ち下がりのタイミングで、経路AおよびBのデータ転送を行えばよい。たとえば図24(c)は、2分周したクロックの立ち上がりのタイミングで経路Aのデータ転送を行う例を示し、図24(d)は、2分周したクロックの立ち下がりのタイミングで経路Bのデータ転送を行う例を示す。このように構成することにより、実施形態1と同様の経路分散効果が得られる。

## 産業上の利用可能性

[0154] 本発明は、組込機器向けのS〇Cにおけるオンチップバスや、汎用プロセッサ、DSP上のローカルバスにおける、データ転送経路の制御技術を備えたネットワークバス制御装置、制御方法、制御プログラムに利用可能である。

## 符号の説明

[0155] 110 イニシエータ側ネットワーク・インターフェース(NI)

- 1 1 1 選択規則記憶部
- 1 1 2 経路負荷検出部
- 1 1 3 往路候補抽出部
- 1 1 4 復路候補抽出部
- 1 1 5 経路決定部
- 1 1 6 ヘッダ構築部
- 1 1 7 データ送受信部
- 1 1 8 経路候補抽出部
- 1 2 0 メモリ側ネットワーク・インターフェース（N I）
- 1 2 1 復路ヘッダ構築部
- 1 2 2 データ送受信部
- 1 0 1 帯域情報管理部
- 4 0 0 S o C システム
- 4 0 1 - 4 0 4 イニシエータ
- 4 1 1 - 4 1 4 イニシエータ側ネットワーク・インターフェース（N I）
- 4 2 1 - 4 2 4 ルータ
- 4 3 1 バスブリッジ
- 4 4 1 メモリ側ネットワーク・インターフェース（N I）
- 4 5 1 メモリコントローラ
- 4 6 1 メモリ
- 4 7 0 ローカルバス
- 4 7 1 往路ローカルバス
- 4 7 2 復路ローカルバス
- 4 8 0 システムバス
- 4 8 1 往路システムバス
- 4 8 2 復路システムバス
- 1 1 0 1 メモリ
- 1 1 0 2 バスブリッジ

1103 イニシエータ

2001-2003 イニシエータ

2011-2013 イニシエータ側ネットワーク・インターフェース（N  
I）

2021-2025 ルータ

2031-2032 メモリ側ネットワーク・インターフェース（N I）

2041-2042 メモリコントローラ

2051-2052 メモリ

2061 マイグレータ

2081 広帯域リンク

## 請求の範囲

- [請求項1] ネットワーク化されたバスを介して第1ノードと第2ノードとの間でデータを伝送する、半導体回路のバス制御システムにおいて、前記第1ノードに直接接続されるバス制御装置であって、  
前記第1ノードから前記第2ノードに向かう2以上の経路を往路群とし、前記第2ノードから前記第1ノードに向かう2以上の経路を復路群としたときにおいて、前記往路群および前記復路群の少なくとも一方の経路群に関して各経路の負荷を検出する経路負荷検出部と、  
前記少なくとも一方の経路群の経路負荷が均一化されるように、前記経路群の中から候補となる経路を抽出する経路候補抽出部と、  
予め定められた選択規則を記憶した選択規則記憶部と、  
前記経路候補抽出部の抽出結果、および前記選択規則記憶部に記憶された選択規則に基づいて、データを伝送する経路を決定する経路決定部と、  
決定された前記経路を示す経路情報を格納したヘッダ情報を生成するヘッダ構築部と、  
前記ヘッダ情報に基づいて特定される前記経路を利用して、前記第1ノードと前記第2ノードとの間でデータを伝送するデータ送受信部と  
を備えた、バス制御装置。
- [請求項2] 前記経路負荷検出部は、前記往路群および前記復路群の少なくとも一方の経路群に割り当てられているバスの利用帯域を、前記経路負荷として検出する、請求項1に記載のバス制御装置。
- [請求項3] 前記少なくとも一方の経路群は前記往路群であり、  
前記経路候補抽出部は前記往路群の経路のうち、前記経路負荷が最も小さくなる経路を、前記候補となる経路として抽出する、請求項1に記載のバス制御装置。
- [請求項4] 前記少なくとも一方の経路群は前記復路群であり、

前記経路候補抽出部は前記復路群の経路のうち、前記経路負荷が最も小さくなる経路を、前記候補となる経路として抽出する、請求項1に記載のバス制御装置。

[請求項5]

前記選択規則記憶部は、経路に関する制限が無い選択規則、特定の経路を利用する選択規則、データ伝送単位であるフローが複数存在する場合におけるフローの順序を示す選択規則、およびレート非保証型のフローであることを示す選択規則の少なくとも1つを記憶する、請求項1に記載のバス制御装置。

[請求項6]

前記選択規則記憶部は、データ伝送単位であるフローが複数存在する場合におけるフローの順序を示す選択規則を記憶しており、新たなフローとの間で順序性を有する他のフローの経路が既に決定されており、かつ、フローの順序性を示す前記選択規則が新たなフローに適用される場合において、前記経路候補抽出部は、前記他のフローの経路と同一の経路を、前記候補となる経路として抽出する、請求項1に記載のバス制御装置。

[請求項7]

前記選択規則記憶部は、レート非保証型のフローであることを示す選択規則を記憶しており、レート非保証型のフローの経路が既に決定されており、かつ、レート非保証型のフローであることを示す前記選択規則が新たなフローに適用される場合において、

前記経路候補抽出部は、既存の前記レート非保証型のフローの経路とは異なる経路を、前記候補となる経路として抽出する、請求項1に記載のバス制御装置。

[請求項8]

前記選択規則記憶部が、特定の経路を利用する選択規則を記憶しており、かつ、前記特定の経路を利用する選択規則が新たなフローに適用される場合において、

前記経路決定部は、前記経路候補抽出部の抽出結果に拘わらず、前記選択規則によって特定される経路を、前記データを伝送する経路と

して決定する、請求項 5 に記載のバス制御装置。

[請求項9] レート非保証型のフローの経路が既に決定されており、

前記選択規則記憶部がレート非保証型のフローであることを示す選択規則を記憶しており、かつ、前記レート非保証型のフローであることを示す選択規則が新たなフローに適用される場合において、

前記経路候補抽出部は、既存の前記レート非保証型のフローの経路とは異なる経路を、前記候補となる経路として抽出する、請求項 5 に記載のバス制御装置。

[請求項10] 前記選択規則記憶部は、さらに前記第 1 ノードのフローの優先度を示す優先度情報を保持しており、

前記経路候補抽出部は、前記優先度情報に基づいて、優先度がより低いフローが割り当てられた経路を、前記候補となる経路として抽出する、請求項 5 に記載のバス制御装置。

[請求項11] 前記データ送受信部は、パケット方式で前記データを送受信し、

前記ヘッダ構築部は、パケットのヘッダに前記ヘッダ情報を格納する、請求項 1 に記載のバス制御装置。

[請求項12] 少なくとも 1 つの第 1 ノードと、

少なくとも 1 つの第 2 ノードと、

前記少なくとも 1 つの第 1 ノードに直接接続された、請求項 1 から 1 1 のいずれかに記載のバス制御装置と、

前記バス制御装置および前記少なくとも 1 つの第 2 ノードとの間に複数の経路を形成するネットワーク化されたバスと、

を備え、前記バスを介して前記少なくとも 1 つの第 1 ノードと前記少なくとも 1 つの第 2 ノードとの間でデータを伝送する、バス制御システム。

[請求項13] 複数のメモリの各々に割り当てられたデータのフローを交換するマイグレータをさらに備え、

前記複数のメモリは、前記少なくとも 1 つの第 2 ノードであり、

前記少なくとも 1 つの第 1 ノードから前記複数のメモリとの間には複数の経路が設けられており、

前記マイグレータは、前記複数の経路に割り当てられているバスの利用帯域と、各メモリ上で利用される容量とに基づいて、複数のメモリの各々に割り当てられたデータのフローを交換する、請求項 1 2 に記載のバス制御システム。

[請求項14] 前記複数の経路は空間的に分離された複数のバスとして構成される  
、請求項 1 2 に記載のバス制御システム。

[請求項15] 前記複数の経路はバス上の単一の信号線によって構成される、請求項 1 2 に記載のバス制御システム。

[請求項16] 前記複数の経路はバス上の単一の信号線を時分割多重することによ  
って構成される、請求項 1 5 に記載のバス制御システム。

[請求項17] ネットワーク化された前記バスは、前記複数の経路が設けられたロ  
ーカルバスと、システムバスとを備えており、  
前記ローカルバスと前記システムバスとを接続するバスブリッジを  
さらに備えた、請求項 1 2 に記載のバス制御システム。

[請求項18] 請求項 1 2 から 1 7 のいずれかに記載のバス制御システムにおいて  
用いられるネットワークインターフェースであって、

前記ネットワークインターフェースは、

帯域情報を管理する帯域情報管理部であって、前記帯域情報は、対  
応する経路に現在割り当てられている、データ伝送単位であるフロー  
の帯域に関する情報である、帯域情報管理部と、

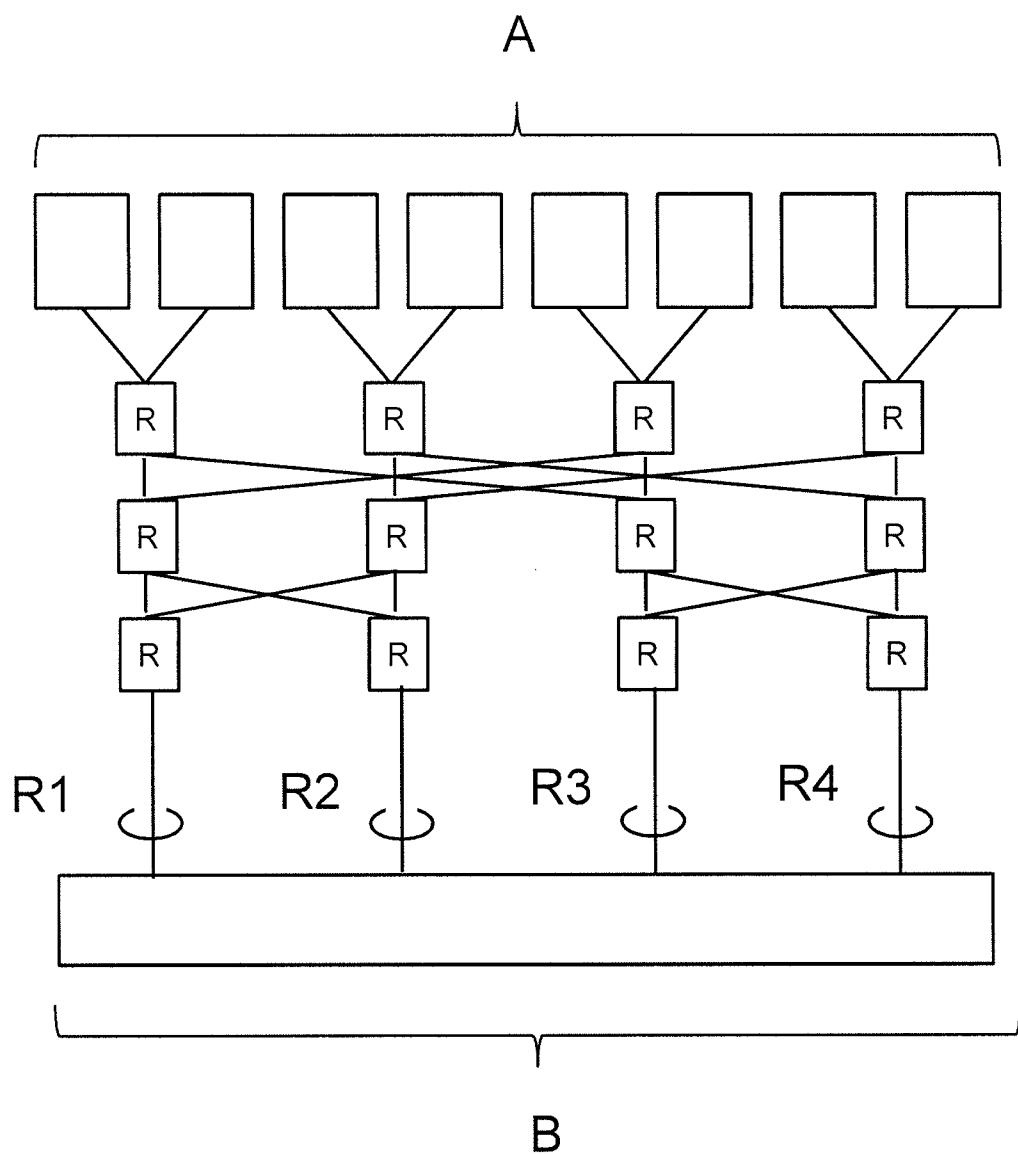
前記第 1 ノードから前記第 2 ノードへのデータ、および前記第 2 ノ  
ードから前記第 1 ノードへのデータを送受信するデータ送受信部と  
を備えている、ネットワークインターフェース。

[請求項19] 前記帯域情報管理部は、前記バス制御システムに包含される前記バ  
ス制御装置の経路負荷検出部からの要求に応答して、前記データ送受  
信部を介して前記帯域情報を出力する、請求項 1 8 に記載のネットワ

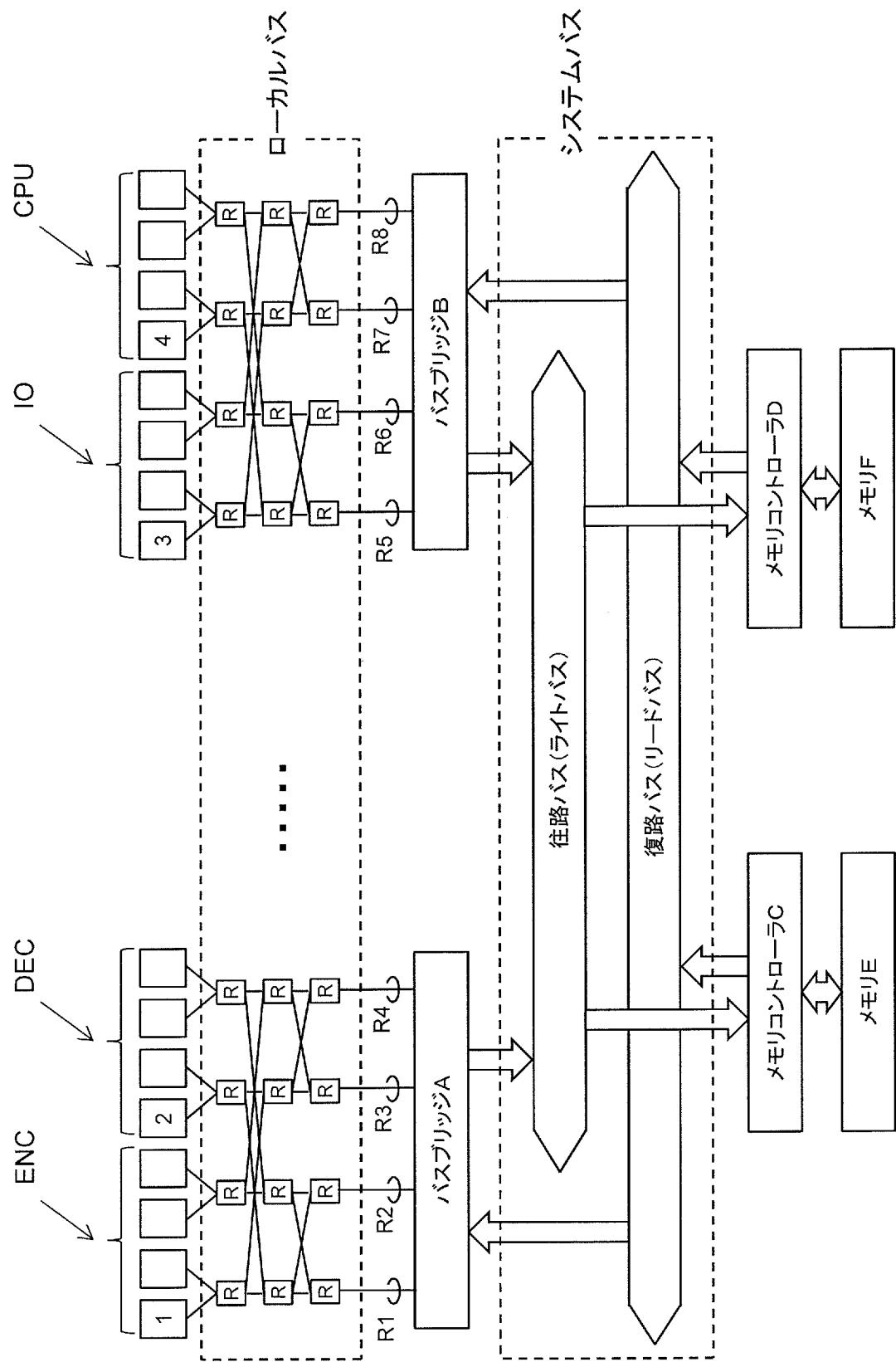
ークインターフェース。

[請求項20] 前記ヘッダ情報に格納された前記復路を示す経路情報に基づいて、前記復路を特定する情報を生成し、宛先を特定する情報とともにパケットのヘッダに格納する復路ヘッダ構築部をさらに備えた、請求項18に記載のネットワークインターフェース。

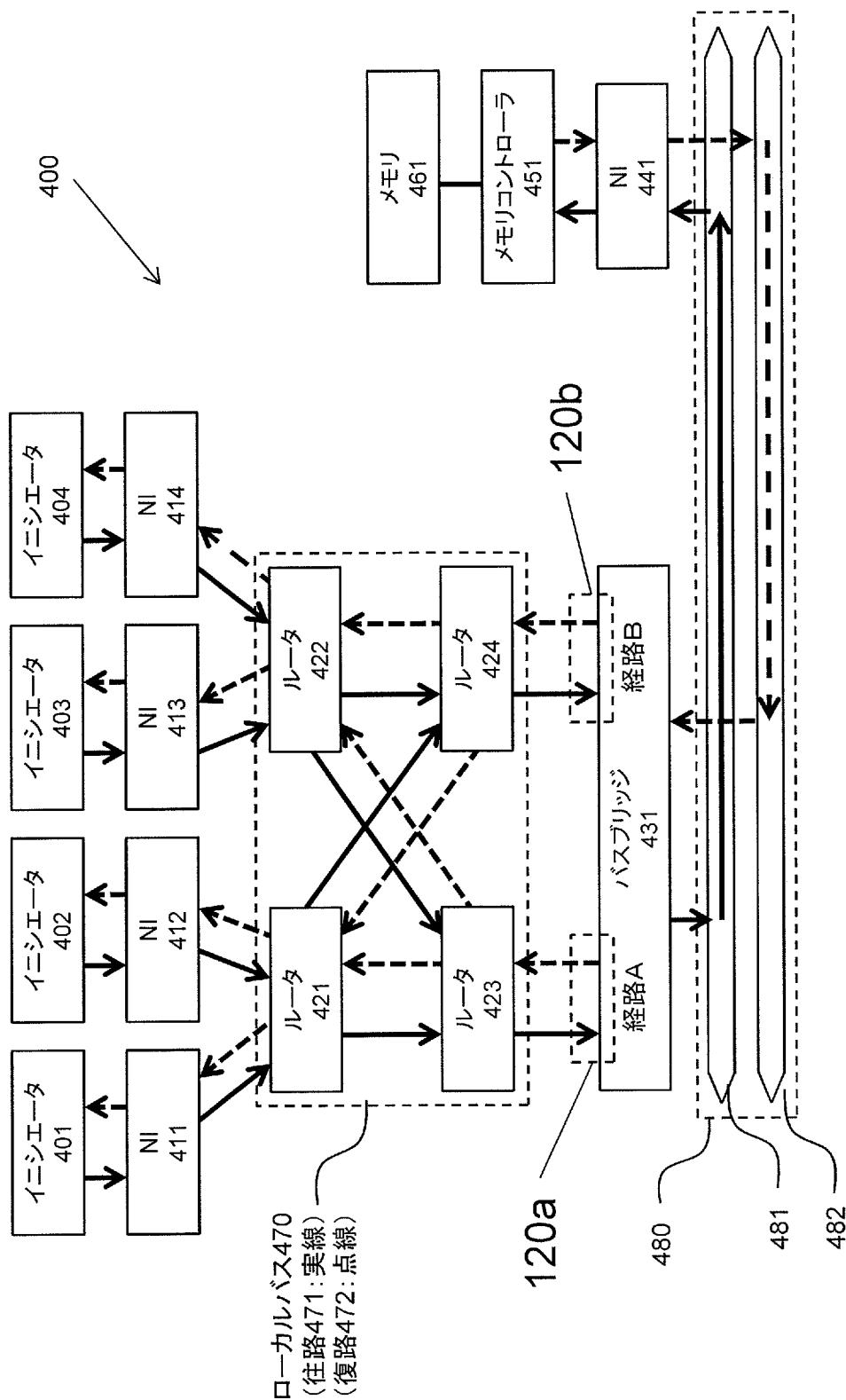
[図1]



[図2]



【図3】



[図4]

イニシエータ	往路要求帯域	復路要求帯域
401	300MB/s	100MB/s
402	200MB/s	300MB/s
403	200MB/s	300MB/s
404	100MB/s	100MB/s

[図5]

転送方向	転送経路	要求帯域(MB/s)				
		tc=0	tc=1000	tc=2000	tc=3000	tc=4000
往路	経路A	0	300	300	300	400
	経路B	0	0	200	400	400
復路	経路A	0	100	100	400	400
	経路B	0	0	300	300	400

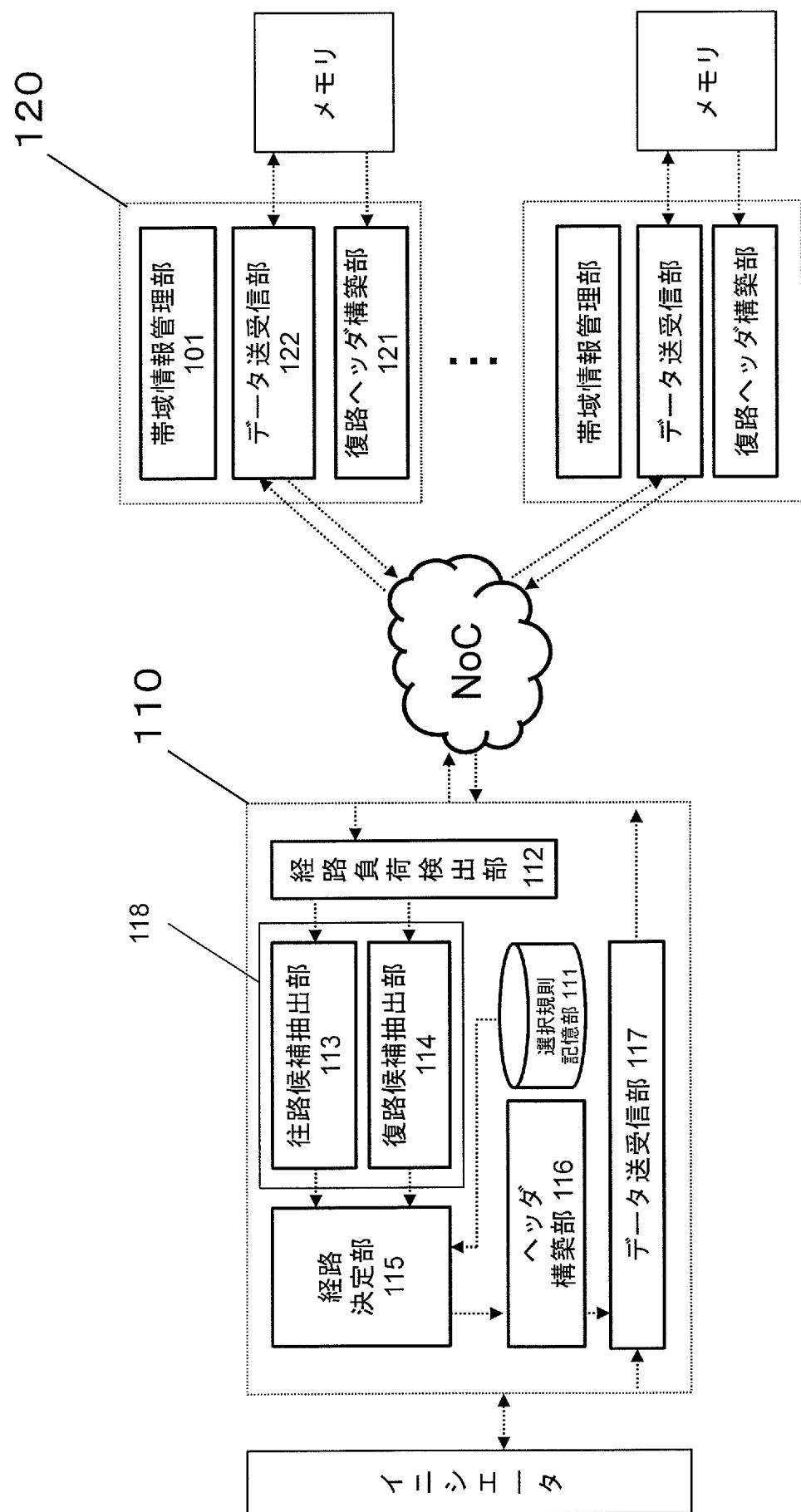
[図6]

1	2	3	4
メモリ側 NIのID	ローカルバス 往路のID	イニシエータ側 NIのID	ローカルバス 復路のID

[図7]

1	2	3	4
イニシエータ側 NIのID	ローカルバス 復路のID	メモリ側 NIのID	ローカルバス 往路のID

[図8]



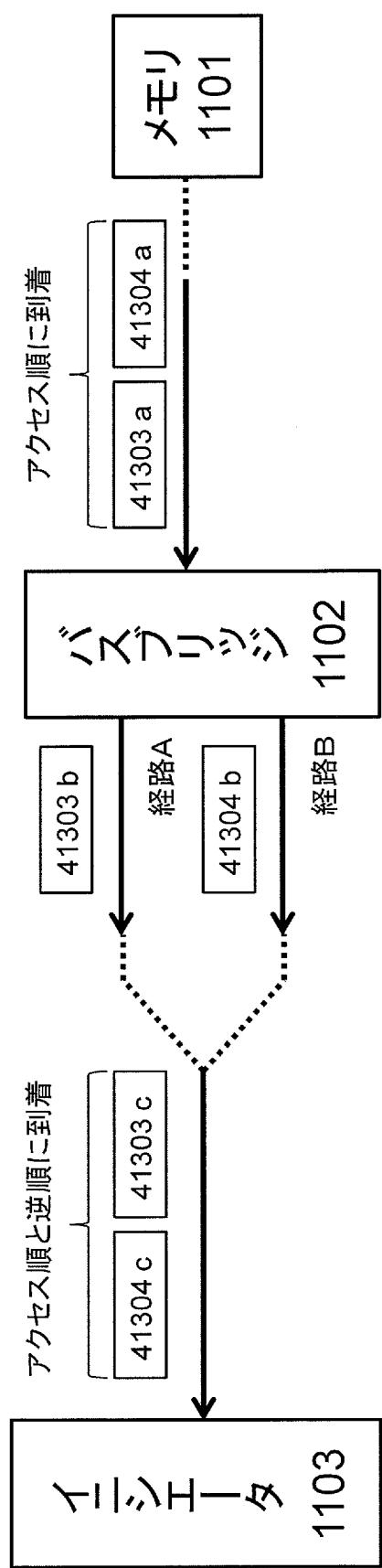
[図9]

フローID		ローカルバスの経路選択規則	
イニシエータ側 NIのID	フロー 番号	往路	復路
413	01	制限無	制限無
413	02	経路B固定	経路B固定
413	03	制限無	フロー04と順序性有
413	04	制限無	フロー03と順序性有

[図10]

経 路	往路割当済帯域 (MB/s)	復路割当済帯域 (MB/s)
A	300	100
B	200	300

[図11]



[図12]

フローID		ローカルバスの選択経路	
イニシエータ側 NIのID	フロー 番号	往路	復路
413	01	経路B	経路A
413	02	経路B	経路B
413	03	経路A	経路A
413	04	経路B	

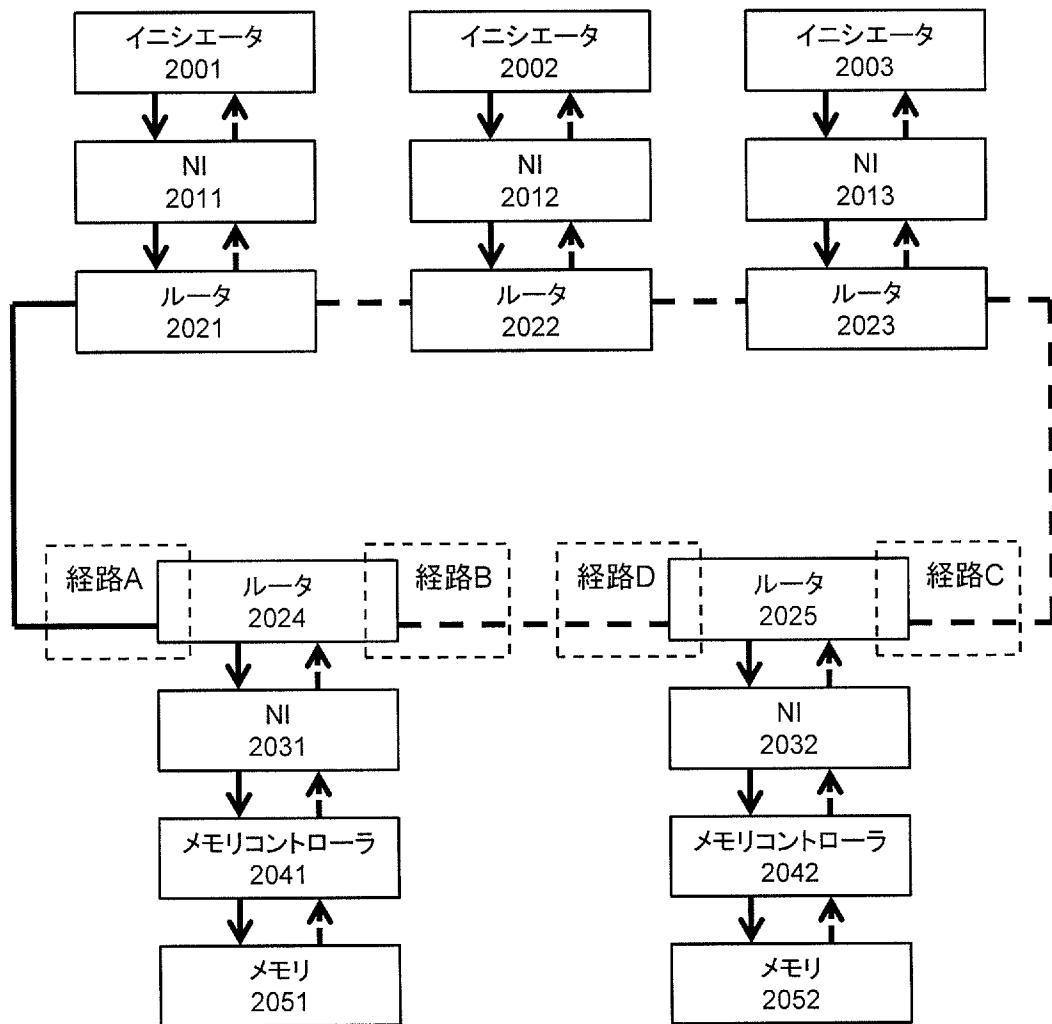
[図13]

1	2	3	4	5	6
メモリ側 NIのID	ローカルバス 往路のID	イニシエータ側 NIのID	ローカルバス 復路のID	フローの 往路要求帯域	フローの 復路要求帯域

[図14]



[図15]



[図16]

フローID		メモリへの経路選択規則			優先度
イニシエータ側 NIのID	フロー 番号	往路	復路		
2001	01	レート非保証	レート非保証	高	

フローID		メモリへの経路選択規則			優先度
イニシエータ側 NIのID	フロー 番号	往路	復路		
2002	01	レート非保証	レート非保証	高	

フローID		メモリへの経路選択規則			優先度
イニシエータ側 NIのID	フロー 番号	往路	復路		
2003	01	レート非保証	レート非保証	低	

[図17]

経路	レート非保証型フローの割当状況			
	往路		復路	
	フロー数	優先度	フロー数	優先度
A	0		0	
C	1	低	1	低

[図18]

経路	レート非保証型フローの割当状況			
	往路		復路	
	フロー数	優先度	フロー数	優先度
A	1	高	1	高
C	1	低	1	低

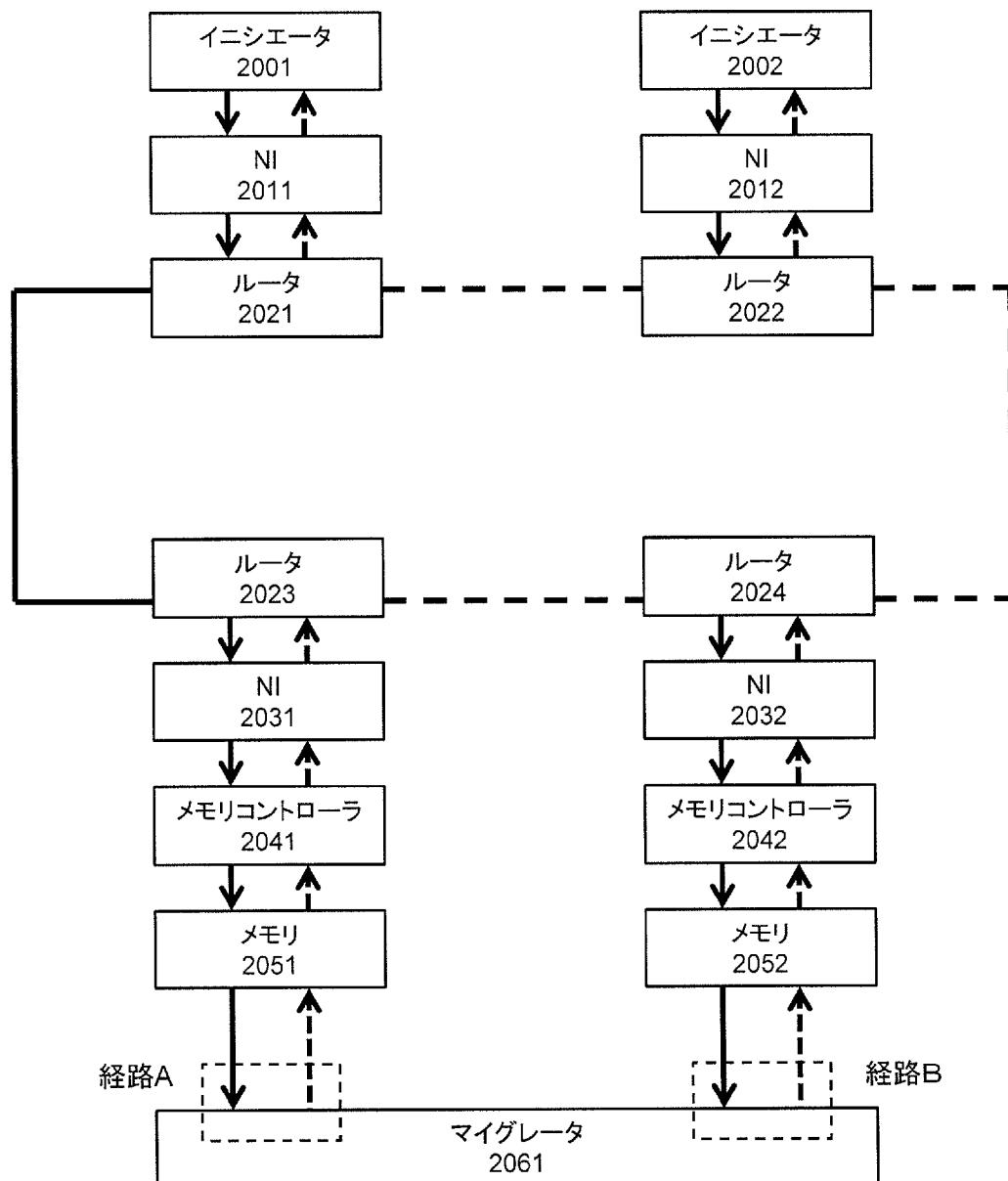
[図19]

1	2	3	4	5	6	
メモリ側 NIのID	ローカルバス 往路のID	イニシエータ側 NIのID	ローカルバス 復路のID	フローの 往路割当結果	フローの 優先度	

7	8
フローの 復路割当結果	フローの 優先度

[図20]



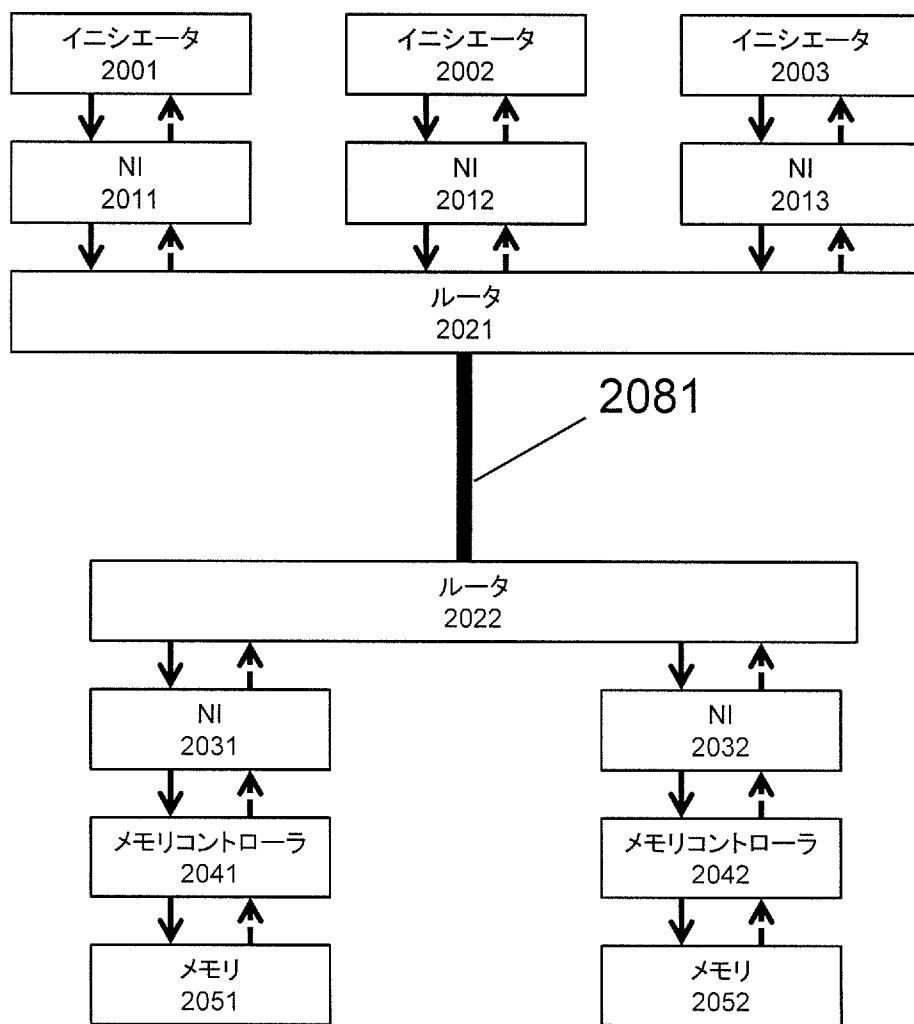
[図21]

フローID	要求帯域 (MB/s)	選択規則		開始時刻[tc (cycle)]	要求容量 (MB)
イニシエータ側 N のID	フロー番号	往路	復路		
2001	01	100	100	制限無	1000 100
2001	02	100	100		2000 400
2002	01	100	100	制限無	3000 100
2002	02	100	100		4000 400

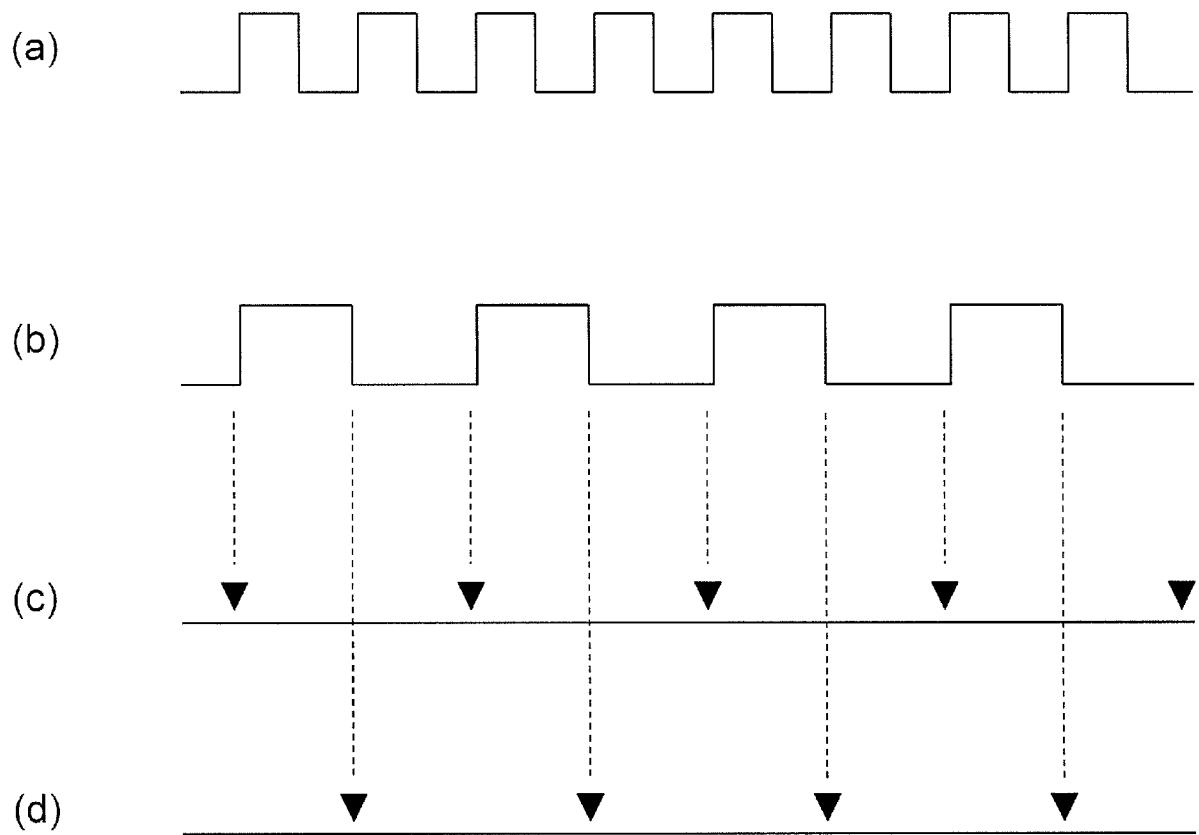
[図22]

転送方向	転送経路	要求帯域(MB/s)			
		tc=0	tc=1000	tc=2000	tc=3000
往路	経路A	0	100	100	200
	経路B	0	0	100	100
復路	経路A	0	100	100	200
	経路B	0	0	100	100

[図23]



[図24]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/002973

### A. CLASSIFICATION OF SUBJECT MATTER

G06F15/173(2006.01)i, H04L12/46(2006.01)i, H04L12/729(2013.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

### B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F15/173, H04L12/46, H04L12/729

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

### C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2011/004566 A1 (Panasonic Corp.), 13 January 2011 (13.01.2011), paragraphs [0039] to [0123]; fig. 5 to 22 & US 2012/0079147 A1	1-5, 8, 10-16, 18, 19 6, 7, 9 17
Y	JP 2001-197118 A (NEC Corp.), 19 July 2001 (19.07.2001), paragraphs [0009] to [0013] & US 2001/0007557 A1	6
Y	JP 2000-244559 A (Kabushiki Kaisha ATR Kankyo Tekiyo Tsushin Kenkyusho), 08 September 2000 (08.09.2000), paragraphs [0025] to [0028] (Family: none)	6

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
21 June, 2013 (21.06.13)

Date of mailing of the international search report  
02 July, 2013 (02.07.13)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2013/002973

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Document 4: JP 2005-303828 A (NTT Docomo Inc.), 27 October 2005 (27.10.2005), paragraph [0025]; fig. 2 (Family: none)	7, 9
Y	Document 5: JP 2002-518958 A (Telefonaktiebolaget LM Ericsson (publ)), 25 June 2002 (25.06.2002), paragraph [0027] & US 6594238 B1	7, 9
A	Document 6: JP 5-204876 A (Hitachi, Ltd.), 13 August 1993 (13.08.1993), paragraph [0053]; fig. 11 & US 5471580 A	17

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G06F15/173 (2006.01)i, H04L12/46 (2006.01)i, H04L12/729 (2013.01)i

## B. 調査を行った分野

## 調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G06F15/173, H04L12/46, H04L12/729

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2013年
日本国実用新案登録公報	1996-2013年
日本国登録実用新案公報	1994-2013年

## 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2011/004566 A1 (パナソニック株式会社) 2011.01.13, 段落39~123、図5~22 & US 2012/0079147 A1	1-5, 8, 10-16, 18, 19
Y A		6, 7, 9 17
Y	JP 2001-197118 A (日本電気株式会社) 2001.07.19, 段落9~13 & US 2001/0007557 A1	6

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

## 国際調査を完了した日

21.06.2013

## 国際調査報告の発送日

02.07.2013

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許序審査官（権限のある職員）

三坂 敏夫

5B

4178

電話番号 03-3581-1101 内線 3545

C (続き) . 関連すると認められる文献		関連する 請求項の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	JP 2000-244559 A (株式会社エイ・ティ・アール環境適用通信研究所) 2000.09.08, 段落25～28 (ファミリーなし)	6
Y	文献4 : JP 2005-303828 A (株式会社エヌ・ティ・ティ・ドコモ) 2005.10.27, 段落25、図2 (ファミリーなし)	7, 9
Y	文献5 : JP 2002-518958 A (テレフォンアクチーボラゲット エル エム エリクソン (パブル) ) 2002.06.25, 段落27 & US 6594238 B1	7, 9
A	文献6 : JP 5-204876 A (株式会社日立製作所) 1993.08.13, 段落53、図11 & US 5471580 A	17