



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0125363
(43) 공개일자 2010년11월30일

- (51) Int. Cl.
G11B 20/12 (2006.01) G11B 20/18 (2006.01)
H03M 13/09 (2006.01)
- (21) 출원번호 10-2010-7021559
- (22) 출원일자(국제출원일자) 2009년02월18일
심사청구일자 없음
- (85) 번역문제출일자 2010년09월28일
- (86) 국제출원번호 PCT/EP2009/051894
- (87) 국제공개번호 WO 2009/115386
국제공개일자 2009년09월24일
- (30) 우선권주장
12/052,688 2008년03월20일 미국(US)

- (71) 출원인
인터내셔널 비지네스 머신즈 코퍼레이션
미국 10504 뉴욕주 아몬크 뉴오차드 로드
- (72) 발명자
엘레프트헤리오우, 에반젤로스
스위스, 루에쉬리콘 시에이취-8803, 무에흐레스트
라세 7
허트킨스, 로버트, 알렌
미국 아리조나 85748, 투싼, 노스 탱크 버드 루프
517
(뒷면에 계속)
- (74) 대리인
허정훈, 윤여원

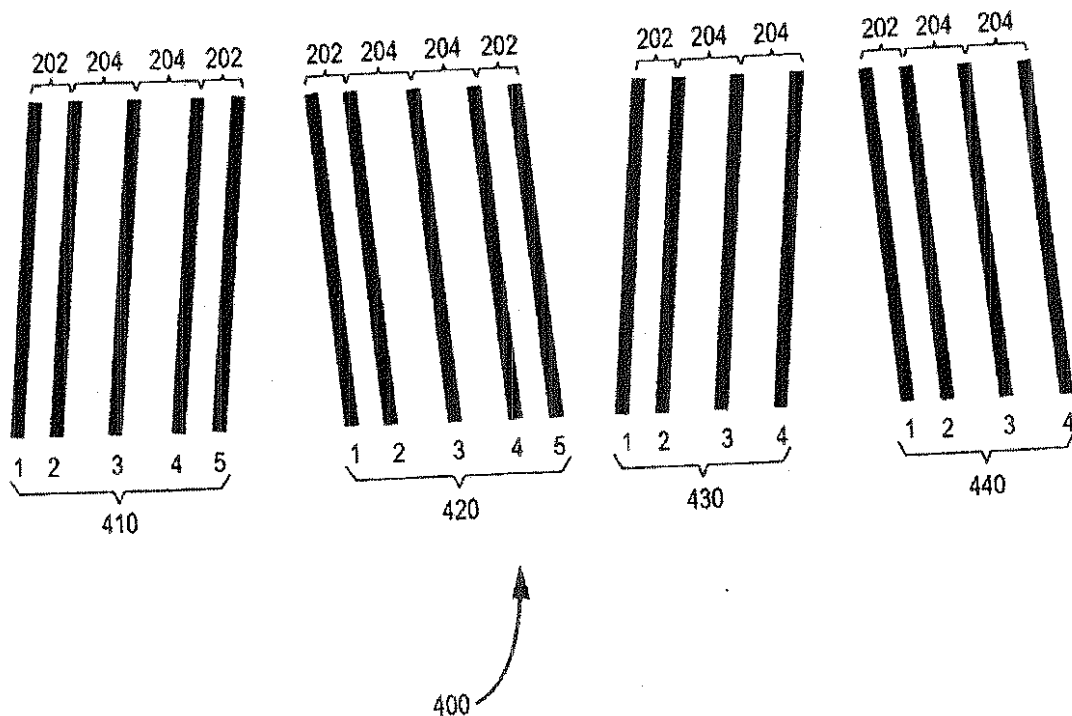
전체 청구항 수 : 총 25 항

(54) 종 위치 정보의 에러 정정 코딩

(57) 요약

순차적인 데이터 스토리지 매체(sequential data storage medium)가 개시된다. 상기 순차적인 데이터 스토리지 매체는 횡 위치 정보 및 종 위치 정보를 제공하는 복수의 서보 패턴들의 시퀀스를 포함하는데, 상기 복수의 서보 패턴들 각각은 제1의 복수의 펄스들을 포함하는 제1 버스트, 제2의 복수의 펄스들을 포함하는 제2 버스트, 제3의 복수의 펄스들을 포함하는 제3 버스트, 및 제4의 복수의 펄스들을 포함하는 제4 버스트를 포함한다. 상기 제1의 복수의 펄스들 간의 간격들은 상기 제2의 복수의 펄스들 간의 간격들과 함께, 횡 위치 정보의 복구에 영향을 미치지 않고서 제1 비트를 인코딩한다. 상기 제3의 복수의 펄스들 간의 간격들은 상기 제4의 복수의 펄스들 간의 간격들과 함께, 횡 위치 정보의 복구에 영향을 미치지 않고서 제2 비트를 인코딩한다. 에러-정정 기능을 제공하는 에러-정정 코드워드를 형성하기 위해, 복수의 서보 패턴들의 시퀀스는 상기 제1 비트들의 시퀀스 및 상기 제2 비트들의 시퀀스를 포함한다.

대표도



(72) 발명자

시드시안, 로이, 다론

스위스, 루에쉬리콘 시에이취-8803, 루스트라세 15

체루비니, 지오반니

스위스, 루에쉬리콘 시에이취-8803, 보엔들러스트
라세 5

특허청구의 범위

청구항 1

순차적인 데이터 스토리지 매체(sequential data storage medium)에 있어서, 상기 매체는 횡 위치 정보(lateral position information) 및 종 위치 정보(longitudinal position information)를 제공하는 논-데이터 영역(non-data region)에 인코딩된 복수의 서보 패턴들(servo patterns)의 시퀀스를 포함하되, 상기 복수의 서보 패턴들 각각은,

제1의 복수의 펄스들을 포함하는 제1 버스트;

제2의 복수의 펄스들을 포함하는 제2 버스트;

제3의 복수의 펄스들을 포함하는 제3 버스트; 및

제4의 복수의 펄스들을 포함하는 제4 버스트를 포함하고,

상기 제1 버스트를 구성하는 상기 제1의 복수의 펄스들 간의 간격들(spacings)은 상기 제2 버스트를 구성하는 상기 제2의 복수의 펄스들 간의 간격들과 함께, 횡 위치 정보의 복구(recovery)에 영향을 미치지 않고서 제1 비트를 인코딩하며,

상기 제3 버스트를 구성하는 상기 제3의 복수의 펄스들 간의 간격들은 상기 제4 버스트를 구성하는 상기 제4의 복수의 펄스들 간의 간격들과 함께, 횡 위치 정보의 복구에 영향을 미치지 않고서 제2 비트를 인코딩하며,

복수의 서보 패턴들의 상기 시퀀스는, 에러-정정 기능을 제공하는 에러-정정 코드워드를 형성하는 상기 제1 비트들의 시퀀스 및 상기 제2 비트들의 시퀀스를 포함하는

순차적인 데이터 스토리지 매체.

청구항 2

청구항 1에 있어서, 상기 순차적인 데이터 스토리지 매체는 자기 테이프인

순차적인 데이터 스토리지 매체.

청구항 3

청구항 1에 있어서, 상기 제1 비트는 0 및 1로 구성되는 그룹으로부터 선택되는 제1 값을 포함하는

순차적인 데이터 스토리지 매체.

청구항 4

청구항 3에 있어서, 상기 제2 비트는 0 및 1로 구성되는 그룹으로부터 선택되는 제2 값을 포함하는

순차적인 데이터 스토리지 매체.

청구항 5

청구항 4에 있어서, 상기 제1 값 및 상기 제2 값은 동일한

순차적인 데이터 스토리지 매체.

청구항 6

청구항 5에 있어서, 상기 제1 값 및 상기 제2 값은 서로 다른

순차적인 데이터 스토리지 매체.

청구항 7

순차적인 데이터 스토리지 매체(sequential data storage medium)에서 선형 위치 정보(linear position information)를 인코딩하기 위한 방법에 있어서,

상기 순차적인 데이터 스토리지 매체의 일 부분에 따라 (N) 순차적인 서보 패턴들(sequential servo patterns)을 인코딩하는 단계를 포함하되 - (N)은 1보다 큼 -;

상기 복수의 서보 패턴들 각각은 제1 LPOS 비트 및 제2 LPOS 비트를 인코딩하고, 상기 (N) 서보 패턴들은 함께 (in combination) 총 (2N) LPOS 비트들을 인코딩하는

방법.

청구항 8

청구항 7에 있어서, 상기 순차적인 데이터 스토리지 매체는 자기 테이프를 포함하는

방법.

청구항 9

청구항 7에 있어서, 상기 (N) LPOS 서보 패턴들 각각에 대한 인코딩 단계에서, 상기 (N) LPOS 서보 패턴들 각각은,

제1의 복수의 펄스들을 포함하는 제1 버스트;

제2의 복수의 펄스들을 포함하는 제2 버스트;

제3의 복수의 펄스들을 포함하는 제3 버스트; 및

제4의 복수의 펄스들을 포함하는 제4 버스트를 포함하고,

상기 제1 버스트를 구성하는 상기 제2의 복수의 펄스들 간의 간격들(spacings)은 상기 제2 버스트를 구성하는 상기 제2의 복수의 펄스들 간의 간격들과 함께, 상기 제1 LPOS 비트를 인코딩하며,

상기 제3 버스트를 구성하는 상기 제3의 복수의 펄스들 간의 간격들은 상기 제4 버스트를 구성하는 상기 제4의 복수의 펄스들 간의 간격들과 함께, 상기 제2 LPOS 비트를 인코딩하는

방법.

청구항 10

청구항 9에 있어서, 상기 (N) 서보 패턴들 각각에 있어서, 상기 제1 LPOS 비트는 정보 비트를 포함하고, 상기 제2 LPOS 비트는 패리티 비트를 포함하는

방법.

청구항 11

청구항 10에 있어서, 상기 (N) 서보 패턴들 각각에 있어서, 상기 패리티 비트는 상기 정보 비트와 동일한 값을 포함하는

방법.

청구항 12

청구항 11에 있어서, 상기 방법은

(i)의 각각의 값에 대해, (i) 번째 서보 패턴을 검출(detect)하는 단계 - (i)는 1보다는 크거나 같고 (N)보다는 작거나 같음 -;

(i) 번째의 제1 LPOS 비트가 디코딩될 수 있는지를 결정하는 단계; 및

상기 (i) 번째의 제1 LPOS 비트가 디코딩될 수 없을 경우, 상기 (i) 번째의 제2 LPOS 비트에 대해 디코딩된 값을 상기 (i) 번째 제1 LPOS 비트에 대한 값으로 사용하는 단계를 더 포함하는

방법.

청구항 13

청구항 10에 있어서, 상기 방법은

리드-솔로몬 에러 정정 코드(Reed-Solomon error correction code)를 사용하여 8 개의 연속되는 LPOS 비트들의 시퀀스를 정정하는 단계를 더 포함하는

방법.

청구항 14

청구항 10에 있어서, (N)은 24이며, 상기 방법은,

여덟 개의 3-비트 코드워드 심볼들을 디코딩하는 단계; 및

리드-솔로몬 에러 정정 코드를 사용하여 두 개의 서로 다른 3-비트 코드워드 심볼들까지 정정하는 단계를 더 포함하는

방법.

청구항 15

청구항 10에 있어서, 상기 방법은,

여덟 개의 3-비트 코드워드 심볼들을 포함하는 제1 LPOS 워드를 디코딩하는 단계; 및

여덟 개의 3-비트 코드워드 심볼들을 포함하는 제2 LPOS 워드를 디코딩하는 단계를 더 포함하되,

상기 제1 LPOS 워드는 상기 제2 LPOS 워드에 인터리브(interleave)되는

방법.

청구항 16

청구항 15에 있어서, 상기 방법은,

상기 제1 LPOS 워드를 구성하는 상기 여덟 개의 3-비트 코드워드 심볼들 중 두 개까지 정정하는 단계를 더 포함하는

방법.

청구항 17

청구항 15에 있어서, 상기 방법은,

상기 제2 LPOS 워드를 구성하는 상기 여덟 개의 3-비트 코드워드 심볼들 중 두 개까지 정정하는 단계를 더 포함하는

방법.

청구항 18

순차적인 데이터 스토리지 매체(sequential data storage medium)에서 싱크 정보(sync information), 제조자 정보(manufacturer information), 및 종 위치 정보(longitudinal position information)를 인코딩하기 위한 방법에 있어서,

순차적인 데이터 스토리지 매체의 길이의 일부분에 따라 (N) 순차적인 서보 패턴들(sequential servo patterns)을 인코딩하는 단계 - 여기서 (N)은 1보다 더 큼 - 를 포함하되,

상기 복수의 서보 패턴들 각각은 제1 비트 및 제2 비트를 인코딩하며, 상기 (N) 서보 패턴들은 총 (2N) 비트들을 함께(in combination) 인코딩하는

방법.

청구항 19

청구항 18에 있어서, 상기 순차적인 데이터 스토리지 매체는 자기 테이프를 포함하는

방법.

청구항 20

청구항 18에 있어서, 상기 (N) 서보 패턴들 각각에 대해 인코딩하는 단계에서, 상기 (N) 서보 패턴들 각각은,

제1의 복수의 펄스들을 포함하는 제1 버스트;

제2의 복수의 펄스들을 포함하는 제2 버스트;

제3의 복수의 펄스들을 포함하는 제3 버스트; 및

제4의 복수의 펄스들을 포함하는 제4 버스트를 포함하고,

상기 제1 버스트를 구성하는 상기 제1의 복수의 펄스들 간의 간격들(spacings)은 상기 제2 버스트를 구성하는 상기 제2의 복수의 펄스들 간의 간격들과 함께, 제1 비트를 인코딩하며,

상기 제3 버스트를 구성하는 상기 제3의 복수의 펄스들 간의 간격들은 상기 제4 버스트를 구성하는 상기 제4의 복수의 펄스들 간의 간격들과 함께, 제2 비트를 인코딩하는

방법.

청구항 21

청구항 20에 있어서, (N)은 36이고, 상기 인코딩 단계는,

8 개의 순차적인 서보 패턴들을 사용하여 싱크 정보를 인코딩하는 단계를 더 포함하되,

각각의 서보 패턴은 2 비트의 싱크 정보를 인코딩하는

방법.

청구항 22

청구항 21에 있어서, 상기 싱크 정보는 16 비트 패턴 1100000000000000를 포함하는

방법.

청구항 23

청구항 21에 있어서, 상기 방법은,

4 개의 순차적인 서보 패턴들을 사용하여 제조자 정보를 인코딩하는 단계를 더 포함하되,

각각의 서보 패턴은 1 비트의 제조자 정보 및 1 패리티 비트를 인코딩하는

방법.

청구항 24

청구항 23에 있어서, 상기 제조자 정보는 간단한 반복 코드(simple repetition code)를 사용하여 인코딩되는

방법.

청구항 25

청구항 23에 있어서, 상기 제조자 정보는 한 비트 에러 정정 해밍 코드(single-bit error correcting Hamming code)를 사용하여 인코딩되는

방법.

명세서

기술분야

본 발명은 종 위치 정보(longitudinal position information)의 에러 정정 코딩(error correction coding)과

[0001]

관련된다.

배경 기술

[0002] 타이밍 기반 서보(Timing-based servo, TBS)는 선형 테이프 드라이브들(linear tape drives)을 위해 개발된 기술이다. TBS 시스템들에서, 기록된 서보 패턴들(servo patterns)은 두 개의 서로 다른 방위각 기울기들(azimuthal slopes)을 갖는 트랜지션들(transitions)로 구성된다. 헤드 위치는 상기 서보 패턴들을 읽는 좁은 헤드에 의해 생성된 펄스들, 또는 쌍비트들(dibits)의 상대적 타이밍으로부터 유도된다. TBS 패턴들은 또한 횡단(transversal) 위치 에러 신호(position error signal, PES)의 발생에 영향을 미치지 않고서 추가의 종 위치(longitudinal position, LPOS) 정보의 인코딩을 가능하게 한다. 이는 펄스-위치 변조(pulse-position modulation, PPM)를 사용하여 TBS 패턴들의 노미널(nominal) 패턴 위치로부터 트랜지션들을 쉬프트시킴으로써 달성된다. 현재의 중간급의 테이프 드라이브들에서의 서보 포맷에 대한 사양은 선형 테이프-오픈(linear tape-open, LTO) 포맷에 의해 제공된다. 1 세대의 LTO 드라이브들(LTO-1)에 대한 완전한 포맷은 2001년에 유럽 컴퓨터 제조자 협회(European Computer Manufacturers Association, ECMA)에 의해 ECMA-319로 표준화되었다. LTO 기술, 특히 2 내지 4 세대(LTO-2 내지 LTO-4)의 LTO 드라이브들에 관한 추가 정보 - 여기서는 서보 포맷은 변형되지 않았음 - 는 www.ultrium.com(ultrium.com의 월드 와이드 웹) 상에서 확인될 수 있다. LPOS 비트들의 검출은 또한 정합-필터 검출기(matched-filter detector)에 의해 수행될 수 있는데, 이는 미국특허출원번호 11/205,713(이 출원은 공동 양수인에 의해 소유됨)에 기술되어 있다.

[0003] 전통적으로, LPOS 정보 비트들의 검출은 서보 리더 출력(servo reader output)에서 서보 버스트들(servo bursts) 내의 쌍비트 피크들(dibit peaks)의 도달 시간들(arrival times)의 쉬프트들의 관측(observation)에 기초한다. 순차적인 데이터 스토리지 매체(sequential data storage medium)(예를 들어, 자기 테이프)의 논-데이터(non-data) 영역에 36 비트의 정보를 포함하는 LPOS 워드를 펄스 위치 변조(pulse position modulation)로 인코딩하는 것은 당해 기술 분야에 알려져 있다. 12.7mm 384-트랙 자기 테이프 카트리지를 상의 데이터 교환(data interchange)에 관한 표준 ECMA-319에서의 각각의 인코딩된 LPOS 워드는 특정의 절대적 종 어드레스(specific absolute longitudinal address)와 관련되고, 상기 테이프 아래로 매 7.2mm마다 나타난다. 종래의 방법들을 사용하면, LPOS 워드는 36 개의 개별 서보 패턴들 즉, 프레임들 - 각각의 프레임은 한 비트의 정보를 인코딩함 - 을 포함한다. 두 개의 연속되는 LPOS 워드들의 LPOS 값들은 하나가 다르다. 그러므로, 테이프 드라이브는 특정 LPOS 주소에 데이터/서보 헤드 어셈블리를 포지셔닝(position)할 수 있고, 이에 따라 약 7.2mm의 종 해상도(longitudinal resolution)를 달성할 수 있다.

[0004] 두 개의 서보 헤드들을 포함하는 읽기/쓰기 어셈블리는 데이터 대역(data band), 및 그 데이터 대역에 인접하여 배치되는 두 개의 서보 대역들에 걸쳐 있다(span). 하나의 서보 헤드가 동작하지 않는 상태(inoperative)가 될 경우, 단지 하나의 서보 헤드만이 상기 읽기/쓰기 헤드를 횡(lateral)으로 포지셔닝하기 위해 사용될 수 있다. 상기 동작하는(operative) 서보 채널에서의 비트 에러들은 쓰기-정지 조건(stop-write condition)을 초래할 수 있다. 그렇지 않으면, 서보 대역은 손상될 수 있고, 또는 매체 손상으로부터 발생하는 유용한 정보를 포함하지 않을 수도 있다.

발명의 내용

과제의 해결 수단

[0005] 본 발명은 순차적인 데이터 스토리지 매체(sequential data storage medium)(예를 들어, 인코딩된 복수의 서보 패턴들의 시퀀스(sequence)를 포함하는 자기 테이프, 그러나 이것으로 한정되는 것은 아님)를 포함하는데, 상기 순차적인 데이터 스토리지 매체는 횡 위치 정보(lateral position information) 및 LPOS 정보를 제공한다. 각각의 서보 패턴은 복수의 펄스들을 포함하는 제1 버스트, 복수의 펄스들을 포함하는 제2 버스트, 복수의 펄스들을 포함하는 제3 버스트, 및 복수의 펄스들을 포함하는 제4 버스트를 포함한다. 상기 제1 버스트를 구성하는 복수의 펄스들의 간격들(spacings)은 상기 제2 버스트를 구성하는 복수의 펄스들의 간격들과 함께, 횡 위치 정보의 복구(recovery)에 영향을 미치지 않고서 제1 비트를 인코딩한다. 상기 제3 버스트를 구성하는 복수의 펄스들의 간격들은 상기 제4 버스트에 포함되는 복수의 펄스들의 간격들과 함께, 횡 위치 정보의 복구에 영향을 미치지 않고서 제2 비트를 인코딩한다. 그런 다음, 복수의 서보 패턴들의 상기 시퀀스는 에러-정정 기능(error-correction capability)을 제공하는 에러-정정 코드워드(error-correction codeword)를 형성하는 비트들의 시퀀스를 포함한다.

[0006] 본 발명은 본 발명의 순차적인 데이터 스토리지 매체의 논-데이터(non-data) 영역에 정보를 인코딩하는 방법을 더 포함한다. 특정 실시예들에서, 본 발명의 방법은 LPOS 정보를 복구하기 위한 에러 정정 기능들을 포함하는 종래의 접근법들에 비해, 더 낮은 디코딩 지연 및 LPOS 정보 검출의 더 높은 신뢰성을 제공한다.

[0007] 본 발명의 방법의 특정 실시예들에서, 상기 제1 비트는 LPOS 정보 비트를 포함하는 반면, 상기 제2 비트는 "패리티 비트(parity bit)"를 포함한다. 이들 패리티 비트의 특정 실시예들에서, 본 발명의 방법은 디코딩된 LPOS 정보에서의 에러들을 정정하기 위해 리드 솔로몬 에러 정정 코드(Reed Solomon error correction code)를 이용한다. 본 발명의 방법의 다른 실시예들에서, 디코딩된 LPOS 정보에서의 에러들을 정정하기 위해 해밍 에러 정정 코드(Hamming error correction code)가 이용된다. 또 다른 본 발명의 방법의 실시예들에서, 반복 코드(repetition code)가 이용되는데, 여기서 상기 제1 비트의 값은 상기 제2 비트의 값과 동일하다.

도면의 간단한 설명

[0008] 본 발명은 도면들과 함께 다음의 상세한 설명을 읽을 경우 더 잘 이해될 것이다. 도면들에서 유사한 참조 부호들은 유사한 구성요소들을 지시하기 위해 사용된다.

도 1a는 네 개의 버스트들을 포함하는 서보 패턴을 보여주는데, 여기서 네 개의 버스트들 각각은 복수의 펄스들을 포함한다.

도 1b는 LTO 테이프 드라이브들에 대해 규정된, 도 1a의 서보 패턴을 포함하는 버스트들 및 펄스들의 차원들(dimensions)에 관한 데이터를 열거한다.

도 1c는 횡 y-위치 추정치(lateral y-position estimate)를 계산하는 것을 도시한다.

도 2는 한 비트의 정보를 인코딩하기 위해 사용되는 제1의 종래의 서보 패턴을 보여준다.

도 3은 한 비트의 정보를 인코딩하기 위해 사용되는 제2의 종래의 서보 패턴을 보여준다.

도 4는 두 비트의 정보를 인코딩하기 위해 사용되는 본 발명의 서보 패턴의 제1 실시예를 보여준다.

도 5는 두 비트의 정보를 인코딩하기 위해 사용되는 본 발명의 서보 패턴의 제2 실시예를 보여준다.

도 6은 두 비트의 정보를 인코딩하기 위해 사용되는 본 발명의 서보 패턴의 제3 실시예를 보여준다.

도 7은 두 비트의 정보를 인코딩하기 위해 사용되는 본 발명의 서보 패턴의 제4 실시예를 보여준다.

도 8a는 LPOS 워드를 인코딩하기 위해 사용되는 24 개의 순차적인 서보 패턴들을 보여준다.

도 8b는 여덟 개의 3-비트 심볼들을 포함하는 도 8a의 LPOS 워드를 보여준다.

도 9는 네 개의 3-비트 심볼들을 포함하는 제1 LPOS 워드를 포함하는 도 8a의 LPOS 정보의 제1 부분을 보여준다.

도 10은 네 개의 3-비트 심볼들을 포함하는 제2 LPOS 워드를 포함하는 도 8a의 LPOS 정보의 제2 부분을 보여주며, 도 9의 제1 LPOS 워드는 도 10의 제2 LPOS 워드에 인터리브(interleave)된다.

도 11은 갈로이스 필드(Galois field) GF(8) 상의 a[8,4,5] 개별적 확장(singly-extended) 리드-솔로몬 코드로부터 코드워드들을 생성하는 체계적인 인코더(systematic encoder)를 도시한다.

도 12는 갈로이스 필드 GF(2) 상의 a[8,4,4] 확장 해밍 코드로부터 코드워드들을 생성하는 체계적인 인코더를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0009] 본 발명은 도면들을 참조하여 이하의 설명에서의 바람직한 실시예들로 기술되는데, 여기서 유사한 참조 부호들은 동일하거나 유사한 구성요소들을 나타낸다. 명세서 전체에서 언급한 "일 실시예", "실시예", 또는 유사한 표현은 그 실시예와 관련되어 기술된 특정 특징, 구조, 또는 특성이 본 발명의 적어도 하나의 실시예에 포함되는 것을 의미한다. 따라서, 명세서 전체에서 "일 실시예에서", "실시예에서", 및 유사한 표현들은 모두 동일한 실시예를 일컫을 수 있다. 그러나 반드시 그러한 것은 아니다.

[0010] 기술된 본 발명의 특징들, 구조들, 또는 특성들은 하나 또는 그 이상의 실시예들에서 적절한 방법으로 조합될 수 있다. 이하의 설명에서, 발명의 실시예들에 관한 완전한 이해를 제공하고자 많은 구체적인 세부 사항들이 나

열된다. 그러나, 관련 기술 분야에서 숙련된 자라면, 발명이 구체적인 세부 사항들 중 하나 또는 그 이상이 없이, 또는 다른 방법들, 컴포넌트들, 재료들 등으로 실시될 수 있다는 것을 이해할 것이다. 어떤 경우에는, 발명의 측면들을 모호하게 하지 않도록 하기 위해 잘 알려진 구조들, 재료들, 또는 동작들은 도시되지 않거나 기술되지 않는다.

- [0011] 순차적인 데이터 스토리지 매체(예를 들어, 자기 테이프 스토리지 매체)에서, 서보 패턴들은 상기 매체의 논-데이터 부분들에 인코딩된다. 그러한 서보 패턴들은, 싱크 데이터(sync data)를 제공하기 위해, 제조자 데이터(manufacturer data)를 제공하기 위해, 그리고 상기 매체의 길이에 따른 선형 위치(linear position, "LPOS")를 결정하기 위해, 복수의 데이터 트랙들에 대해 읽기/쓰기 헤드를 포지셔닝하는 데에 사용된다.
- [0012] 도 1a 및 도 1b를 참조하면, 기록된 서보 패턴(100)은 두 개의 서로 다른 방위각 기울기들을 갖는 트랜지션들(transitions)로 구성된다. 읽기/쓰기 헤드 위치는 그 패턴을 읽는 좁은 헤드에 의해 생성된 펄스들의 상대적 타이밍으로부터 유도된다. 서보 패턴(100)은 또한 횡단(transversal) 위치 에러 신호(position error signal, "PES")의 발생에 영향을 미치지 않고서 LPOS 정보의 인코딩을 가능하게 한다. 도 1b는 LTO 테이프 드라이브들에서 서보 패턴들의 포맷을 도시한다.
- [0013] 도 1c는 LTO 테이프 드라이브들에서 A 인터벌들(intervals)의 합과 B 인터벌들의 합의 비(ratio)로부터 횡 y-위치 추정치를 계산하는 것을 도시한다. 그런 다음, 위치 에러 신호는 상기 y-위치 추정치로부터 얻어진다.
- [0014] LPOS 정보는 도 1a에 보여진 노미널 패턴 위치들로부터 트랜지션들을 쉬프트시킴으로써 인코딩된다. 테이프 시스템들에는 일반적으로 PES 뿐만 아니라 LPOS 정보가 유도될 수 있는 두 개의 전용 서보 채널들(dedicated servo channels)이 이용가능하다.
- [0015] 서보 패턴(100)은 다섯 개의 펄스들을 포함하는 제1 버스트(110)를 포함하는데, 이들 다섯 개의 펄스들 각각은 제1의 방위각 기울기를 포함한다. 제1 펄스(101)는 에지(102)를 포함하는데, 에지(102)는 제2 펄스(103)와 마주한다. 제2 펄스(103)는 에지(104)를 포함하는데, 에지(104)는 제1 펄스(101)와 마주한다. 도 1a에 도시된 실시예에서, 에지(102)는 에지(104)로부터 거리(106)를 두고 배치된다.
- [0016] 거리(106)는 서보 패턴(100)에서 이웃하는 펄스들 사이의 노미널 간격(nominal spacing)을 포함한다. 또한 도 1a에 도시된 실시예에서, 버스트(110)에서의 다섯 개의 펄스들 각각은 동일한 노미널 간격(106)에 의해 이웃하는 펄스들로부터 분리된다.
- [0017] 서보 패턴(100)은 다섯 개의 펄스들을 포함하는 제2 버스트(120)를 더 포함하는데, 이들 다섯 개의 펄스들 각각은 제2의 방위각 기울기를 포함하고, 버스트(120)에서의 다섯 개의 펄스들 각각은 노미널 간격(106)에 의해 이웃하는 펄스들로부터 분리된다. 나아가 서보 패턴(100)은 네 개의 펄스들을 포함하는 제3 버스트(130)를 포함하는데, 이들 네 개의 펄스들 각각은 제1의 방위각 기울기를 포함하고, 버스트(130)에서의 네 개의 펄스들 각각은 노미널 간격(106)에 의해 이웃하는 펄스들로부터 분리된다. 나아가 서보 패턴(100)은 네 개의 펄스들을 포함하는 제4 버스트(140)를 포함하는데, 이들 네 개의 펄스들 각각은 제2 방위각 기울기를 포함하고, 버스트(140)에서의 네 개의 펄스들 각각은 노미널 간격(106)에 의해 이웃하는 펄스들로부터 분리된다.
- [0018] 서보 패턴(100)에 배치된 모든 펄스들은 노미널 간격(106)에 의해 이웃하는 펄스들로부터 분리되기 때문에, 서보 패턴(100)은 어떤 LPOS 정보도 인코딩하지 않는다. LPOS 정보를 복구하기 위한 에러-정정 기능들을 포함하는 종래의 방법들은, LPOS 데이터를 인코딩하기 위해 버스트(110)에서의 펄스들과 버스트(120)에서의 펄스들 간의 간격을 조정한다. 이들 종래의 서보 패턴들 및 방법들을 사용하여, 버스트들(130 및 140)에서의 이웃하는 펄스들 간의 간격들은 노미널 간격(106)으로 세트된 상태로 유지된다. 그 결과, 종래의 서보 패턴들 및 방법들은 버스트들(130 및 140)에서는 에러-정정 목적들을 위해 데이터를 인코딩하지 않는다.
- [0019] 도 2는 종래의 서보 패턴(200)을 보여준다. 버스트들(210 및 220)에서의 펄스들 간의 간격들은 노미널 간격(도 1a의 106)에 대해 변경되었다. 종래의 방법들을 사용하여, 서보 패턴(200)은 한 비트의 정보를 인코딩하는데, 상기 비트는 "1"의 값을 포함하도록 디코딩된다.
- [0020] 버스트(210)에서의 펄스 2는 간격(202)에 의해 펄스 1로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다. 또한, 버스트(210)에서의 펄스(2)는 간격(204)에 의해 버스트(210)에서의 펄스 3으로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다. 버스트(210)에서의 펄스 4는 간격(204)에 의해 버스트(210)에서의 펄스 3으로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다. 또한, 버스트(210)에서의 펄스 4는 간격(202)에 의해 버스트(210)에서의 펄스 5로부터 분리되는데, 여기서 간격(202)은 노미

널 간격(106)보다 더 작다.

- [0021] 도 2에 도시된 실시예에서, 버스트(220)에서의 펄스들 간의 간격들은 노미널 간격(도 1a의 106)에 대해 버스트(210)에서와 유사한 방법으로 변경되었다. 버스트(220)에서의 펄스 2는 간격(202)에 의해 버스트(220)에서의 펄스 1로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다. 또한, 버스트(220)에서의 펄스(2)는 간격(204)에 의해 버스트(220)에서의 펄스 3으로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다. 버스트(220)에서의 펄스 4는 간격(204)에 의해 버스트(220)에서의 펄스 3으로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다. 또한, 버스트(220)에서의 펄스 4는 간격(202)에 의해 버스트(220)에서의 펄스 5로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다.
- [0022] 도 3은 종래의 서보 패턴(300)을 보여준다. 버스트들(310 및 320)에서의 펄스들 간의 간격들은 노미널 간격(도 1a의 106)에 대해 변경되었다. 종래 방법들을 사용하여, 서보 패턴(300)은 한 비트의 정보를 인코딩하는데, 상기 비트는 "0"의 값을 포함하도록 디코딩된다.
- [0023] 버스트 310에서의 펄스 2는 간격(204)에 의해 버스트(210)에서의 펄스 1로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다. 또한, 버스트(310)에서의 펄스 2는 간격(202)에 의해 버스트(310)에서의 펄스 3으로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다. 버스트(310)에서의 펄스 4는 간격(202)에 의해 버스트(310)에서의 펄스 3으로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다. 또한, 버스트(310)에서의 펄스 4는 간격(204)에 의해 버스트(310)에서의 펄스 5로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다.
- [0024] 도 3에 도시된 실시예에서, 버스트(320)에서의 펄스들 간의 간격들은 노미널 간격(도 1a의 106)에 대해 버스트(310)에서와 유사한 방법으로 변경되었다. 버스트(320)에서의 펄스 2는 간격(204)에 의해 버스트(320)에서의 펄스 1로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다. 또한, 버스트(320)에서의 펄스 2는 간격(202)에 의해 버스트(320)에서의 펄스 3으로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다. 버스트(320)에서의 펄스 4는 간격(202)에 의해 버스트(320)에서의 펄스 3으로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다. 또한, 버스트(320)에서의 펄스 4는 간격(204)에 의해 버스트(320)에서의 펄스 5로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다.
- [0025] 도 4는 본 발명의 서보 패턴(400)을 보여준다. 도 4에서는, 정보의 제1 비트를 인코딩하기 위해 버스트들(410 및 420)에서의 펄스들 간의 간격들이 노미널 간격(도 1a의 106)에 대해 변경되었다. 또한, 에러-정정 목적들을 위해 패리티 비트를 인코딩하고자, 버스트들(430 및 440)에서의 펄스들 간의 간격들은 노미널 간격(도 1a의 106)에 대해 변경되었다. 본 발명의 방법을 사용하여, 서보 패턴(400)은 두 개의 비트들 - 첫 번째는 한 비트의 정보를 나타내고, 두 번째는 에러-정정 목적들을 위한 패리티 비트를 나타냄 - 을 인코딩한다. 특정 실시예들에서, 이들 두 개의 비트들은 바이너리 심볼들의 쌍(1,1)을 나타내는데, 여기서는 정보 비트 및 패리티 비트 모두가 논리 값 '1'을 취한다. A 인터벌들(intervals)의 합 및 B 인터벌들의 합이 노미널 간격들의 경우(도 1c)에서와 동일한 값을 생성하므로, 상기 패리티 비트의 도입은 y-위치 추정치의 계산에는 영향을 미치지 않음을 주목하자.
- [0026] 버스트(410)에서의 펄스 2는 간격(202)에 의해 버스트(410)에서의 펄스 1로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다. 또한, 버스트(410)에서의 펄스 2는 간격(204)에 의해 버스트(410)에서의 펄스 3으로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다. 버스트(410)에서의 펄스 4는 간격(204)에 의해 버스트(410)에서의 펄스 3으로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다. 또한, 버스트(410)에서의 펄스 4는 간격(202)에 의해 버스트(410)에서의 펄스 5로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다.
- [0027] 도 4에 도시된 실시예에서, 버스트(420)에서의 펄스들 간의 간격들은 노미널 간격(도 1a의 106)에 대해 버스트(410)에서와 유사한 방법으로 변경되었다. 버스트(420)에서의 펄스 2는 간격(202)에 의해 버스트(420)에서의 펄스 1로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다. 또한, 버스트(420)에서의 펄스 2는 간격(204)에 의해 버스트(420)에서의 펄스 3으로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다. 버스트(420)에서의 펄스 4는 간격(204)에 의해 버스트(420)에서의 펄스 3으로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다. 또한, 버스트(420)에서의 펄스 4는 간격(202)에 의해 버스트(420)에서의 펄스 5로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다.
- [0028] 버스트(430)에서의 펄스 2는 간격(202)에 의해 버스트(430)에서의 펄스 1로부터 분리되는데, 여기서 간격(202)

은 노미널 간격(106)보다 더 작다. 또한, 버스트(430)에서의 펄스 2는 간격(204)에 의해 버스트(430)에서의 펄스 3으로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다. 버스트(430)에서의 펄스 4는 간격(204)에 의해 버스트(430)에서의 펄스 3으로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다.

[0029] 도 4에 도시된 실시예에서, 버스트(440)에서의 펄스들 간의 간격들은 노미널 간격(도 1a의 106)에 대해 버스트(430)에서와 유사한 방법으로 변경되었다. 버스트(440)에서의 펄스 2는 간격(202)에 의해 버스트(440)에서의 펄스 1로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다. 또한, 버스트(440)에서의 펄스 2는 간격(204)에 의해 버스트(440)에서의 펄스 3으로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다. 버스트(440)에서의 펄스 4는 간격(204)에 의해 버스트(440)에서의 펄스 3으로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다.

[0030] 도 5는 본 발명의 서보 패턴(500)을 보여준다. 도 5에서는, 정보의 제1 비트를 인코딩하기 위해 버스트들(510 및 520)에서의 펄스들 간의 간격들은 노미널 간격(도 1a의 106)에 대해 변경되었다. 또한, 에러-정정 목적들을 위해 패리티 비트를 인코딩하고자, 버스트들(530 및 540)에서의 펄스들 간의 간격들은 노미널 간격(도 1a의 106)에 대해 변경되었다. 본 발명의 방법을 사용하여, 서보 패턴(500)은 두 개의 비트들 - 첫 번째는 정보의 비트를 나타내고, 두 번째는 에러-정정 목적들을 위한 패리티 비트를 나타냄 - 을 인코딩한다. 특정 실시예들에서, 이들 두 개의 비트들은 바이너리 심볼들의 쌍 (0,0)을 나타내는데, 여기서는 상기 정보 비트 및 상기 패리티 비트 모두가 논리 값 '0'을 취한다. A 인터벌들의 합 및 B 인터벌들의 합은 노미널 간격들의 경우 (도 1c)에서와 동일한 값을 생성하므로, 상기 패리티 비트의 도입은 y-위치 추정치의 계산에는 영향을 미치지 않는다.

[0031] 버스트(510)에서의 펄스 2는 간격(204)에 의해 버스트(510)에서의 펄스 1로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다. 또한, 버스트(510)에서의 펄스 2는 간격(202)에 의해 버스트(510)에서의 펄스 3으로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다. 버스트(510)에서의 펄스 4는 간격(202)에 의해 버스트(510)에서의 펄스 3으로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다. 또한, 버스트(510)에서의 펄스 4는 간격(204)에 의해 버스트(510)에서의 펄스 5로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다.

[0032] 도 5에 도시된 실시예에서, 버스트(520)에서의 펄스들 간의 간격들은 노미널 간격(도 1a의 106)에 대해 버스트(510)와 유사한 방법으로 변경되었다. 버스트(520)에서의 펄스 2는 간격(204)에 의해 버스트(520)에서의 펄스 1로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다. 또한, 버스트(520)에서의 펄스 2는 간격(202)에 의해 버스트(520)에서의 펄스 3으로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다. 버스트(520)에서의 펄스 4는 간격(202)에 의해 버스트(520)에서의 펄스 3으로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다. 또한, 버스트(520)에서의 펄스 4는 간격(204)에 의해 버스트(520)에서의 펄스 5로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다.

[0033] 버스트(530)에서의 펄스 2는 간격(204)에 의해 버스트(530)에서의 펄스 1로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다. 또한, 버스트(530)에서의 펄스 2는 간격(202)에 의해 버스트(530)에서의 펄스 3으로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다. 버스트(530)에서의 펄스 4는 간격(202)에 의해 버스트(530)에서의 펄스 3으로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다.

[0034] 도 5에 도시된 실시예에서, 버스트(540)에서의 펄스들 간의 간격들은 노미널 간격(도 1a의 106)에 대해 버스트(530)에서와 유사한 방법으로 변경되었다. 버스트(540)에서의 펄스 2는 간격(204)에 의해 버스트(540)에서의 펄스 1로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다. 또한, 버스트(540)에서의 펄스 2는 간격(202)에 의해 버스트(540)에서의 펄스 3으로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다. 버스트(540)에서의 펄스 4는 간격(202)에 의해 버스트(540)에서의 펄스 3으로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다.

[0035] 도 6은 본 발명의 서보 패턴(600)을 보여준다. 도 6에서는, 정보의 제1 비트를 인코딩하기 위해 버스트들(610 및 620)에서의 펄스들 간의 간격들은 노미널 간격(도 1a의 106)에 대해 변경되었다. 또한, 에러-정정 목적들을 위해 패리티 비트를 인코딩하고자, 버스트들(630 및 640)에서의 펄스들 간의 간격들은 노미널 간격(도 1a의 106)에 대해 변경되었다. 본 발명의 방법을 사용하여, 서보 패턴(600)은 두 개의 비트들 - 첫 번째는 정보의 비트를 나타내고, 두 번째는 에러-정정 목적들을 위한 패리티 비트를 나타냄 - 을 인코딩한다. 특정

실시예들에서, 이들 두 개의 비트들은 바이너리 심볼들의 쌍 (1,0)을 나타내는데, 여기서 상기 정보 비트가 논리 값 '1'을 취하고, 상기 패리티 비트는 논리 값 '0'을 취한다. A 인터벌들의 합 및 B 인터벌들의 합은 노미널 간격들의 경우(도 1c)에서와 동일한 값을 생성하므로, 상기 패리티 비트의 도입은 y-위치 추정치의 계산에는 영향을 미치지 않는다는 점을 주목하자.

[0036] 버스트(610)에서의 펄스 2는 간격(202)에 의해 버스트(610)에서의 펄스 1로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다. 또한, 버스트(610)에서의 펄스 2는 간격(204)에 의해 버스트(610)에서의 펄스 3으로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다. 버스트(610)에서의 펄스 4는 간격(204)에 의해 버스트(610)에서의 펄스 3으로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다. 또한, 버스트(610)에서 펄스 4는 간격(202)에 의해 버스트(610)에서 펄스 5로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다.

[0037] 도 6에 도시된 실시예에서, 버스트(620)에서의 펄스들 간의 간격들은 노미널 간격(도 1의 106)에 대해 버스트(106)에서와 유사한 방법으로 변경되었다. 버스트(620)에서의 펄스 2는 간격(202)에 의해 버스트(620)에서의 펄스 1로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다. 또한, 버스트(620)에서의 펄스 2는 간격(204)에 의해 버스트(620)에서의 펄스 3으로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다. 버스트(620)에서의 펄스 4는 간격(204)에 의해 버스트(620)에서의 펄스 3으로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다. 또한, 버스트(620)에서의 펄스 4는 간격(202)에 의해 버스트(620)에서의 펄스 5로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다.

[0038] 버스트(630)에서의 펄스 2는 간격(204)에 의해 버스트(630)에서의 펄스 1로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다. 또한, 버스트(630)에서의 펄스 2는 간격(202)에 의해 버스트(630)에서의 펄스 3으로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다. 버스트(630)에서의 펄스 4는 간격(202)에 의해 버스트(630)에서의 펄스 3으로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다.

[0039] 도 6에 도시된 실시예에서, 버스트(640)에서의 펄스들 간의 간격들은 노미널 간격(도 1a의 106)에 대해 버스트(630)에서와 유사한 방법으로 변경되었다. 버스트(640)에서의 펄스 2는 간격(204)에 의해 버스트(640)에서의 펄스 1로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다. 또한, 버스트(640)에서의 펄스 2는 간격(202)에 의해 버스트(640)에서의 펄스 3으로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다. 버스트(640)에서의 펄스 4는 간격(202)에 의해 버스트(640)에서의 펄스 3으로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다.

[0040] 도 7은 본 발명의 서보 패턴(700)을 보여준다. 도 7에서는, 정보의 제1 비트를 인코딩하기 위해 버스트들(710 및 720)에서의 펄스들 간의 간격들은 노미널 간격(도 1a의 106)에 대해 변경되었다. 또한, 에러-정정 목적들을 위해 패리티 비트를 인코딩하고자, 버스트들(730 및 740)에서의 펄스들 간의 간격들은 노미널 간격(도 1a의 106)에 대해 변경되었다. 본 발명의 방법을 사용하여, 서보 패턴(700)은 두 개의 비트들 - 첫 번째는 정보의 비트를 나타내고, 두 번째는 에러-정정 목적들을 위한 패리티 비트를 나타냄 - 을 인코딩한다. 특정 실시예들에서, 이들 두 개의 비트들은 바이너리 심볼들의 쌍 (0,1)을 나타내는데, 여기서 상기 정보 비트는 논리 값 '0'을 취하고, 상기 패리티 비트는 논리 값 '1'을 취한다. A 인터벌들의 합 및 B 인터벌들의 합은 노미널 간격들의 경우(도 1c)에서와 동일한 값을 생성하므로, 상기 패리티 비트의 도입은 y-위치 추정치의 계산에는 영향을 미치지 않는다는 점을 주목하자.

[0041] 버스트(710)에서의 펄스 2는 간격(204)에 의해 버스트(710)에서의 펄스 1로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다. 또한, 버스트(710)에서의 펄스 2는 간격(202)에 의해 버스트(710)에서의 펄스 3으로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다. 버스트(710)에서의 펄스 4는 간격(202)에 의해 버스트(710)에서의 펄스 3으로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다. 또한, 버스트(710)에서의 펄스 4는 간격(204)에 의해 버스트(710)에서의 펄스 5로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다.

[0042] 도 7에 도시된 실시예에서, 버스트(720)에서의 펄스들 간의 간격들은 노미널 간격(도 1a의 106)에 대해 버스트(710)에서와 유사한 방법으로 변경되었다. 버스트(720)에서의 펄스 2는 간격(204)에 의해 버스트(720)에서의 펄스 1로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다. 또한, 버스트(720)에서의 펄스 2는 간격(202)에 의해 버스트(720)에서의 펄스 3으로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다. 버스트(720)에서의 펄스 4는 간격(202)에 의해 버스트(720)에서의 펄스 3으로부터 분리되는데, 여기서

간격(202)은 노미널 간격(106)보다 더 작다. 또한, 버스트(720)에서의 펄스 4는 간격(204)에 의해 버스트(720)에서의 펄스 5로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다.

[0043] 버스트(730)에서의 펄스 2는 간격(202)에 의해 버스트(730)에서의 펄스 1로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다. 또한, 버스트(730)에서의 펄스 2는 간격(204)에 의해 버스트(730)에서의 펄스 3으로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다. 버스트(710)에서의 펄스 4는 간격(204)에 의해 버스트(710)에서의 펄스 3으로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다.

[0044] 도 7에 도시된 실시예에서, 버스트(740)에서의 펄스들 간의 간격들은 노미널 간격(도 1a의 106)에 대해 버스트(730)에서와 유사한 방법으로 변경되었다. 버스트(740)에서의 펄스 2는 간격(202)에 의해 버스트(740)에서의 펄스 1로부터 분리되는데, 여기서 간격(202)은 노미널 간격(106)보다 더 작다. 또한, 버스트(740)에서의 펄스 2는 간격(204)에 의해 버스트(740)에서의 펄스 3으로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다. 버스트(740)에서의 펄스 4는 간격(204)에 의해 버스트(740)에서의 펄스 3으로부터 분리되는데, 여기서 간격(204)은 노미널 간격(106)보다 더 크다.

[0045] 특정 실시예들에서, 본 발명의 순차적인 정보 스토리지 매체는 그것의 길이에 따라 순차적으로 인코딩되는 복수의 서보 패턴을 포함한다. 특정 실시예들에서, 본 발명의 방법은 하나 또는 그 이상의 워드들을 형성하기 위해 순차적인 복수의 서보 패턴들로 인코딩된 정보를 결집(aggregate)시킨다. 특정 실시예들에서, 본 발명의 방법은 세 개의 워드들을 형성하기 위해 36 개의 순차적인 서보 패턴들로 인코딩된 정보를 결집시키는데, 여기서 네 개의 순차적인 서보 패턴들로 인코딩된 정보는 제조자 정보를 포함하며, 여덟 개의 순차적인 서보 패턴들로 인코딩된 정보는 싱크(sync) 정보를 포함하며, 스물 네 개(24)의 순차적인 서보 패턴들로 인코딩된 정보는 LPOS 정보를 포함한다.

[0046] 도 2 및 3의 종래의 서보 패턴들을 사용하여, 함께 제조자 정보를 인코딩하기 위해 사용되는 네 개의 순차적인 서보 패턴들은, 합해서 4 비트의 정보를 포함한다. 도 4, 5, 6, 및 7의 본 발명의 서보 패턴들을 사용하여, 함께 제조자 정보를 인코딩하기 위해 사용되는 네 개의 순차적인 서보 패턴들은, 합해서 4 비트의 정보 및 4 개의 패리티 비트들을 포함한다. 당해 기술 분야에서 숙련된 자들이라면 이해할 수 있듯이, 본 발명의 서보 패턴들을 사용하는 것은 종래의 서보 패턴들을 사용하는 것에 비해 제조자 정보의 디코딩에서 더 높은 신뢰성을 가능하게 한다.

[0047] 도 4, 5, 6, 및 7의 본 발명의 서보 패턴들을 사용하여, 특정 실시예들에서, 순차적인 정보 스토리지 매체의 논-데이터 부분들에 정보를 인코딩하기 위한 본 발명의 방법은 간단한 반복 코드(simple repetition code)를 사용하여 네 개의 순차적인 서보 버스트들을 포함하는 제조자 정보를 인코딩한다. 특정 실시예들에서, 순차적인 정보 스토리지 매체의 논-데이터 부분들에 정보를 인코딩하기 위한 본 발명의 방법은 더 복잡한 한 비트의 에러-정정 확장 해밍 코드(error-correcting extended Hamming code)를 사용하여 네 개의 순차적인 서보 버스트들을 포함하는 제조자 정보를 인코딩한다. 이와는 다르게, 제조 정보를 위한 더 강력한 보호는 이하에 기술되는 본 발명의 RS ECC를 사용하여 제공될 수 있다.

[0048] 도 2 및 3의 종래의 서보 패턴들을 사용하여, 함께 싱크 정보를 인코딩하기 위해 사용되는 여덟 개의 순차적인 서보 패턴들은, 합해서 8 비트의 정보를 포함한다. 도 4, 5, 6, 및 7의 본 발명의 서보 패턴들을 사용하여, 함께 싱크 정보를 인코딩하기 위해 사용되는 상기 여덟 개의 순차적인 서보 패턴들은, 합해서 16 비트를 포함한다. 당해 기술 분야에서 숙련된 자들이라면 알 수 있듯이, 본 발명의 서보 패턴들의 사용은 LPOS 정보를 복구하기 위한 에러-정정 기능들을 포함하는 종래의 서보 패턴들을 사용하는 것과 같이 상기 싱크 정보의 양(amount)의 두 배의 인코딩을 가능하게 한다. 특정 실시예들에서, 순차적인 정보 스토리지 매체의 논-데이터 부분들에 정보를 인코딩하기 위한 방법은 16 비트 싱크 패턴 1100000000000000을 포함하는 싱크 정보를 인코딩한다. 상기 16 비트 싱크 패턴은 반복 코드를 사용하여 상기 LTO 싱크 패턴으로부터 얻어진다. 본 발명의 16 비트 싱크 패턴은 향상된 잡음 강건성(robustness to noise)을 제공한다.

[0049] 도 2 및 3의 종래의 서보 패턴들을 사용하여, 함께 LPOS 정보를 인코딩하기 위해 사용되는 24개의 순차적인 서보 패턴들은, 합해서 24 비트의 정보를 포함한다. 도 4, 5, 6, 및 7의 본 발명의 서보 패턴들을 사용하여, LPOS 정보를 인코딩하기 위해 사용되는 본 발명의 순차적인 24 개의 서보 패턴들은, 합해서 24 비트의 정보와 24 개의 패리티 비트들을 포함한다. 당해 기술 분야에서 숙련된 자들이라면 알 수 있듯이, 본 발명의 서보 패턴들을 사용하는 것은 종래의 서보 패턴들을 사용하는 것에 비해 LPOS 정보의 디코딩에서의 더 높은 신뢰성을 가능하게 한다.

[0050] 특정 실시예들에서, 본 발명의 서보 패턴들의 사용은, 순차적인 데이터 스토리지 매체(예를 들어, 자기 테이프)에 인코딩된, 상기 제조 정보, 및/또는 상기 싱크 정보, 및/또는 상기 LPOS 정보의 신뢰성을 증가시킨다. 여기에 기술되어 있는 것과 같이, 본 발명의 서보 패턴들 각각은 2 비트들을 인코딩하는데, 여기서 제1 버스트는 제2 버스트와 함께 제1 비트를 인코딩하고, 제3 버스트는 제4 버스트와 함께 제2 비트를 인코딩한다. 순차적인 데이터 스토리지 매체의 논-데이터 영역들에 정보를 인코딩하기 위해 본 발명의 방법들의 특정 실시예에서, 본 발명의 서보 패턴들 각각은 제1 비트 및 제2 비트를 인코딩하는데, 여기서 상기 제1 비트는 정보 비트를 포함하고 상기 제2 비트는 "패리티 비트"를 포함한다. 본 발명의 방법의 실시예가 반복 코드를 포함하는 경우, 각각의 서보 패턴에서 상기 제2 비트는 상기 제1 비트와 동일한 값을 포함하도록 디코딩된다. 반복 코딩을 사용하는 이들 실시예들에서, 만약 본 발명의 서보 패턴들 중 하나에 인코딩된 제1 비트가 읽혀질 수 없다면, 본 발명의 방법은 상기 읽혀질 수 없는 제1 비트에 대한 값 대신에 상기 제2 비트의 디코딩된 값으로 대체할 수 있다.

[0051] 특정 실시예들에서, 본 발명의 방법은 여덟 개(8)의 구별되는 3-비트 심볼들을 구성하기 위해 24 비트의 LPOS 워드를 인터프리트(interpret)한다. 위에서 기술된 "패리티 비트" 구현에서 본 발명의 서보 패턴들을 사용할 경우, 리드-솔로몬 에러 정정 코드("RS ECC")의 사용은 오류가 생긴(corrupted) 3-비트 심볼들의 정정을 가능하게 한다.

[0052] 바람직한 실시예에서, "RS ECC"는 갈로이스 필드 GF(8) 상의 $a[n=8, k=4, d=5]$ 개별적 확장(singly-extended) 리드-솔로몬(RS) 코드인데, 여기서 코드워드 길이는 $n=8$ 심볼들이고, 코드 차원(code dimension)은 $k=4$ 심볼들이며, 최소 코드 거리는 $d=5$ 이다. 즉, 상기 코드는 8-심볼 RS 코드 워드 내에서 어느 두 개의 에러 심볼들의 정정, 또는 8-심볼 RS 코드 워드 내에서 어느 하나의 에러 심볼 및 어느 두 개의 지워진(erased) 심볼들의 정정 또는 8-심볼 RS 코드 워드 내에서 어느 네 개의 지워진 심볼들의 정정을 가능하게 한다. 지워진 심볼은 상기 코드 워드 내의 위치가 알려지지만 상기 에러 심볼의 실제 값이 알려지지 않는 에러 심볼이다.

[0053] 일반적으로, 갈로이스 필드는 p^m 엘리먼트들을 갖는데, 여기서 $p>1$ 은 소수(prime number)이고 $m>0$ 은 정수(integer)이며, $GF(p^m)$ 으로 일컬어지는 것을 언급할 가치가 있다. 바람직한 실시예에서 $p=2$ 이고 $m=3$ 이고, 이에 따라 GF(8)로부터의 리드-솔로몬 코드의 심볼들은 8-ary이고 3-비트 행 벡터(row vector)로써 표현될 수 있다. 바람직한 실시예에서, 갈로이스 필드 GF(8)에서의 계산은 원시 다항식(primitive polynomial) $P(x) = x^3 + x + 1$ 에 의해 정의된다. GF(8)에서의 원시 다항식은 $a = (0 \ 1 \ 0)$ 이다. 더 나아가, 바람직한 실시예에 대한 생성 다항식(generator polynomial)은 $G(x) = (x + a)(x + a^2)(x + a^3) = x^3 + a^6 x^2 + a x + a^6$ 이며, 여기서 합(addition) 및 곱(multiplication)은 GF(8)에 정의된다. 도 11은 GF(8)에서의 계산들에서의 익스포넨셜(exponential) 및 바이너리 표기들(binary notations) 및 GF(8) 위의 $a[n=8, k=4, d=5]$ 개별적-확장 RS 코드로부터 코드워드들을 생성하는 체계적인 인코더(systematic encoder)를 도시한다. 상기 RS 코드워드들은 $[q_1 \ q_2 \ q_3 \ q_4 \ q_5 \ q_6 \ q_7 \ q_8]$ 에 의해 표기된다. 각각의 RS 코드워드에서의 처음의 네 개의 심볼들 q_1, q_2, q_3, q_4 는 인코딩되는 RS(RS encoded)가 될 정보 심볼들이다. 따라서, 도 11에서의 인코더는 체계적인 인코더이다. RS 패리티 심볼들 q_5, q_6, q_7, q_8 은 정보 심볼들 q_1, q_2, q_3, q_4 의 함수(function)로 계산된다. 도 11에 도시된 바와 같이, 이 계산은 GF(8)에서 합들 및 곱들을 수행하는 피드백 쉬프트 레지스터 회로(feedback shift register circuit)를 사용하여 수행된다. 이에 따라, 상기 피드백 쉬프트 레지스터 회로의 모든 레지스터들은 GF(8)에서 초기에 0 심볼로 세트된다. 레지스터들(R0, R1 및 R2)은 3 비트 폭(bits wide)이다. 그런 다음, 정보 심볼들 q_1, q_2, q_3, q_4 은 상기 인코더 내로 순차적으로 공급된다. 상기 필요한 심볼들이 처리된 후, R2의 내용은 q_5 이고 R1의 내용은 q_6 이며, R0의 내용은 q_7 이다. 전체 패리티 심볼(overall parity symbol) q_8 은 상기 RS 코드워드의 끝에서의 마지막 패리티 심볼로서 더해진다.

[0054] 이제 도 8a를 참조하면, LPOS 워드(800)는 24 개의 순차적인 서보 패턴들, 즉 순차적인 서보 패턴들(802, 804, 806, 808, 810, 812, 814, 816, 818, 820, 822, 824, 826, 828, 830, 832, 834, 836, 838, 840, 842, 844, 846, 및 848)을 포함한다. 이들 24 개의 서보 패턴들은 두 개의 비트들을 인코딩한다. 예를 들어, 서보 패턴(802)은 비트 U_1 및 비트 C_1 을 인코딩하는데, 여기서 제1 버스트에서의 펄스들의 간격들 및 제2 버스트에서의 펄스들의 간격들은 비트 U_1 (정보 비트)를 인코딩하고, 제3 버스트에서의 펄스들의 간격들 및 제4 버스트에서의 펄

스들의 간격들은 비트 C_1 (패리티 비트)을 인코딩한다. 레거시(legacy) LTO 하드웨어와의 호환성 이유로 인해, 제1 버스트에서의 펄스들의 상기 간격들 및 제2 버스트에서의 펄스들의 상기 간격들에 의해 인코딩된 비트는 LTO에 규정된 LPOS 워드에서의 LPOS 정보 비트가 되도록 선택된다.

[0055] 이제 도 8b를 참조하면, LPOS 워드에서 24 개의 정보 비트들은 두 개의 인터리브된 RS 코드워드들(800)에 의해 인코딩된다. 두 개의 인터리브된 RS 코드워드들(800)은 3-비트 심볼들의 여덟 개의 쌍들, 즉 3 비트 심볼들의 쌍들, 850, 855, 860, 865, 870, 875, 880, 및 885을 포함한다. GF(8)에서의 심볼들의 각 쌍은 정보 심볼 $[U_{3i+1}, U_{3i+2}, U_{3i+3}]$ - 여기서 $i=0, \dots, 7$ - 로 구성되고, 패리티 심볼 $[C_{3i+1}, C_{3i+2}, C_{3i+3}]$ - 여기서 $i=0, \dots, 7$ - 로 구성된다. 도 4, 5, 6, 및 7의 본 발명의 서보 패턴들을 사용하여, 즉 본 발명의 "패리티 비트" 인코딩을 사용하고, 본 발명의 RS ECC를 사용하여, 순차적인 정보 스토리지 매체의 논-데이터 부분들에 정보를 인코딩하기 위한 본 발명의 방법은 800에 포함된 각각의 RS 코드워드에서의 여덟 개의 3-비트 심볼들 중 두 개까지 정정할 수 있다. 또한, 도 4, 5, 6, 및 7의 본 발명의 서보 패턴들을 사용하여, 즉 본 발명의 "패리티 비트" 인코딩을 사용하고, 본 발명의 RS ECC를 사용하여, 본 발명의 방법은 800에서, 8 비트들 $[U_j, C_j, U_{j+1}, C_{j+1}, U_{j+2}, C_{j+2}, U_{j+3}, C_{j+3}]$ - 여기서 $1 \leq j \leq 21$ -, $[C_j, U_{j+1}, C_{j+1}, U_{j+2}, C_{j+2}, U_{j+3}, C_{j+3}, U_{j+4}]$ - 여기서 $1 \leq j \leq 20$ - 중 어느 버스트든, 0.8mm 버스트 에러 정정에 대응하게 정정할 수 있다.

[0056] 특정 실시예들에서, 도 8a의 24 개의 순차적인 서보 패턴들은 24-비트의 종 위치 정보(longitudinal position information)를 두 개의 인터리브된 RS 코드워드들로 인코딩하는데, 여기서 각각의 RS 코드워드는 여덟 개의 3-비트 심볼들 $[q_1, q_2, q_3, q_4, q_5, q_6, q_7, q_8]$ 을 포함한다. 예를 들어, 그리고 도 8a, 8b, 9, 및 10을 참조하면, 도 8a의 24개의 서보 패턴들은 제1 RS 코드워드(900) 및 제2 RS 코드워드(1000)를 인코딩하며, 여기서 RS 코드워드에 속하는 GF(8)로부터의 심볼들의 쌍들은 도 8b에 보여진다. 제1 RS 코드워드(900)는 네 쌍의 3-비트 심볼들(910, 920, 930, 및 940)을 포함하는데, 여기서 $q_1=[U_1, U_2, U_3]$, $q_2=[U_7, U_8, U_9]$, $q_3=[U_{13}, U_{14}, U_{15}]$, $q_4=[U_{19}, U_{20}, U_{21}]$, $q_5=[C_1, C_2, C_3]$, $q_6=[C_7, C_8, C_9]$, $q_7=[C_{13}, C_{14}, C_{15}]$, $q_8=[C_{19}, C_{20}, C_{21}]$ 이다. 제2 RS 코드워드(100)는 네 쌍의 3-비트 심볼들(1010, 1020, 1030, 및 1040)을 포함하는데, 여기서, $q_1=[U_4, U_5, U_6]$, $q_2=[U_{10}, U_{11}, U_{12}]$, $q_3=[U_{16}, U_{17}, U_{18}]$, $q_4=[U_{22}, U_{23}, U_{24}]$, $q_5=[C_4, C_5, C_6]$, $q_6=[C_{10}, C_{11}, C_{12}]$, $q_7=[C_{16}, C_{17}, C_{18}]$, $q_8=[C_{22}, C_{23}, C_{24}]$ 이다. 제1 RS 코드워드(900)는 제2 RS 코드워드(100)에 인터리브된다.

[0057] 특정 실시예들에서, LTO에 의해 규정된 LPOS 워드에서 4-비트 제조자 정보 $[t_1, t_2, t_3, t_4]$ 는 갈로이스 필드 GF(2) 상의 $a[n=8, k=4, d=4]$ 확장된 해밍 코드를 사용하여 인코딩되는데, 여기서 코드워드 길이는 $n=8$ 비트이고, 코드 차원은 $k=4$ 비트이고 최소 코드 거리는 $d=4$ 이다, 즉 상기 코드는 8-비트 확장된 해밍 코드워드 내의 어떠한 하나의 에러 비트의 정정도 가능하게 한다. 도 12는 GF(2) 상의 $a[n=8, k=4, d=4]$ 확장된 해밍 코드로부터 코드워드들을 생성하기 위한 체계적인 인코딩 규칙을 도시한다. 상기 확장된 해밍 코드워드들은 $[t_1, t_2, t_3, t_4, p_1, p_2, p_3, p_4]$ 에 의해 표기된다. 각각의 코드워드에서 처음의 네 비트들 t_1, t_2, t_3, t_4 은 인코딩될 정보 비트들이다. 그러므로, 도 12에서의 인코딩 규칙은 체계적인 인코더를 정의한다. 패리티 비트들 p_1, p_2, p_3, p_4 은 정보 비트들 t_1, t_2, t_3, t_4 의 함수로 계산된다. 본 발명의 "패리티 비트" 인코딩 방법에 따라, 상기 코드워드는 상기 정보 비트들 및 상기 패리티 비트들을 인터리브함에 의해 쓰여진다. 그러므로 각각의 서보 패턴은 비트들의 쌍 (t_i, p_i) - 여기서 $i=1, 2, 3, 4$ - 을 인코딩한다. 제1 버스트에서의 펄스들의 간격들 및 제2 버스트에서의 펄스들의 간격들에 의해 인코딩된 비트는 제조자 정보 비트가 되도록 선택되는 한편, 제3 버스트에서의 펄스들의 간격들에 의해 인코딩된 비트 및 제4 버스트에서의 펄스들의 간격들에 의해 인코딩된 비트는 패리티 비트가 되도록 선택된다.

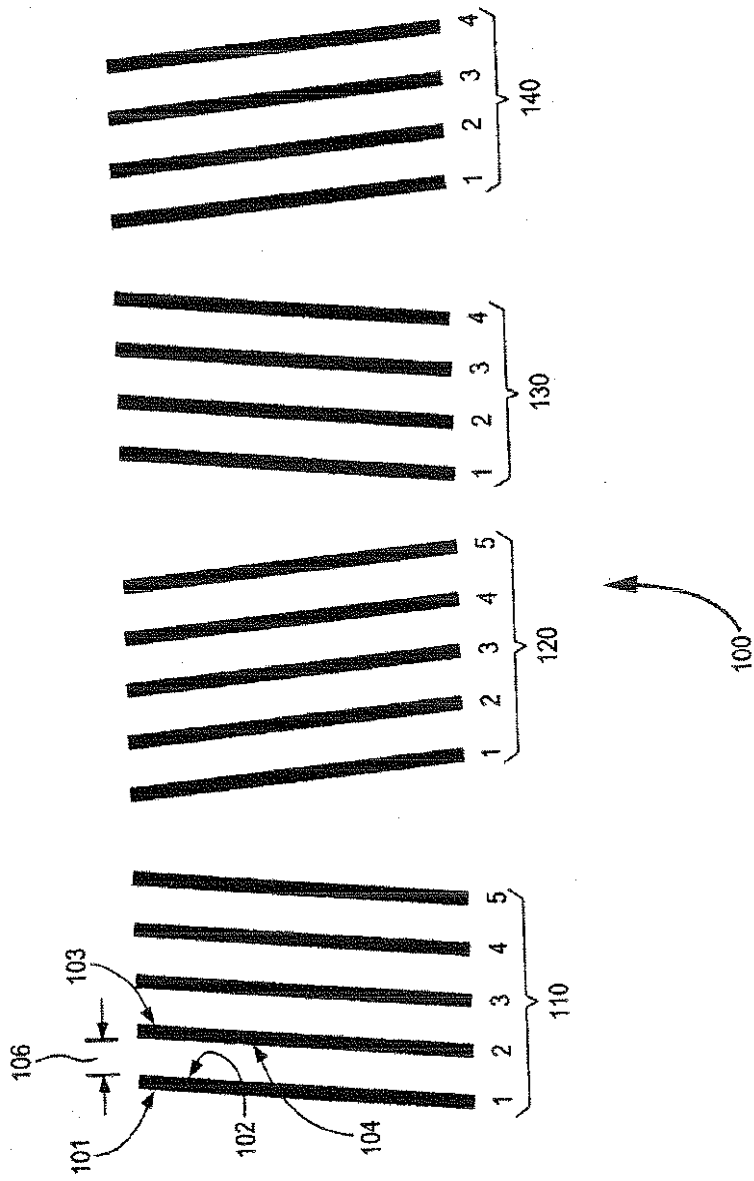
[0058] 본 발명의 "패리티 비트" 인코딩을 사용할 경우의 이점은 LPOS 정보를 복구하기 위한 에러-정정 기능들을 포함

하는 종래의 서보 패턴들에 의해 초래되는 디코딩 지연(decoding delay)을 피할 수 있다는 점이다.

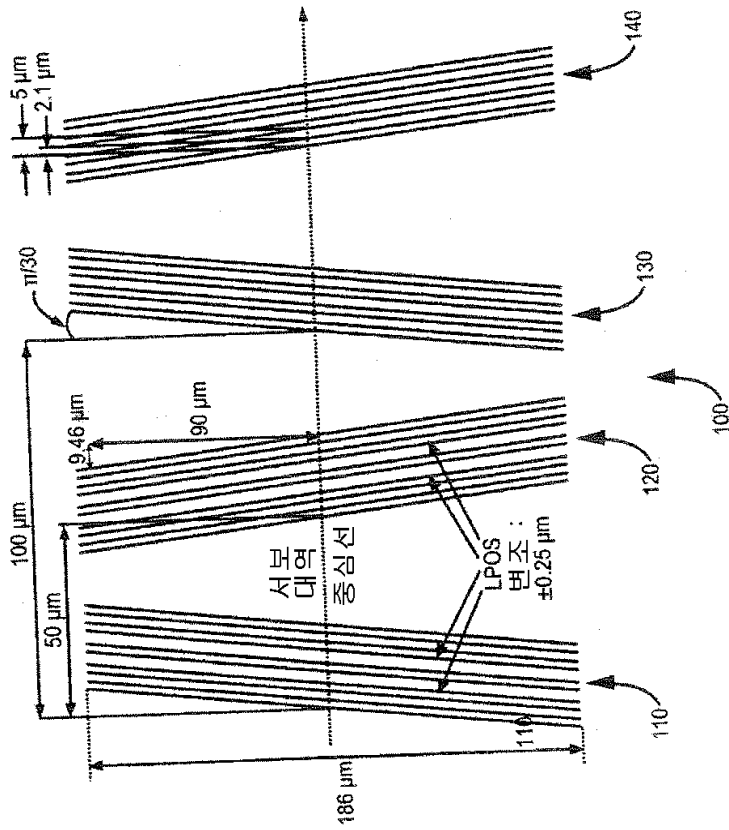
- [0059] 본 발명의 "패리티 비트" 인코딩을 사용할 경우의 또 다른 이점은 LTO 테이프 드라이브들에 대해 규정된 원 (original) LPOS 워드는 그대로 유지하는 것에 있다. 그러므로, 레거시 하드웨어는 어떠한 변형없이도 새로운 형식을 읽을 수 있다.
- [0060] 나아가 본 발명은 제조 물품(예를 들어, 테이프 드라이브 장치, 데이터 스토리지 컨트롤러, 자동화 데이터 스토리지 라이브러리, 스토리지 관리 프로그램을 포함하고 데이터 스토리지 라이브러리와 통신하는 호스트 컴퓨팅 디바이스 등, 그러나 이러한 예들로 한정되는 것은 아님)을 포함할 수 있는데, 상기 제조 물품은 컴퓨터 판독가능 프로그램 코드를 포함하는 컴퓨터 판독가능 매체를 포함한다. 상기 컴퓨터 판독가능 프로그램 코드는,
- [0061] 순차적인 정보 스토리지 매체의 하나 또는 그 이상의 논-데이터 영역들에 복수의 본 발명의 서보 패턴들을 디코딩하고, 및/또는 복수의 본 발명의 서보 패턴들에서 인코딩된 정보를 디코딩하고, 및/또는 상기 스토리지 매체의 하나 또는 그 이상의 논-데이터 영역들에 인코딩된 복수의 본 발명의 서보 패턴들을 포함하는 순차적인 정보 스토리지 매체로부터 읽혀진 정보에서의 에러들을 정정하기 위해 본 발명의 리드-솔로몬 에러 정정 코드를 이용하는 결과를 가져오기 위한 일련의 컴퓨터 판독가능 프로그램 단계들을 포함한다.
- [0062] 나아가, 본 발명은, 순차적인 정보 스토리지 매체의 하나 또는 그 이상의 논-데이터 영역들에 복수의 본 발명의 서보 패턴들을 인코딩하고, 및/또는 복수의 본 발명의 서보 패턴들에서 인코딩된 정보를 디코딩하고, 및/또는 상기 스토리지 매체의 하나 또는 그 이상의 논-데이터 영역들에 인코딩된 복수의 본 발명의 서보 패턴들을 포함하는 순차적인 정보 스토리지 매체로부터 읽혀진 정보에서의 에러들을 정정하기 위해 본 발명의 리드-솔로몬 에러 정정 코드를 이용하기 위한, 컴퓨터 판독가능 매체에 인코딩되고 컴퓨터 프로세서에 이용가능한 컴퓨터 프로그램 제품을 포함한다.
- [0063] 본 발명의 바람직한 실시예들은 위에서 상세히 기술되었으나, 이하의 청구항들에 제시되는 본 발명의 영역을 벗어남이 없이 여러 가지 변형들 및 개조들이 행하여 질 수 있다는 것은 당해 기술 분야에서 숙련된 자에게는 자명할 것이다.

도면

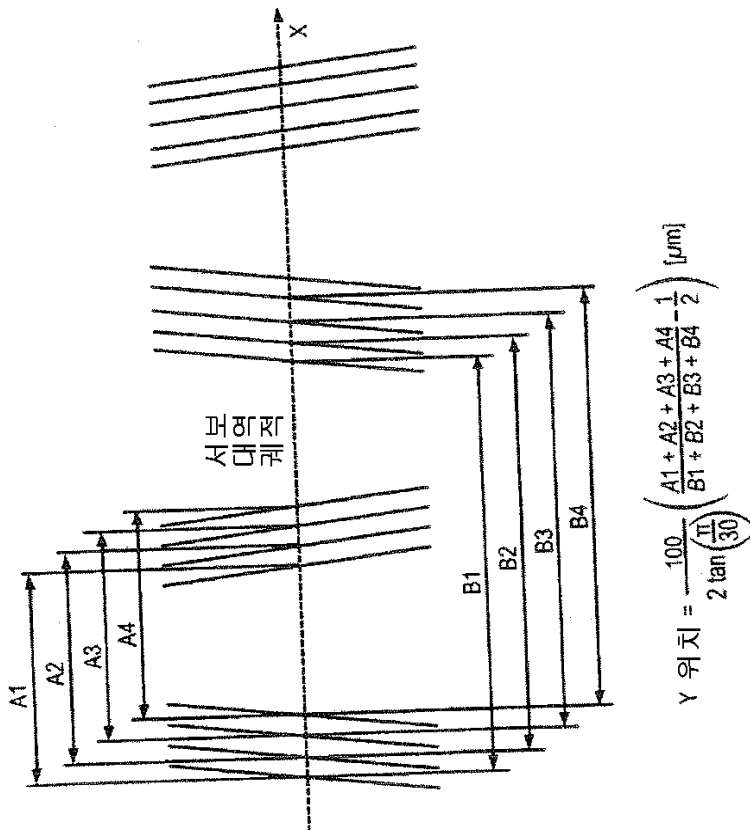
도면1a



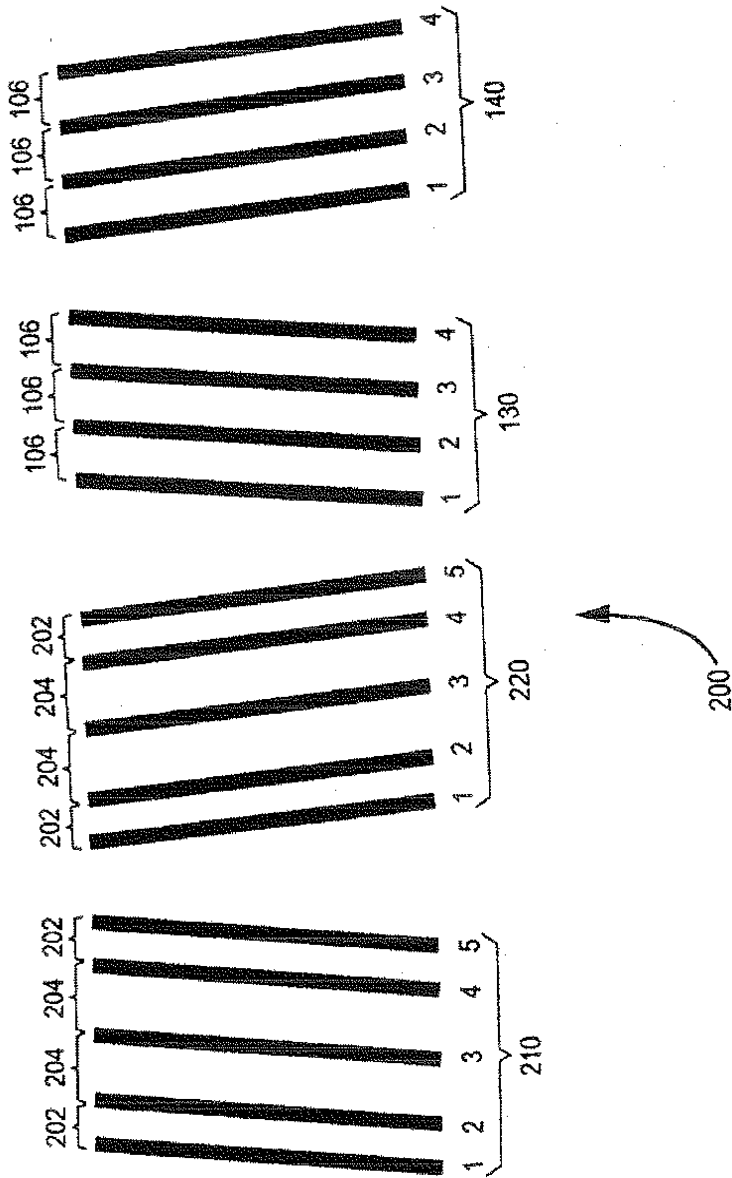
도면1b



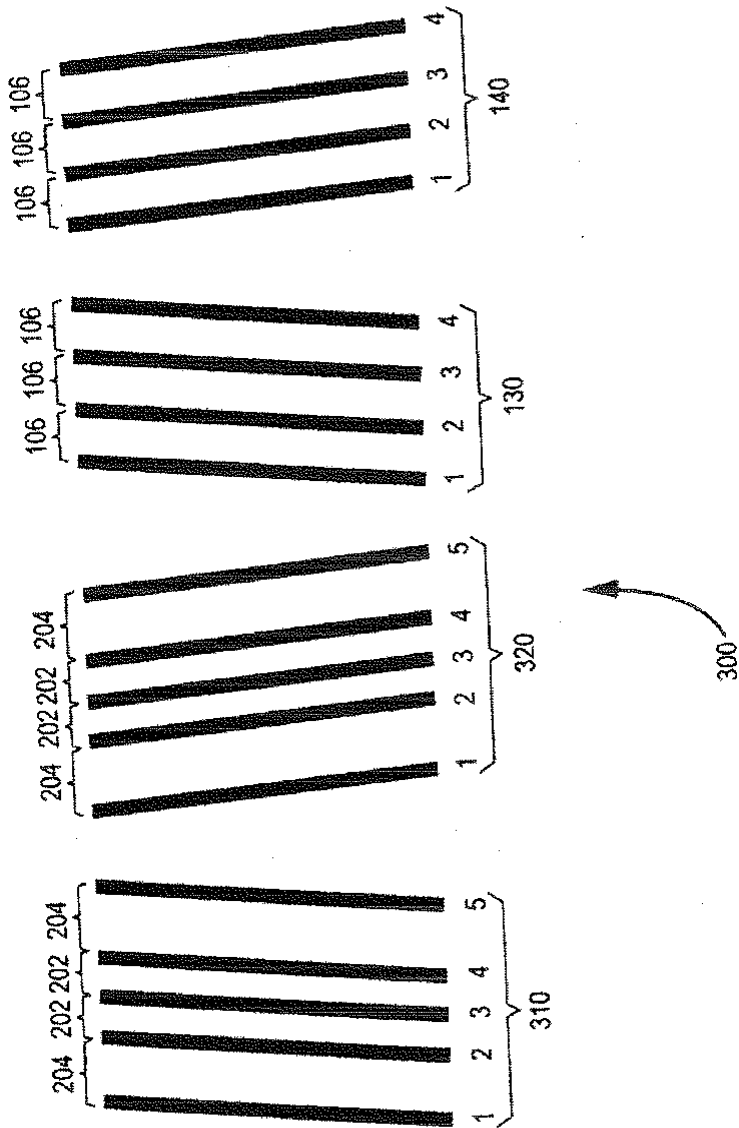
도면1c



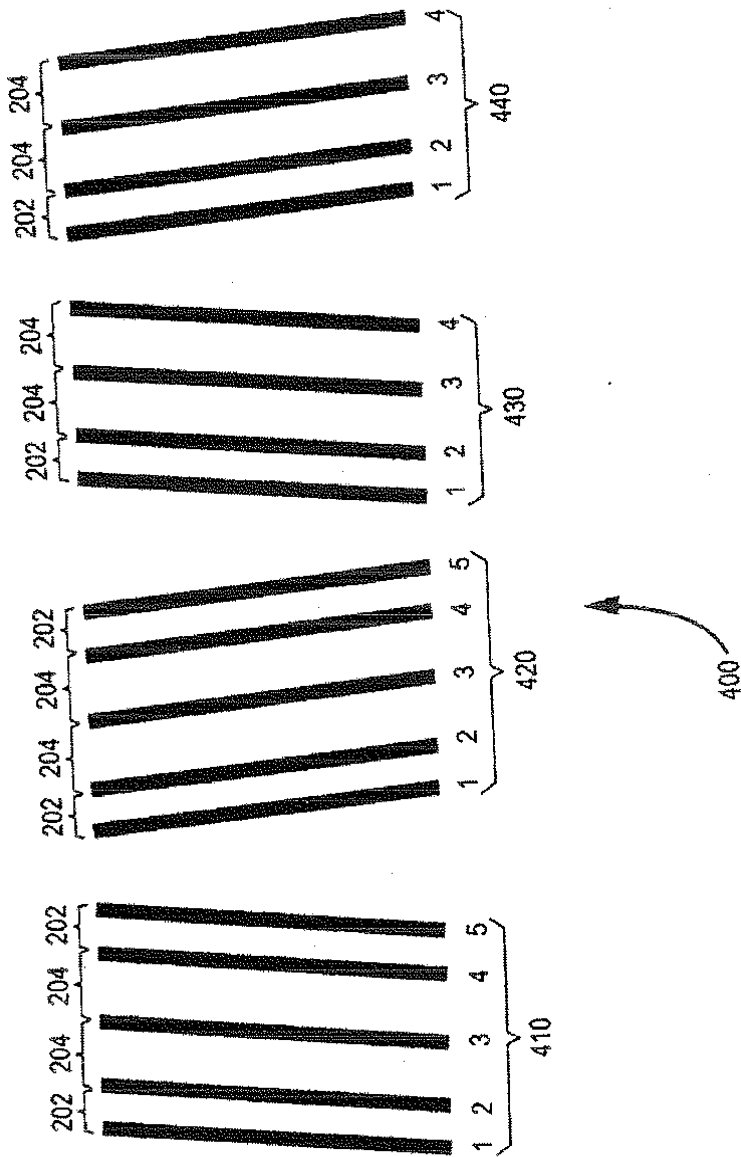
도면2



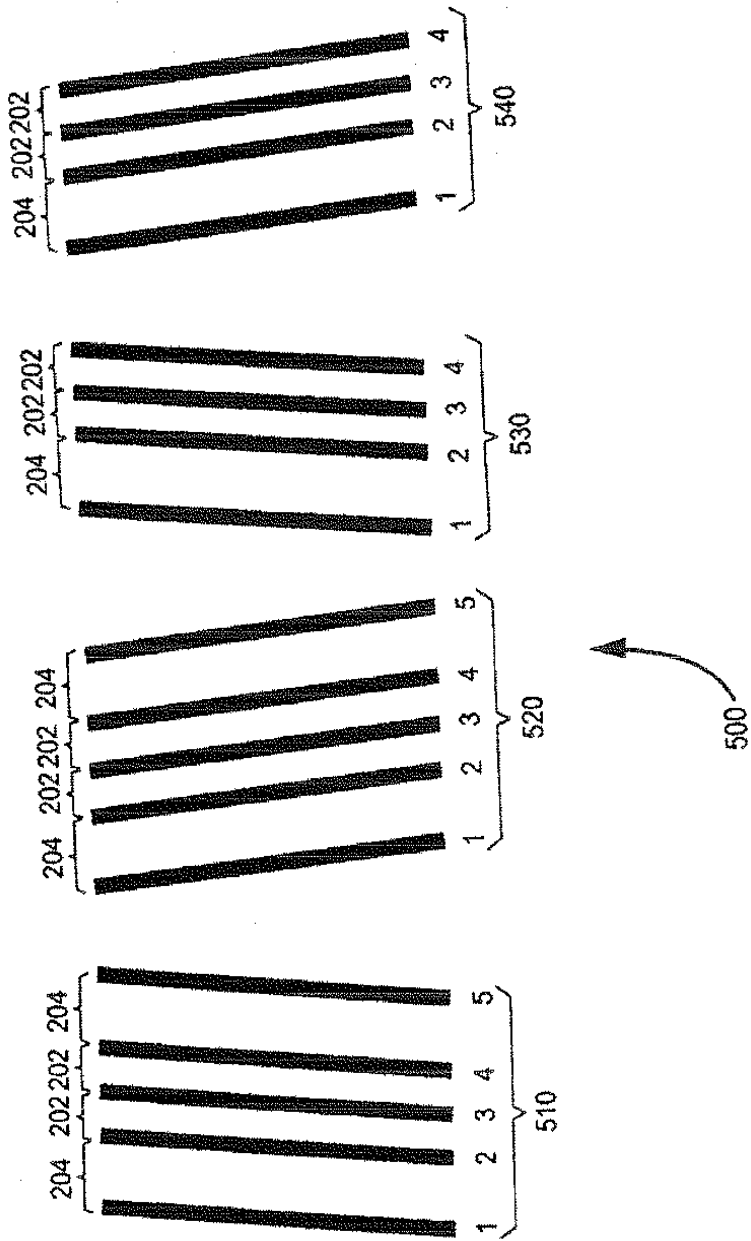
도면3



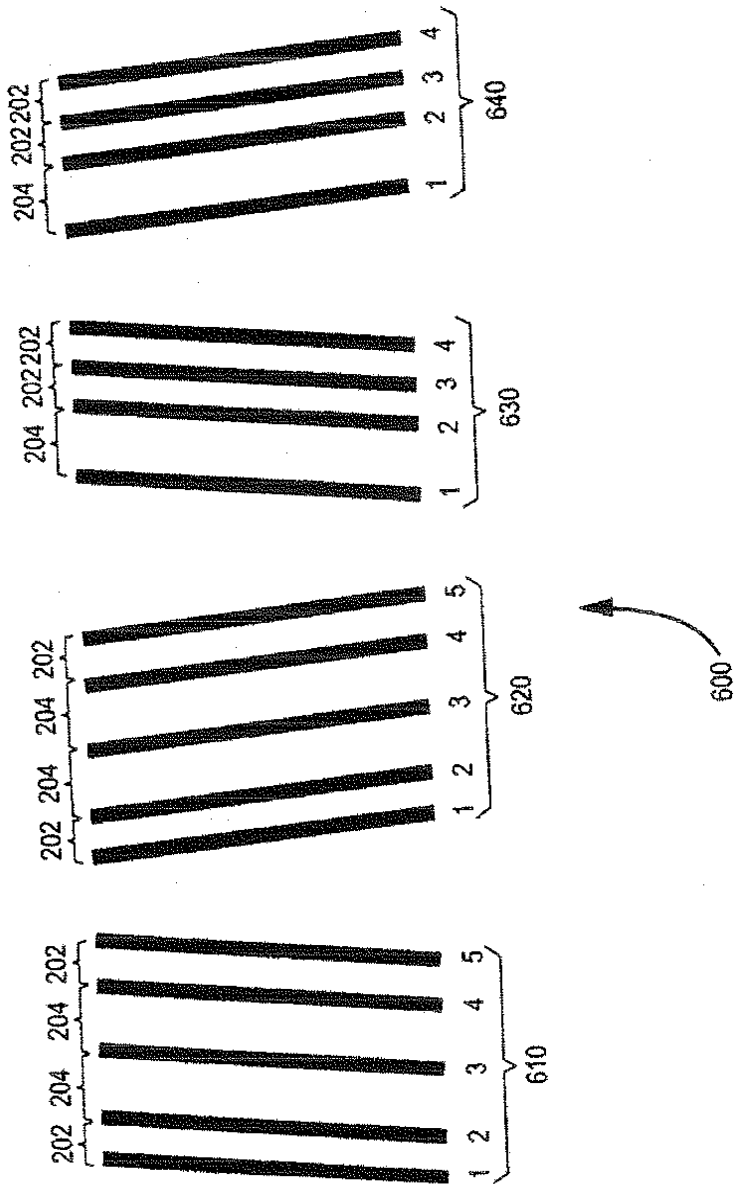
도면4



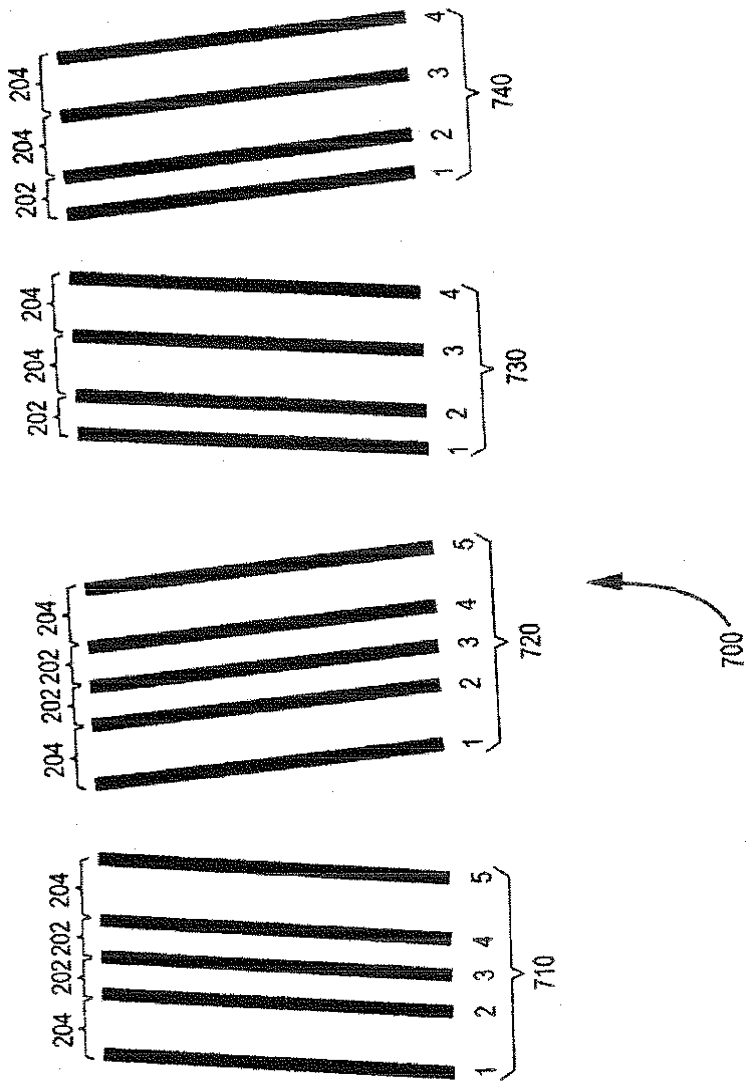
도면5



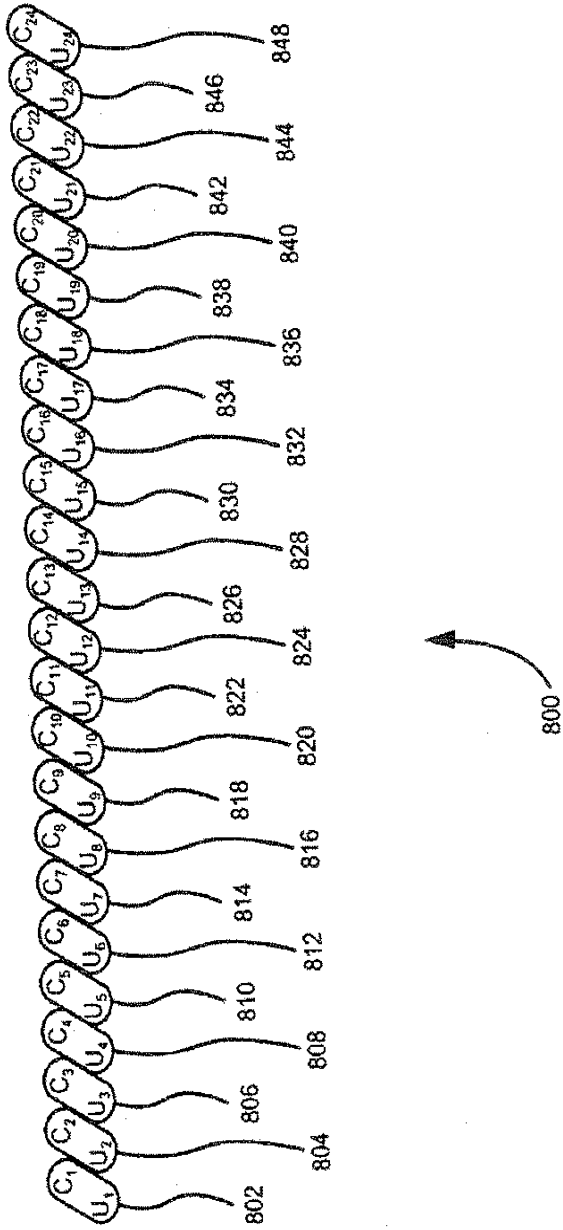
도면6



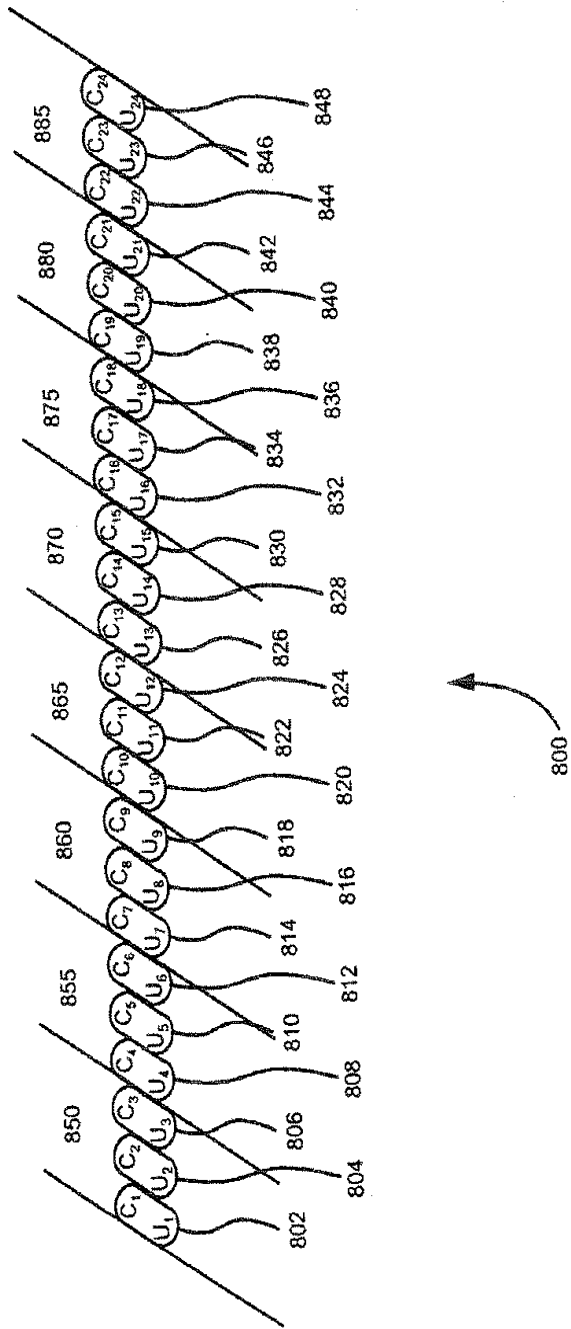
도면7



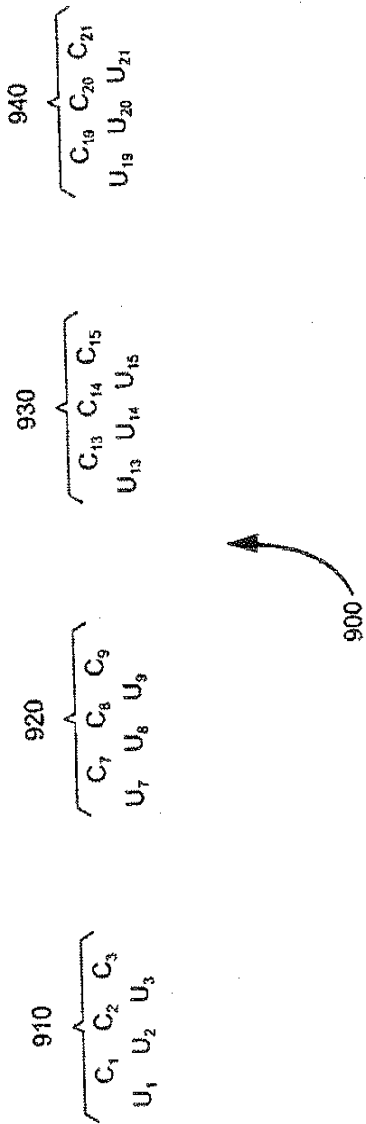
도면8a



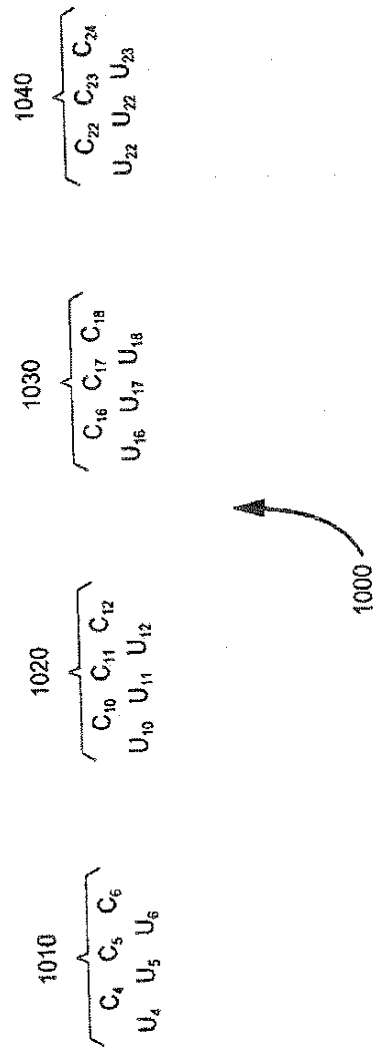
도면8b



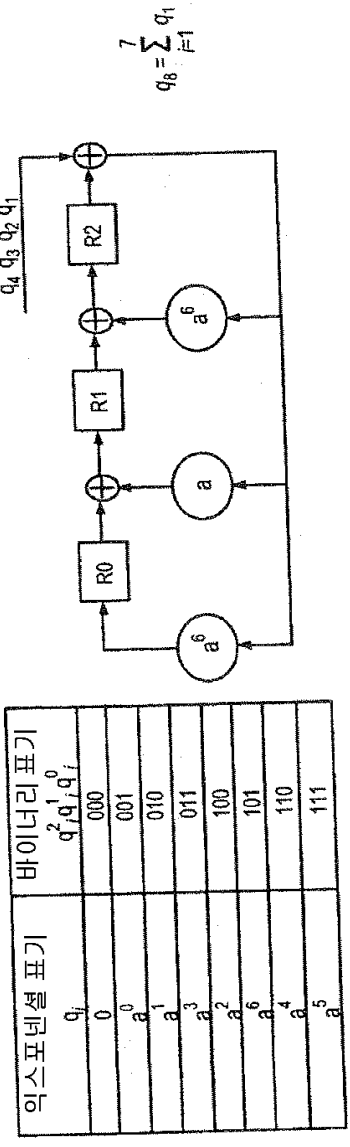
도면9



도면10



도면11



도면12

$$\begin{aligned}
 p_1 &= t_1 \oplus t_2 \oplus t_4 \\
 p_2 &= t_1 \oplus t_3 \oplus t_4 \\
 p_3 &= t_2 \oplus t_3 \oplus t_4 \\
 p_4 &= t_1 \oplus t_2 \oplus t_3
 \end{aligned}$$

정보 비트들: t_1, \dots, t_4

패리티 비트들: p_1, \dots, p_4

\oplus : 배타논리합 게이트
(모듈로=2 합)

$$\begin{aligned}
 0 \oplus 0 &= 0 \\
 0 \oplus 1 &= 1 \\
 1 \oplus 0 &= 1 \\
 1 \oplus 1 &= 0
 \end{aligned}$$