

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-153218

(P2017-153218A)

(43) 公開日 平成29年8月31日(2017.8.31)

(51) Int.Cl. F I テーマコード (参考)
HO2M 3/155 (2006.01) HO2M 3/155 W 5H730
 HO2M 3/155 H

審査請求 未請求 請求項の数 4 O L (全 24 頁)

(21) 出願番号 特願2016-32405 (P2016-32405)
 (22) 出願日 平成28年2月23日 (2016.2.23)

(71) 出願人 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番1号
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100192636
 弁理士 加藤 隆夫
 (72) 発明者 中澤 重晶
 神奈川県川崎市中原区上小田中4丁目1番1号 富士通クライアントコンピューティング株式会社内

最終頁に続く

(54) 【発明の名称】 電源装置

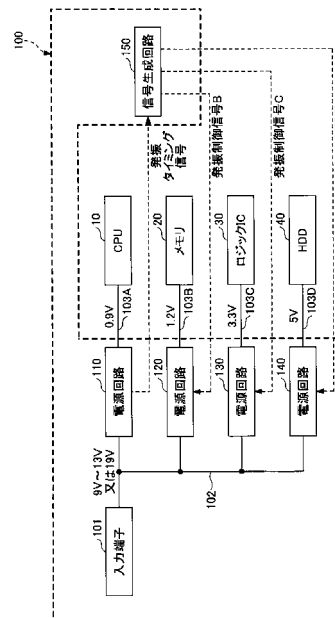
(57) 【要約】

【課題】 ノイズ対策を容易に行うことができる電源装置を提供する。

【解決手段】 電源装置は、電源から直流電力が入力される電力入力端子と、前記電力入力端子に接続され、前記直流電力の電圧を第1電圧に変換した第1直流電力を第1電子部品に供給する第1スイッチングレギュレータと、前記電力入力端子に接続され、前記直流電力の電圧を第2電圧に変換した第2直流電力を第2電子部品に供給する第2スイッチングレギュレータと、前記第1スイッチングレギュレータの発振電圧と、前記第2スイッチングレギュレータの発振電圧とが逆位相になるように、前記第1スイッチングレギュレータの発振電圧に基づいて、前記第2スイッチングレギュレータのスイッチングのタイミングの基準になる基準信号を生成する信号生成回路とを含む。

【選択図】 図1

実施の形態1の電源装置100を示す図



【特許請求の範囲】

【請求項 1】

電源から直流電力が入力される電力入力端子と、
前記電力入力端子に接続され、前記直流電力の電圧を第 1 電圧に変換した第 1 直流電力を第 1 電子部品に供給する第 1 スイッチングレギュレータと、
前記電力入力端子に接続され、前記直流電力の電圧を第 2 電圧に変換した第 2 直流電力を第 2 電子部品に供給する第 2 スイッチングレギュレータと、
前記第 1 スイッチングレギュレータの第 1 発振電圧と、前記第 2 スイッチングレギュレータの第 2 発振電圧とが逆位相になるように、前記第 1 発振電圧に基づいて、前記第 2 スイッチングレギュレータのスイッチングのタイミングの基準になる基準信号を生成する信号生成回路と
を含む、電源装置。

10

【請求項 2】

前記第 1 電子部品は、前記第 2 電子部品よりも電圧変動が大きい、請求項 1 記載の電源装置。

【請求項 3】

前記信号生成回路は、
前記第 1 発振電圧に応じた電圧と、基準電圧とを比較するヒステリシスコンパレータと、
前記基準電圧の電圧値を前記第 2 発振電圧のパルス幅の半分に相当する分だけ増大させる増大部と、
前記第 1 発振電圧に応じた電圧が低下する際における前記ヒステリシスコンパレータの出力のエッジを検出するエッジ検出部と
を有し、前記基準信号は、前記エッジ検出部によって検出される前記エッジである、請求項 1 又は 2 記載の電源装置。

20

【請求項 4】

前記信号生成回路は、
前記第 1 発振電圧を所定の比較値と比較する比較部と、
前記比較部の出力のエッジを検出する第 1 エッジ検出部と、
前記第 1 エッジ検出部によってエッジが検出されると、H レベルと L レベルを入れ替えた第 1 パルス信号を出力する T 型 F F と、
前記 T 型 F F から出力される前記第 1 パルス信号の周波数を 4 倍した第 2 パルス信号を出力する逡倍器と、
前記第 2 パルス信号に遅延時間を与える遅延部と、
前記遅延部によって遅延された前記第 2 パルス信号のエッジを検出する第 2 エッジ検出部と、
前記第 1 エッジ検出部の出力側で前記 T 型 F F とは並列に接続され、前記第 1 エッジ検出部によってエッジが検出されると、所定のパルス幅の第 3 パルス信号を出力するワンショット部と、
前記第 3 パルス信号を反転した第 4 パルス信号を出力する反転部と、
前記第 1 エッジ検出部の出力と、前記第 4 パルス信号の論理積として前記基準信号を出力する論理積出力部と
を有し、
前記遅延部が前記第 1 発振電圧に与える遅延時間は、前記第 1 発振電圧の H レベルのパルス幅の半分の第 1 時間と、前記第 2 発振電圧の H レベルのパルス幅の半分の第 2 時間との差である、請求項 1 又は 2 記載の電源装置。

30

40

【発明の詳細な説明】

【技術分野】

50

【 0 0 0 1 】

本発明は、電源装置に関する。

【 背景技術 】

【 0 0 0 2 】

従来より、電源に接続される第1のインダクタおよび第1のスイッチング素子の直列回路、この第1のスイッチング素子に並列に接続される整流素子および第1のコンデンサの直列回路を有し、この第1のコンデンサに第1の負荷が接続される第1の電源回路を具備する電源装置がある。電源装置は、さらに、第1のコンデンサに接続され、第2のスイッチング素子を有しこの第2のスイッチング素子のスイッチングにより電力が供給される第2の負荷への出力電圧を変換する第2の電源回路を具備する。

10

【 0 0 0 3 】

第1の負荷に電力を供給する場合には、第1のスイッチング素子のみを動作させて電源の電圧を変換して第1の負荷に電力を供給し、第2のスイッチング素子は動作させずに第2の負荷には電力を供給せず、第2の負荷に電力を供給する場合には、第2のスイッチング素子を動作させて電源の電圧を変換して第2の負荷に電力を供給し、第1のスイッチング素子はオフさせて第2の電源回路で発生するノイズを第1の電源回路の第1のインダクタおよび第1のコンデンサで除去する（例えば、特許文献1参照）。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

20

【 特許文献 1 】 特開 2 0 0 4 - 0 9 6 9 2 1 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

ところで、従来の電源装置では、第1の電源回路と第2の電源回路のうち的一方のみが動作する場合には、他方のインダクタやコンデンサを利用することができないため、第1の電源回路と第2の電源回路に電力を入力する入力部におけるノイズを対策するために、ノイズ対策を電源回路毎に施す必要があった。

【 0 0 0 6 】

そこで、ノイズ対策を容易に行うことができる電源装置を提供することを目的とする。

30

【 課題を解決するための手段 】

【 0 0 0 7 】

本発明の実施の形態の電源装置は、電源から直流電力が入力される電力入力端子と、前記電力入力端子に接続され、前記直流電力の電圧を第1電圧に変換した第1直流電力を第1電子部品に供給する第1スイッチングレギュレータと、前記電力入力端子に接続され、前記直流電力の電圧を第2電圧に変換した第2直流電力を第2電子部品に供給する第2スイッチングレギュレータと、前記第1スイッチングレギュレータの発振電圧と、前記第2スイッチングレギュレータの発振電圧とが逆位相になるように、前記第1スイッチングレギュレータの発振電圧に基づいて、前記第2スイッチングレギュレータのスイッチングのタイミングの基準になる基準信号を生成する信号生成回路とを含む。

40

【 発明の効果 】

【 0 0 0 8 】

ノイズ対策を容易に行うことができる電源装置を提供することができる。

【 図面の簡単な説明 】

【 0 0 0 9 】

【 図 1 】 実施の形態 1 の電源装置 1 0 0 を示す図である。

【 図 2 】 電源回路 1 1 0 の構成を示す図である。

【 図 3 】 電源回路 1 2 0 の構成を示す図である。

【 図 4 】 信号生成回路 1 5 0 の構成を示す図である。

【 図 5 】 電源装置 1 0 0 における電源回路 1 1 0 、 電源回路 1 2 0 、 信号生成回路 1 5 0

50

によって実現される動作を示すタイミングチャートである。

【図6】電源回路110の発振電圧と、電源回路120、130、140の発振電圧とを示す図である。

【図7】電源回路110、120、130、140の入力部における電圧変動のレベルを示す図である。

【図8】電源回路210の構成を示す図である。

【図9】信号生成回路250を示す図である。

【図10】実施の形態2の電源装置における電源回路210、電源回路120、信号生成回路250によって実現される動作を示すタイミングチャートである。

【発明を実施するための形態】

【0010】

以下、本発明の電源装置を適用した実施の形態について説明する。

【0011】

<実施の形態1>

図1は、実施の形態1の電源装置100を示す図である。

【0012】

電源装置100は、入力端子101、電源回路110、120、130、140、及び信号生成回路150を含む。電源回路110、120、130、140には、それぞれ、CPU(Central Processing Unit:中央演算処理装置)10、メモリ20、ロジックIC(Integrated Circuit)30、HDD(Hard Disk Drive)40が接続されている。なお、図1において、細い破線は信号線を示す。

【0013】

電源装置100は、一例として、ノート型のPC(Personal Computer)に搭載される。電源装置100は、ノート型のPCの内部で、CPU10、メモリ20、ロジックIC30、HDD40とともにマザーボード(配線基板)に実装されている。

【0014】

CPU10、メモリ20、ロジックIC30、HDD40は、最も消費電力の大きいCPU10と、CPU10よりも消費電力の小さいメモリ20、ロジックIC30、HDD40との2つのグループに分けることができる。CPU10は、ノート型のPCに含まれる第1電子部品の一例である。メモリ20、ロジックIC30、HDD40は、ノート型のPCに含まれる第2電子部品の一例である。

【0015】

入力端子101は、バッテリー又はAC(Alternating Current:交流)アダプタが接続され、バッテリー又はACアダプタから直流電力が入力される端子である。例えば、バッテリーから入力される直流電力の電圧は、バッテリーの充電度合によって、9V~13Vの間である。また、ACアダプタから入力される直流電力の電圧は、19Vである。

【0016】

入力端子101には、配線102を介して、電源回路110、120、130、140が接続されている。配線102は、マザーボードの配線であり、入力端子101から分岐して、電源回路110、120、130、140に接続されている。このため、入力端子101に対して、電源回路110、120、130、140は、互いに並列に接続されている。

【0017】

電源回路110は、入力端子101から配線102を介して入力される直流電力を0.9Vの直流電力に変換してCPU10に供給する。電源回路110とCPU10は、配線103Aを介して接続されている。配線103Aは、マザーボードの配線である。電源回路110は、第1スイッチングレギュレータの一例である。

【0018】

電源回路120は、入力端子101から配線102を介して入力される直流電力を1.2Vの直流電力に変換してメモリ20に供給する。電源回路120とメモリ20は、配線

10

20

30

40

50

103Bを介して接続されている。配線103Bは、マザーボードの配線である。電源回路120は、第2スイッチングレギュレータの一例である。

【0019】

電源回路130は、入力端子101から配線102を介して入力される直流電力を3.3Vの直流電力に変換してロジックIC30に供給する。電源回路130とロジックIC30は、配線103Cを介して接続されている。配線103Cは、マザーボードの配線である。電源回路130は、第2スイッチングレギュレータの一例である。

【0020】

電源回路140は、入力端子101から配線102を介して入力される直流電力を5Vの直流電力に変換してHDD40に供給する。電源回路140とHDD40は、配線103Dを介して接続されている。配線103Dは、マザーボードの配線である。電源回路140は、第2スイッチングレギュレータの一例である。

10

【0021】

信号生成回路150は、電源回路110の発振電圧に基づく発振タイミング信号が入力され、発振制御信号B、C、Dを電源回路120、130、140に出力する。信号生成回路150は、電源回路110の発振電圧と、電源回路120、130、140の発振電圧とが逆位相になるように、発振タイミング信号に基づいて、電源回路120、130、140のスイッチングのタイミングの基準になる発振制御信号B、C、Dを生成する。

【0022】

信号生成回路150は、信号生成回路の一例である。発振制御信号B、C、Dは、基準信号の一例である。電源回路110の発振電圧は、第1発振電圧の一例である。電源回路120、130、140の発振電圧は、第2発振電圧の一例である。

20

【0023】

なお、電源回路110の発振電圧と、電源回路120、130、140の発振電圧については、後述する。

【0024】

図2は、電源回路110の構成を示す図である。

【0025】

電源回路110は、入力部111、FET(Field Effect Transistor)112、113、コイル114、制御IC115、出力コンデンサ116、出力部117、配線118A、抵抗器R1、R2、R3、R4、及びコンデンサC1、C2、C4を有する。なお、図2において、細い破線は信号線を示す。

30

【0026】

入力部111は、配線102(図1参照)に接続され、配線102を介して直流電力が入力される。入力部111は、例えば、マザーボードの配線であり、FET112のドレインまで延在している。ここでは、説明の便宜上、入力部111として示す。

【0027】

FET112は、入力部111に接続されるドレイン、FET113のドレインに接続されるソース、制御IC115に接続されるゲートを有する。FET112は、例えば、NMOSFET(N type Metal Oxide Field Effect Transistor)である。FET112は、ハイサイド側のFETであり、出力部117から出力する直流電力の電圧値を上昇させる際に、スイッチング(オン/オフの切り替え)が行われる。

40

【0028】

FET113は、FET112のソースに接続されるドレイン、グランド(GND)に接続されるソース、制御IC115に接続されるゲートを有する。FET113は、例えば、NMOSFETである。FET113は、ロウサイド側のFETであり、出力部117から出力する直流電力の電圧値を低下させる際に、スイッチング(オン/オフの切り替え)が行われる。

【0029】

コイル114は、FET112のソース及びFET113のドレインの接続点と、出力

50

部 1 1 7 との間には設けられている。F E T 1 1 2 のソース及び F E T 1 1 3 のドレインの接続点と、コイル 1 1 4 との間は、電源回路 1 1 0 の発振部であり、発振部に生じる電圧は、電源回路 1 1 0 の発振電圧である。

【 0 0 3 0 】

コイル 1 1 4 の両端間には、抵抗器 R 4 とコンデンサ C 4 とが並列に接続されており、抵抗器 R 4 とコンデンサ C 4 の接続点から分岐する配線 1 1 8 A は、発振タイミング信号を取り出すための配線である。

【 0 0 3 1 】

また、コイル 1 1 4 の両端間には、抵抗器 R 3 とコンデンサ C 1 とが並列に接続されており、抵抗器 R 3 とコンデンサ C 1 の接続点と、出力部 1 2 7 との間には、コンデンサ C 2 と抵抗器 R 1 が接続されている。

10

【 0 0 3 2 】

コンデンサ C 2 と抵抗器 R 1 との間から分岐する線路には抵抗器 R 2 の一端（図中上側の端子）が接続されており、抵抗器 R 2 の他端はグランド（GND）に接続されている。コンデンサ C 2 と抵抗器 R 1 との間には、制御 IC 1 1 5 のコンパレータ 1 1 5 A の一方（図中上側）の入力端子が接続されている。

【 0 0 3 3 】

制御 IC 1 1 5 は、コンパレータ 1 1 5 A、基準電圧源 1 1 5 B、及び F E T ドライバ 1 1 5 C を有する。

【 0 0 3 4 】

コンパレータ 1 1 5 A の一方（図中上側）の入力端子は、コンデンサ C 2 と抵抗器 R 1 との間に接続されており、他方（図中下側）の入力端子は、基準電圧源 1 1 5 B に接続されている。また、コンパレータ 1 1 5 A の出力端子は、F E T ドライバ 1 1 5 C に接続されている。コンパレータ 1 1 5 A の一方（図中上側）の入力端子には、出力部 1 1 7 から出力される電源回路 1 1 0 の出力電圧がフィードバックされて入力される。

20

【 0 0 3 5 】

コンパレータ 1 1 5 A は、一方（図中上側）の入力端子にフィードバックされる出力電圧と、他方（図中下側）の入力端子に入力される基準電圧とを比較し、比較結果を表す出力信号を F E T ドライバ 1 1 5 C に出力する。コンパレータ 1 1 5 A の出力信号は、フィードバックされる出力電圧と、基準電圧との比較結果を表す。

30

【 0 0 3 6 】

基準電圧源 1 1 5 B は、コンパレータ 1 1 5 A の他方（図中下側）の入力端子に入力する基準電圧を出力する。

【 0 0 3 7 】

F E T ドライバ 1 1 5 C は、コンパレータ 1 1 5 A の出力信号に基づいて、High Side ゲート信号及び Low Side ゲート信号を出力する。High Side ゲート信号及び Low Side ゲート信号は、それぞれ、F E T 1 1 2 及び 1 1 3 のゲートに入力される。

【 0 0 3 8 】

F E T ドライバ 1 1 5 C は、コンパレータ 1 1 5 A の出力電圧が基準電圧よりも低いことを表す場合は、High Side ゲート信号で F E T 1 1 2 を駆動し、コンパレータ 1 1 5 A の出力電圧が基準電圧よりも高いことを表す場合は、Low Side ゲート信号で F E T 1 1 2 を駆動する。このようにして、F E T ドライバ 1 1 5 C は、コンパレータ 1 1 5 A の一方（図中上側）の入力端子に出力部 1 1 7 から出力される電源回路 1 1 0 の出力電圧が、基準電圧源 1 1 5 B から出力される基準電圧に等しくなるように、フィードバック制御を行う。

40

【 0 0 3 9 】

出力コンデンサ 1 1 6 は、コイル 1 1 4 から出力される電力の電圧を平滑化するために設けられている。

【 0 0 4 0 】

出力部 1 1 7 は、C P U 1 0（図 1 参照）に接続されており、コイル 1 1 4 から出力さ

50

れ、出力コンデンサ 116 で電圧値が平滑化された直流電力を CPU 10 に出力する。

【0041】

図3は、電源回路120の構成を示す図である。

【0042】

電源回路120は、入力部121、FET122、123、コイル124、制御IC125、出力コンデンサ126、出力部127、三角波生成回路128、抵抗器R1、R2、及びコンデンサC3を有する。抵抗器R1、R2、及びコンデンサC3は、それぞれ、電源回路110（図2参照）の抵抗器R1、R2、及びコンデンサC3と同様である。なお、図3において、細い破線は信号線を示す。

【0043】

入力部121は、配線102（図1参照）に接続され、配線102を介して直流電力が入力される。入力部121は、例えば、マザーボードの配線であり、FET122のドレインまで延在している。ここでは、説明の便宜上、入力部121として示す。

【0044】

FET122は、入力部121に接続されるドレイン、FET123のドレインに接続されるソース、制御IC125に接続されるゲートを有する。FET122は、例えば、NMOSFETである。FET122は、ハイサイド側のFETであり、出力部127から出力する直流電力の電圧値を上昇させる際に、スイッチング（オン/オフの切り替え）が行われる。

【0045】

FET123は、FET122のソースに接続されるドレイン、グランド（GND）に接続されるソース、制御IC125に接続されるゲートを有する。FET123は、例えば、NMOSFETである。FET123は、ロウサイド側のFETであり、出力部127から出力する直流電力の電圧値を低下させる際に、スイッチング（オン/オフの切り替え）が行われる。

【0046】

コイル124は、FET122のソース及びFET123のドレインの接続点と、出力部127との間に設けられている。FET122のソース及びFET123のドレインの接続点と、コイル124との間には、電源回路120の発振部であり、発振部に生じる電圧は、電源回路120の発振電圧である。

【0047】

制御IC125は、コンパレータ125A、基準電圧源125B、及びFETドライバ125Cを有する。

【0048】

コンパレータ125Aの一方（図中上側）の入力端子は、抵抗器R1を介して出力部127に接続されており、他方（図中下側）の入力端子は、基準電圧源125Bに接続されている。なお、コンパレータ125Aの一方（図中上側）の入力端子と、抵抗器R1の間には、抵抗器R2の一端（図中上側の端子）が接続されており、抵抗器R2の他端（図中下側の端子）はグランド（GND）に接続されている。

【0049】

コンパレータ125Aの出力端子は、FETドライバ125Cに接続されている。コンパレータ125Aの一方（図中上側）の入力端子には、出力部127から出力される電源回路120の出力電圧がフィードバックされて入力される。

【0050】

コンパレータ125Aは、一方（図中上側）の入力端子にフィードバックされる出力電圧と、他方（図中下側）の入力端子に入力される基準電圧とを比較し、比較結果を表す出力信号をFETドライバ125Cに出力する。

【0051】

コンパレータ125Aは、他方（図中下側）の入力端子に入力される基準電圧よりも、一方（図中上側）の入力端子にフィードバックされる出力電圧の方が低い場合に、Hレベ

10

20

30

40

50

ルのパルスを出力する。コンパレータ 1 2 5 A の出力信号の H レベルのパルス幅は、F E T ドライバ 1 2 5 C が出力する High Side ゲート信号のデューティ比になる。

【 0 0 5 2 】

基準電圧源 1 2 5 B は、コンパレータ 1 2 5 A の他方（図中下側）の入力端子に入力する基準電圧を出力する。

【 0 0 5 3 】

F E T ドライバ 1 2 5 C は、コンパレータ 1 2 5 A の出力信号に基づいてデューティ比を設定した High Side ゲート信号及び Low Side ゲート信号を出力する。High Side ゲート信号及び Low Side ゲート信号は、それぞれ、F E T 1 2 2 及び 1 2 3 のゲートに入力される。Low Side ゲート信号は、High Side ゲート信号を反転させた信号レベルを有する。

10

【 0 0 5 4 】

F E T ドライバ 1 2 5 C は、コンパレータ 1 2 5 A の出力電圧に基づいて生成する High Side ゲート信号及び Low Side ゲート信号で、それぞれ、F E T 1 2 2 及び F E T 1 2 2 を駆動する。

【 0 0 5 5 】

このようにして、F E T ドライバ 1 2 5 C は、コンパレータ 1 2 5 A の一方（図中上側）の入力端子に出力部 1 2 7 から出力される電源回路 1 2 0 の出力電圧が、基準電圧源 1 2 5 B から出力される基準電圧に等しくなるように、フィードバック制御を行う。電源回路 1 2 0 の出力電圧は、一例として、1 . 2 V（図 1 参照）である。

20

【 0 0 5 6 】

出力コンデンサ 1 2 6 は、コイル 1 2 4 から出力される電力の電圧を平滑化するために設けられている。

【 0 0 5 7 】

出力部 1 2 7 は、メモリ 2 0（図 1 参照）に接続されており、コイル 1 2 4 から出力され、出力コンデンサ 1 2 6 で電圧値が平滑化された直流電力をメモリ 2 0 に出力する。

【 0 0 5 8 】

三角波生成回路 1 2 8 は、発振制御信号 B が入力され、三角波状に電圧値が変化する電圧信号を発振制御信号 B に応じて出力する。このため、三角波生成回路 1 2 8 の入力端子（図中右側）は、信号生成回路 1 5 0（図 1）の出力端子に接続されている。また、三角波生成回路 1 2 8 の出力端子（図中左側）は、コンデンサ C 3 を介して、コンパレータ 1 2 5 A の一方（図中上側）の入力端子と、抵抗器 R 1 の低電位側の端子（図中左側の端子）と、抵抗器 R 2 の高電位側の端子（図中上側の端子）とに接続されている。

30

【 0 0 5 9 】

三角波生成回路 1 2 8 は、三角波状に電圧値が変化する電圧信号をコンパレータ 1 2 5 A の一方（図中上側）の入力端子に入力する。

【 0 0 6 0 】

なお、電源回路 1 3 0 及び 1 4 0 の構成は、電源回路 1 2 0 と同様である。電源回路 1 3 0 及び 1 4 0 は、発振制御信号 B の代わりに、発振制御信号 C 及び D が入力され、ロジック IC 3 0 及び HDD 4 0 に直流電力を供給する。発振制御信号 B、C、及び D は、電源回路 1 2 0、1 3 0、及び 1 4 0 におけるスイッチングのタイミングの基準になる基準信号の一例である。

40

【 0 0 6 1 】

また、電源回路 1 3 0 及び 1 4 0 の発振部に生じる電圧は、それぞれ、電源回路 1 3 0 及び 1 4 0 の発振電圧である。

【 0 0 6 2 】

図 4 は、信号生成回路 1 5 0 の構成を示す図である。信号生成回路 1 5 0 は、実際には、電源回路 1 2 0、1 3 0、1 4 0 に対応して 3 つ設けられるが、3 つの信号生成回路 1 5 0 の構成は同様であるので、ここでは、電源回路 1 2 0 に接続される信号生成回路 1 5 0 について説明する。

50

【0063】

信号生成回路150は、入力部150A、コンパレータ151、基準電圧源152、定電流源153、エッジ検出部154、出力部150B、抵抗器R5及びR6、コンデンサC5を有する。

【0064】

入力部150Aは、電源回路110から発振タイミング信号が入力される部分である。入力部150Aは、電源回路110側において配線118Aとして示すマザーボードの配線の一部であり、信号生成回路150の内部ではコンデンサC5に接続されている。

【0065】

コンパレータ151は、ヒステリシスを有するコンパレータであり、ヒステリシスコンパレータの一例である。コンパレータ151は、反転入力端子(-)は、コンデンサC5を介して入力部150Aに接続されるとともに、抵抗器R5を介して基準電圧源152に接続されている。また、コンパレータ151の非反転入力端子(+)は、定電流源153及び抵抗器R6を介して基準電圧源152に接続されている。

10

【0066】

コンパレータ151は、反転入力端子(-)と非反転入力端子(+)に入力される信号のレベルを比較し、出力信号をエッジ検出部154に出力する。

【0067】

基準電圧源152は、所定の基準電圧を出力する。

【0068】

定電流源153は、コンパレータ151の非反転入力端子(+)と抵抗器R3との間に設けられている。なお、定電流源153の向きが左向きであるのは、抵抗器R6の右側の端子の電位よりも非反転入力端子(+)の電位を高くするためである。定電流源153と抵抗器R6は、基準電圧の電圧値を電源回路120の発振電圧のパルス幅の半分に相当する分だけ増大させる増大部の一例である。

20

【0069】

定電流源153の出力電流に、抵抗器R6の抵抗値を乗じて得られる電圧値は、電源回路120の出力電圧(1.2V)の半分(0.6V)に対応した値に設定されている。この理由については後述する。

【0070】

エッジ検出部154は、コンパレータ151の出力電圧に含まれる立ち上がりエッジを検出し、立ち上がりのタイミングでHレベルのパルス信号を出力する。エッジ検出部154が出力するパルス信号は、発振制御信号B、C、Dとして、電源回路120、130、140に供給される。エッジ検出部154が出力するパルス信号のHレベルのパルス幅は、ごく短く、瞬時にLレベルに立ち下がる。

30

【0071】

出力部150Bは、発振制御信号B、C、Dが信号生成回路150から出力される部分であり、マザーボードの配線の一部である。ここでは、説明の便宜上、マザーボードの配線の一部を出力部150Bとして表したものである。

【0072】

なお、以上のような信号生成回路150は、電源回路120に接続されるものである。上述したように、信号生成回路150は実際には3つあり、電源回路130及び140にもそれぞれ信号生成回路150が接続される。

40

【0073】

電源回路130に接続される信号生成回路150では、定電流源153の出力電流に、抵抗器R6の抵抗値を乗じて得られる電圧値は、電源回路130の出力電圧(3.3V)の半分に対応した値に設定されている。

【0074】

また、電源回路140に接続される信号生成回路150では、定電流源153の出力電流に、抵抗器R6の抵抗値を乗じて得られる電圧値は、電源回路140の出力電圧(5V

50

)の半分に対応した値に設定されている。

【0075】

図5は、電源装置100における電源回路110、電源回路120、信号生成回路150によって実現される動作を示すタイミングチャートである。図5に示す信号(1)~(14)は、図2乃至図4に示す信号(1)~(14)である。

【0076】

具体的には、信号(1)は、電源回路110(図2参照)の発振部の電圧波形を示す。信号(2)は、発振タイミング信号(図2参照)の電圧波形を示す。信号(3)は、基準電圧源152(図4参照)の電圧波形を示す。信号(4)は、コンパレータ151の反転入力端子(-)の入力信号(図4参照)の電圧波形を示す。信号(5)は、コンパレータ151の非反転入力端子(+)の入力信号(図4参照)の電圧波形を示す。

10

【0077】

信号(6)は、コンパレータ151の出力信号(図4参照)の電圧波形を示す。信号(7)は、発振制御信号B(図1、3参照)の電圧波形を示す。

【0078】

信号(8)は、三角波生成回路128(図3参照)の出力電圧の波形を示す。信号(9)は、電源回路120の出力部127(図3参照)から出力される直流電力の電圧波形を示す。信号(10)は、コンパレータ125A(図3参照)の一方の入力端子(図中上側の端子)に入力される電圧の波形を示す。

【0079】

信号(11)は、コンパレータ125A(図3参照)の出力信号の電圧波形を示す。信号(12)は、FETドライバ125C(図3参照)からFET122のゲートに入力されるHigh Sideゲート信号の電圧波形を示す。

20

【0080】

信号(13)は、FETドライバ125C(図3参照)からFET123のゲートに入力されるLow Sideゲート信号の電圧波形を示す。信号(14)は、電源回路120(図参照)の発振部の電圧波形を示す。

【0081】

なお、電源回路130及び140は、信号(8)~(14)と同様の信号を出力するが、電源回路120を用いる場合との相違については後述する。

30

【0082】

以下では、電源回路110の発振電圧(1)、発振タイミング信号(2)、基準電圧源152の電圧(3)、コンパレータ151の反転入力端子(-)の入力信号(4)、コンパレータ151の非反転入力端子(+)の入力信号(5)と称す。

【0083】

また、コンパレータ151の出力信号(6)、発振制御信号(7)、三角波生成回路128の出力電圧(8)、電源回路120の出力電圧(9)、コンパレータ125Aの一方の入力電圧(10)、コンパレータ125Aの出力信号(11)と称す。

【0084】

また、High Sideゲート信号(12)、Low Sideゲート信号(13)、電源回路120の発振電圧(14)と称す。

40

【0085】

コンパレータ151の非反転入力端子(+)の入力信号(5)のレベルは、基準電圧源152の電圧(3)に、定電流源153の出力電流に抵抗器R6の抵抗値を乗じて得る電圧値を加えた値である。

【0086】

また、定電流源153の出力電流に、抵抗器R6の抵抗値を乗じて得られる電圧値は、電源回路120の出力電圧(1.2V)の半分(0.6V)に対応した値に設定されている。

【0087】

50

これは、次のような理由によるものである。発振タイミング信号(2)が、破線で示す電源回路110の出力電圧を跨ぐのは、コンパレータ151の反転入力端子(-)の入力信号(4)が基準電圧源152の電圧(3)を跨ぐタイミングと等しい。

【0088】

そして、電源回路110の発振電圧(1)のパルスの幅の中心は、発振タイミング信号(2)が、破線で示す電源回路110の出力電圧を超えるときである。実施の形態1の電源装置100では、電源回路110の発振電圧(1)のHレベルのパルスの幅の中心のタイミングと、電源回路120の発振電圧(14)のHレベルのパルスの幅の中心のタイミングとを逆位相にしたい。

【0089】

このため、コンパレータ151の反転入力端子(-)の入力信号(4)が低下するときに、基準電圧源152の電圧(3)と等しくなるタイミングよりも、発振電圧(14)のHレベルのパルス幅の半分だけ前倒したタイミングでコンパレータ151の反転入力端子(-)の入力信号(4)の低下を検出するために、コンパレータ151の非反転入力端子(+)の入力信号(5)のレベルを、基準電圧源152の電圧(3)に、定電流源153の出力電流に抵抗器R6の抵抗値を乗じて得る電圧値を加えた値に設定している。

【0090】

図5では、電源回路110の発振電圧(1)と発振タイミング信号(2)のスケールを0Vから20Vの範囲で示す。

【0091】

また、コンパレータ151の反転入力端子(-)の入力信号(4)のレベルは、発振タイミング信号(2)のレベルと基準電圧源152の電圧(3)とを重畳したものである。発振タイミング信号(2)のレベルは、電源回路110が出力部117から出力する直流電力に等しく、正弦波状の揺らぎは微小なものであるため、コンパレータ151の反転入力端子(-)の入力信号(4)のレベルを基準電圧源152の電圧(3)よりも100mV低いレベル(基準電圧-100mV)から、基準電圧源152の電圧(3)よりも100mV高いレベル(基準電圧+100mV)の範囲で示す。

【0092】

また、コンパレータ151の出力信号(6)と発振制御信号(7)は、Hレベルが3.3Vで、Lレベルが0Vのスケールで示す。三角波生成回路128の出力電圧(8)は、1Vから1.2Vのスケールで示す。

【0093】

また、電源回路120の出力電圧(9)とコンパレータ125Aの一方の入力電圧(10)は、基準電圧源125Bの基準電圧よりも100mV低いレベル(基準電圧-100mV)から、基準電圧源125Bの基準電圧よりも100mV高いレベル(基準電圧+100mV)のスケールで示す。

【0094】

また、コンパレータ125Aの出力信号(11)は、Lレベルが0Vで、Hレベルが5Vのスケールで示す。

【0095】

また、電源回路120のFET122及び123が所定のデューティ比のHigh Sideゲート信号(12)及びLow Sideゲート信号(13)で駆動されることにより、電源回路120の出力電圧(9)は、図5に示すような正弦波状の電圧波形であることとする。

【0096】

なお、電源回路120の出力電圧(9)の信号レベルは、基準電圧源125Bの基準電圧よりも100mV低いレベル(基準電圧-100mV)から、基準電圧源125Bの基準電圧よりも100mV高いレベル(基準電圧+100mV)のスケールで示す。電源回路120の出力電圧(9)は、出力コンデンサ126によって平滑化されるため、正弦波状の揺らぎは微小なものである。

【0097】

10

20

30

40

50

時刻 t_1 において、ハイサイド FET 112 がオンにされるとともにロウサイド FET 113 がオフにされて電源回路 110 の発振電圧 (1) が H レベルに立ち上がると、発振タイミング信号 (2) は略線形的に上昇し始める。また、コンパレータ 151 の反転入力端子 (-) の入力信号 (4) は、発振タイミング信号 (2) に、基準電圧源 152 の電圧 (3) を加えた信号であるため、発振タイミング信号 (2) と同様に、時刻 t_1 において略線形的に上昇し始める。

【0098】

また、時刻 t_1 では、コンパレータ 151 の反転入力端子 (-) の入力信号 (4) のレベルは、非反転入力端子 (+) の入力信号 (5) のレベルよりも低いため、コンパレータ 151 の出力信号 (6) は H レベルである。

10

【0099】

時刻 t_2 において、コンパレータ 151 の反転入力端子 (-) の入力信号 (4) のレベルが非反転入力端子 (+) の入力信号 (5) のレベルを超えると、コンパレータ 151 の出力信号 (6) が L レベルに立ち下がる。

【0100】

時刻 t_3 において、ハイサイド FET 112 がオフにされるとともにロウサイド FET 113 がオンにされて電源回路 110 の発振電圧 (1) が L レベルに立ち下がる。このように、発振タイミング信号 (2) は略線形的に低下し始める。このように、発振タイミング信号 (2) は、三角波状の電圧波形を有する。これは、抵抗器 R4 とコンデンサ C4 とで電源回路 110 の発振電圧 (1) の波形が鈍らされるからである。

20

【0101】

また、コンパレータ 151 の反転入力端子 (-) の入力信号 (4) は、発振タイミング信号 (2) と同様に、三角波状の電圧波形を有する。

【0102】

なお、三角波形状の発振タイミング信号 (2) のレベルの中心に示す破線は、電源回路 110 が出力部 117 から出力する直流電力の電圧値である。

【0103】

時刻 t_4 において、コンパレータ 151 の反転入力端子 (-) の入力信号 (4) のレベルが非反転入力端子 (+) の入力信号 (5) のレベルを下回ると、コンパレータ 151 の出力信号 (6) が H レベルに立ち上がる。

30

【0104】

そして、このとき、H レベルへの立ち上がりエッジがエッジ検出部 154 によって検出されるため、時刻 t_4 において、発振制御信号 (7) が H レベルのパルスになる。発振制御信号 (7) が H レベルになるのは、出力信号 (6) の H レベルへの立ち上がりの瞬間のみである。

【0105】

エッジ検出部 154 は、コンパレータ 151 の反転入力端子 (-) の入力信号 (4) が低下して基準電圧源 152 の電圧 (3) と等しくなるタイミングよりも、発振電圧 (14) の H レベルのパルス幅の半分だけ前倒したタイミングで、コンパレータ 151 の出力信号 (6) の H レベルへの立ち上がりエッジを検出する。

40

【0106】

また、発振制御信号 (7) の H レベルのパルスにより、三角波生成回路 128 が三角波状の電圧を出力するため、三角波生成回路 128 の出力電圧 (8) が三角波の最も低いレベルから立ち上がり始める。

【0107】

また、コンパレータ 125 A の一方の入力電圧 (10) は、三角波生成回路 128 の出力電圧 (8) と、電源回路 120 の出力電圧 (9) とを重畳した電圧波形になり、時刻 t_4 において、基準電圧源 125 B の基準電圧を下回る。なお、基準電圧源 125 B の基準電圧を破線で示す。

【0108】

50

このため、時刻 t_4 において、コンパレータ 125 A の出力信号 (11) が H レベルになり、FET ドライバ 125 C は、High Side ゲート信号 (12) を H レベルに立ち上げるとともに、Low Side ゲート信号 (13) を L レベルに立ち下げる。出力部 127 から出力する直流電力の電圧値を上昇させるためである。

【0109】

この結果、時刻 t_4 において、電源回路 120 の発振電圧 (14) は立ち上がる。

【0110】

時刻 t_5 において、コンパレータ 125 A の一方の入力電圧 (10) が、基準電圧源 125 B の基準電圧を上回ると、コンパレータ 125 A の出力信号 (11) が L レベルに立ち下がる。これにより、FET ドライバ 125 C は、High Side ゲート信号 (12) を L レベルに立ち下げるとともに、Low Side ゲート信号 (13) を H レベルに立ち上げる。出力部 127 から出力する直流電力の電圧値を低下させるためである。

10

【0111】

この結果、時刻 t_5 において、電源回路 120 の発振電圧 (14) は立ち下がる。

【0112】

時刻 t_5 以降は、時刻 $t_1 \sim t_5$ と同様の動作が繰り返される。

【0113】

以上のように、電源回路 110 の発振電圧 (1) と、電源回路 120 の発振電圧 (14) とは、逆位相になる。

【0114】

これは、発振タイミング信号 (2) が低下して、破線で示す電源回路 110 の出力電圧と等しくなるタイミングよりも、発振電圧 (14) の H レベルのパルス幅の半分だけ前倒したタイミングでコンパレータ 151 の反転入力端子 (-) の入力信号 (4) が低下して、非反転入力端子 (+) の入力信号 (5) と等しくなるタイミングを検出しているからである。

20

【0115】

このため、電源回路 110 の発振電圧 (1) の H レベルのパルスの幅の中心と、電源回路 120 の発振電圧 (14) の H レベルのパルスの幅の中心とは、位相が 180 度異なることになる。

【0116】

なお、ここでは、電源回路 120 に接続される信号生成回路 150 について説明したが、電源回路 130 に接続される信号生成回路 150 では、基準電圧源 152 の電圧 (3) に対するコンパレータ 151 の非反転入力端子 (+) の入力信号 (5) のレベルのオフセットは、電源回路 130 の出力電圧 (3.3 V) の半分に対応した値に設定されている。

30

【0117】

このため、電源回路 110 の発振電圧 (1) の H レベルのパルスの幅の中心と、電源回路 130 の発振電圧 (14) の H レベルのパルスの幅の中心とは、位相が 180 度異なることになる。

【0118】

また、電源回路 140 に接続される信号生成回路 150 では、基準電圧源 152 の電圧 (3) に対するコンパレータ 151 の非反転入力端子 (+) の入力信号 (5) のレベルのオフセットは、電源回路 140 の出力電圧 (5 V) の半分に対応した値に設定されている。

40

【0119】

このため、電源回路 110 の発振電圧 (1) の H レベルのパルスの幅の中心と、電源回路 140 の発振電圧 (14) の H レベルのパルスの幅の中心とは、位相が 180 度異なることになる。

【0120】

図 6 は、電源回路 110 の発振電圧と、電源回路 120、130、140 の発振電圧とを示す図である。ここでは、電源回路 110、120、130、140 の発振電圧は、そ

50

れぞれ、電源回路 110、120、130、140 の出力電圧が大きいほど、パルス幅が広がっている。

【0121】

電源回路 110 の発振電圧が H レベルに立ち上がっている区間の時間幅方向における中心のタイミングを時刻 t_A とする。また、電源回路 120、130、140 の発振電圧が H レベルに立ち上がっている区間の時間幅方向における中心のタイミングを時刻 t_B とする。

【0122】

時刻 t_A と時刻 t_B は、電源回路 110、120、130、140 と発振電圧の周期において、半周期 (180 度) 位相が異なる。

10

【0123】

図 7 は、電源回路 110、120、130、140 の入力部における電圧変動のレベルを示す図である。図 7 において、横軸は周波数であり、縦軸は電圧変動のレベル (電圧値) を示す。

【0124】

電源回路 110、120、130、140 の入力部とは、電源回路 110 の入力部 111 (図 2 参照) と、電源回路 120 の入力部 121 (図 3 参照) と、電源回路 130、140 の入力部における電圧変動である。電源回路 130、140 の入力部は、電源回路 120 の入力部 121 (図 3 参照) と同様である。

20

【0125】

電源回路 110、120、130、140 は、互いに等しい周波数でスイッチングされるため、電源回路 110、120、130、140 の入力部における電圧変動の横軸方向における位置は等しい。

【0126】

また、電源回路 110 の入力部における電圧変動に対して、電源回路 120、130、140 の入力部における電圧変動は、逆位相で生じるため、図 7 では、電源回路 110 の入力部における電圧変動を縦軸方向における正の値で示し、電源回路 120、130、140 の入力部における電圧変動を縦軸方向における負の値で示す。

【0127】

電源回路 110 は、CPU 10 が接続されるため、入力部 111 の電圧変動が最も大きい。また、メモリ 20、ロジック IC 30、HDD 40 がそれぞれ接続される電源回路 120、130、140 の入力部の電圧変動は、入力部 111 の電圧変動に比べると小さい。

30

【0128】

電源回路 110、120、130、140 の入力部における電圧変動をすべて足し合わせると、実線で示すレベルになる。このため、電源装置 100 の配線 102 に生じる電圧変動は、図 7 に実線で示すレベルになり、電源回路 110、120、130、140 の入力部における電圧変動の各々よりも絶対値で小さくなっている。

【0129】

これは、電源回路 110 の入力部における電圧変動に対して、電源回路 120、130、140 の入力部における電圧変動は、逆位相で生じるため、互いに相殺し合って合計値が低減されるからである。このため、ノイズ対策を容易に行うことができる。

40

【0130】

以上、実施の形態 1 によれば、ノイズ対策を容易に行うことができる電源装置 100 を提供することができる。

【0131】

< 実施の形態 2 >

実施の形態 2 の電源装置は、実施の形態 1 の電源装置 100 の電源回路 110 を電源回路 210 に置き換えるとともに、信号生成回路 150 を信号生成回路 250 に置き換えた構成を有する。すなわち、実施の形態 2 の電源装置は、電源回路 210、120、130

50

、 140、及び信号生成回路250を含む。

【0132】

図8は、電源回路210の構成を示す図である。

【0133】

電源回路210は、実施の形態1の電源回路110の抵抗器R4、コンデンサC4、及び配線118Aの取り回しを変えた構成を有する。その他の構成は、電源回路110と同様であるため、同様の構成要素には同一符号を付し、その説明を省略する。

【0134】

電源回路210は、入力部111、FET112、113、コイル114、制御IC115、出力コンデンサ116、出力部117、配線218A、抵抗器R1、R2、R3、R7、R8、及びコンデンサC1、C2を有する。なお、図8において、細い破線は信号線を示す。

10

【0135】

発振部とグランド(GND)の間には、抵抗器R7及びR8が直列に接続されている。抵抗器R7とR8の間からは、配線218Aが分岐している。配線218Aは、発振タイミング信号を信号生成回路250(図10参照)に出力する。

【0136】

図9は、信号生成回路250を示す図である。ここでは、電源回路120に接続される信号生成回路250について説明する。信号生成回路250は、実際には、電源回路120、130、140に対応して3つあり、電源回路130に接続される信号生成回路250と、電源回路140に接続される信号生成回路250とは、電源回路120に接続される信号生成回路250と同様の構成を有するが、遅延時間の設定が異なる。このような相違点については後述する。

20

【0137】

信号生成回路250は、コンパレータ251、基準電圧源252、エッジ検出部254、T型FF(Flip Flop)255、4通倍PLL(Phase Locked Loop)256、遅延部257、エッジ検出部258、1shot部259、インバータ260、AND部261を有する。

【0138】

コンパレータ251は、抵抗器R7及びR8の接続点に接続される反転入力端子(-)と、基準電圧源152に接続される非反転入力端子(+)とを有する。コンパレータ251は、反転入力端子(-)と非反転入力端子(+)に入力される信号のレベルを比較し、出力信号をエッジ検出部254に出力する。コンパレータ251は、比較部の一例である。

30

【0139】

基準電圧源252は、所定の基準電圧をコンパレータ251の非反転入力端子(+)に出力する。

【0140】

エッジ検出部254は、コンパレータ251の出力電圧に含まれる立ち上がりエッジを検出し、立ち上がりのタイミングでHレベルのパルス信号をT型FF255と1shot部259に出力する。エッジ検出部254が出力するパルス信号のHレベルのパルス幅は、ごく短く、瞬時にLレベルに立ち下がる。エッジ検出部254は、第1エッジ検出部の一例である。

40

【0141】

T型FF255は、エッジ検出部254からHレベルのパルス信号が入力される度に、出力信号のレベルをHレベルとLレベルとに交互に切り替えて4通倍PLL256に出力する。このため、T型FF255の出力信号は、エッジ検出部254からHレベルのパルス信号が入力される度に、HレベルとLレベルとに交互に切り替えられる。

【0142】

4通倍PLL256は、T型FF255の出力信号の出力信号の周波数を4倍にしたパ

50

ルス信号を出力する。

【0143】

遅延部257は、4通倍PLL256が出力するパルス信号に、所定の遅延時間を与えて出力する。所定の遅延時間は、実施の形態1においても、実施の形態1における発振制御信号(7)のHレベルのパルスと同一のタイミングで、発振制御信号(7)のHレベルのパルスを得るために、所定の遅延時間に設定される。所定の遅延時間については、図10を用いて後述する。

【0144】

エッジ検出部258は、遅延部257で遅延されて出力されるパルス信号のHレベルへの立ち上がりのエッジを検出し、立ち上がりのエッジに同期したHレベルのパルス信号をAND部261に出力する。エッジ検出部258が出力するパルス信号のHレベルのパルス幅は、ごく短く、瞬時にLレベルに立ち下がる。エッジ検出部258は、第2エッジ検出部の一例である。

10

【0145】

1shot部259は、エッジ検出部254からHレベルのパルス信号が入力される度に、Hレベルの所定のパルス幅を有するパルス信号を出力する。1shot部259としては、エッジ検出部254からHレベルのパルス信号を検出してHレベルの所定のパルス幅のパルス信号を出力するワンショット回路を用いればよい。1shot部259が出力するHレベルの所定のパルス幅は、回路110の発振電圧の1周期の1/2未満であればよく、一例として、1/4程度である。

20

【0146】

インバータ260は、1shot部259から出力されるHレベルの所定のパルス幅のパルス信号を反転して出力する。インバータ260は、反転部の一例である。

【0147】

AND部261は、エッジ検出部258から入力されるパルス信号と、インバータ260から入力されるパルス信号との論理積(AND)で表される信号レベルのパルス信号を出力する。AND部261が出力するパルス信号は、発振制御信号Bになる。AND部261は、論理積出力部の一例である。

【0148】

図10は、実施の形態2の電源装置における電源回路210、電源回路120、信号生成回路250によって実現される動作を示すタイミングチャートである。

30

【0149】

ここでは、電源回路120を用いる場合の動作について説明する。電源回路130及び140を用いる場合の動作は、電源回路120を用いる場合の動作と同様であるが、電源回路120を用いる場合との相違については後述する。

【0150】

図10に示す信号(1)、(A)~(H)、(7)~(14)は、図8、図9に示す信号(1)、(A)~(H)、(7)~(14)である。

【0151】

具体的には、信号(1)は、電源回路210(図8参照)の発振部の電圧波形を示す。信号(1)は、抵抗器R7に入力される。信号(A)は、発振タイミング信号(図8参照)の電圧波形を示す。信号(A)は、コンパレータ251の反転入力端子(-)の入力信号(図9参照)の電圧波形を示す。

40

【0152】

信号(B)は、基準電圧源252(図9参照)の電圧波形を示す。信号(B)は、コンパレータ251(図9参照)の非反転入力端子(+)の入力信号の電圧波形を示す。

【0153】

信号(C)は、コンパレータ251の出力信号の電圧波形を示す。信号(D)は、エッジ検出部254(図9参照)の出力信号の電圧波形を示す。信号(E)は、T型FF255(図9参照)の出力信号の電圧波形を示す。

50

【0154】

信号(E)は、4通倍PLL256(図9参照)の出力信号の電圧波形を示す。信号(F)は、インバータ260(図9参照)の出力信号の電圧波形を示す。信号(G)は、遅延部257(図9参照)の出力信号の電圧波形を示す。信号(H)は、エッジ検出部258(図9参照)の出力信号の電圧波形を示す。

【0155】

信号(7)は、発振制御信号B(図9参照)の電圧波形を示す。信号(8)~(14)は、実施の形態1と同様である。

【0156】

以下では、電源回路210の発振電圧(1)、発振タイミング信号(A)、基準電圧源252の電圧(B)、コンパレータ251の出力信号(C)、エッジ検出部254の出力信号(D)、T型FF255の出力信号(E)と称す。

10

【0157】

また、インバータ260の出力信号(F)、遅延部257の出力信号(G)、エッジ検出部258の出力信号(H)と称す。

【0158】

また、発振タイミング信号(A)は、Hレベルが5Vで、Lレベルが0Vのスケールで示す。また、コンパレータ251の出力信号(C)、エッジ検出部254の出力信号(D)、T型FF255の出力信号(E)、インバータ260の出力信号(F)、遅延部257の出力信号(G)、エッジ検出部258の出力信号(H)は、Hレベルが3.3Vで、Lレベルが0Vのスケールで示す。

20

【0159】

時刻t11において、ハイサイドFET112がオンにされるとともにロウサイドFET113がオフにされて電源回路210の発振電圧(1)がHレベルに立ち上がると、抵抗器R7とR8で分圧された発振タイミング信号(A)は、基準電圧源252の電圧(B)よりも高くなり、コンパレータ251の出力信号(C)は、発振電圧(1)に同期してHレベルに立ち上がる。

【0160】

なお、基準電圧源252の電圧(B)は、実施の形態2の電源装置の入力端子にバッテリー又はACアダプタのいずれが接続されても、電源回路210の発振電圧(1)のHレベルのパルスに同期したコンパレータ251の出力信号(C)のHレベルのパルスが得られるように適切な値に設定しておけばよい。コンパレータ251は、入力端子にバッテリー又はACアダプタが接続されて入力電圧が異なることによる影響を排除するために設けられている。

30

【0161】

また、時刻t11では、コンパレータ251の出力信号(C)がHレベルに立ち上がることにより、エッジ検出部254の出力信号(D)がHレベルになる。エッジ検出部254の出力信号(D)は、時刻t11が経過すると、直ちにLレベルに立ち下がる。

【0162】

また、時刻t11では、エッジ検出部254の出力信号(D)がHレベルになることにより、T型FF255の出力信号(E)がHレベルに立ち上がるとともに、インバータ260の出力信号(F)がLレベルに立ち下がる。

40

【0163】

時刻t11よりも遅延部257による遅延時間だけ経過した時刻t12では、遅延部257の出力信号(G)がHレベルに立ち上がる。遅延部257の出力信号(G)は、4通倍PLL256によって、T型FF255の出力信号(E)に対して周波数が4倍になるとともに、T型FF255の出力信号(E)に対して、遅延部257による遅延時間だけ遅延している。

【0164】

なお、遅延部257による遅延時間は、実施の形態1において、時刻t1で電源回路1

50

10の発振電圧(1)が立ち上がってから、時刻t4で発振制御信号(7)のHレベルのパルスが出力されるタイミングまでの時間から、遅延部257の出力信号(G)の1周期分の時間を引いた時間である。

【0165】

換言すれば、電源回路120に接続される信号生成回路250の遅延部257による遅延時間は、電源回路120の発振電圧(14)のHレベルのパルス幅の半分の時間から、電源回路110の発振電圧(1)のHレベルのパルス幅の半分の時間を引いた時間である。

【0166】

また、時刻t12では、遅延部257の出力信号(G)がHレベルに立ち上がることにより、エッジ検出部258の出力信号(H)がHレベルになる。エッジ検出部258の出力信号(H)は、時刻t12が経過すると、直ちにLレベルに立ち下がる。

【0167】

なお、時刻t12では、エッジ検出部258の出力信号(H)がHレベルになっても、インバータ260の出力信号(F)がLレベルであるため、AND部261から出力される発振制御信号(7)は、Lレベルである。

【0168】

時刻t13において、インバータ260の出力信号(F)は、Hレベルに立ち上がる。これは、1shot部259の出力信号がHレベルに保持される期間が終了して、Lレベルに立ち下がることによるものである。

【0169】

時刻t14において、遅延部257の出力信号(G)がLレベルに立ち下がる。

【0170】

時刻t15において、遅延部257の出力信号(G)がHレベルに立ち上がると、エッジ検出部258の出力信号(H)がHレベルになり、AND部261から出力される発振制御信号(7)は、Hレベルに立ち上がる。この発振制御信号(7)がHレベルに立ち上がるタイミングは、実施の形態1において、時刻t4において発振制御信号(7)がHレベルに立ち上がるタイミングと等しい。上述のような遅延部257による遅延時間を用いて要るからである。

【0171】

また、時刻t15において、発振制御信号(7)にHレベルのパルスが生じると、実施の形態1と同様に、三角波生成回路128が三角波状の電圧を出力するため、三角波生成回路128の出力電圧(8)が三角波の最も低いレベルから立ち上がり始める。

【0172】

また、コンパレータ125Aの一方の入力電圧(10)は、三角波生成回路128の出力電圧(8)と、電源回路120の出力電圧(9)とを重畳した電圧波形になり、時刻t15において、基準電圧源125Bの基準電圧を下回る。

【0173】

このため、時刻t15において、コンパレータ125Aの出力信号(11)がHレベルになり、FETドライバ125Cは、High Sideゲート信号(12)をHレベルに立ち上げるとともに、Low Sideゲート信号(13)をLレベルに立ち下げる。出力部127から出力する直流電力の電圧値を上昇させるためである。

【0174】

この結果、時刻t15において、電源回路120の発振電圧(14)は立ち上がる。時刻t15における動作は、実施の形態1における時刻t15における動作と同様である。

【0175】

時刻t16において、コンパレータ125Aの一方の入力電圧(10)が、基準電圧源125Bの基準電圧を上回ると、コンパレータ125Aの出力信号(11)がLレベルに立ち下がる。これにより、FETドライバ125Cは、High Sideゲート信号(12)をLレベルに立ち下げるとともに、Low Sideゲート信号(13)をHレベルに立ち上げる

10

20

30

40

50

。出力部 127 から出力する直流電力の電圧値を低下させるためである。

【0176】

この結果、時刻 t_{16} において、電源回路 120 の発振電圧 (14) は立ち下がる。

【0177】

時刻 t_{16} 以降は、時刻 $t_{11} \sim t_{15}$ と同様の動作が繰り返される。

【0178】

以上より、電源回路 210 の発振電圧 (1) と、電源回路 120 の発振電圧 (14) とは、逆位相になる。

【0179】

これは、上述のように信号生成回路 250 の遅延部 257 による遅延時間を設定することにより、電源回路 210 の発振電圧 (1) の H レベルのパルスの幅の中心と、電源回路 120 の発振電圧 (14) の H レベルのパルスの幅の中心との位相が逆位相になるからである。

10

【0180】

なお、ここでは、電源回路 120 に接続される信号生成回路 250 について説明したが、電源回路 130 に接続される信号生成回路 250 の遅延部 257 による遅延時間は、次のようになる。電源回路 130 に接続される信号生成回路 250 の遅延部 257 による遅延時間は、実施の形態 1 において、時刻 t_1 で電源回路 110 の発振電圧 (1) が立ち上がったから、電源回路 130 に接続される信号生成回路 150 において、時刻 t_4 で発振制御信号 (7) の H レベルのパルスが出力されるタイミングまでの時間から、遅延部 257 の出力信号 (G) の 1 周期分の時間を引いた時間である。

20

【0181】

換言すれば、電源回路 130 に接続される信号生成回路 250 の遅延部 257 による遅延時間は、電源回路 130 の発振電圧 (14) の H レベルのパルス幅の半分の時間から、電源回路 110 の発振電圧 (1) の H レベルのパルス幅の半分の時間を引いた時間である。

【0182】

また、電源回路 140 に接続される信号生成回路 250 の遅延部 257 による遅延時間は、実施の形態 1 において、時刻 t_1 で電源回路 110 の発振電圧 (1) が立ち上がったから、電源回路 140 に接続される信号生成回路 150 において、時刻 t_4 で発振制御信号 (7) の H レベルのパルスが出力されるタイミングまでの時間から、遅延部 257 の出力信号 (G) の 1 周期分の時間を引いた時間である。

30

【0183】

換言すれば、電源回路 140 に接続される信号生成回路 250 の遅延部 257 による遅延時間は、電源回路 140 の発振電圧 (14) の H レベルのパルス幅の半分の時間から、電源回路 110 の発振電圧 (1) の H レベルのパルス幅の半分の時間を引いた時間である。

【0184】

従って、電源回路 210 の発振電圧 (1) と、電源回路 120、130、140 の発振電圧 (14) とは、逆位相になる。

40

【0185】

このため、電源回路 210 の入力部における電圧変動に対して、電源回路 120、130、140 の入力部における電圧変動は、逆位相で生じ、互いに相殺し合って合計値が低減される。このように、ノイズ対策を容易に行うことができる。

【0186】

以上、実施の形態 2 によれば、ノイズ対策を容易に行うことができる電源装置を提供することができる。

【0187】

以上、本発明の例示的な実施の形態の電源装置について説明したが、本発明は、具体的に開示された実施の形態に限定されるものではなく、特許請求の範囲から逸脱することな

50

く、種々の変形や変更が可能である。

以上の実施の形態に関し、さらに以下の付記を開示する。

(付記 1)

電源から直流電力が入力される電力入力端子と、

前記電力入力端子に接続され、前記直流電力の電圧を第 1 電圧に変換した第 1 直流電力を第 1 電子部品に供給する第 1 スイッチングレギュレータと、

前記電力入力端子に接続され、前記直流電力の電圧を第 2 電圧に変換した第 2 直流電力を第 2 電子部品に供給する第 2 スイッチングレギュレータと、

前記第 1 スイッチングレギュレータの第 1 発振電圧と、前記第 2 スイッチングレギュレータの第 2 発振電圧とが逆位相になるように、前記第 1 発振電圧に基づいて、前記第 2 スイッチングレギュレータのスイッチングのタイミングの基準になる基準信号を生成する信号生成回路と

10

を含む、電源装置。

(付記 2)

前記第 1 電子部品は、前記第 2 電子部品よりも電圧変動が大きい、付記 1 記載の電源装置。

(付記 3)

前記信号生成回路は、

前記第 1 発振電圧に応じた電圧と、基準電圧とを比較するヒステリシスコンパレータと

20

、前記基準電圧の電圧値を前記第 2 発振電圧のパルス幅の半分に相当する分だけ増大させる増大部と、

前記第 1 発振電圧に応じた電圧が低下する際における前記ヒステリシスコンパレータの出力のエッジを検出するエッジ検出部と

を有し、前記基準信号は、前記エッジ検出部によって検出される前記エッジである、付記 1 又は 2 記載の電源装置。

(付記 4)

前記信号生成回路は、

前記第 1 発振電圧を所定の比較値と比較する比較部と、

前記比較部の出力のエッジを検出する第 1 エッジ検出部と、

30

前記第 1 エッジ検出部によってエッジが検出されると、H レベルと L レベルを入れ替えた第 1 パルス信号を出力する T 型 F F と、

前記 T 型 F F から出力される前記第 1 パルス信号の周波数を 4 倍した第 2 パルス信号を出力する逡倍器と、

前記第 2 パルス信号に遅延時間を与える遅延部と、

前記遅延部によって遅延された前記第 2 パルス信号のエッジを検出する第 2 エッジ検出部と、

前記第 1 エッジ検出部の出力側で前記 T 型 F F とは並列に接続され、前記第 1 エッジ検出部によってエッジが検出されると、所定のパルス幅の第 3 パルス信号を出力するワンショット部と、

40

前記第 3 パルス信号を反転した第 4 パルス信号を出力する反転部と、

前記第 1 エッジ検出部の出力と、前記第 4 パルス信号の論理積として前記基準信号を出力する論理積出力部と

を有し、

前記遅延部が前記第 1 発振電圧に与える遅延時間は、前記第 1 発振電圧の H レベルのパルス幅の半分の第 1 時間と、前記第 2 発振電圧の H レベルのパルス幅の半分の第 2 時間との差である、付記 1 又は 2 記載の電源装置。

【符号の説明】

【 0 1 8 8 】

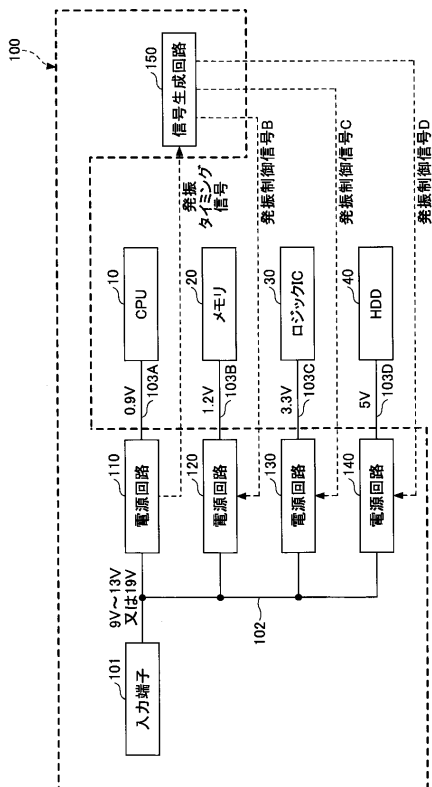
1 0 C P U

50

- 20 メモリ
- 30 ロジックIC
- 40 HDD
- 100 電源装置
- 101 入力端子
- 110、120、130、140 電源回路
- 150 信号生成回路
- 210 電源回路
- 250 信号生成回路

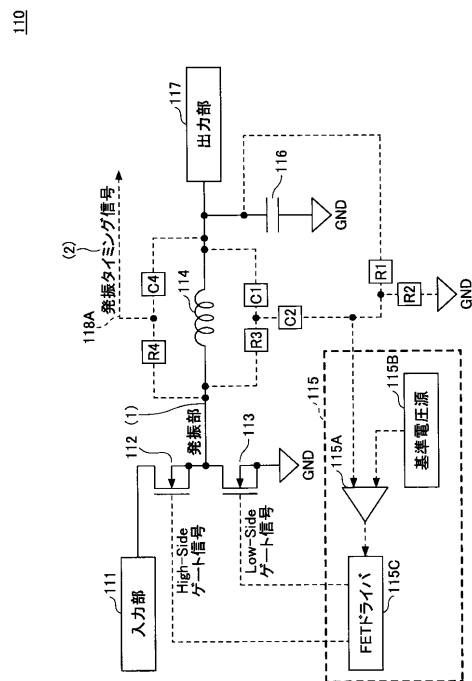
【図1】

実施の形態1の電源装置100を示す図



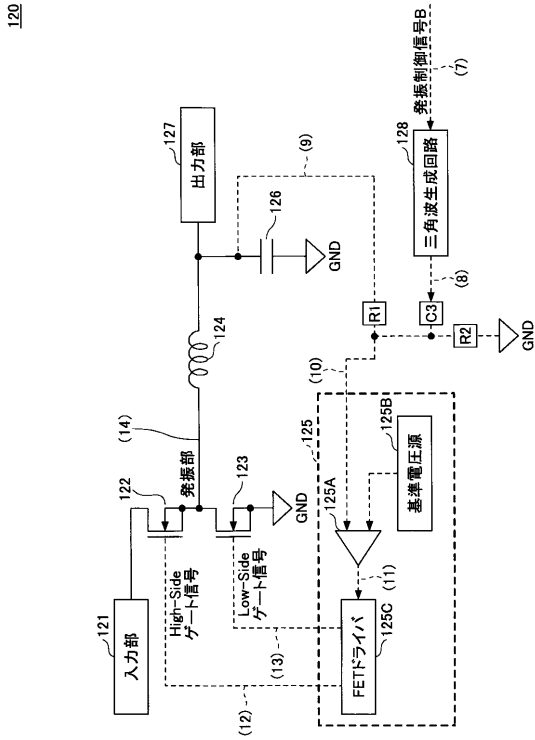
【図2】

電源回路110の構成を示す図



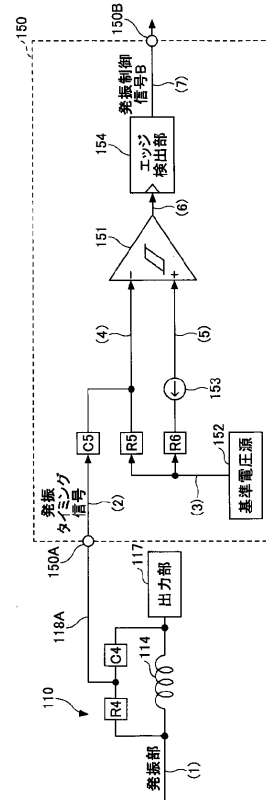
【 図 3 】

電源回路120の構成を示す図



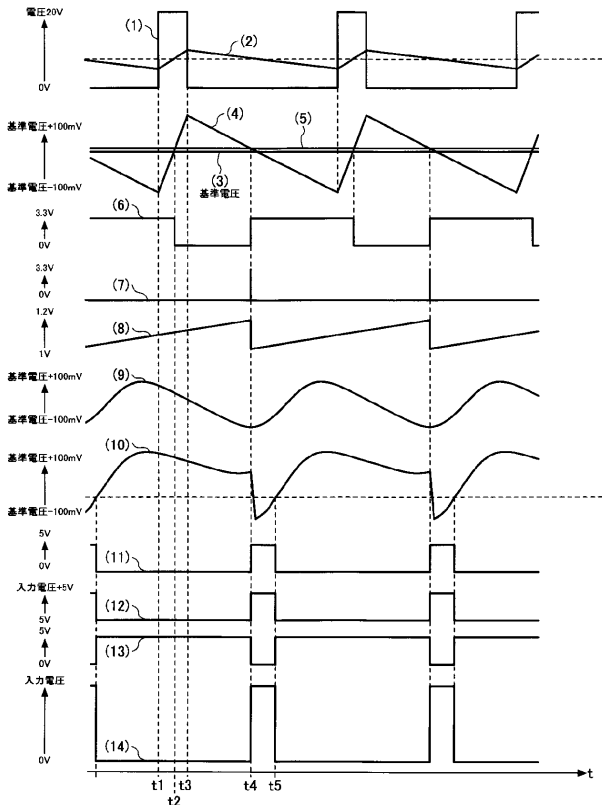
【 図 4 】

信号生成回路150の構成を示す図



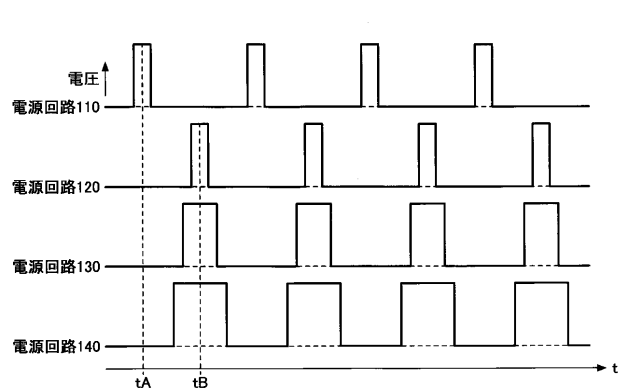
【 図 5 】

電源装置100における電源回路110、電源回路120、信号生成回路150によって実現される動作を示すタイミングチャート



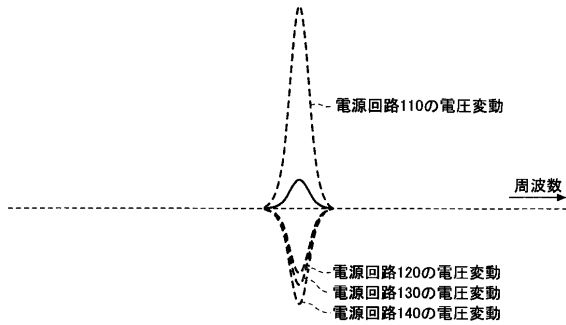
【 図 6 】

電源回路110の発振電圧と、電源回路120、130、140の発振電圧とを示す図



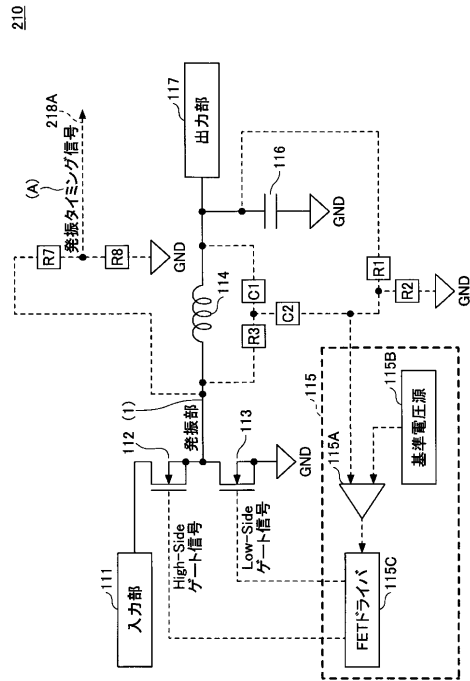
【 図 7 】

電源回路110、120、130、140の入力部における電圧変動のレベルを示す図



【 図 8 】

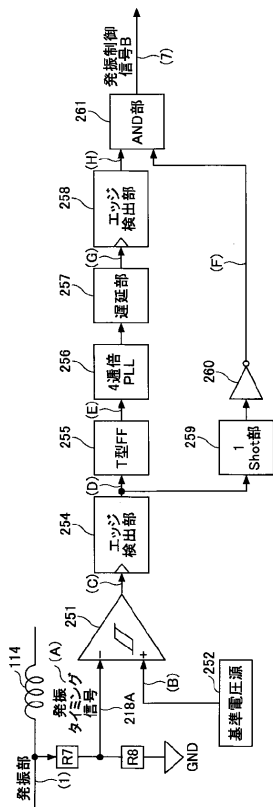
電源回路210の構成を示す図



【 図 9 】

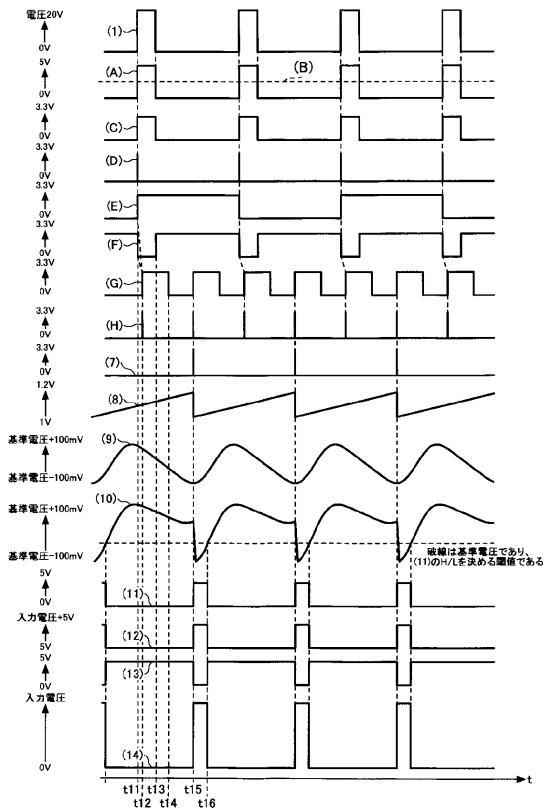
信号生成回路250を示す図

250



【 図 10 】

実施の形態2の電源装置における電源回路210、電源回路120、信号生成回路250によって実現される動作を示すタイミングチャート



フロントページの続き

Fターム(参考) 5H730 AA02 AS01 AS05 BB13 BB57 BB82 BB88 DD04 EE58 EE59
FD01 FF02 FF05 FG05 FG16