



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년03월02일
 (11) 등록번호 10-1494746
 (24) 등록일자 2015년02월12일

(51) 국제특허분류(Int. Cl.)
B82B 3/00 (2006.01) *B82B 1/00* (2006.01)
H01L 21/8247 (2006.01) *H01L 27/115* (2006.01)
 (21) 출원번호 10-2010-7013893
 (22) 출원일자(국제) 2008년12월30일
 심사청구일자 2013년08월19일
 (85) 번역문제출일자 2010년06월23일
 (65) 공개번호 10-2010-0133948
 (43) 공개일자 2010년12월22일
 (86) 국제출원번호 PCT/US2008/088584
 (87) 국제공개번호 WO 2009/088888
 국제공개일자 2009년07월16일
 (30) 우선권주장
 11/968,154 2007년12월31일 미국(US)
 (56) 선행기술조사문헌
 JP2007067374 A*
 JP2007165873 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
샌디스크 3디 엘엘씨
 미국, 캘리포니아 95035-7933, 밀피타스, 샌디스크 드라이브 951
 (72) 발명자
클락, 마크
 미국, 캘리포니아 95050, 산타 클라라, 새디 글렌 에비뉴 1526
허너, 브래드
 미국, 캘리포니아 95125, 산 호세, 밀드레드 에비뉴 1289
슈리커, 에이프럴
 미국, 캘리포니아 94538, 프레몬트, 모우리 에비뉴 #315 4875
 (74) 대리인
박경재

전체 청구항 수 : 총 60 항

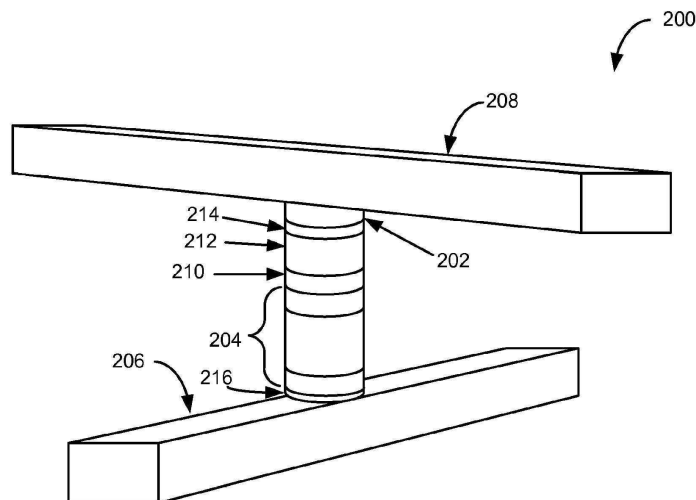
심사관 : 정명주

(54) 발명의 명칭 **선택적으로 제조된 탄소 나노 튜브 가역 저항 전환 소자를 사용하는 메모리 셀과 이를 형성하는 방법**

(57) 요약

일부 면에서, (1) 기판 위에 스티어링 소자를 제조하는 단계와, (2) 상기 기판 위에 탄소 나노 튜브(CNT) 물질을 선택적으로 제조하여 상기 스티어링 소자에 결합된 가역 저항 전환 소자를 제조하는 단계를 포함하는 메모리 셀 제조 방법이 제공된다. 이와 다른 여러 양상이 제공된다.

대표도 - 도2a



특허청구의 범위

청구항 1

메모리 셀을 제조하는 방법에 있어서,

기판 위에 스티어링 소자를 제조하는 단계와;

질화티탄을 증착하고,

상기 증착된 질화티탄의 표면에 요철을 형성함으로써,

CNT 시드층을 제조하고,

상기 CNT 시드층을 패터닝 및 에칭하며,

상기 CNT 시드층 상에 CNT 물질을 선택적으로 제조함으로써,

상기 기판 위에 탄소 나노 튜브(CNT) 물질을 선택적으로 제조하여 상기 스티어링 소자에 결합된 가역 저항 전환 소자를 제조하는 단계;

를 포함하는, 메모리 셀 제조 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1항에 있어서, 상기 요철이 형성된 질화티탄의 표면에 금속층을 선택적으로 증착하는 단계를 더 포함하는, 메모리 셀 제조 방법.

청구항 5

제 4항에 있어서, 상기 금속층은 니켈, 코발트, 또는 철을 포함하는, 메모리 셀 제조 방법.

청구항 6

기판 위에 스티어링 소자를 제조하는 단계와;

제 1 도체 위에 질화티탄을 증착하고,

상기 질화티탄 상에 금속 촉매층을 선택적으로 증착함으로써,

CNT 시드층을 제조하고,

상기 CNT 시드층을 패터닝 및 에칭하며,

상기 CNT 시드층 상에 CNT 물질을 선택적으로 제조함으로써,

상기 기판 위에 탄소 나노 튜브(CNT) 물질을 선택적으로 제조하여 상기 스티어링 소자에 결합된 가역 저항 전환 소자를 제조하는 단계;

를 포함하는, 메모리 셀 제조 방법.

청구항 7

제 6항에 있어서, 상기 금속 촉매층은 니켈, 코발트, 또는 철을 포함하는, 메모리 셀 제조 방법.

청구항 8

제 1항에 있어서, 상기 CNT 시드층을 패터닝하고 에칭하는 단계는 상기 스티어링 소자를 패터닝하고 에칭하는 단계를 포함하는, 메모리 셀 제조 방법.

청구항 9

제 1항에 있어서, 상기 CNT 시드층 상에 CNT 물질을 선택적으로 제조하는 단계는 화학 증기 증착(CVD) 또는 플라즈마 강화 CVD를 사용하여 상기 CNT 시드층 상에 CNT 물질을 증착하는 단계를 포함하는, 메모리 셀 제조 방법.

청구항 10

기관 위에 스티어링 소자를 제조하는 단계와;

CNT 시드층을 제조하고,

상기 CNT 시드층을 패터닝 및 에칭하며,

상기 CNT 시드층 상에 CNT 물질을 선택적으로 제조함으로써,

상기 기관 위에 탄소 나노 튜브(CNT) 물질을 선택적으로 제조하여 상기 스티어링 소자에 결합된 가역 저항 전환 소자를 제조하는 단계;

상기 CNT 물질의 전환 특성을 조절하기 위해서 상기 CNT 물질에 결합을 생성하는 단계;

를 포함하는, 메모리 셀 제조 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

제 1항에 있어서, 상기 가역 저항 전환 소자는 상기 스티어링 소자 위에 제조되는, 메모리 셀 제조 방법.

청구항 14

제 1항에 있어서, 상기 스티어링 소자 제조 단계는 p-n 또는 p-i-n 다이오드를 제조하는 단계를 포함하는, 메모리 셀 제조 방법.

청구항 15

제 14항에 있어서, 상기 스티어링 소자 제조 단계는 다결정 다이오드를 제조하는 단계를 포함하는, 메모리 셀 제조 방법.

청구항 16

제 15항에 있어서, 상기 스티어링 소자 제조 단계는 수직 다결정 다이오드를 제조하는 단계를 포함하는, 메모리 셀 제조 방법.

청구항 17

제 16항에 있어서, 상기 스티어링 소자 제조 단계는 저-저항률 상태에 있는 다결정질 물질을 갖는 수직 다결정 다이오드를 제조하는 단계를 포함하는, 메모리 셀 제조 방법.

청구항 18

제 1항에 있어서, 상기 스티어링 소자 제조 단계는 박막 트랜지스터를 제조하는 단계를 포함하는, 메모리 셀 제조 방법.

청구항 19

제 18항에 있어서, 상기 스티어링 소자 제조 단계는 박막, 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)를 제조하는 단계를 포함하는, 메모리 셀 제조 방법.

청구항 20

제 1항의 방법을 사용하여 형성된 메모리 셀.

청구항 21

제 16항의 방법을 사용하여 형성된 메모리 셀.

청구항 22

메모리 셀을 제조하는 방법에 있어서,

기판 위에 제 1 도체를 제조하는 단계와;

 질화티탄을 증착하고,

 상기 증착된 질화티탄의 표면에 요철을 형성함으로써,

 CNT 시드층을 제조하고,

 상기 CNT 시드층을 패터닝 및 에칭하며,

 상기 CNT 시드층 상에 CNT 물질을 선택적으로 제조함으로써,

상기 제 1 도체 위에 탄소 나노 튜브(CNT) 물질을 선택적으로 제조하여 상기 제 1 도체 위에 가역 저항 전환 소자를 제조하는 단계와;

상기 제 1 도체 위에 다이오드를 제조하는 단계와;

상기 다이오드 및 상기 가역 저항 전환 소자 위에 제 2 도체를 제조하는 단계;

를 포함하는, 메모리 셀 제조 방법.

청구항 23

삭제

청구항 24

삭제

청구항 25

제 22항에 있어서, 상기 요철이 형성된 질화티탄의 표면상에 금속층을 선택적으로 증착하는 단계를 더 포함하는, 메모리 셀 제조 방법.

청구항 26

제 22항에 있어서, 상기 CNT 시드층을 패터닝 및 에칭하는 단계는 상기 다이오드를 패터닝 및 에칭하는 단계를 포함하는, 메모리 셀 제조 방법.

청구항 27

삭제

청구항 28

제 22항에 있어서, 상기 가역 저항 전환 소자는 상기 다이오드 위에 제조되는, 메모리 셀 제조 방법.

청구항 29

제 22항에 있어서, 상기 다이오드 제조 단계는 수직 다결정 다이오드를 제조하는 단계를 포함하는, 메모리 셀 제조 방법.

청구항 30

제 29항에 있어서, 다결정질 물질이 저-저항률 상태에 있도록 상기 수직 다결정 다이오드의 다결정질 물질에 접촉하는 실리사이드, 실리사이드-게르마나이드 또는 게르마나이드 영역을 제조하는 단계를 더 포함하는, 메모리 셀 제조 방법.

청구항 31

제 22항의 방법을 사용하여 형성된 메모리 셀.

청구항 32

제 30항의 방법을 사용하여 형성된 메모리 셀.

청구항 33

메모리 셀을 제조하는 방법에 있어서,

기판 위에 제 1 도체를 제조하는 단계와;

상기 제 1 도체 위에 수직 다결정 다이오드를 제조하는 단계와;

 질화티탄을 증착하고,

 상기 증착된 질화티탄의 표면에 요철을 형성함으로써,

 CNT 시드층을 제조하고,

 상기 CNT 시드층을 패터닝 및 에칭하며,

 상기 CNT 시드층 상에 CNT 물질을 선택적으로 제조함으로써,

상기 수직 다결정 다이오드 위에 탄소 나노 튜브(CNT) 물질을 선택적으로 제조하여 상기 수직 다결정 다이오드 위에 가역 저항 전환 소자를 제조하는 단계와;

상기 가역 저항 전환 소자 위에 제 2 도체를 제조하는 단계;

를 포함하는, 메모리 셀 제조 방법.

청구항 34

삭제

청구항 35

삭제

청구항 36

제 33항에 있어서, 상기 요철이 형성된 질화티탄의 표면상에 금속층을 선택적으로 증착하는 단계를 더 포함하는, 메모리 셀 제조 방법.

청구항 37

제 33항에 있어서, 상기 CNT 시드층을 패터닝하고 에칭하는 단계는 상기 다이오드를 패터닝하고 에칭하는 단계를 포함하는, 메모리 셀 제조 방법.

청구항 38

삭제

청구항 39

제 33항에 있어서, 다결정질 물질이 저-저항률 상태에 있도록 상기 수직 다결정 다이오드의 다결정질 물질에 접촉하는 실리사이드, 실리사이드-게르마나이드 또는 게르마나이드 영역을 제조하는 단계를 더 포함하는, 메모리 셀 제조 방법.

청구항 40

제 33항의 방법을 사용하여 형성된 메모리 셀.

청구항 41

메모리 셀을 제조하는 방법에 있어서,

소스 영역 및 드레인 영역을 갖는 박막 트랜지스터를 제조하는 단계와;

상기 트랜지스터의 상기 소스 영역 또는 상기 드레인 영역에 결합된 제 1 도체를 제조하는 단계와;

 질화티탄을 증착하고,

 상기 증착된 질화티탄의 표면에 요철을 형성함으로써,

 CNT 시드층을 제조하고,

 상기 CNT 시드층을 패터닝 및 에칭하며,

 상기 CNT 시드층 상에 CNT 물질을 선택적으로 제조함으로써,

상기 제 1 도체 위에 탄소 나노 튜브(CNT) 물질을 선택적으로 제조하여 상기 제 1 도체에 결합된 가역 저항 전환 소자를 제조하는 단계와;

상기 가역 저항 전환 소자 위에 제 2 도체를 제조하는 단계;

를 포함하는, 메모리 셀 제조 방법.

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

제 41항의 방법을 사용하여 형성된 메모리 셀.

청구항 46

기판 위에 스티어링 소자를 제조하는 단계와;

CNT 물질에서의 측면 전도를 감소시키기 위해서 실질적으로 수직으로 정렬된 CNT를 갖는 상기 CNT 물질을 제조함으로써, 상기 기판 위에 탄소 나노 튜브(CNT) 물질을 선택적으로 제조하여 상기 스티어링 소자에 결합된 가역 저항 전환 소자를 제조하는 단계;

를 포함하는, 메모리 셀 제조 방법.

청구항 47

기판 위에 제 1 도체를 제조하는 단계와;

CNT 물질에서의 측면 전도를 감소시키기 위해서 실질적으로 수직으로 정렬된 CNT를 갖는 상기 CNT 물질을 제조함으로써, 상기 제 1 도체 위에 탄소 나노 튜브(CNT) 물질을 선택적으로 제조하여 상기 제 1 도체 위에 가역 저항 전환 소자를 제조하는 단계;

를 포함하는, 메모리 셀 제조 방법.

청구항 48

기판 위에 제 1 도체를 제조하는 단계와;

상기 제 1 도체 위에 수직 다결정 다이오드를 제조하는 단계와;

CNT 물질에서의 측면 전도를 감소시키기 위해서 실질적으로 수직으로 정렬된 CNT를 갖는 상기 CNT 물질을 제조함으로써, 상기 수직 다결정 다이오드 위에 탄소 나노 튜브(CNT) 물질을 선택적으로 제조하여 상기 수직 다결정 다이오드 위에 가역 저항 전환 소자를 제조하는 단계;

를 포함하는, 메모리 셀 제조 방법.

청구항 49

메모리 셀에 있어서,

스티어링 소자;

상기 스티어링 소자에 결합되고, 선택적으로 제조된 탄소 나노 튜브(CNT) 물질을 포함하는 가역 저항 전환 소자;

상기 CNT 물질이 선택적으로 제조되는 패터닝 및 에칭된 CNT 시드층;

을 포함하고,

상기 CNT 시드층은 요철 표면을 갖는 질화티탄을 포함하는 도전층을 포함하는, 메모리 셀.

청구항 50

제 49항에 있어서, 상기 스티어링 소자는 p-n 또는 p-i-n 다이오드를 포함하는, 메모리 셀.

청구항 51

제 50항에 있어서, 상기 다이오드는 수직 다결정 다이오드를 포함하는, 메모리 셀.

청구항 52

제 51항에 있어서, 상기 수직 다결정 다이오드는 저-저항률 상태에 있는 다결정 물질을 포함하는, 메모리 셀.

청구항 53

제 49항에 있어서, 상기 스티어링 소자는 박막 트랜지스터를 포함하는, 메모리 셀.

청구항 54

제 53항에 있어서, 상기 박막 트랜지스터는 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)를 포함하는, 메모리 셀.

청구항 55

삭제

청구항 56

삭제

청구항 57

삭제

청구항 58

삭제

청구항 59

삭제

청구항 60

제 49항에 있어서, 상기 CNT 시드층은 상기 스티어링 소자와 함께 패터닝되고 에칭된, 메모리 셀.

청구항 61

스티어링 소자;

상기 스티어링 소자에 결합되고, 선택적으로 제조된 탄소 나노 튜브(CNT) 물질을 포함하는 가역 저항 전환 소자;

상기 CNT 물질이 선택적으로 제조되는 패터닝 및 에칭된 CNT 시드층;

을 포함하고,

상기 CNT 물질은 상기 CNT 물질의 전환 특성을 조절하는 결합을 포함하는, 메모리 셀.

청구항 62

메모리 셀에 있어서,

제 1 도체와;

상기 제 1 도체 위에 형성된 제 2 도체와;

상기 제 1 도체와 상기 제 2 도체 사이에 형성된 다이오드와;

상기 제 1 도체와 상기 제 2 도체 사이에 선택적으로 제조된 탄소 나노 튜브(CNT) 물질을 포함하는 가역 저항 전환 소자;

상기 CNT 물질이 선택적으로 제조되는 패터닝 및 에칭된 CNT 시드층;

을 포함하고,

상기 CNT 시드층은 요철 표면을 갖는 질화티탄을 포함하는 도전층을 포함하는, 메모리 셀.

청구항 63

제 62항에 있어서, 상기 다이오드는 수직 다결정 다이오드를 포함하는, 메모리 셀.

청구항 64

제 63항에 있어서, 상기 가역 저항 전환 소자는 상기 수직 다결정 다이오드 위에 있는, 메모리 셀.

청구항 65

제 63항에 있어서, 다결정질 물질이 저-저항률 상태에 있도록 상기 수직 다결정 다이오드의 다결정질 물질에 접촉하는 실리사이드, 실리사이드-게르마나이드 또는 게르마나이드 영역을 더 포함하는, 메모리 셀.

청구항 66

삭제

청구항 67

삭제

청구항 68

삭제

청구항 69

삭제

청구항 70

삭제

청구항 71

메모리 셀에 있어서,

소스 영역 및 드레인 영역을 갖는 박막 트랜지스터와;

상기 소스 영역 또는 상기 드레인 영역에 결합된 제 1 도체와;

상기 제 1 도체 위에 선택적으로 제조된 탄소 나노 튜브(CNT) 물질을 포함하는 가역 저항 전환 소자와;

상기 CNT 물질이 선택적으로 제조되는 패터닝 및 에칭된 CNT 시드층으로, 상기 CNT 시드층은 요철 표면을 갖는 질화티탄을 포함하는 도전층을 포함하는 패터닝 및 에칭된 CNT 시드층;

상기 가역 저항 전환 소자 위에 형성된 제 2 도체;

를 포함하는, 메모리 셀.

청구항 72

제 71항에 있어서, 상기 박막 트랜지스터는 n 채널 또는 p 채널 금속 산화물 반도체 전계 효과 트랜지스터를 포함하는, 메모리 셀.

청구항 73

삭제

청구항 74

삭제

청구항 75

삭제

청구항 76

삭제

청구항 77

복수의 비휘발성 메모리 셀들에 있어서,

제 1 방향으로 확장하는 실질적으로 평행하고 실질적으로 공면의 복수의 제 1 도체들과;

복수의 다이오드들과;

복수의 가역 저항 전환 소자들과;

상기 제 1 방향과는 다른 제 2 방향으로 확장하는 실질적으로 평행하고 실질적으로 공면의 복수의 제 2 도체들;

을 포함하고,

각각의 메모리 셀에서, 상기 다이오드들 중 하나와 상기 가역 저항 전환 소자들 중 하나는 직렬로 배열되고, 상기 제 1 도체들 중 하나와 상기 제 2 도체들 중 하나 사이에 배치되며,

각각의 가역 저항 전환 소자는 선택적으로 제조된 탄소 나노 튜브(CNT) 물질을 포함하고,

각각의 가역 저항 전환 소자는 상기 가역 저항 전환 소자의 상기 CNT 물질이 선택적으로 제조되는 패터닝 및 에칭된 CNT 시드층을 포함하며,

각각의 가역 저항 전환 소자의 상기 CNT 시드층은 도전층을 포함하고,

각각의 가역 저항 전환 소자의 상기 도전층은 질화티탄을 포함하며,

각각의 가역 저항 전환 소자의 상기 질화티탄층은 요철 표면을 갖는, 복수의 비휘발성 메모리 셀들.

청구항 78

제 77항에 있어서, 각각의 다이오드는 수직 다결정 다이오드인, 복수의 비휘발성 메모리 셀들.

청구항 79

제 78항에 있어서, 다결정질 물질이 저-저항률 상태에 있도록 상기 수직 다결정 다이오드의 다결정질 물질에 접촉하는 실리사이드, 실리사이드-게르마나이드 또는 게르마나이드 영역을 더 포함하는, 복수의 비휘발성 메모리 셀들.

청구항 80

삭제

청구항 81

삭제

청구항 82

삭제

청구항 83

삭제

청구항 84

모노리식 3차원 메모리 어레이에 있어서,

기관 위에 형성된 제 1 메모리 레벨로서, 상기 제 1 메모리 레벨은 :

복수의 메모리 셀들로서, 상기 제 1 메모리 레벨의 각 메모리 셀은 :

스티어링 소자와;

상기 스티어링 소자에 결합되고 선택적으로 제조된 탄소 나노 튜브(CNT) 물질을 포함하는 가역 저항 전환 소자로서, 각각의 가역 저항 전환 소자의 상기 CNT 물질은 상기 CNT 물질에서의 측면 전도를 감소시키기 위해서 실질적으로 수직으로 정렬된 CNT를 포함하는 가역 저항 전환 소자;

를 포함하는 복수의 메모리 셀들;

을 포함하는 제 1 메모리 레벨과;

모노리식으로(monolithically) 상기 제 1 메모리 레벨 위에 형성된 적어도 제 2 메모리 레벨;

을 포함하는, 모노리식 3차원 메모리 어레이.

청구항 85

제 84항에 있어서, 각각의 스티어링 소자는 수직 다결정 다이오드를 포함하는, 모노리식 3차원 메모리 어레이.

청구항 86

제 85항에 있어서, 각각의 수직 다결정 다이오드는 수직 폴리실리콘(polysilicon) 다이오드를 포함하는, 모노리식 3차원 메모리 어레이.

청구항 87

제 84항에 있어서, 각각의 가역 저항 전환 소자는 상기 가역 저항 전환 소자의 상기 CNT 물질이 선택적으로 제조되는 패터닝 및 에칭된 CNT 시드층을 포함하는, 모노리식 3차원 메모리 어레이.

청구항 88

스티어링 소자;

상기 스티어링 소자에 결합되고, 선택적으로 제조된 탄소 나노 튜브(CNT) 물질을 포함하는 가역 저항 전환 소자;

를 포함하고,

상기 CNT 물질은 상기 CNT 물질에서의 측면 전도를 감소시키기 위해서 실질적으로 수직으로 정렬된 CNT를 포함하는, 메모리 셀.

청구항 89

제 1 도체와;

상기 제 1 도체 위에 형성된 제 2 도체와;

상기 제 1 도체와 상기 제 2 도체 사이에 형성된 다이오드와;

상기 제 1 도체와 상기 제 2 도체 사이에 선택적으로 제조된 탄소 나노 튜브(CNT) 물질을 포함하는 가역 저항 전환 소자;

를 포함하고,

상기 CNT 물질은 상기 CNT 물질에서의 측면 전도를 감소시키기 위해서 실질적으로 수직으로 정렬된 CNT를 포함하는, 메모리 셀.

청구항 90

소스 영역 및 드레인 영역을 갖는 박막 트랜지스터와;

상기 소스 영역 또는 상기 드레인 영역에 결합된 제 1 도체와;

상기 제 1 도체 위에 선택적으로 제조된 탄소 나노 튜브(CNT) 물질을 포함하는 가역 저항 전환 소자;

를 포함하고,

상기 CNT 물질은 상기 CNT 물질에서의 측면 전도를 감소시키기 위해서 실질적으로 수직으로 정렬된 CNT를 포함하는, 메모리 셀.

청구항 91

제 1 방향으로 확장하는 실질적으로 평행하고 실질적으로 공면의 복수의 제 1 도체들과;

복수의 다이오드들과;

복수의 가역 저항 전환 소자들과;

상기 제 1 방향과는 다른 제 2 방향으로 확장하는 실질적으로 평행하고 실질적으로 공면의 복수의 제 2 도체들;

을 포함하고,

각각의 메모리 셀에서, 상기 다이오드들 중 하나와 상기 가역 저항 전환 소자들 중 하나는 직렬로 배열되고, 상기 제 1 도체들 중 하나와 상기 제 2 도체들 중 하나 사이에 배치되며,

각각의 가역 저항 전환 소자는 선택적으로 제조된 탄소 나노 튜브(CNT) 물질을 포함하고, 각각의 가역 저항 전환 소자의 상기 CNT 물질은 상기 CNT 물질에서의 측면 전도를 감소시키기 위해서 실질적으로 수직으로 정렬된 CNT를 포함하는, 복수의 비휘발성 메모리 셀들.

청구항 92

삭제

명세서

기술분야

[0001] 본 출원은 본 명세서에 그 전체 기재 내용이 참조로 포함되는 다음의 미국 정규 특허 출원으로부터 우선권을 주장한다: 2007년 12월 31일 출원되고, 발명의 명칭이 "선택적으로 제조된 탄소 나노 튜브 가역 저항 전환 소자를 사용하는 메모리 셀과 이를 형성하는 방법(MEMORY CELL THAT EMPLOYS A SELECTIVELY FABRICATED CAARBON NANO-TUBE REVERSIBLE RESISTANCE-SWTICHING ELEMENT AND METHODS OF FORMING THE SAME)"인 미국 특허 출원번호 제 11/968,154호 (대리인 관리 번호 SD-MXD-348).

[0002] 관련 출원에 대한 상호참조

[0003] 본 출원은 모든 목적을 위해 그 전체 기재 내용이 본 명세서에 참조로 포함되는 다음의 미국 출원에 관한 것이다:

[0004] 2007년 12월 31일 출원되고 발명의 명칭이 "MEMORY CELL THAT EMPLOYS A SELECTIVELY FABRICATED CAARBON NANO-TUBE REVERSIBLE RESISTANCE-SWTICHING ELEMENT FORMED OVER A BOTTOM CONDUCTOR AND METHODS OF FORMING THE SAME"인 미국 특허 출원번호 제 11/968,156호.

[0005] 2007년 12월 31일 출원되고 발명의 명칭이 "MEMORY CELL WITH PLANARIZED CARBON NANOTUBE LAYER AND METHODS OF FORMING THE SAME"인 미국 특허 출원번호 제 11/968,159호.

[0006] 본 발명은, 비휘발성 메모리에 관한 것이고, 보다 구체적으로는 선택적으로 제조되는 탄소 나노 튜브(CNT) 가역 저항 전환 소자를 사용하는 메모리 셀과 이를 형성하는 방법에 관한 것이다.

배경 기술

[0007] 가역 저항 전환 소자들로부터 형성된 비휘발성 메모리는 공지되어 있다. 예를 들어, 그 전체 기재 내용이 본 명세서에 참조로 포함되는 2007년 12월 31일 출원되고 발명의 명칭이 "REWRITEABLE MEMORY CELL COMRISING A DIODE AND A RESISTANCE-SWITCHING MATERIAL(이하 "'939' 출원)"인 미국 특허 출원번호 제 11/125,939호는 산화금속 또는 질화금속과 같은 가역 저항 전환 물질에 직렬로 결합된 다이오드를 포함한다.

[0008] 그러나, 재기록 가능 저항 전환 물질로부터 메모리 장치를 제조하는 것이 기술적으로 과제이고, 가역 저항 전환 물질을 사용하는 메모리 장치를 형성하는 개선된 방법이 바람직하다.

발명의 내용

해결하려는 과제

[0009] 본 발명의 제 1 면에서, (1) 기판 위에 스티어링 소자를 제조하는 단계; (2) 질화티탄을 증착하고, 상기 증착된 질화티탄의 표면에 요철을 형성함으로써, CNT 시드층을 제조하고, 상기 CNT 시드층을 패터닝 및 에칭하며, 상기 CNT 시드층 상에 CNT 물질을 선택적으로 제조함으로써, 상기 기판 위에 탄소 나노 튜브(CNT) 물질을 선택적으로 제조하여 상기 스티어링 소자에 결합된 가역 저항 전환 소자를 제조하는 단계를 포함하는 메모리 셀 제조 방법이 제공된다.

[0010] 본 발명의 제 2 면에서, (1) 기판 위에 제 1 도체를 제조하는 단계; (2) 질화티탄을 증착하고, 상기 증착된 질화티탄의 표면에 요철을 형성함으로써, CNT 시드층을 제조하고, 상기 CNT 시드층을 패터닝 및 에칭하며, 상기 CNT 시드층 상에 CNT 물질을 선택적으로 제조함으로써, 상기 제 1 도체 위에 탄소 나노 튜브(CNT) 물질을 선택적으로 제조하여 상기 제 1 도체 위에 가역 저항 전환 소자를 제조하는 단계; (3) 상기 제 1 도체 위에 다이오

드를 제조하는 단계; 및 (4) 상기 다이오드 및 상기 가역 저항 전환 소자 위에 제 2 도체를 제조하는 단계를 포함하는 메모리 셀 제조 방법이 제공된다.

[0011] 본 발명의 제 3 면에서, (1) 기판 위에 제 1 도체를 제조하는 단계; (2) 상기 제 1 도체 위에 수직 다결정 다이오드를 제조하는 단계; (3) 질화티탄을 증착하고, 상기 증착된 질화티탄의 표면에 요철을 형성함으로써, CNT 시드층을 제조하고, 상기 CNT 시드층을 패터닝 및 에칭하며, 상기 CNT 시드층 상에 CNT 물질을 선택적으로 제조함으로써, 상기 수직 다결정 다이오드 위에 탄소 나노 튜브(CNT) 물질을 선택적으로 제조하여 상기 수직 다결정 다이오드 위에 가역 저항 전환 소자를 제조하는 단계; (4) 상기 가역 저항 전환 소자 위에 제 2 도체를 제조하는 단계를 포함하는 메모리 셀 제조 방법이 제공된다.

[0012] 본 발명의 제 4 면에서, (1) 소스 영역 및 드레인 영역을 갖는 박막 트랜지스터를 제조하는 단계; (2) 상기 트랜지스터의 상기 소스 영역 또는 상기 드레인 영역에 결합된 제 1 도체를 제조하는 단계; (3) 질화티탄을 증착하고, 상기 증착된 질화티탄의 표면에 요철을 형성함으로써, CNT 시드층을 제조하고, 상기 CNT 시드층을 패터닝 및 에칭하며, 상기 CNT 시드층 상에 CNT 물질을 선택적으로 제조함으로써, 상기 제 1 도체 위에 탄소 나노 튜브(CNT) 물질을 선택적으로 제조하여 상기 제 1 도체에 결합된 가역 저항 전환 소자를 제조하는 단계; (4) 상기 가역 저항 전환 소자 위에 제 2 도체를 제조하는 단계를 포함하는 메모리 셀 제조 방법이 제공된다.

[0013] 본 발명의 제 5 면에서, (1) 스티어링 소자; 및 (2) 상기 스티어링 소자에 결합되며, 선택적으로 제조된 탄소 나노 튜브(CNT) 물질을 포함하는, 가역 저항 전환 소자; (3) 상기 CNT 물질이 선택적으로 제조되는 패터닝 및 에칭된 CNT 시드층을 포함하고, 상기 CNT 시드층은 요철 표면을 갖는 질화티탄을 포함하는 도전층을 포함하는 메모리 셀이 제공된다.

[0014] 본 발명의 제 6 면에서, (1) 제 1 도체; (2) 상기 제 1 도체 위에 형성된 제 2 도체; (3) 상기 제 1 도체와 상기 제 2 도체 사이에 형성된 다이오드; 및 (4) 상기 제 1 도체와 상기 제 2 도체 사이에 선택적으로 제조된 탄소 나노 튜브(CNT) 물질을 포함하는 가역 저항 전환 소자; (5) 상기 CNT 물질이 선택적으로 제조되는 패터닝 및 에칭된 CNT 시드층을 포함하고, 상기 CNT 시드층은 요철 표면을 갖는 질화티탄을 포함하는 도전층을 포함하는 메모리 셀이 제공된다.

[0015] 본 발명의 제 7 면에서, (1) 소스 영역 및 드레인 영역을 갖는 박막 트랜지스터; (2) 상기 소스 영역 또는 상기 드레인 영역에 결합된 제 1 도체; (3) 상기 제 1 도체 위에 선택적으로 제조된 탄소 나노 튜브(CNT) 물질을 포함하며, 상기 CNT 시드층은 요철 표면을 갖는 질화티탄을 포함하는 도전층을 포함하는 가역 저항 전환 소자; 및 (4) 상기 가역 저항 전환 소자 위에 형성된 제 2 도체를 포함하는 메모리 셀이 제공된다.

[0016] 본 발명의 제 8 면에서, (1) 제 1 방향으로 확장하는 실질적으로 평행하고 실질적으로 공면의 복수의 제 1 도체들; (2) 복수의 다이오드들; (3) 복수의 가역 저항 전환 소자들; 및 (4) 상기 제 1 방향과는 다른 제 2 방향으로 확장하는 실질적으로 평행하고 실질적으로 공면의 복수의 제 2 도체들을 포함한다. 각각의 메모리 셀에서, 상기 다이오드들 중 하나 및 상기 가역 저항 전환 소자들 중 하나는 직렬로 배열되고, 상기 제 1 도체들 중 하나와 상기 제 2 도체들 중 하나 사이에 배치된다. 각각의 가역 저항 전환 소자는 선택적으로 제조된 탄소 나노 튜브(CNT) 물질을 포함한다. 각각의 가역 저항 전환 소자는 상기 가역 저항 전환 소자의 상기 CNT 물질이 선택적으로 제조되는 패터닝 및 에칭된 CNT 시드층을 포함한다. 각각의 가역 저항 전환 소자의 상기 CNT 시드층은 도전층을 포함한다. 각각의 가역 저항 전환 소자의 상기 도전층은 질화티탄을 포함한다. 각각의 가역 저항 전환 소자의 상기 질화티탄층은 요철 표면을 갖는 복수의 비휘발성 메모리 셀들이 제공된다.

[0017] 본 발명의 제 9 면에서, 기판 위에 형성된 제 1 메모리 레벨을 포함하는 모노리식 3차원 메모리 어레이가 제공된다. 제 1 메모리 레벨은 복수의 메모리 셀들을 포함하며, 각각은 (1) 스티어링 소자; 및 (2) 상기 스티어링 소자에 결합되고 선택적으로 제조된 탄소 나노 튜브(CNT) 물질을 포함하는 가역 저항 전환 소자를 포함한다. 각각의 가역 저항 전환 소자의 상기 CNT 물질은 상기 CNT 물질에서의 측면 전도를 감소시키기 위해서 실질적으로 수직으로 정렬된 CNT를 포함한다. 적어도 제 2 메모리 레벨이 모노리식으로 상기 제 1 메모리 레벨 위에 형성된다. 발명의 이들 및 다른 실시예에 따라 수많은 다른 면들이 제공된다.

[0018] 본 발명의 다른 특징들 및 면들이 다음의 상세한 설명, 첨부된 청구항들 및 첨부한 도면으로부터 완전히 더 명백하게 될 것이다.

발명의 효과

[0019] 본 발명은, 선택적으로 제조되는 탄소 나노 튜브(CNT) 가역 저항 전환 소자를 사용하는 메모리 셀과 이를 형성

하는 방법을 제공하는데 사용된다.

도면의 간단한 설명

[0020]

도 1은, 본 발명에 따라 제공된 메모리 셀의 개략도.
 도 2a는, 본 발명에 따라 제공된 메모리 셀의 제 1 실시예의 간략화한 사시도.
 도 2b는, 도 2a의 복수의 메모리 셀로부터 형성된 제 1 메모리 레벨의 부분의 간략화한 사시도.
 도 2c는, 본 발명에 따라 제공된 제 1의 3차원 메모리 어레이의 부분의 간략화한 사시도.
 도 2d는, 본 발명에 따라 제공된 제 2의 3차원 메모리 어레이의 부분의 간략화한 사시도.
 도 3a는, 도 2a의 메모리 셀의 제 1 실시예의 단면도.
 도 3b는, 도 2a의 메모리 셀의 제 2 실시예의 단면도.
 도 3c는, 도 2a의 메모리 셀의 제 3 실시예의 단면도.
 도 4a 내지 도 4d는, 본 발명에 따른 단일 메모리 레벨의 제조 동안 기관의 부분의 단면도.
 도 5는, 본 발명에 따라 제공되는 제 1의 대안적인 메모리의 단면도.

발명을 실시하기 위한 구체적인 내용

[0021]

일부 탄소 나노 튜브(CNT) 물질은 비휘발성 메모리에서 사용하는데 적합할 수 있는 가역 저항 전환 특성을 나타냄을 보였다. 그러나, 증착된 또는 성장된 CNT 물질은 전형적으로 수많은 산과 골과 같은 두께 변화가 확연한 요철 표면(rough surface) 토포그래피를 갖는다. 이들 두께 변화는 하지의 기관을 과도하게 에칭하지 않고는 CNT 물질을 에칭하기 어렵게 만들어, 제조 비용 및 집적회로들에서 이들의 사용에 연관된 복잡성을 증가시킨다.

[0022]

본 발명에 따라서, 에칭하기 어려운 CNT 재기록 가능 저항 전환 물질은 에칭됨이 없이 메모리 셀 내에 사용될 수 있다. 예를 들어, 적어도 일 실시예에서, (1) CNT 시드층을 증착하는 단계; (2) CNT 시드층을 패터닝 및 에칭하는 단계; 및 (3) 상기 패터닝되고 에칭된 CNT 시드층 상에 CNT 물질을 선택적으로 제조하는 단계에 의해 형성된 CNT 가역 저항 전환 물질을 포함하는 메모리 셀이 제공된다. CNT 시드층은 이를테면 요철 표면의 및/또는 도전성 층과 같은, CNT 형성을 용이하게 하는 층일 수 있다. CNT 시드층 상에 CNT 물질의 선택적 형성은 CNT 물질을 에칭할 필요성을 제거 또는 최소화할 수 있다.

[0023]

예시적인 CNT 시드층은 질화티탄, 질화탄탈, 니켈, 코발트, 철 등을 포함한다. 일부 실시예에서, 질화티탄 또는 질화탄탈층은 CNT 시드층으로서 사용하기 위해 요철 표면이 되게 할 수 있다. 이러한 요철 표면의 질화티탄 또는 질화탄탈은 자체가 CNT 시드층으로 작용한다. 다른 실시예에서, 요철 표면의 질화티탄 또는 질화탄탈층은 CNT 물질 형성을 용이하게 하기 위해서 추가의 도전층이 피복될 수도 있다. 이러한 도전층은 질화티탄 또는 질화탄탈층과 함께 패터닝 및 에칭되거나, 또는 질화티탄 또는 질화탄탈층이 패터닝되고 에칭된 후에 질화티탄 또는 질화탄탈층 상에 선택적으로 증착될 수 있다. 바람직한 도전층들은 니켈, 코발트, 철 등을 포함한다.

[0024]

여기에서 사용되는 바와 같이, CNT 물질은 하나 이상의 단일 및/또는 복수-벽(wall) CNT를 포함하는 물질을 지칭한다. 일부 실시예에서, CNT 물질의 개개의 튜브들은 수직으로 정렬될 수 있다. 수직으로 정렬된 CNT는 측면 도전이 거의 또는 전혀없이 수직으로 전류가 흐르게 한다. 일부 실시예에서, CNT 물질의 개개의 튜브들은 이웃한 메모리 셀 사이에 측면 또는 가로 도전 경로들의 형성을 감소 또는 방지하게 실질적으로 수직으로 정렬되도록 제조될 수 있다. 이러한 수직 정렬은 메모리 셀의 상태가 이웃 메모리 셀의 상태 및/또는 프로그래밍에 의해 영향받는 것 또는 "교란되는" 것을 감소 및/또는 방지한다. 개개의 튜브 격리는 CNT 물질의 전체 두께 이상이 격리될 수도 있고 그렇지 않을 수도 있는 것에 유의한다. 예를 들어, 초기 성장 국면에서, 개개의 튜브들 일부 또는 대부분은 수직으로 정렬되고 분리될 수 있다. 그러나, 개개의 튜브들이 수직으로 길이가 증가함에 따라, 튜브들의 부분들이 서로 접촉하게 될 수 있고, 심지어는 얽히거나 뒤엉키게 될 수 있다. CNT 물질을 형성하는 바람직한 기술들이 이하 기술된다.

[0025]

예시적인 본 발명의 메모리 셀

[0026]

도 1은 본 발명에 따라 제공된 메모리 셀(100)의 개략도이다. 메모리 셀(100)은 다이오드(104)에 결합되고 다이오드(104) 밑에 위치한 가역 저항 전환 소자(102)를 포함한다.

- [0027] 가역 저항 전환 소자(102)는 2 이상의 상태들 간에 가역적으로 전환될 수 있는 저항물을 갖는 가역 저항 전환 물질(별도로 도시되지 않았음)을 포함한다. 예를 들어, 소자(102)의 가역 저항 전환 물질은 제조시 초기엔 저-저항물 상태에 있을 수 있다. 제 1 전압 및/또는 전류의 인가시, 물질은 고-저항물 상태로 전환될 수 있다. 제 2 전압 및/또는 전류의 인가는 가역 저항 전환 물질을 저-저항물 상태로 복귀시킬 수 있다. 대안적으로, 가역 저항 전환 소자(102)는 적합한 전압(들) 및/또는 전류의 인가시 저-저항 상태로 가역적으로 전환할 수 있는, 제조시 초기의 고-저항 상태에 있을 수 있다. 메모리 셀에서 사용될 때, 한 저항 상태는 2진수 "0"을 나타낼 수 있고 또 다른 저항 상태는 2진수 "1"을 나타낼 수 있는데, 그러나 2 이상의 데이터/저항 상태들이 사용될 수도 있다. 수많은 가역 저항 전환 물질들 및 가역 저항 전환 소자들을 사용하는 메모리 셀의 동작은 예를 들어, 앞에서 포함시킨 '939' 출원에 기술되어 있다.
- [0028] 본 발명의 적어도 일 실시예에서, 가역 저항 전환 소자(102)는 선택적으로 증착된 또는 성장된 CNT 물질을 사용하여 형성된다. 이하 더 기술되는 바와 같이, 선택적으로 형성된 CNT 물질의 사용은 CNT 물질을 에칭할 필요성을 제거한다. 그럼으로써 가역 저항 전환 소자(102)의 제조는 단순화된다.
- [0029] 스티어링 소자(104)는 가역 저항 전환 소자(102)에 걸리는 전압 및/또는 이를 통하는 전류 흐름을 선택적으로 제한시킴으로써 비-오믹 도통을 나타내는, 박막 트랜지스터, 다이오드, 또는 또 다른 적합한 스티어링 소자를 포함할 수 있다. 이렇게 하여, 메모리 셀(100)은 2 또는 3 차원 메모리 어레이의 부분으로서 사용될 수 있고 어레이에 다른 메모리 셀의 상태에 영향을 미치지 않고 데이터가 메모리 셀(100)에 기록되고/되거나 이로부터 판독될 수 있다.
- [0030] 메모리 셀(100), 가역 저항 전환 소자(102) 및 스티어링 다이오드(104)의 실시예들을 도 2a 내지 도 5를 참조하여 이하 기술한다.
- [0031] 메모리 셀의 제 1 실시예
- [0032] 도 2a는 본 발명에 따라 제공된 메모리 셀(200)의 제 1 실시예의 간략화된 사시도이다. 도 2a를 참조하면, 메모리 셀(200)은 제 1 도체(206)와 제 2 도체(208) 사이에 다이오드(204)와 직렬로 결합된 가역 저항 전환 소자(202)를 포함한다. 일부 실시예에서, 장벽층(210), 도전층(212) 및/또는 CNT 시드층(214)은 가역 저항 전환 소자(202)와 다이오드(204) 사이에 형성될 수 있다. 예를 들어, 장벽층(210)은 질화티탄, 질화탄탈, 질화텅스텐 등을 포함할 수 있고, 도전층(212)은 텅스텐 또는 다른 적합한 금속층을 포함할 수 있다.
- [0033] 일부 실시예에서, CNT 시드층(214)은 질화티탄, 질화탄탈, 니켈, 코발트, 철 등과 같이 CNT 물질 형성을 촉진하는 도전층일 수 있다. 한 특정의 실시예에서, CNT 시드층(214)는 화학기체식 연마(CMP) 또는 또 다른 적합한 공정에 의해 요철 표면을 갖도록 되는 질화티탄 또는 질화탄탈일 수 있다. 다른 실시예에서, 요철 표면 또는 매끄러운 질화티탄, 질화탄탈 또는 유사한 층에 CNT 물질 형성을 촉진하는 니켈, 코발트, 철 등의 금속 촉매층이 피복될 수 있다. 다른 실시예에서, CNT 시드층(214)은 단순히 CNT 물질 형성을 촉진하는 니켈, 코발트, 철 등과 같은 금속 촉매층일 수 있다.
- [0034] 이하 더 기술되는 바와 같이, 장벽층(210), 도전층(212) 및 CNT 시드층(214)은 다이오드(204)의 형성 동안 하드 마스크로 작용할 수 있다. 하드 마스크의 사용은, 예를 들어 전체 기재 내용이 본 명세서에 참조로 포함되는 2006년 5월 13일에 출원된 "CONDUCTIVE HARD MASK TO PROTECT PATTERNED FEATURES DURING TRENCH ETCH" 명칭의 미국특허출원번호 11/444,936(이하 "'936 출원")에 기술되어 있다. 질화티탄, 질화탄탈, 질화텅스텐 등과 같은 추가의 장벽층(216)이 다이오드(204)와 제 1 도체(206) 사이에 형성될 수도 있다.
- [0035] 도전층(212), 장벽층(210), 다이오드(204) 및/또는 장벽층(216)과 함께 CNT 시드층(214)의 패터닝은 CNT 시드층(214)을 위해 추가의 패터닝 및 에칭 단계들이 요구되지 않기 때문에 메모리 셀(200)의 제조를 단순화한다. 또한, CNT 물질은 CNT 물질의 에칭이 필요하지 않으므로 패터닝되고 에칭된 CNT 시드층(214) 상에 선택적으로(예를 들어, 단지) 형성될 것이다. 이 선택적으로 형성된 CNT 물질은 가역 저항 전환 소자(202)로 작용한다.
- [0036] 일부 실시예에서, 가역 저항 전환 소자(202)를 형성하는 CNT 물질의 하나이 상의 필라멘트들과 같은 부분만이 전환하고/하거나 전환할 수 있다.
- [0037] 다이오드(204)는 다이오드의 p-영역 위에 n-영역으로 위쪽을 향하던 다이오드의 n-영역 위에 p-영역으로 아래쪽으로 향하던, 수직 다결정질의 p-n 또는 p-i-n 다이오드와 같은 임의의 적합한 다이오드를 포함할 수 있다. 다이오드(204)의 실시예는 도 3a 내지 도 3c를 참조하여 이하 기술된다.
- [0038] 제 1 및/또는 제 2 도체(206, 208)는 텅스텐, 임의의 적합한 금속, 고농도 도핑된 반도체 물질, 도전성 실리사

이드, 도전성 실리사이드-게르마나이드, 도전성 게르마나이드 등과 같은 임의의 적합한 물질을 포함할 수 있다. 도 2a의 실시예에서, 제 1 및 제 2 도체들(206, 208)은 레일(rail) 형상이고 서로 다른 방향들(예를 들면, 서로 실질적으로 수직으로)로 확장한다. 이외 도체 형상들 및/또는 구성들이 사용될 수 있다. 일부 실시예에서, 장치 성능을 개선하고 및/또는 제조에 도움이 되게 장벽층들, 부착층들, 반사방지 코팅들 및/또는 등(도시되지 않음)이 제 1 및/또는 제 2 도체들(206)과 함께 사용될 수도 있다.

[0039]

도 2b는 도 2a의 복수의 메모리 셀(200)로부터 형성된 제 1 메모리 레벨(218)의 부분을 간략화한 사시도이다. 간략성을 위해서, 가역 저항 전환 소자(202), CNT 시드층(214), 다이오드(204), 장벽층들(210, 216) 및 도전층(218)은 별도로 도시되지 않았다. 메모리 어레이(218)는 복수의 비트 라인들(제 2 도체들(208)) 및 복수의 메모리 셀들이 결합되는(도시된 바와 같이) 워드 라인들(제 1 도체들(206))을 포함하는 "교차-점" 어레이이다. 복수 레벨들의 메모리와 같이, 그외 메모리 어레이 구성들이 사용될 수도 있다. 예를 들어, 도 2c는 제 2 메모리 레벨(224) 밑에 위치한 제 1 메모리 레벨(222)을 포함하는 모노리식 3차원 어레이(220)의 부분을 간략화한 사시도이다. 도 2c의 실시예에서, 각 메모리 레벨(222, 224)은 교차-점 어레이로 복수의 메모리 셀들(200)을 포함한다. 추가의 층들(예를 들면, 레벨간 유전체)이 제 1 메모리 레벨(222)과 제 2 메모리 레벨(224) 사이에 있을 수 있는데, 그러나 간략성을 위해 도 2c엔 도시되지 않았다. 추가의 레벨들의 메모리와 같이, 이외 메모리 어레이 구성들이 사용될 수도 있다. 도 2c의 실시예에서, 다이오드들의 하부 또는 상부 상에 p-도핑된 영역을 갖는 p-i-n 다이오드들이 사용되는지 여부에 따라 모든 다이오드들은 위쪽 또는 아래쪽과 같이 동일 방향으로 "향할" 수 있어, 다이오드 제조를 단순화한다.

[0040]

일부 실시예에서, 메모리 레벨은, 예를 들어, 모든 목적을 위해 전체 기재 내용이 본 명세서에 참조로 포함되는 "High-density three-dimensional memory cell" 명칭의 미국특허 6,952,030에 기술된 바와 같이 형성될 수 있다. 예를 들어, 제 1 메모리 레벨의 상측 도체들은 도 2d에 도시된 바와 같이 제 1 메모리 레벨 위에 위치한 제 2 메모리 레벨의 하측 도체들로서 사용될 수 있다. 이러한 실시예에서, 이웃한 메모리 레벨들 상에 다이오드들은 바람직하게는 모든 목적을 위해 전체 기재 내용이 본 명세서에 참조로 포함되는 2007년 3월 27일에 출원된 "LARGE ARRAY OF UPWARD POINTING P-I-N DIODES HAVING LARGE AND UNIFORM CURRENT"(이하, '151 출원') 명칭의 미국특허출원번호 11/692,151에 기술된 바와 같이 서로 대향하는 방향으로 향한다. 예를 들어, 제 1 메모리 레벨(222)의 다이오드들은 화살표(A₁)로 나타낸 바와 같이 위로 향하는 다이오드들일 수 있고(예를 들면, 다이오드들의 하부에 p 영역들을 갖는), 제 2 메모리 레벨(224)의 다이오드들은 화살표(A₂)로 나타낸 바와 같이 아래로 향하는 다이오드들일 수 있고(예를 들면, 다이오드들의 하부에 n 영역들을 갖는), 그 반대일 수도 있다.

[0041]

모노리식 3차원 메모리 어레이는 개재되는 어떠한 기판들도 없이 복수의 메모리 레벨들이 웨이퍼와 같은 단일 기판 위에 형성되는 어레이이다. 한 메모리 레벨을 형성하는 층들은 현존 레벨 또는 레벨들의 층들 상에 직접 증착 또는 성장된다. 반대로, 적층된 메모리는 "Thress dimensional structure memory" 명칭의 Leedy의 미국특허 5,915,167에서와 같이, 별도의 기판들 상에 메모리 레벨들을 형성하고 메모리 레벨들을 수직으로 부착함으로써 구축되었다. 기판들은 본딩 전에 얇게 하거나 메모리 레벨들로부터 제거될 수도 있는데, 그러나 메모리 레벨들이 초기에 별도의 기판들 상에 형성되기 때문에, 이러한 메모리는 진정한 모노리식 3차원 메모리 어레이들이 아니다.

[0042]

도 3a는 도 2a의 메모리 셀(200)의 실시예의 단면도이다. 도 3a를 참조하면, 메모리 셀(200)은 가역 저항 전환 소자(202), 다이오드(204) 및 제 1 및 제 2 도체들(206, 208)을 포함한다.

[0043]

언급된 바와 같이, 다이오드(204)는 상향 또는 하향일 수 있는 수직 p-n 또는 p-i-n 다이오드일 수 있다. 이웃한 메모리 레벨들이 도체를 공유하는 도 2d의 실시예에서, 이웃한 메모리 레벨은 바람직하게는 제 1 메모리 레벨에서 하향 p-i-n 다이오드들 및 이웃한 제 2 메모리 레벨에서 상향 p-i-n 다이오드들과 같이(또는 그 반대로) 서로 반대 방향으로 향해 있는 다이오드들을 갖는다.

[0044]

일부 실시예에서, 다이오드(204)는 폴리실리콘, 다결정질 실리콘-게르마늄 합금, 폴리게르마늄과 같은 다결정 반도체 물질 또는 이외 다른 적합한 물질로부터 형성될 수 있다. 예를 들어, 다이오드(204)는 고농도로 도핑된 n⁺ 폴리실리콘 영역(302), n⁺ 폴리실리콘 영역(302) 위에 저농도로 도핑된 또는 진성(도핑이 의도적이지 아닌) 폴리실리콘 영역(304), 및 진성영역(304) 위에 p⁺ 폴리실리콘 영역(306)을 포함할 수 있다. 일부 실시예에서, n⁺ 폴리실리콘 영역(302)으로부터 진성영역(304)으로 도펀트 이주를 방지 및/또는 감소시키기 위해서 얇은 게르마늄 및/또는 실리콘-게르마늄 합금층(도시되지 않음)이 n⁺ 폴리실리콘 영역(302) 상에 형성될 수 있다. 이러한 층의 사용은 예를 들어, 모든 목적을 위해 그 전체 기재 내용이 본 명세서에 참조로 포함되는 2005년 12월 9일에 출원된 "DEPOSITED SEMICONDUCTOR STRUCTURE TO MINIMIZE N-TYPE DOPANT DIFFUSION AND METHOD OF

MAKING"(이하, "'331 출원") 명칭의 미국특허출원번호 11/298,331에 기술되어 있다. 일부 실시예에서, 약 10 원자% 이상의 게르마늄을 갖는 몇백 이하의 옹스트롬의 실리콘-게르마늄 합금이 사용될 수도 있다.

[0045] n+ 및 p+ 영역들의 위치들은 역전될 수도 있음이 이해될 것이다. 질화티탄, 질화탄탈, 질화텅스텐 등과 같은 장벽층(308)이 제 1 도체(206)와 n+ 영역(302) 사이에 형성될 수 있다(예를 들면, 폴리실리콘 영역 내로 금속 원자들의 이주를 방지 및/또는 감소시키기 위해서).

[0046] 다이오드(204)가 증착된 실리콘(예를 들어, 비정질 또는 다결정질)으로부터 형성될 때, 증착된 실리콘이 제조될 때 저 저항률 상태에 두기 위해서 다이오드(204) 상에 실리사이드층(310)이 형성될 수 있다. 이러한 저 저항률 상태는 증착된 실리콘을 저 저항률 상태로 전환하기 위해 큰 전압이 요구되지 않기 때문에 메모리 셀(200)이 더 용이하게 프로그래밍될 수 있게 한다. 예를 들어, 티탄 또는 코발트와 같은 실리사이드 형성 금속층(312)이 p+ 폴리실리콘 영역(306) 상에 증착될 수도 있다. 다이오드(204)를 형성하는 증착된 실리콘을 결정화하기 위해 사용되는 후속되는 어닐링 단계(이하 기술됨) 동안에, 실리사이드 형성 금속층(312) 및 다이오드(204)의 증착된 실리콘이 상호작용하여 실리사이드층(310)을 형성하여, 실리사이드 형성 금속층(312)의 전부 또는 일부를 소비한다.

[0047] 전체 기재 내용이 본 명세서에 참조로 포함되고, 발명의 명칭이 "Memory Cell Comprising a Semiconductor Junction Diode Crystallized Adjacent to a Silicides"인 미국특허 7,176,064에 기술된 바와 같이, 티탄 및 코발트와 같은 실리사이드 형성 물질은 어닐링동안, 증착된 실리콘과 반응하여 실리사이드층을 형성한다. 티탄 실리사이드 및 코발트 실리사이드의 격자 간격들은 실리콘의 격자에 가깝고, 이것은 이러한 실리사이드층들은 증착된 실리콘이 결정화될 때 이웃한 증착된 실리콘에 대해 "결정화 템플레이트들" 또는 "시드들"로 작용할 수 있다(예를 들어, 실리사이드층(310)은 어닐링 동안 실리콘 다이오드(204)의 결정구조를 향상시킨다). 그럼으로써 더 낮은 저항률의 실리콘이 제공된다. 유사한 결과들이 실리콘-게르마늄 합금 및/또는 게르마늄 다이오드들에 대해 달성될 수 있다.

[0048] 도 3a의 실시예에서, 가역 저항 전환 소자(202)는 패터닝되고 에칭된 CNT 시드층(314) 상에 CNT 물질이 형성되는 선택적 제조 공정에 의해 형성된다. 일부 실시예에서, CNT 시드층(314)은 요철 표면의 질화티탄 또는 질화탄탈과 같은 요철 표면의 단일 질화금속층, 니켈, 코발트, 철 등과 같은 단일 금속 촉매층, 또는 금속 촉매가 코팅된 매끄럽거나 요철 표면의 질화금속으로부터 형성된 복수-층 구조일 수 있다. 바람직한 CNT 시드층 물질은 질화티탄 또는 질화탄탈 및/또는 니켈, 코발트, 철 또는 또 다른 적합한 금속 및/또는 촉매를 포함한다.

[0049] 일부 실시예에서, CNT 시드층(314) 및 가역 저항 전환 소자(202)은 도전성 실리사이드-형성 금속층(312) 상에 형성될 수 있다. 이러한 실시예에서, CNT 시드층(314) 및 실리사이드-형성 금속층(312)은 도 4a 내지 도 4d를 참조하여 이하 기술되는 바와 같이 다이오드(204)의 형성 동안 패터닝되고 에칭될 수 있다. 다른 실시예에서, CNT 시드층(31) 및 저항 전환 소자(202)의 형성에 앞서 실리사이드 형성 금속층(312) 상에 금속 하드 마스크가 형성될 수 있다. 예를 들어, 장벽층(316) 및/또는 도전층(318)이 실리사이드 형성 금속층(312) 상에 형성될 수 있다. 이어서, CNT 시드층(314)이 도전층(318) 상에 형성될 수 있다. 장벽층(316)은 질화티탄, 질화탄탈, 질화텅스텐 등을 포함할 수 있고 도전층(318)은 텅스텐 또는 다른 적합한 금속층을 포함할 수 있다.

[0050] 이하 더 기술되는 바와 같이, CNT 시드층(314) 뿐만 아니라, 장벽층(316) 및/또는 도전층(318)은 다이오드(204)의 형성 동안 하드 마스크로 작용할 수 있고 상부 도체(208)의 형성 동안 일어날 수 있는 어떤 과도 에칭을 완화시킬 수 있다(앞에서 포함시킨 '936 출원에 기재된 바와 같이). 예를 들어, CNT 시드층(314), 장벽층(316) 및 도전층(318)은 패터닝되고 에칭되어, 다이오드(204)의 에칭동안 마스크로 작용할 수 있다. CNT 시드층(314), 도전층(318), 장벽층(316), 실리사이드 형성 금속층(312), 다이오드(204)(p+ 폴리실리콘층(306), 진성층(304), n+ 폴리실리콘층(302)) 및 장벽층(208)의 에칭은 필라 구조(320)를 만든다. 필라 구조(320)를 메모리 셀(200)을 포함하는 메모리 레벨 상에 제조된 다른 메모리 셀들(도시되지 않음)의 다른 유사한 필라 구조들(320)로부터 격리시키기 위해서 필라 구조 위에 그리고 그 주위에 유전물질(322)이 증착된다. 이어서 유전물질(322)을 평탄화하고 CNT 시드층(314) 위로부터 유전물질을 제거하기 위해서 CMP 또는 유전 에치백 단계가 수행된다.

[0051] 이러한 CMP 또는 유전체 에치백 단계는 CNT 시드층(314)의 표면이 요철이 되게 할 수 있다. 예를 들어, 일부 실시예에서, CNT 시드층(314)은 지금 기술된 CMP 또는 유전체 에치백 단계에 의해서 및/또는 추가의 요철 표면화 단계에 의해서 요철 표면이 되는 질화티탄을 포함할 수 있다. 이러한 요철 표면의 질화티탄 표면은 CNT 제조를 위한 시드 표면으로서 사용될 수도 있다. 예를 들어, 요철 표면의 질화티탄은 Smith 등의 "Polishing TiN for Nanotube Synthesis", Proceedings of the 16th Annual Meeting of the American Society for Precision Engineering, Nov. 10-15, 2001에 기술된 바와 같이 수직으로 정렬된 CNT의 형성을 용이하게 함을 보였다. (또

한, Rao 등의 "In situ-grown carbon nanotube array with excellent field emission characteristics", Appl. Phys. Lett., Vol, 76, No. 25, 19 June 2000, pp. 3813-3815를 참조한다).

- [0052] 예로서, CNT 시드층(314)은 약 850 내지 약 4000 옹스트롬, 더 바람직하게는 약 4000 옹스트롬의 산술 평균 표면 거칠기 Ra를 갖는 질화티탄 또는 질화탄탈과 같은 질화금속의 약 1000 내지 약 5000 옹스트롬일 수 있다. 일부 실시예에서, 니켈, 코발트, 철 등과 같은 금속 촉매층의 약 1 내지 약 200 옹스트롬, 더 바람직하게는 약 20 옹스트롬 이하가 CNT 형성 전에 요철 표면의 질화금속층에 증착될 수 있다. 다른 실시예에서, CNT 시드층(314)은 약 1 내지 약 200 옹스트롬, 더 바람직하게는 약 20 옹스트롬 이하의 니켈, 코발트, 철 등과 같은 금속 촉매층이 코팅된 요철 표면이 아닌 또는 매끄러운 질화티탄, 또는 질화탄탈 또는 유사 질화금속의 약 20 내지 약 500 옹스트롬을 포함할 수 있다. 임의의 실시예에서 니켈, 코발트, 철 또는 이외 금속 촉매층은 연속적인 또는 비연속적인 막일 수도 있다. 이외 물질들, 두께들 및 표면 거칠기들이 사용될 수도 있다.
- [0053] 유전물질(322)의 평탄화에 이어, CNT 시드층(314) 상에 CNT 물질(324)를 선택적으로 성장 및/또는 증착하기 위해서 CNT 제조 공정이 수행된다. 이 CNT 물질(324)은 가역 저항 전환 소자(202)로 작용한다. CNT 시드층(314) 상에 CNT 물질을 형성하기 위해 임의의 적합한 방법이 사용될 수 있다. 예를 들어, 화학 증기 증착(CVD), 플라즈마 강화 CVD, 레이저 증발, 전기 아크 방전 등이 사용될 수도 있다.
- [0054] 일 실시예에서, CNT는 약 30분 동안 약 100 sccm의 유속의 크실렌, 아르곤, 수소 및/또는 페로센에서 675 내지 700 °C의 온도에서 화학 증기 증착(CVD)에 의해 TiN 시드층 상에 형성될 수 있다. 이외의 온도들, 기체들, 유속들 및/또는 성장 시간들이 사용될 수 있다.
- [0055] 또 다른 실시예에서, CNT는 약 20분 동안 약 5.5 토르의 압력의 약 20 % C₂H₄ 및 80 % 아르곤에서 약 650 °C의 온도로 CVD에 의해 니켈 촉매층 상에 형성될 수 있다. 이외의 온도들, 기체들, 비들, 압력들 및/또는 성장 시간이 사용될 수 있다.
- [0056] 또 다른 실시예에서, CNT는 8 내지 30 분 동안 약 100 내지 200 와트의 RF 파워를 사용해서 약 20% 메탄, 에틸렌, 아세틸렌 또는 약 80% 아르곤, 수소 및/또는 암모니아로 희석된 또 다른 탄화수소에서 약 600 내지 900 °C의 온도에서 플라즈마 강화 CVD를 사용하여, 니켈, 코발트, 철 등과 같은 금속 촉매층 상에 형성될 수 있다. 이외의 온도들, 기체들, 비들, 파워들 및/또는 성장 시간이 사용될 수 있다.
- [0057] 언급된 바와 같이, CNT 물질(324)은 필라 구조(320)(및 메모리 셀(200)을 포함하는 메모리 레벨 상에 제조된 다른 메모리 셀의 다른 유사한 필라 구조들(도시되지 않음))의 CNT 시드층(314) 상에만 형성한다. 일부 실시예에서, CNT 물질(324)은 약 1 나노미터 내지 약 1 마이크로(및 심지어는 수십 마이크로)의 두께, 더 바람직하게는 약 10 내지 약 20 나노미터의 두께를 가질 수 있는데, 그러나 이외 CNT 물질 두께들이 사용될 수도 있다. CNT 물질(324)에 개개의 튜브들의 밀도는 예를 들어 약 6.6×10^3 내지 약 1×10^6 CNTs/micron², 더 바람직하게는 적어도 약 6.6×10^4 CNTs/micron²일 수 있는데, 그러나 이외의 밀도들이 사용될 수도 있다. 예를 들어, 필라 구조(320)가 약 45 나노미터의 폭을 갖는다고 할 때, 일부 실시예에서, CNT 물질(324)에 적어도 약 10개의 CNT들, 더 바람직하게는 적어도 약 100개의 CNT를 갖는 것이 바람직하다(그러나, 1, 2, 3, 4, 5 등과 같은 몇개의 CNT들, 또는 100 이상과 같이 더 많은 CNT들이 사용될 수도 있다).
- [0058] CNT 물질(324)의 가역 저항 전환 특징들을 개선하기 위해서, 일부 실시예에서, CNT 물질(324)의 탄소 나노 튜브들의 적어도 약 50 %, 더 바람직하게는 적어도 약 2/3가 반도체인 것이 바람직할 수 있다. 단일 벽의 CNT들이 금속 또는 반도체일 수 있지만 복수 벽의 CNT들이 일반적으로 금속이기 때문에, 하나 이상의 실시예에서, CNT 물질(324)이 주로 반도체 단일 벽 CNT를 포함하는 것이 바람직할 수 있다. 다른 실시예에서, CNT 물질(324)의 CNT들의 50%보다 적게 반도체일 수도 있다.
- [0059] 수직으로 정렬된 CNT는 측면 전도가 거의 또는 전혀 없이 수직으로 전류가 흐르게 한다. 이웃한 필라 구조들(320) 사이에 측면 또는 가교 전도 경로들의 형성을 방지하기 위해서, 일부 실시예에서, CNT 물질(324)의 개개의 튜브들은 실질적으로 수직으로 정렬되게 제조될 수 있다(예를 들어, 그럼으로써 메모리 셀의 상태가 이웃 메모리 셀의 상태 및/또는 프로그래밍에 의해 영향받는 것 또는 "교란되는" 것을 감소 및/또는 방지한다). 이 수직 정렬은 CNT 물질(324)의 전체 두께 이상의 격리될 수도 있고 그렇지 않을 수도 있는 것에 유의한다. 예를 들어, 초기 성장 국면에서, 개개의 튜브들의 일부 또는 대부분은 수직으로 정렬될 수 있다(예를 들어, 닿지 않는다). 그러나, 개개의 튜브들이 수직으로 길이가 증가함에 따라, 튜브들의 부분들이 서로 접촉하게 될 수 있고, 심지어는 얽히거나 뒤엉키게 될 수 있다.

- [0060] 일부 실시예에서, CNT 물질(324)의 가역 저항 전환 특징들을 개선하거나 아니면 조율하기 위해서 CNT 물질(324)에 결합을 의도적으로 생성할 수도 있다. 예를 들어, CNT 물질(324)이 CNT 시드층(314) 상에 형성된 후에, CNT 물질(324)에 결합을 야기시키기 위해서 CNT 물질(324) 내로 아르곤, O₂ 또는 또 다른 종들이 주입될 수도 있다. 두 번째 예에서, CNT 물질(324)에 결합을 의도적으로 야기시키기 위해서, CNT 물질(324)은 아르곤 또는 O₂ 플라즈마(바이어스된 또는 화학적인)에 놓이거나 노출될 수 있다.
- [0061] CNT 물질(324)/가역 저항 전환 소자(202)의 형성에 이어, CNT 물질(324)를 메모리 셀(200)을 포함하는 메모리 레벨 상에 제조된 다른 메모리 셀들(도시되지 않음)의 다른 유사한 CNT 물질영역들로부터 격리시키기 위해서 CNT 물질(324) 위에 그리고 그 주위에 유전물질(326)이 증착된다. 이어서 유전물질(326)을 평탄화하고 CNT 시드층(324) 위로부터 유전물질을 제거하기 위해서 CMP 또는 유전 에치백 단계가 수행된다.
- [0062] 유전물질(326)의 평탄화에 이어, 상부 도체(208)가 형성된다. 일부 실시예에서, 하나 이상의 장벽층들 및/또는 부착층들(328)이 도전층(330)의 증착에 앞서 CNT 물질(324)/가역 저항 전환 소자(202) 상에 형성될 수 있다. 도전층(330) 및 장벽층(328)은 함께 패터닝되고 및/또는 에칭되어 상부 도체(208)를 형성한다. 일부 실시예에서, 상부 도체(208)는 도 4a 내지 도 4d를 참조하여 이하 기술된 바와 같이 다마센 공정을 사용하여 형성될 수 있다.
- [0063] 상부 도체(208)의 형성에 이어, 메모리 셀(200)은 어닐링되어 다이오드(204)의 증착된 반도체 물질을 결정화할 수 있다(및/또는 실리사이드층(310)을 형성한다). 적어도 일 실시예에서, 어닐링은 약 600 내지 800 °C의 온도, 더 바람직하게는 650 내지 750 °C의 온도에서 질소에서 약 10 초 내지 약 2 분 동안 수행될 수 있다. 이외의 어닐링 시간들, 온도들 및/또는 환경들이 사용될 수 있다. 언급된 바와 같이, 실리사이드층(310)은 다이오드(204)를 형성하는 하지의 증착된 반도체 물질에 대한 어닐링 동안 "결정화 템플레이트" 또는 "시드"로 작용할 수 있다. 그럼으로써 더 낮은 저항률의 다이오드 물질이 제공된다.
- [0064] 일부 실시예에서, CNT 시드층(314)은 하나 이상의 추가의 층들을 포함할 수 있다. 예를 들어, 도 3b는 CNT 시드층(314)이 추가의 금속 촉매층(332)을 포함하는 도 2a의 메모리 셀(200)의 제 2 실시예의 단면도이다. 금속 촉매층(332)은 CMP 또는 에치백된 노출된 CNT 시드층(314) 상에 선택적으로 증착될 수 있다. 예를 들어, 일부 실시예에서, 니켈, 코발트, 철 등, 금속 촉매층(332)이 비전해(electroless) 증착, 전기도금 등에 의해 요철 표면의 질화티탄 또는 질화탄탈 CNT 시드층(314) 상에 선택적으로 형성될 수 있다. 이어서 CNT 물질(324)이 금속 촉매가 코팅된 CNT 시드층(314) 상에 형성될 수 있다. 일부 실시예에서, 금속 촉매층(316)의 사용은 CNT 형성 동안 촉매 프리커서(precursor)에 대한 필요성을 제거할 수 있다. 바람직한 금속 촉매층 두께들은 약 1 내지 200 옹스트롬의 범위인데, 그러나 그의 두께들이 사용될 수도 있다. 이러한 실시예는 금속 하드 마스크층들(316, 318)을 사용하여 또는 없이 사용될 수도 있다. 니켈, 코발트, 철, 또는 유사 금속 촉매층이 무전해 증착, 전기도금 등에 의해 요철 표면이 아닌 또는 매끄러운 질화티탄, 질화탄탈 또는 유사 층 상에 형성될 수도 있다.
- [0065] 또 다른 실시예에서, CNT 시드를 위해 금속 촉매층(332) 만이 사용될 수 있다. 예를 들어, 도 3c는 도 2a의 메모리 셀(200)의 제 3 실시예의 단면도이다. 도 3c의 메모리 셀(200)은 도 3b의 메모리 셀(200)과 유사하나, 요철 표면 CNT 시드층(210)을 포함하지 않는다. 도시된 실시예에서, 피라 구조(320)의 형성에 앞서 도전층(318) 상엔 어떠한 CNT 시드층(210)도 증착되지 않는다. 필라 구조(320)가 형성된 후에, 유전물질(322)이 필라 구조(320) 위에 그리고 주위에 증착되고 도전층(318) 위를 노출시키기 위해 평탄화된다. 이를테면 니켈, 코발트, 철 등과 같은 금속 촉매층(322)이 이어서 노출된 도전층(318) 상에 선택적으로 증착되고, CNT 물질(324)이 금속 촉매층(332) 상에 형성될 수 있다. 일반적으로, 이러한 실시예는 금속 하드 마스크 층들(316, 318)을 사용하여 또는 없이 사용될 수 있다.
- [0066] 메모리 셀에 대한 제조 공정
- [0067] 도 4a 내지 도 4d는 본 발명에 따른 제 1 메모리 레벨의 제조 동안 기관(400)의 부분의 단면도들이다. 이하 기술되는 바와 같이, 제 1 메모리 레벨은 기관 상에 CNT 물질을 선택적으로 제조하여 형성된 가역 저항 전환 소자를 각각이 포함하는 복수의 메모리 셀들을 포함한다. 추가의 메모리 레벨들이 제 1 메모리 레벨 위에 제조될 수도 있다(도 2c 내지 도 2d를 참조하여 앞에서 기술된 바와 같이).
- [0068] 도 4a를 참조하면, 기관(400)은 이미 몇가지 처리 단계들을 거친 것으로 도시되었다. 기관(400)은 실리콘, 게르마늄, 실리콘-게르마늄, 도핑되지 않은, 도핑된, 벌크, 실리콘-온-인슐레이터(SOI) 또는 이외의 추가의 회로를 갖는 또는 없는 기관과 같은 임의의 적합한 기관일 수 있다. 예를 들어, 기관(400)은 하나 이상의 n-웰 또는 p-웰

영역들(도시되지 않음)을 포함할 수 있다.

- [0069] 격리층(402)이 기판(400) 상에 형성된다. 일부 실시예에서, 격리층(402)은 이산화규소, 질화규소, 실리콘 옥시나이트라이드층, 또는 이외 어떤 다른 적합한 절연층일 수 있다.
- [0070] 격리층(402)의 형성에 이어, 부착층(404)이 격리층(402) 상에 형성된다(예를 들어, 물리 증기 증착 또는 또 다른 방법에 의해서). 예를 들어, 부착층(404)은 약 20 내지 약 500 옹스트롬, 바람직하게 약 100 옹스트롬의 질화티탄, 또는 질화탄탈, 질화텅스텐과 같은 또 다른 적합한 부착층, 하나 이상의 부착층들의 조합들 동일 수 있다. 다른 부착층 물질들 및/또는 두께들을 사용될 수 있다. 일부 실시예에서, 부착층(404)은 선택적일 수 있다.
- [0071] 부착층(404)의 형성 후에, 도전층(406)이 부착층(404) 상에 증착된다. 도전층(406)은 임의의 적합한 방법에 의해 증착되는(예를 들어, 화학 증기 증착(CVD), 물리 증기 증착(PVD) 등) 텅스텐 또는 또 다른 적합한 금속, 고농도 도핑된 반도체 물질, 도전성 실리사이드, 도전성 실리사이드-게르마나이드, 도전성 게르마나이드 등과 같은 임의의 적합한 도전성 물질들을 포함할 수 있다. 적어도 일 실시예에서, 도전층(406)은 약 200 내지 약 2500 옹스트롬의 텅스텐을 포함할 수 있다. 이외 다른 도전층 물질들 및/또는 두께들이 사용될 수도 있다.
- [0072] 도전층(406)의 형성 후에, 부착층(404) 및 도전층(406)이 패터닝되고 에칭된다. 예를 들어, 부착층(404) 및 도전층(406)은 소프트 또는 하드 마스크를 사용한 통상의 리소그래피 기술들, 및 습식 또는 건식 에칭 가공을 사용하여 패터닝되고 에칭될 수 있다. 적어도 일 실시예에서, 실질적으로 평행하고, 실질적으로 공면(coplanar)의 도체들(408)(도 4a에 도시된 바와 같은)을 형성하기 위해 부착층(404) 및 도전층(406)이 패터닝되고 에칭된다. 도체들(408)의 폭들 및/또는 도체들(408) 사이의 간격들은 약 200 내지 약 2500 옹스트롬의 범위인데, 그러나 이외 도체 폭들 및/또는 간격들이 사용될 수도 있다.
- [0073] 도체들(408)이 형성된 후에, 도체들(408) 사이에 보이드들을 채우기 위해서 유전층(410)이 기판(400) 상에 형성된다. 예를 들어, 근사적으로 3000 내지 7000 옹스트롬의 이산화실리콘이 기판(400) 상에 증착될 수 있고 화학 기계식 연마 또는 에치백 공정을 사용하여 평탄화되어 평탄한 표면(412)을 형성할 수 있다. 평탄한 표면(412)은 유전물질(422)에 의해 분리된(도시된 바와 같이) 도체들(408)의 노출된 맨위에 표면들을 포함한다. 질화실리콘, 실리콘 옥시나이트라이드, 저 k 유전체들 등과 같은 그의 유전물질들이 사용될 수 있다. 바람직한 저 k 유전체들은 탄소가 도핑된 산화물들, 실리콘 카본층 등을 포함한다.
- [0074] 발명의 다른 실시예에서, 도체들(408)을 위해 개구들 또는 보이드들을 생성하기 위해 유전층(410)이 형성되고, 패터닝되고 에칭되는 다마센 공정을 사용하여 상부 도체들(408)이 형성될 수 있다. 개구들 또는 보이드들은 부착층(404) 및 도전층(406)(및/또는 필요하다면 도전성 시드, 도전성 충전 및/또는 장벽층)으로 채워질 수 있다. 부착층(404) 및 도전층(406)은 이어서 평탄한 표면을 형성하기 위해 평탄화될 수 있다. 이러한 실시예에서, 부착층(404)은 각각의 개구 또는 보이드의 바닥과 측벽들을 정렬시킬 수 있다.
- [0075] 평탄화에 이어, 각 메모리 셀의 다이오드 구조들이 형성된다. 도 4b를 참조하면, 장벽층(414)이 기판(400)의 평탄화된 상면(4112) 상에 형성된다. 장벽층(414)은 약 20 내지 약 500 옹스트롬, 바람직하게 약 100 옹스트롬의 질화티탄, 또는 질화탄탈, 질화텅스텐과 같은 또 다른 적합한 장벽층, 하나 이상의 장벽층들의 조합, 티탄/질화티탄, 탄탈/질화탄탈 또는 텅스텐/질화텅스텐 적층들 등과 같은 다른 층들과 조합한 장벽층들일 수 있다. 이외의 장벽층 물질들 및/또는 두께들이 사용될 수 있다.
- [0076] 장벽층(414)의 증착 후에, 각 메모리 셀의 다이오드를 형성하기 위해 사용되는 반도체 물질의 증착이 시작된다(예를 들어, 도 2a 내지 도 3에서 다이오드(204)). 각각의 다이오드는 앞서 기술된 바와 같이 수직 p-n 또는 p-i-n 다이오드일 수 있다. 일부 실시예에서, 각 다이오드는 폴리실리콘, 다결정 실리콘-게르마늄 합금, 게르마늄 또는 이외 어떤 적합한 물질과 같은 다결정질 반도체 물질로부터 형성된다. 편의상, 폴리실리콘 하향 다이오드의 형성이 여기에서 기술된다. 이외의 물질 및/또는 다이오드 구성들이 사용될 수 있음이 이해될 것이다.
- [0077] 도 4b를 참조하면, 장벽층(414)의 형성에 이어, 고농도 도핑된 n+ 실리콘층(416)이 장벽층(414) 상에 증착된다. 일부 실시예에서, n+ 실리콘층(416)은 증착시 비정질 상태에 있다. 다른 실시예에서, n+ 실리콘층(416)은 증착시 다결정질 상태에 있다. n+ 실리콘층(416)을 증착하기 위해 화학 증기 증착 또는 또다른 적합한 공정이 사용될 수 있다. 적어도 일 실시예에서, 예를 들어 약 100 내지 약 1000 옹스트롬, 바람직하게는 약 100 옹스트롬의 약 10^{21} cm^{-3} 의 도핑 농도를 갖는 인 또는 비소가 도핑된 실리콘의 n+ 실리콘층(416)이 형성될 수 있다. 이외의 층 두께들, 도펀트들 및/또는 도핑 농도들이 사용될 수 있다. 예를 들어 증착동안 도너 기체를 흘림으로써, n+ 실리콘층(416)이 인 시료로 도핑될 수 있다. 이외의 도핑 방법들이 사용될 수도 있다(예를 들어, 주입).

- [0078] n+ 실리콘층(416)의 증착 후에, 저농도 도핑된, 진성 및/또는 비의도적 도핑된 실리콘층(418)이 n+ 실리콘층(416) 상에 형성된다. 일부 실시예에서, 진성 실리콘층(418)은 증착시 비정질 상태에 있다. 다른 실시예에서, 진성 실리콘층(418)은 증착시 다결정질 상태에 있다. 진성 실리콘층(418)을 증착하기 위해 CVD 또는 또 다른 적합한 증착방법이 사용될 수 있다. 적어도 일 실시예에서, 진성 실리콘층(418)은 약 500 내지 약 4800 옹스트롬, 바람직하게는 약 2500 옹스트롬 두께일 수 있다. 이외 진성층의 두께들이 사용될 수 있다.
- [0079] n+ 실리콘층(416)으로부터 진성 실리콘층(418) 내로 도펀트 이주를 방지 및/또는 감소시키기 위해서(앞서 포함시킨, '331 출원에 기술된 바와 같이) 얇은(예를 들어, 몇백 이하의 옹스트롬) 게르마늄 및/또는 실리콘-게르마늄 합금층(도시되지 않음)이 진성 실리콘층(418)의 증착에 앞서 n+ 실리콘층(416) 상에 형성될 수 있다.
- [0080] 고농도 도핑된 p형 실리콘이 증착되어 이온 주입에 의해 도핑되거나, p+ 실리콘 영역(420)을 형성하기 위해 증착 동안 인-시투로 도핑된다. 예를 들어, 진성 실리콘층(418) 내에 소정 깊이로 보론을 주입하기 위해 블랭킷 p+ 주입이 사용될 수 있다. 바람직한 주입가능한 분자 이온들은 BF₂, BF₃, B 등을 포함한다. 일부 실시예에서, 약 1 내지 5 × 10¹⁵ ions/cm²의 주입 도우즈가 사용될 수 있다. 이외 주입 종들 및/또는 도우즈들이 사용될 수 있다. 또한, 일부 실시예에서, 확산공정이 사용될 수도 있다. 적어도 일 실시예에서, 결과적인 p+ 실리콘층(420)은 약 100 내지 700 옹스트롬의 두께를 갖는데, 그러나 이외 p+ 실리콘 영역 크기들이 사용될 수도 있다.
- [0081] p+ 실리콘층(420)의 형성에 이어, 실리콘사이드 형성 금속층(422)이 p+ 실리콘층(420) 상에 증착된다. 바람직한 실리콘사이드-형성 금속들은 스퍼터 또는 아니면 증착된 티탄 또는 코발트를 포함한다. 일부 실시예에서, 실리콘사이드 형성 금속층(422)은 약 10 내지 약 200 옹스트롬, 바람직하게는 약 20 내지 약 50 옹스트롬, 더 바람직하게는 약 20 옹스트롬의 두께를 갖는다. 이외 실리콘사이드 형성 금속층 물질들 및/또는 두께들이 사용될 수 있다.
- [0082] 장벽층(424)이 실리콘사이드 형성 금속층(422) 상에 증착된다. 장벽층(424)은 약 20 내지 약 500 옹스트롬, 바람직하게 약 100 옹스트롬의 질화티탄, 또는 질화탄탈, 질화텅스텐과 같은 또 다른 적합한 장벽층, 하나 이상의 장벽층들의 조합들 동일 수 있다. 다른 장벽층 물질들 및/또는 두께들을 사용될 수 있다.
- [0083] 장벽층(424)의 형성에 이어, 도전층(426)이 장벽층(424) 상에 형성된다. 도전층(426)은 약 50 내지 1000 옹스트롬, 바람직하게는 500 옹스트롬의 텅스텐과 같은 도전물질 또는 또 다른 적합한 금속일 수 있다.
- [0084] 도전층(426)의 형성에 이어, CNT 시드층(427)이 도전층(426) 상에 형성된다. 일부 실시예에서, CNT 시드층(427)은 약 1000 내지 약 5000 옹스트롬의 질화티탄 또는 질화탄탈일 수 있는데, 그러나 다른 두께들이 사용될 수도 있다.
- [0085] 장벽층(414), 실리콘 영역들(416, 418, 420), 실리콘사이드 형성 금속층(422), 장벽층(424), 도전층(426) 및 CNT 시드층(427)이 필라들(428)로 패터닝되고 에칭된다. 예를 들어, 초기에, CNT 시드층(427), 도전층(426), 및 장벽층(424)가 에칭된다. 에칭은 계속되어, 실리콘사이드 형성 금속층(422), 실리콘사이드 영역들(420, 418, 416) 및 장벽층(414)을 에칭한다. CNT 시드층(417), 도전층(426) 및 장벽층(414)은 실리콘 에칭 동안 하드 마스크로 작용한다. 하드 마스크는 하지의 층의 에치를 패터닝하는 작용을 하는 에칭된 층이며, CNT 시드층(427) 상에 있는 모든 포토레지스트가 소모되었다면, 하드 마스크는 그 대신에 패터를 제공할 수 있다. 이에 따라, 필라들(428)이 단일 포토리소그래피 단계에서 형성된다. 통상의 리소그래피 기술들, 및 습식 또는 건식 에칭 가공이 필라들(428)을 형성하기 위해 사용될 수 있다. 각각의 필라(428)는 p-i-n, 하향 다이오드(430)를 포함한다. 상향 p-i-n 다이오드도 유사하게 형성될 수 있다.
- [0086] 필라들(428)이 형성된 후에, 필라들(428) 사이에 보이드들을 채우기 위해서 유전층(432)이 필라들(428) 상에 증착된다. 예를 들어, 근사적으로 200 내지 7000 옹스트롬의 이산화실리콘이 증착될 수 있고 화학기계식 연마 또는 에치백 공정을 사용하여 평탄화되어 평탄한 표면(434)을 형성할 수 있다. 평탄한 표면(434)은 도시된 바와 같이, 유전물질(432)에 의해 분리된 필라들(428)의 노출된 맨위에 표면들을 포함한다. 질화실리콘, 실리콘 옥시나이트라이드, 저 k 유전체들 등과 같은 그의 유전물질들이 사용될 수 있다. 바람직한 저 k 유전체들은 탄소가 도핑된 산화물들, 실리콘 카본층 등을 포함한다.
- [0087] 평탄한 표면(434)의 형성 후에, 각각의 필라(428)의 CNT 시드층(407) 상에 CNT 물질(436)(도 4c)이 선택적으로 형성된다. CNT 시드층(427)이 질화티탄, 또는 질화탄탈, 또는 유사 물질이라면, CNT 시드층(407)의 표면은 요철을 갖도록 하여 CNT들이 CNT 시드층(427) 상에 직접 형성될 수 있게 한다. (예를 들어, Smith 등의 "Polishing TiN for Nanotube Synthesis", Proceedings of the 16th Annual Meeting of the American Society for Precision Engineering, Nov. 10-15, 2001 및 Rao 등의 "In situ-grown carbon nanotube array with

excellent field emission characteristics", Appl. Phys. Lett., Vol. 76, No. 25, 19 June 2000, pp. 3813-3815 참조). 하나 이상의 실시예에서, CNT 시드층(427)은 약 850 내지 약 4000 옹스트롬, 더 바람직하게는 적어도 약 4000 옹스트롬의 산술 평균 표면 거칠기 Ra를 갖도록 요철 표면이 될 수 있다. 이외 표면 거칠기가 사용될 수도 있다.

[0088] 일부 실시예에서, CNT 형성 동안 금속촉매의 이익들을 제공하기 위해서(도 3b를 참조하여 앞에서 기술된 바와 같이) 니켈, 코발트, 철 등과 같은 추가의 금속 촉매/시드층(도시되지 않음)이 요철 표면의 CNT 시드층(407) 상에 선택적으로 증착될 수 있다. 다른 실시예에서, 하지의 요철 표면의 시드층이 없이 금속 촉매층이 사용될 수도 있다(도 3c를 참조하여 앞에서 기술된 바와 같이).

[0089] 어느 경우이든, CNT 제조공정은 각 필라(428) 상에 CNT 물질(436)을 선택적으로 성장 및/또는 증착하기 위해 수행된다. CNT 물질(436)은 가역 저항 전환 소자(202)로 작용한다. 각 필라(428) 상에 CNT 물질(436)을 형성하기 위해 임의의 적합한 방법이 사용될 수 있다. 예를 들어, 화학 증기 증착(CVD), 플라즈마 강화 CVD, 레이저 증발, 전기 아크 방전 등이 사용될 수 있다.

[0090] 일 실시예에서, CNT는 약 30분 동안 약 100 sccm의 유속의 크실렌, 아르곤, 수소 및/또는 페로센에서 675 내지 700 °C의 온도에서 화학 증기 증착(CVD)에 의해 TiN 시드층 상에 형성될 수 있다. 이외의 온도들, 기체들, 유속들 및/또는 성장 시간들이 사용될 수 있다.

[0091] 또 다른 실시예에서, CNT는 약 20분 동안 약 5.5 토르의 압력의 약 20 % C₂H₄ 및 80 % 아르곤에서 약 650 °C의 온도로 CVD에 의해 니켈 촉매층 상에 형성될 수 있다. 이외의 온도들, 기체들, 비들, 압력들 및/또는 성장 시간들이 사용될 수 있다.

[0092] 또 다른 실시예에서, CNT는 8 내지 30 분 동안 약 100 내지 200 와트의 RF 파워를 사용해서 약 20% 메탄, 에틸렌, 아세틸렌 또는 약 80% 아르곤, 수소 및/또는 암모니아로 희석된 또 다른 탄화수소에서 약 600 내지 900 °C의 온도에서 플라즈마 강화 CVD를 사용하여, 니켈, 코발트, 철 등과 같은 금속 촉매층 상에 형성될 수 있다. 이외의 온도들, 기체들, 비들, 파워들 및/또는 성장 시간들이 사용될 수 있다.

[0093] 언급된 바와 같이, CNT 물질(436)은 각 필라(428)의 CNT 시드층(427) 상에만 형성한다. 일부 실시예에서, CNT 물질(436)은 약 1 나노미터 내지 약 1 마이크로미터(및 심지어는 수십 마이크로미터)의 두께, 더 바람직하게는 약 10 내지 약 20 나노미터의 두께를 가질 수 있는데, 그러나 이외 CNT 물질 두께들이 사용될 수도 있다. CNT 물질(409)에 개개의 튜브들의 밀도는 예를 들어 약 6.6×10^3 내지 약 1×10^6 CNTs/micron², 더 바람직하게는 적어도 약 6.6×10^4 CNTs/micron²일 수 있는데, 그러나 이외의 밀도들이 사용될 수도 있다. 예를 들어, 필라들(428)이 약 45 나노미터의 폭을 갖는다고 할 때, 일부 실시예에서, 각 필라(428) 위에 형성된 CNT 물질(436)에 적어도 약 10개의 CNT들, 더 바람직하게는 적어도 약 100개의 CNT를 갖는 것이 바람직하다(그러나, 1, 2, 3, 4, 5 등과 같은 몇 개의 CNT, 또는 100 이상과 같이 더 많은 CNT가 사용될 수도 있다).

[0094] 각 필라(428) 상에 CNT 물질/가역 저항 전환 소자(436)의 형성에 이어, 이웃한 CNT 물질 영역들을 서로 격리시키기 위해서 CNT 물질(436)의 영역들 위에 그리고 이들 주위에 유전물질(437)이 증착된다. 유전물질(427)을 평탄화하고 CNT 물질(436)의 영역들의 맨위로부터 유전물질을 제거하기 위해 CMP 또는 유전 에치백 단계가 수행된다. 예를 들어, 근사적으로 200 내지 7000 옹스트롬, 및 일부 실시예에서는 1 이상의 마이크로미터의 이산화규소가 증착되고 화학기계식 연마 또는 에치백 공정을 사용하여 평탄화될 수 있다. 질화실리콘, 실리콘 옥시나이트라이드, 저 k 유전체들 등과 같은 그의 유전물질들 및/또는 이온 유전층 두께들이 사용될 수 있다. 바람직한 저 k 유전체들은 탄소가 도핑된 산화물들, 실리콘 카본층 등을 포함한다.

[0095] 도 4d를 참조하면, 유전물질(437)의 평탄화에 이어, 하부에 한 세트의 도체들(408)의 형성과 유사한 방법으로 제 2 세트의 도체들(438)이 필라들(428) 위에 형성될 수 있다. 예를 들어, 도 4d에 도시된 바와 같이, 일부 실시예에서, 상부의 제 2의 한 세트의 상부 도체들(438)을 형성하기 위해 사용되는 도전층(442)의 증착에 앞서 가역 저항 전환 소자들(436) 위에 하나 이상의 장벽층들 및/또는 부착층들(440)이 증착될 수 있다.

[0096] 도전층(442)이 임의의 적합한 방법(예를 들어, CVD, PVD 등)에 의해 증착된 텅스텐, 또 다른 적합한 금속, 고농도 도핑된 반도체 물질, 도전성 실리사이드, 도전성 실리사이드-게르마나이드, 도전성 게르마나이드 등과 같은 임의의 적합한 도전물질로부터 형성될 수 있다. 이외의 도전층 물질들이 사용될 수도 있다. 장벽층들 및/또는 부착층들(440)은 질화탄탈 또는 질화탄탈과 같은 또 다른 적합한 층, 질화텅스텐, 하나 이상의 층들의 조합, 또는 이외 어떤 다른 적합한 물질(들)을 포함할 수 있다. 증착된 도전층(442) 및 장벽 및/또는 부착층(440)이 제

2의 한 세트의 도체들(438)을 형성하기 위해 패터닝되고 에칭될 수 있다. 적어도 일 실시예에서, 상부 도체들(438)은 하부 도체들(408)과는 다른 방향으로 확장하는 실질적으로 평행하고 실질적으로 공면의 도체들이다.

[0097] 발명의 다른 실시예에서, 도체들(438)을 위해 개구들 또는 보이드들을 생성하기 위해 유전층이 형성되고, 패터닝되고 에칭되는 다마센 공정을 사용하여 상부 도체들(438)이 형성될 수 있다. '936 출원에 기술된 바와 같이, 도전층(426) 및 장벽층(424)은 상부 도체들(438)을 위한 개구들 또는 보이드들의 형성 동안 이러한 유전층의 과도 에칭의 영향을 완화시킬 수 있어 다이오드들(438)의 우발적 단락을 방지한다.

[0098] 개구들 또는 보이드들은 부착층(440) 및 도전층(442)(및/또는 필요하다면 도전성 시드, 도전성 충전물 및/또는 장벽층)으로 채워질 수 있다. 이어서 부착층(440) 및 도전층(442)은 평탄한 표면을 형성하기 위해 평탄화될 수 있다.

[0099] 상부 도체들(438)의 형성에 이어, 결과적인 구조물은 다이오드들(430)의 증착된 반도체 물질을 결정화하기 위해 서(및/또는 p+ 영역(420)에 실리사이드 형성 금속층(422)의 반응에 의해 실리사이드 영역들을 형성하기 위해서) 어닐링될 수 있다. 적어도 일 실시예에서, 어닐링은 약 600 내지 800 °C, 더 바람직하게는 약 650 내지 750 °C의 온도에서 질소에서 약 10 초 내지 약 2 분 동안 수행될 수 있다. 이외의 어닐링 시간들, 온도들 및/또는 환경들이 사용될 수 있다. 각각의 실리사이드 형성 금속층 영역(422) 및 p+ 영역(420)이 반응하여 형성된 실리사이드 영역들은 실리사이드 영역들은 다이오드(430)를 형성하는 하지의 증착된 반도체 물질에 대한 어닐링 동안 "결정화 템플레이트" 또는 "시드"로 작용할 수 있다(예를 들어, 임의의 비정질 반도체 물질을 다결정질 반도체 물질로 변경하고/하거나 다이오드들(430)의 전체 결정 특성들을 개선한다). 그럼으로써 더 낮은 저항률의 다이오드 물질이 제공된다.

[0100] 대안적인 예의 메모리 셀

[0101] 도 5는 본 발명에 따라 제공된 메모리 셀(500)의 단면도이다. 메모리 셀(500)은 기판(505) 위에 형성된 가역 저항 전환 소자(504)에 결합된 박막, 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)(502)와 같은 박막 트랜지스터(TFT)를포함한다. 예를 들어, MOSFET(502)는 임의의 적합한 기판 상에 형성된 n채널 또는 p채널 박막 MOSFET일 수 있다. 도시된 실시예에서, 이산화실리콘, 질화실리콘, 옥시나이트라이드 등과 같은 절연영역(506)이 기판(505) 위에 형성되고 증착된 실리콘, 게르마늄, 실리콘-게르마늄 등과 같은 증착된 반도체 영역(507)이 절연영역(506) 상에 형성된다. 박막 MOSFET(502)는 증착된 반도체 영역(507) 내에 형성되며 절연영역(506)에 의해 기판(505)으로부터 절연된다.

[0102] MOSFET(50)는 게이트 유전층(514), 게이트 전극(516) 및 스페이서들(518a-b) 뿐만 아니라, 소스/드레인 영역들(508, 510) 및 채널 영역(512)을 포함한다. 적어도 일 실시예에서, 소스/드레인 영역들(508, 510)은 p형으로 도핑될 수 있고 채널영역(512)는 n형으로 도핑될 수 있으며 다른 실시예에서는 소스/드레인 영역들(508, 510)이 n형으로 도핑되고 채널 영역(512)이 p형으로 도핑될 수 있다. 이외 어떤 다른 MOSFET 구성 또는 어떤 적합한 제조 기술들이 박막 MOSFET(502)를 위해 사용될 수 있다. 일부 실시예에서, MOSFET(502)는 STI, LOCOS 또는 이외 유사한 공정을 사용하여 형성된 격리 영역들(도시되지 않음)에 의해 전기적으로 격리될 수 있다. 대안적으로, MOSFET(502)의 게이트, 소스 및/또는 드레인 영역들은 기판(505) 상에 형성된 다른 트랜지스터들(도시되지 않음)과 공유될 수 있다.

[0103] 가역 저항 전환 소자(504)는 도전 플러그(526) 상에 형성된 가역 저항 전환 CNT 물질(522)을 포함한다. 적어도 일 실시예에서, 가역 저항 전환 CNT 물질(522)이 도 1 내지 도 4d의 실시예들을 참조하여 앞에서 기술된 바와 같은 선택적 형성공정을 사용하여 형성된다. 예를 들어, 질화티탄 또는 질화탄탈과 같은 CNT 시드층(524) 및/또는 니켈, 코발트, 철 등과 같은 금속촉매는 도전성 플러그(526) 상에 형성될 수 있다. CNT 물질(522)가 앞에서 기술된 바와 같이 CNT 시드층(524) 상에 선택적으로 형성될 수 있다.

[0104] 도 5에 도시된 바와 같이, 가역 저항 전환 소자(504)는 제 1 도전성 플러그(526)에 의해 MOSFET(502)의 소스/드레인 영역(510)에 그리고 제 2 도전성 플러그(530)(유전층(532)을 통해 확장하는)에 의해 제 1 금속 레벨(M1) 라인(528)에 결합된다. 마찬가지로, 제 3 도전성 플러그(534)는 MOSFET(502)의 소스/드레인 영역(508)을 M1 라인(536)에 결합한다. 도전성 플러그들 및/또는 라인들은 텅스텐, 또 다른 금속, 고농도 도핑된 반도체 물질, 도전성 실리사이드, 도전성 실리사이드-게르마나이드, 도전성 게르마나이드 등과 같은 임의의 적합한 물질들(장벽층들과 함께 또는 없이)로부터 형성될 수 있다. MOSFET(502)이 n채널 장치일 때, 영역(508)은 드레인으로 작용하고 영역(510)은 MOSFET(502)에 대한 소스로 작용하며, MOSFET(502)가 p채널 장치일 때, 영역(508)은 소스로 작용하고 영역(510)은 MOSFET(502)에 대한 드레인으로 작용함에 유의한다. 유전층(532)은 이산화실리콘, 질화실

리콘, 실리콘 옥시나이트라이드, 저 k 유전체 등과 같은 임의의 적합한 유전체를 포함할 수 있다.

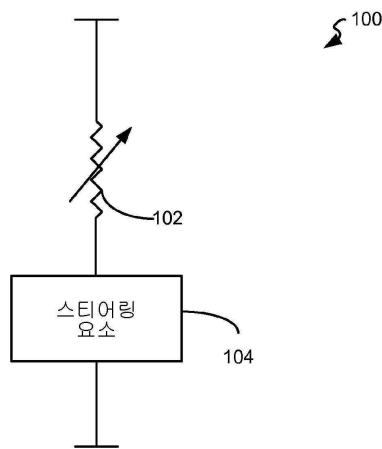
[0105] 메모리 셀(500)에서, 박막 MOSFET(502)는 도 2a 내지 도 4d의 메모리 셀에 사용된 다이오드들의 것과 유사한 방식으로 스티어링 소자로서 동작하여, 가역 저항 전환 소자(504)에 걸리는 전압 및/또는 이를 통하는 전류를 선택적으로 제한시킨다.

[0106] 전술한 바는 발명의 단지 바람직한 실시예들을 개시한다. 발명의 범위 내에 드는 위에 개시된 장치 및 방법들의 수정예들은 당업자들에게 쉽게 명백하게 될 것이다.

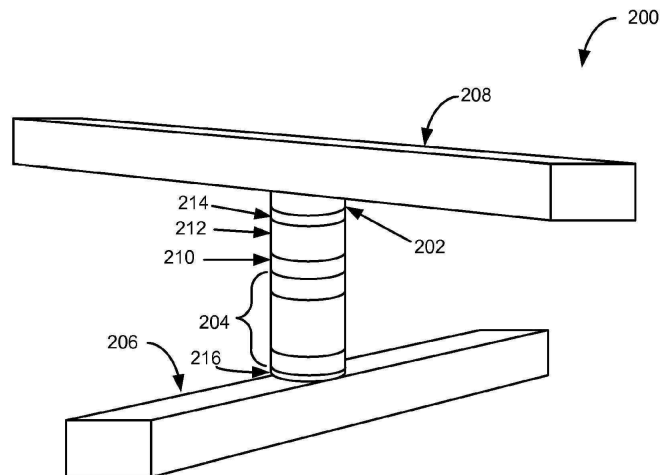
[0107] 따라서, 본 발명이 이의 바람직한 실시예에 관련하여 개시되었지만, 이의 실시예는 다음 청구항들에 정의된 바와 같은 발명의 정신 및 범위 내에 포함됨을 알아야 한다.

도면

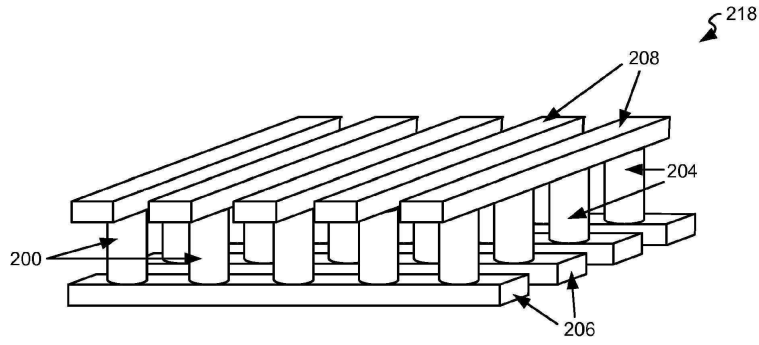
도면1



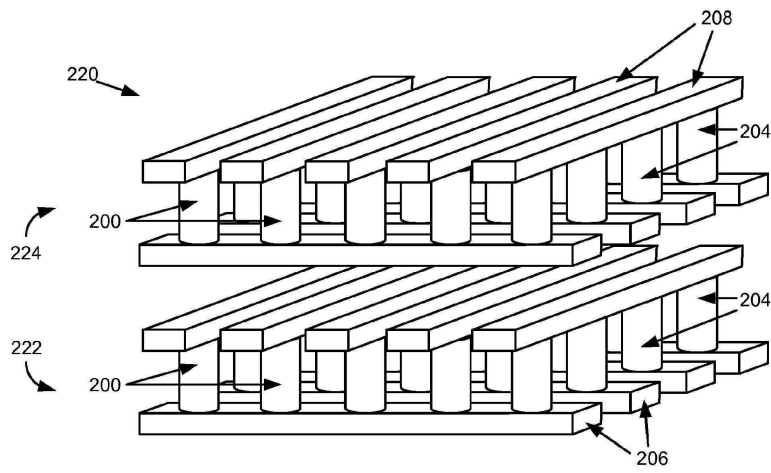
도면2a



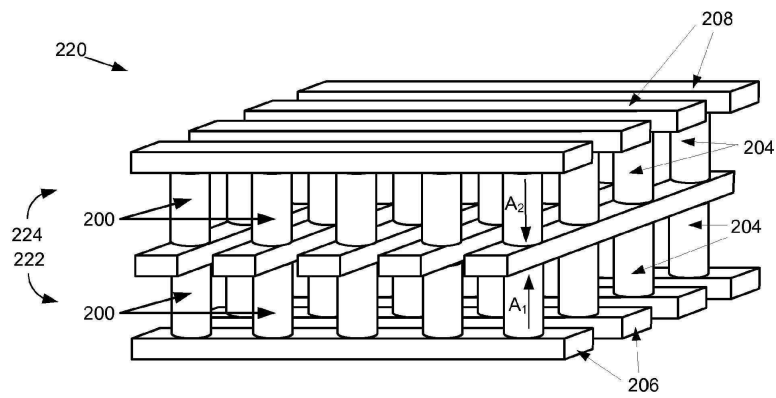
도면2b



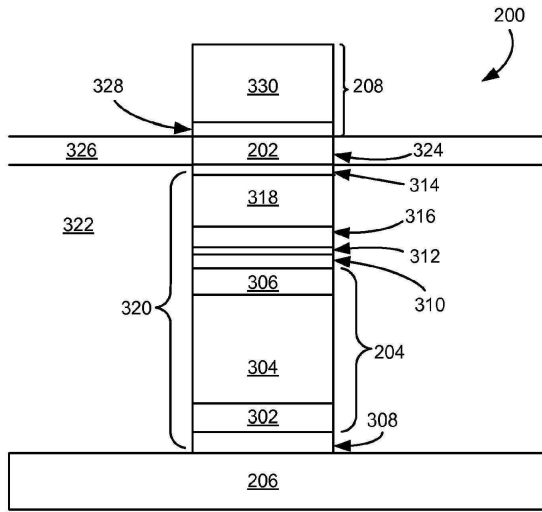
도면2c



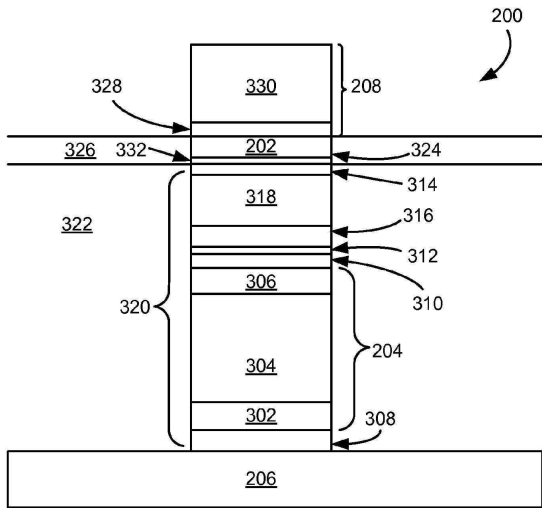
도면2d



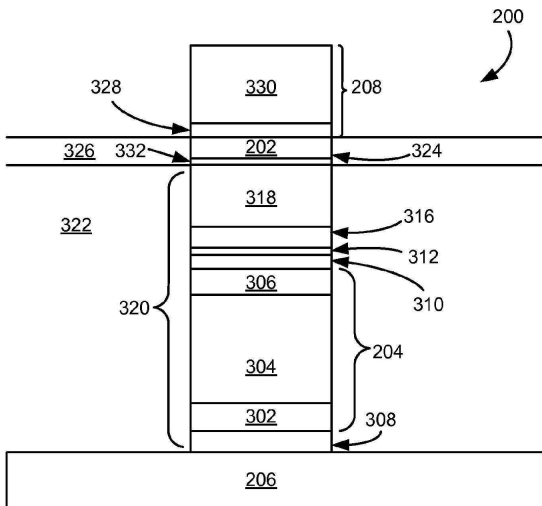
도면3a



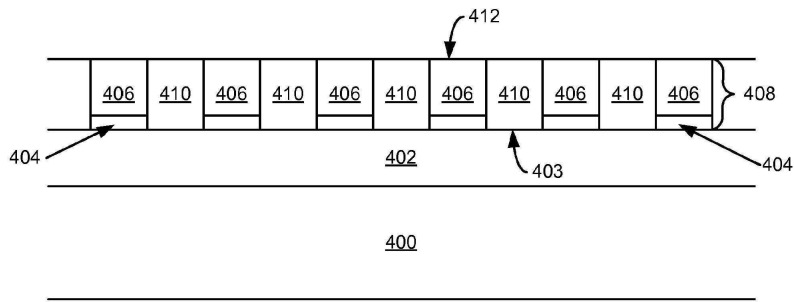
도면3b



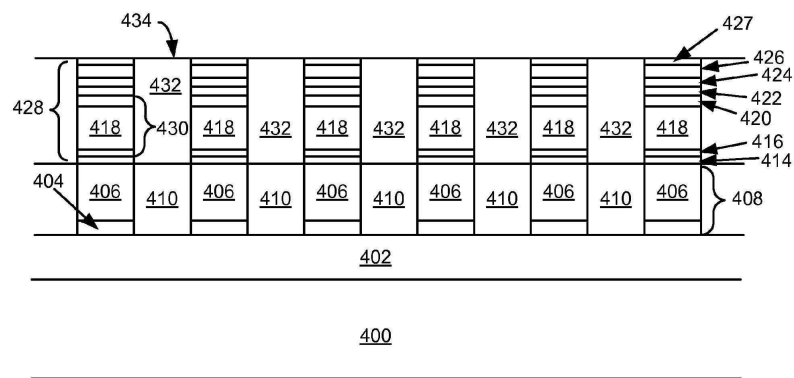
도면3c



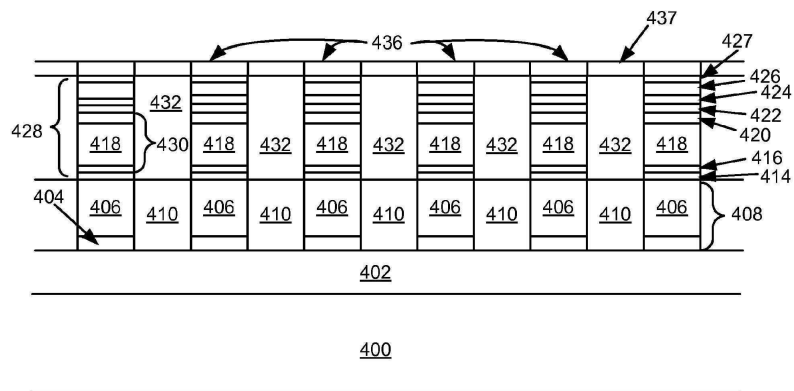
도면4a



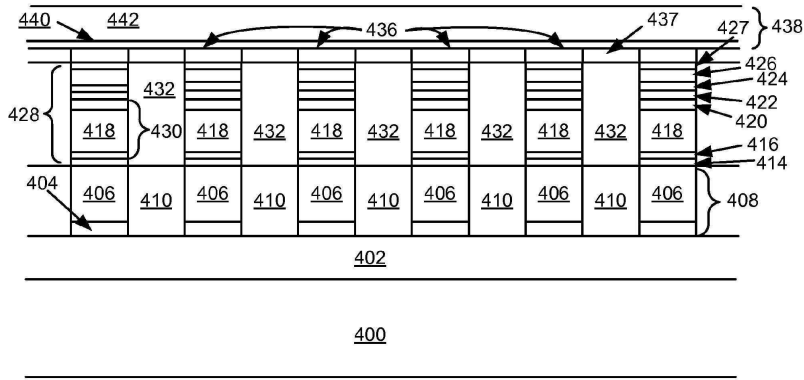
도면4b



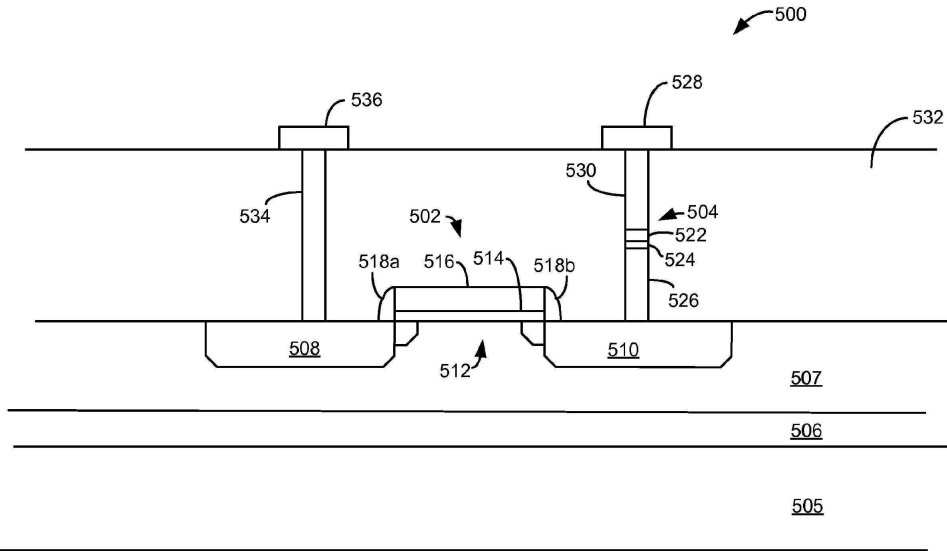
도면4c



도면4d



도면5



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 58

【변경전】

질화티탄

【변경후】

질화티탄