

I273697

740103

申請日期	90 年 3 月 7 日
案 號	90105339
類 別	H01L 27/10

A4
C4

(以上各欄由本局填註)

發明型專利說明書

一、發明 新型名稱	中 文	非揮發性半導體記憶裝置及其製造方法
	英 文	
二、發明 創作人	姓 名	(1) 小林孝
	國 籍	(1) 日本
	住、居所	(1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地
	代 表 人 姓 名	(1) 庄山悅彦

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權日本 2000 年 5 月 26 日 2000-161126 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明（¹）

【發明領域】

本發明係關於非揮發性半導體記憶裝置及其製造方法，謀求其微細化、低電壓動作、高可靠度化、製造工程的簡略化之技術。

【發明背景】

【習知技藝之說明】

非揮發性半導體記憶裝置之代表的快閃記憶體(Flash memory)因攜帶性、耐衝擊性優良，以在電路板上(On board)可電性地總括抹除，故作為行動電話、數位相機(Digital camera)等的小型攜帶資訊機器的記憶體正急速地擴大市場。

快閃記憶體例如如圖 18 所示通常由儲存資訊的記憶胞(Memory cell)M，與選擇進行重寫(Rewriting)或讀出的位元(Bit)或者在晶片內部構成產生必要的電壓之周邊電路之 MOS 型場效電晶體 P 所構成。

其中記憶胞 M 係以具有源極以及汲極擴散層(未圖示)的矽(Si)基板 201、形成於此 Si 基板上的 P 井 204a、主要由多晶 Si 膜所構成的浮置閘(Floating gate)207 以及控制閘 209、隔離此兩閘間的多晶 Si 金屬間介電層 208、隔離浮置閘 207 與 P 井 204a 的穿隧(Tunneling)介電層 206 所構成的 MOS 型場效電晶體當作一個記憶單位，將此記憶單位配置於複數個行列狀而構成。隔離記憶胞的浮置閘與控制閘之多晶 Si 金屬間介電層通常廣泛地使用以 SiO₂ 膜夾著與 SiO₂ 膜比

五、發明說明（ 2 ）

較介電常數大、遺漏電流(Leak current)小的氮化矽(Si_3N_4)膜之疊層膜，即所謂的ONO膜。

周邊電路P係藉由組合複數個由形成於Si基板201中的P井204b、N井205、與源極以及汲極擴散層212a、212b、在井上中介閘極介電層210所形成的主要由多晶Si膜所構成的閘電極211所構成的MOS型場效電晶體所構成。閘極介電層210通常使用由熱氧化法所形成的 SiO_2 膜。

各記憶胞M以及周邊電路電晶體P通常藉由由厚的氧化膜構成的元件隔離區域202。然後，藉由施加由周邊電路所產生的正或負的電壓於控制閘209，以控制儲存於浮置閘的電荷量，據此，藉由使記憶胞電晶體的啓始電壓(Threshold voltage)判別資訊的"0"、"1"。

但是，伴隨著上述非揮發性半導體記憶裝置的大容量化，周邊電路用MOS電晶體P以及記憶胞M產生新的課題。

第一點為起因於周邊電路用MOS電晶體P的閘極氧化膜劣化之特性以及可靠度的劣化。

在快閃記憶體中重寫/抹除時字線(Word line)被施加例如18V的所謂高電壓。在處理這種高電壓的周邊電路用MOS電晶體中，藉由令閘極氧化膜厚膜化成例如25nm左右，可謀求高耐壓。但是，為了元件的微細化，周邊MOS電晶體間的元件隔離取代習知的選擇氧化法(LOCOS，區域氧化法(Local Oxidation))適用淺渠溝(Shallow trench)隔離法時，若以熱氧化法形成25nm之所謂的厚的閘極氧化膜的話

五、發明說明 (3)

，發生與淺渠溝隔離區域部接觸的閘極氧化膜厚顯著地比主動區域(Active area)薄的現象。因此，MOS電晶體的電流-電壓特性發生所謂的頸結(Kinks)或發生閘極氧化膜的絕緣耐壓降低的問題。

第二點為程式(Program)電壓降低所不可或缺的記憶胞M之多晶Si金屬間介電層的薄膜化。

在快閃記憶體的重寫動作時施加到浮置閘的電壓Vfg為

$$V_{fg} = C_2 \cdot V_{cg} / (C_1 + C_2) \quad (1)$$

此處，Vcg為控制閘施加電壓、C1以及C2分別為穿隧介電層以及多晶Si金屬間介電層的電容。為了有效地將施加於控制閘的電壓傳達給浮置閘、降低程式電壓而增大C2。即使多晶Si金屬間介電層薄膜化有效。可是，以SiO₂膜夾著習知以來廣泛被使用的氮化矽(Si₃N₄)膜之疊層膜，即所謂的ONO膜若令上下層的SiO₂膜為5nm以下的話，有儲存於浮置閘的電荷洩漏到控制閘之所謂的留存(Retention)不良顯露出的問題。而且，~~必~~^欲形成5nm的上層SiO₂膜時，為了防止下層的多晶Si膜的氧化需要沉積10nm左右以上的Si₃N₄膜。因此，ONO膜的薄膜化以氧化膜換算膜厚，15nm左右為界限。

因此取代ONO膜，適用添加氮的單層CVDSiO₂膜於多晶Si金屬間介電層，藉由謀求其薄膜化降低程式電壓的技

五、發明說明(4)

術揭示於日本特開平 10-242310。

但是，如習知的快閃記憶體所廣泛地進行的，在形成多晶 Si 金屬間介電層後，若藉由熱氧化法形成周邊電路 MOS 電晶體的閘極氧化膜的話，與 ONO 膜不同，單層的 CVDSiO₂ 膜因不具有耐氧化性，故有被摻雜高濃度雜質的浮置閘多晶 Si 被厚厚地氧化的問題。因此，需要記憶胞多晶 Si 金屬間介電層使用單層的 CVDSiO₂ 膜時的周邊電路 MOS 電晶體的閘極氧化膜的作成方法之開發。

第三點為工程數量的增大。

習知的快閃記憶體係依次分別單獨地形成記憶胞的穿隧介電層 206、多晶 Si 金屬間介電層 208 以及周邊電路 MOS 電晶體的閘極介電層 210。因此，工程數量多變成阻礙低成本化的要因。最近，為了謀求快閃記憶體的重寫速度以及讀出速度的提高，以周邊電路區域的 MOS 電晶體的閘極氧化膜厚為兩種類的技術也被提出，今後，可預想快閃記憶體的製造工程之簡略化為重要的課題。

上述三個課題由記憶胞的金屬間介電層以及周邊電路 MOS 電晶體的閘極氧化膜之作成的觀點，係互相有密切關係，為了解決此課題的新非揮發性半導體記憶裝置及其製造方法的開發被期待。

本發明的目的為使非揮發性半導體記憶裝置的周邊電路區域 MOS 電晶體的閘極氧化膜高可靠度化、提高電晶體特性。

本發明的其他目的為提供對應非揮發性半導體記憶裝

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（5）

置的微細化、低電壓化之多晶 Si 金屬間介電層以及周邊電路區域 MOS 電晶體的閘極氧化膜的形成方法。

本發明的再其他目的為謀求非揮發性半導體記憶裝置的製造工程的簡略化。

【發明概要】

為了解決上述第一課題，本發明的非揮發性半導體記憶裝置係藉由例如 CVDSiO₂ 膜，形成沉積構成周邊電路的 MOS 型場效型電晶體的閘極介電層於半導體基板上而形成的介電層。據此，MOS 型場效型電晶體間的元件隔離即使使用淺渠溝隔離法，與淺渠溝隔離區域接觸的部分之閘極氧化膜厚也不變薄，可防止 MOS 型場效型電晶體特性中的頸結。而且，可避免閘極氧化膜的絕緣耐壓的降低。此外，當周邊電路由具有兩種類以上的閘極介電層厚度的 MOS 型場效型電晶體構成時，適用於閘極介電層厚度厚的高電壓部之 MOS 型場效型電晶體特別有效。

而且，藉由以熱氧化半導體基板表面於的介電層與在該介電層上沉積而形成的介電層之疊層膜（例如 CVDSiO₂ 膜），作為構成周邊電路的 MOS 型場效型電晶體的閘極介電層，因可以沉積介電層來補償與淺渠溝隔離區域接觸的部分之閘極氧化膜厚，故當作上述沉積介電層單層時一樣，可防止 MOS 型場效型電晶體特性中的頸結，而且，可避免閘極氧化膜的絕緣耐壓的降低。此外，這種情形增加沉積介電層的膜厚比增加熱氧化介電層的膜厚，在功效達成上更

五、發明說明（ 6 ）

佳。

爲了解決上述第二課題，本發明的非揮發性半導體記憶裝置的製造方法係藉由在半導體基板上所沉積的介電層例如 CVDSiO₂ 膜，形成構成周邊電路的 MOS 型場效型電晶體的閘極介電層。據此，以 CVDSiO₂ 膜作為多晶矽金屬間介電層，在形成多晶矽金屬間介電層後即使形成閘極介電層，也可避免多晶矽金屬間介電層的 CVDSiO₂ 膜被厚厚地氧化。

而且，對於以熱氧化膜作為周邊電路的閘極介電層之全部或一部分，藉由令熱氧化半導體基板表面的工程比形成多晶矽金屬間介電層的工程還前來進行，可防止多晶矽金屬間介電層之 CVDSiO₂ 膜的異常氧化。

爲了解決上述第三課題，本發明的非揮發性半導體記憶裝置及其製造方法係藉由以爲了多晶矽金屬間介電層的形成所沉積的介電層，例如 CVD 介電層作為構成周邊電路的 MOS 型場效型電晶體的閘極介電層的全部或一部分來使用，可達成製造工程的簡略化。

【圖式之簡單說明】

圖 1 係顯示本發明的實施例一之剖面概略圖(1)。

圖 2 係顯示本發明的實施例一之剖面概略圖(2)。

圖 3 係顯示閘電壓與閘電流的關係圖。

圖 4 係顯示閘極氧化膜的絕緣耐壓的分布圖。

圖 5 係顯示淺渠溝隔離區域附近的閘極氧化膜形狀圖

五、發明說明 (7)

。

圖 6 係顯示 SiO_2 膜中的氮原子濃度分布圖。

圖 7 係顯示本發明的實施例二之剖面概略圖(1)。

圖 8 係顯示本發明的實施例二之剖面概略圖(2)。

圖 9 係顯示本發明的實施例二之剖面概略圖(3)。

圖 10 係顯示本發明的實施例三之剖面概略圖(1)。

圖 11 係顯示本發明的實施例三之剖面概略圖(2)。

圖 12 係顯示本發明的實施例三之剖面概略圖(3)。

圖 13 係顯示本發明的實施例四之剖面概略圖。

圖 14 係顯示本發明的實施例五之剖面概略圖(1)。

圖 15 係顯示本發明的實施例五之剖面概略圖(2)。

圖 16 係顯示本發明的實施例六之剖面概略圖(1)。

圖 17 係顯示本發明的實施例六之剖面概略圖(2)。

圖 18 係顯示習知技術的剖面概略圖。

【符號說明】

101: Si 基板

102: 淺渠溝元件隔離區域

103: 井間隔離區域

104a 、 104b 、 104c: P 井

105a 、 105b: N 井

106: 熱氧化膜

107 、 107a 、 107b 、 107c 、 107d 、 107e 、 107f: 摻雜磷的多晶 Si 膜

五、發明說明 (8)

- 108、108a、109、109a: 添加氮原子的 SiO_2 膜
- 110、110a、110b: 摻雜磷的多晶 Si 膜
- 111a、111b、111c: N 型源極/汲極區域
- 112a、112b: P 型源極/汲極區域
- 113: 熱氧化膜
- 114、114a: 摻雜磷的多晶 Si 膜
- 115、115a: SiO_2 膜
- 116: 源極/汲極區域
- 117: 光阻
- 118、118a、118b、118c、118d、118e: 摻雜磷的多晶 Si 膜
- 119、119a: SiO_2 膜
- 120、120a、120b: 摻雜磷的多晶 Si 膜
- 121: SiO_2 膜
- 122: Si_3N_4 膜
- 123、123a: 熱氧化膜
- 124、124a: 熱氧化膜
- 125、125a: 添加氮原子的 SiO_2 膜
- 126、126a: 熱氧化膜
- 200: 閘極氧化膜
- 201: Si 基板
- 202: 元件隔離用氧化膜
- 203: 井間隔離區域
- 204a、204b: P 井

五、發明說明（ 9 ）

205: N 井

206: 熱氧化膜

207: 摻雜磷的多晶 Si 膜

208: ONO 多晶 Si 金屬間介電層

209: 摻雜磷的多晶 Si 膜

210: 熱氧化膜

211: 摻雜磷的多晶 Si 膜

212a、212b: 源極/汲極區域

M: 記憶胞

P、P': MOS 電晶體

【較佳實施例之詳細說明】

（實施例一）

本實施例一係說明以添加氮的 CVDSiO₂ 膜作為非揮發性半導體記憶裝置的記憶胞之多晶 Si 金屬間介電層與周邊電路 MOS 電晶體的閘極氧化膜，藉由同時形成這些膜，可謀求周邊電路 MOS 電晶體的特性提高與記憶胞的微細化、動作電壓的降低以及製造工程的簡略化的例子。

本實施例的非揮發性半導體記憶裝置的作成程序顯示於圖 1 以及圖 2。非揮發性半導體記憶裝置係由將用以儲存資訊的複數個記憶胞配置成行列狀的記憶胞區域，與選擇進行重寫或讀出的位元，或在晶片(Chip)內部配置複數個用以構成產生所需要的電壓之周邊電路的 MOS 電晶體之周邊電路區域所構成。

五、發明說明 (10)

周邊電路區域分成僅施加例如像 3.3V 之所謂的電源電壓之較小電壓的低電壓部，與施加例如 18V 之所謂的重寫所需要的高電壓的高電壓部。低電壓部與高電壓部均由形成於 P 井 104b、104c 以及 N 井 105a、105b 上的複數個 NMOS 電晶體以及 PMOS 電晶體所構成。記憶胞為稱為 NOR 型的代表的快閃記憶體，形成於 P 井 104a 上。

圖 1 以及圖 2 為與記憶胞的字線平行，垂直於周邊電路的 MOS 電晶體的閘極 (Gate) 線之剖面圖。

製造方法如以下所示。

首先，在面方位 (100) 的 p 型 Si 基板 101 形成隔離各記憶胞以及周邊電路 MOS 電晶體的淺渠溝元件隔離區域 102 (圖 1(a))。

接著，利用離子植入法形成 P 井區域 104a、104b、104c 以及 N 井區域 105a、105b，然後井間的隔離區域 103 (圖 1(b))。

其次，藉由熱氧化法形成 9nm 的成為記憶胞的穿隧介電層 SiO_2 膜 106 (圖 1(c))。

其次，沉積 150nm 的成為浮置閘的摻雜磷的多晶 Si 膜 107 (圖 1(d))。

接著，利用微影 (Lithography) 與乾式蝕刻 (Dry etching) 技術形成多晶 Si 膜 107 的圖案 (多晶 Si 膜 107 變成 107a)。此時，完全除去周邊電路區域的多晶 Si 膜 107 以及 SiO_2 膜 106 (圖 1(e))。

接著，藉由以 SiH_4 與 N_2O 為原料氣體的減壓化學氣相

五、發明說明 (11)

成長法(LPCVD法)沉積16nm的SiO₂膜108。沉積溫度為750℃。緊接著在NH₃環境中回火(Anneal)SiO₂膜108，然後進行濕式氧化(圖1(f))。

然後，藉由微影技術在周邊電路區域之中作成僅覆蓋高電壓部的光阻圖案(Resist pattern)(未圖示)，藉由氫氟酸(Hydrofluoric acid)與氨的混合水溶液除去記憶胞區域以及周邊電路區域之中存在於低電壓部的SiO₂膜108(SiO₂膜108變成108a)(圖2(a))。

然後，再度藉由以SiH₄與N₂O為原料氣體的LPCVD法沉積11nm的SiO₂膜109。沉積溫度為750℃。緊接著在NH₃環境中回火SiO₂膜109，然後進行濕式氧化(圖2(b))。

以上，藉由圖1(f)到圖2(b)所示的工程，在記憶胞區域形成11nm的多晶Si金屬間介電層(CVDSiO₂膜109)、在周邊電路區域的低電壓部形成11nm的閘極氧化膜(CVDSiO₂膜109)、在周邊電路區域的高電壓部大致形成27nm的閘極氧化膜(CVDSiO₂膜108a與CVDSiO₂膜109的疊層膜)。此處，在CVDSiO₂膜沉積後於NH₃環境中回火，然後進行濕式氧化係為了降低稱為E'中心(Center)的膜中缺陷或氫原子。據此，可抑制介電層的遺漏電流，並且降低陷入(Trap)，謀求記憶胞的電荷保持特性的提高。再者，係為了提高周邊電路MOS電晶體的互導(Mutual conductance)。

其次，沉積成為記憶胞的控制閘與周邊電路的閘電極之摻雜磷的多晶Si膜110(圖2(c))。

然後，藉由微影與乾式蝕刻技術形成多晶Si膜110的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（12）

圖案，形成記憶胞的控制閘(字線)110a以及周邊電路的閘電極110b。接著未圖示，蝕刻記憶胞區域的 SiO_2 膜109以及多晶Si膜107a，形成浮置閘(SiO_2 膜109以及多晶Si膜107a分別變成109a、107b)(圖2(d))。

其次，藉由離子植入法形成記憶胞以及周邊電路MOS電晶體的源極/汲極區域111b、111c、112a、112b(記憶胞的源極/汲極區域未圖示)(圖2(e))。

然後未圖示，在沉積金屬間介電層後，於此金屬間介電層形成到達字線110a、周邊電路區域MOS電晶體的閘電極110b以及源極/汲極區域112、111之接觸窗孔(Contact hole)，其次，沉積金屬膜加工此金屬膜作為電極，完成非揮發性半導體記憶裝置。

圖3係顯示利用本發明的方法所形成的周邊電路區域的高電壓部MOS電晶體的閘電壓與汲極電流的關係。同圖為了比較，也合併顯示利用熱氧化法形成上述MOS電晶體的閘極氧化膜時的結果。任何一個方法其閘極氧化膜厚均為28nm。使用熱氧化法的習知技術於電流-電壓特性可觀察到稱為所謂的頸結之凸出，被認為是特性劣化。相對於此，利用本發明之添加氮的CVDSiO₂膜的情形可獲得良好的電流-電壓特性。

圖4為測定利用本發明的方法以及習知技術之熱氧化法所形成的周邊電路區域高電壓部MOS電晶體的閘極氧化膜之絕緣耐壓的結果。由同圖取代熱氧化膜，藉由使用添加氮的CVDSiO₂膜於閘極氧化膜，明顯地提高其絕緣耐壓

五、發明說明 (13)

爲了使上述圖 3 以及圖 4 所示的習知技術與本發明的特性差明確起見，使用掃描型電子顯微鏡來觀察高電壓部 MOS 電晶體的剖面構造。其結果顯示於圖 5。使用熱氧化膜 200 於閘極氧化膜之習知技術的情形，與 E 所示的淺渠溝隔離區域接觸的部分之閘極氧化膜厚明顯地比主動區域中央薄(圖 5(a))。藉由此局部的閘極氧化膜的薄膜化，判明發生電流-電壓特性的劣化或絕緣耐壓的降低。相對於此，對於使用添加氮的 CVDSiO₂膜之本發明，如在熱氧化膜可看到的淺渠溝隔離區域附近的閘極氧化膜的薄膜化被抑制(圖 5(b))。因此，明顯地可獲得良好的特性。

此外，適用 CVDSiO₂膜於周邊電路 MOS 電晶體時，添加氮於同膜極爲重要。在圖 1 到圖 2 所示的非揮發性半導體裝置的製造中，於 CVDSiO₂膜 108 以及 109 的形成時，不進行在氮中的回火，對於不添加氮的情形在周邊電路低電壓部以及高電壓部的任何 MOS 電晶體中，都比添加氮的情形可看到其互導的大幅降低。而且，閘極氧化膜的絕緣耐壓也降低。

在本實施例一中，記憶胞的多晶 Si 金屬間介電層與周邊電路低電壓部 MOS 電晶體的閘極氧化膜完全利用同一工程來形成。因此，包含記憶胞的穿隧介電層可以三種類的膜來形成有四種類的閘極介電層。因此，與分別單獨地形成閘極介電層的情形比較，可削減製造工程的數量。

圖 6 係藉由二次離子質量分析計測定由圖 1 以及圖 2 所

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

示的方法所作成的非揮發性半導體記憶裝置的記憶胞之多晶 Si 金屬間介電層、周邊電路區域的低電壓部以及高電壓部 MOS 電晶體的閘極氧化膜中的氮分布之結果。儘管以同一工程來形成多晶 Si 金屬間介電層與低電壓部 MOS 電晶體的閘極氧化膜，氮濃度在多晶 Si 金屬間介電層最高，其次為低電壓部閘極氧化膜、高電壓部閘極氧化膜的順序。此乃因對 SiO₂ 膜的氮添加量隨著底層 Si 層的雜質濃度的增大而增加。

此外，以均由 CVD 法來形成周邊電路區域的 MOS 電晶體的閘極氧化膜之記憶胞的穿隧氧化膜與多晶 Si 金屬間介電層的疊層膜所形成的技術揭示於日本特開平 11-87545。但是，該方法因周邊電路電晶體的閘極氧化膜的膜厚係以記憶胞的兩個氧化膜膜厚的和來決定，故有膜厚的設定無自由度的問題。而且，因將形成浮置閘的圖案時有損傷 (Damage) 的穿隧氧化膜使用於周邊電路電晶體的閘極氧化膜，故膜特性的劣化為課題。如果依照本實施例的方法，周邊電路高電壓部 MOS 電晶體的閘極氧化膜藉由改變 SiO₂ 膜 108 的膜厚，具有可任意設定的優點。而且，SiO₂ 膜 108 的圖案形成因使用濕式蝕刻，故無因損傷而造成的膜特性的劣化。

以上如果依照本實施例一，具有提高非揮發性半導體記憶裝置的周邊電路區域 MOS 電晶體的特性以及可靠度之效果。此外，由提高周邊電路區域 MOS 電晶體的特性以及可靠度之觀點來說的話，周邊電路區域 MOS 電晶體的閘極

五、發明說明 (15)

氧化膜的全部(低電壓部)或一部分(高電壓部)與記憶胞的多晶 Si 金屬間介電層以同一工程來形成並非必須要件，若周邊電路區域 MOS 電晶體的閘極氧化膜是由沉積所形成的介電層例如 CVDSiO₂膜的話即可。而且，如果依照本實施例，可構築記憶胞的微細化以及動作電壓的降低為可能的非揮發性半導體記憶裝置的製造程序(Process)。再者，不會增大工程數量，周邊電路 MOS 電晶體的閘極氧化膜可當作兩種類。

(實施例二)

本實施例二係說明以添加氮的 CVDSiO₂膜作為非揮發性半導體記憶裝置的記憶胞之多晶 Si 金屬間介電層與周邊電路區域 MOS 電晶體的閘極氧化膜，藉由同時形成這些膜，可謀求周邊電路區域 MOS 電晶體的特性提高與記憶胞的微細化、動作電壓的降低以及製造工程的簡略化的其他例子。

本實施例的非揮發性半導體記憶裝置的作成程序顯示於圖 7 至圖 9。此外，圖 7 至圖 9 為與記憶胞的字線平行，垂直於周邊電路區域 MOS 電晶體的閘極線之剖面圖。與實施例一不同的是在記憶胞區域中，不存在分隔胞間的元件隔離區域，而且，共有接鄰的記憶胞的源極與汲極之所謂的假想接地型的記憶胞，再者，記憶胞具有與浮置閘、控制閘不同的第三閘 114a(以下稱為補助閘極)。此補助閘極 114a 係埋入浮置閘 107b 間而存在，具有增大寫入時的熱電

五、發明說明 (16)

子(Hot electrons)的注入效率之功能。而且，藉由對補助閘極施加 0V 也可完成隔離接鄰的記憶胞間的功能。因此，與實施例一的通常 NOR 型胞比較，記憶胞面積的縮小為可能。而且，可以複數個胞同時進行寫入動作，可謀求寫入產能(Throughput)的提高，因此，適合於大容量化。

製造方法如以下所示。

首先，在面方位(100)的 p 型 Si 基板 101 形成隔離周邊電路區域的 MOS 電晶體的淺渠溝元件隔離區域 102(圖 7(a))。

接著，利用離子植入法形成 P 井區域 104a、104b、104c 以及 N 井區域 105a、105b，然後井間的隔離區域 103(圖 7(b))。

其次，藉由熱氧化法形成 9nm 的成為補助閘極下的閘極氧化膜 113(圖 7(c))。

其次，沉積 60nm 的成為補助閘極的摻雜磷的多晶 Si 膜 114、150nm 的 SiO₂ 膜 115(圖 7(d))。

接著，利用微影與乾式蝕刻技術形成厚的 SiO₂ 膜 115 以及多晶 Si 膜 114 的圖案(SiO₂ 膜 115 以及多晶 Si 膜 114 分別變成 115a 以及 114a)。此時，完全除去周邊電路區域的 SiO₂ 膜 115 以及多晶 Si 膜 114 (圖 7(e))。

其次，藉由微影技術於形成僅露出記憶胞區域的光阻圖案後(未圖示)，利用斜離子植入法形成記憶胞的源極/汲極擴散層區域 116(圖 7(f))。

其次，在除去殘存於周邊電路區域的閘極氧化膜 114

五、發明說明（17）

後（未圖示），形成 9nm 的成為記憶胞的穿隧氧化膜之 SiO_2 膜 106（圖 8(a)）。

其次，沉積例如 50nm 的成為浮置閘的摻雜磷的多晶 Si 膜 107，使補助閘極圖案間的間隙不被埋入（圖 8(b)）。

其次，塗佈光阻 117 使補助閘極圖案間的間隙完全被埋入（未圖示），回蝕（Etch back）此光阻 117 使其殘留在補助閘極圖案間的間隙（圖 8(c)）。

其次，藉由回蝕法除去存在於不被光阻 117 覆蓋的部分之多晶 Si 膜 107（多晶 Si 膜 107 變成 107a）。蝕刻量取比多晶 Si 膜 107 的膜厚還大若干的值（圖 8(d)）。藉由本工程以一次的膜形成可形成具有立體構造的浮置閘圖案。

其次，利用灰化（Ashing）法除去殘存於多晶 Si 膜 107a 上的光阻 117（圖 8(e)）。

接著，藉由以 SiH_4 與 N_2O 為原料氣體的減壓化學氣相成長法（LPCVD 法）沉積 16nm 的 SiO_2 膜 108。沉積溫度為 750℃。緊接著在 NH_3 環境中回火 SiO_2 膜 108，然後進行濕式氧化（圖 8(f)）。

然後，藉由微影技術在周邊電路區域之中作成像僅覆蓋高電壓部的光阻圖案（未圖示），藉由氫氟酸與氨的混合水溶液除去記憶胞區域以及周邊電路區域之中存在於低電壓部的 SiO_2 膜 108（ SiO_2 膜 108 變成 108a）（圖 9(a)）。

然後，再度藉由以 SiH_4 與 N_2O 為原料氣體的 LPCVD 法沉積 11nm 的 SiO_2 膜 109。沉積溫度為 750℃。緊接著在 NH_3 環境中回火 SiO_2 膜 109，然後進行濕式氧化（圖 9(b)）。

五、發明說明 (18)

以上與實施例一一一樣，藉由圖 8(f)到圖 9(b)所示的工程，在記憶胞區域形成 11nm 的多晶 Si 金屬間介電層(CVDSiO₂膜 109)、在周邊電路區域的低電壓部形成 11nm 的閘極氧化膜(CVDSiO₂膜 109)、在周邊電路區域的高電壓部大致形成 27nm 的閘極氧化膜(CVDSiO₂膜 108a 與 CVDSiO₂膜 109)。

其次，沉積成爲記憶胞的控制閘與周邊電路的閘電極之摻雜磷的多晶 Si 膜 110(圖 9(c))。

然後，微影與乾式蝕刻技術形成多晶 Si 膜 110 的圖案，形成記憶胞的控制閘(字線)110a 以及周邊電路的閘電極 110b。接著未圖示，蝕刻記憶胞區域的 SiO₂膜 109 以及多晶 Si 膜 107a，形成浮置閘(SiO₂膜 109 以及多晶 Si 膜 107a 分別變成 109a、107b)(圖 9(d))。

其次，藉由形成周邊電路 MOS 電晶體的源極/汲極區域 111b、111c、112a、112b (圖 9(e))。

然後未圖示，在沉積金屬間介電層後，於此金屬間介電層形成到達字線 110a、周邊 MOS 電晶體的閘電極 110b 以及源極/汲極區域 112、111 之接觸窗孔，其次，沉積金屬膜加工此金屬膜作爲電極，完成非揮發性半導體記憶裝置。

如果依照本實施例二，與實施例一一一樣可提高非揮發性半導體記憶裝置的周邊電路 MOS 電晶體的特性以及可靠度。而且與實施例一比較，記憶胞的微細化以及動作電壓的降低爲可能。再者，不會增大工程數量，周邊電路 MOS 電晶體的閘極氧化膜可當作兩種類。

五、發明說明（19）

（實施例三）

本實施例三係說明以添加氮的 CVD SiO₂ 膜作為非揮發性半導體記憶裝置的記憶胞之多晶 Si 金屬間介電層與周邊電路 MOS 電晶體的閘極氧化膜，藉由同時形成這些膜，可謀求周邊電路 MOS 電晶體的特性提高與記憶胞的微細化、動作電壓的降低以及製造工程的簡略化的再其他例子。

本實施例的非揮發性半導體記憶裝置的作成程序顯示於圖 10 至圖 12。此外，圖 10 至圖 12 為與記憶胞的字線平行，垂直於周邊電路 MOS 電晶體的閘極線之剖面圖。與實施例一不同的是記憶胞陣列 (Array) 隔離源極線，成為稱為並列配置胞的 AND 型之構造。

製造方法如以下所示。

首先，在面方位 (100) 的 p 型 Si 基板 101 形成隔離周邊電路 MOS 電晶體的淺渠溝元件隔離區域 102 (圖 10(a))。

接著，利用離子植入法形成 P 井區域 104a、104b、104c 以及 N 井區域 105a、105b，然後井間的隔離區域 103 (圖 10(b))。

其次，藉由熱氧化法形成 9nm 的成為記憶胞的穿隧氧化膜之 SiO₂ 膜 106 (圖 10(c))。

其次，沉積 100nm 的成為第一層浮置閘的摻雜磷的多晶 Si 膜 118 (圖 10(d))。

接著，利用微影與乾式蝕刻技術形成多晶 Si 膜 118 的圖案。此時，作為殘留像周邊電路區域的多晶 Si 膜 118 的圖案 (多晶 Si 膜 118 其記憶胞區域變成 118a、周邊電路區域

五、發明說明 (20)

變成 118b)(圖 10(e))。

其次，藉由離子植入法形成記憶胞的源極/汲極擴散層區域 116(圖 10(f))。

其次，沉積例如 400nm 的 SiO_2 膜 119，使其完全埋入第一層浮置閘間(圖 11(a))。

然後，利用化學機械研磨法(CMP 法)研磨 SiO_2 膜 119，使第一層浮置閘圖案 118a 以及 118b 露出(多晶 Si 膜 118a 以及 118b 分別變成 118c 以及 118d)(圖 11(b))。

其次，沉積例如 50nm 的成為第二層浮置閘的摻雜磷的多晶 Si 膜 120(圖 11(c))。

接著，利用微影與乾式蝕刻技術形成多晶 Si 膜 120 的圖案(多晶 Si 膜 120 變成 120a)。此時，完全除去周邊電路區域的多晶 Si 膜 120 以及存在於其下的多晶 Si 膜 118d(圖 11(d))。在本實施例的非揮發性半導體記憶裝置的記憶胞中，多晶 Si 膜 118 c 以及 120a 係電性連接，在此兩層形成浮置閘。

接著，藉由以 SiH_4 與 N_2O 為原料氣體的減壓化學氣相成長法(LPCVD 法)沉積 16nm 的 SiO_2 膜 108。沉積溫度為 750℃。緊接著在 NH_3 環境中回火 SiO_2 膜 108，然後進行濕式氧化(圖 11(e))。

然後，藉由微影技術在周邊電路區域之中作成像僅覆蓋高電壓部的光阻圖案(未圖示)，藉由氫氟酸與氨的混合水溶液除去記憶胞區域以及周邊電路區域之中存在於低電壓部的 SiO_2 膜 108(SiO_2 膜 108 變成 108a) (圖 12(a))。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (21)

然後，再度藉由以 SiH_4 與 N_2O 為原料氣體的 LPCVD 法沉積 11nm 的 SiO_2 膜 109。沉積溫度為 750°C 。緊接著在 NH_3 環境中回火 SiO_2 膜 109，然後進行濕式氧化(圖 12(b))。

以上與實施例一一樣，藉由圖 11(e)到圖 12(b)所示的工程，在記憶胞區域形成 11nm 的多晶 Si 金屬間介電層(CVDSiO₂膜 109)、在周邊電路區域的低電壓部形成 11nm 的閘極氧化膜(CVDSiO₂膜 109)、在周邊電路區域的高電壓部大致形成 27nm 的閘極氧化膜(CVDSiO₂膜 108a 與 CVDSiO₂膜 109)。

其次，沉積成為記憶胞的控制閘與周邊電路區域 MOS 電晶體的閘電極之摻雜磷的多晶 Si 膜 110(圖 11(c))。

然後，藉由微影與乾式蝕刻技術形成多晶 Si 膜 110 的圖案，形成記憶胞的控制閘(字線)110a 以及周邊電路的閘電極 110b。接著未圖示，蝕刻記憶胞區域的 SiO_2 膜 109 以及多晶 Si 膜 120a、118c，形成浮置閘(SiO_2 膜 109 以及多晶 Si 膜 120a、118c 分別變成 109a 以及 120b、118d)(圖 11(d))。

其次，形成周邊電路區域 MOS 電晶體的源極/汲極區域 111b、111c、112a、112b (圖 11(e))。

然後未圖示，在沉積金屬間介電層後，於此金屬間介電層形成到達字線 110a、周邊電路區域 MOS 電晶體的閘電極 110b 以及源極/汲極區域 112、111 之接觸窗孔，其次，沉積金屬膜加工此金屬膜作為電極，完成非揮發性半導體記憶裝置。

五、發明說明 (22)

如果依照本實施例三，與實施例一一樣可提高非揮發性半導體記憶裝置的周邊電路 MOS 電晶體的特性以及可靠度。而且，記憶胞的微細化以及動作電壓的降低為可能。再者，不會增大工程數量，周邊電路 MOS 電晶體的閘極氧化膜可當作兩種類。

(實施例四)

本實施例四與實施例一不同，係敘述關於將周邊電路區域高電壓部的 MOS 電晶體的閘極氧化膜之一部分取代成添加氮的 CVDSiO₂ 膜，使用薄的熱氧化膜的例子。

本實施例的非揮發性半導體記憶裝置的作成順序如圖 13 所示。到形成本實施例的非揮發性半導體記憶裝置的浮置閘 107a 為止的工程係與實施例一的圖 1(a)到圖 1(e)相同，此處省略。

在形成如圖 1(e)所示的浮置閘圖案後，藉由以 SiH₄ 與 N₂O 為原料氣體的 LPCVD 法沉積 4nm 的 SiO₂ 膜 121(圖 13(a))。

其次，利用 LPCVD 法沉積 10nm 的 Si₃N₄ 膜 122，然後利用微影技術在周邊電路區域之中作成像僅露出高電壓部的光阻圖案以上(未圖示)，藉由乾式蝕刻除去存在於高電壓部的 Si₃N₄ 膜 122(圖 13(b))。

其次，在藉由氫氟酸水溶液除去存在於高電壓部的 SiO₂ 膜 121 後(未圖示)，利用熱氧化法僅在未被 Si₃N₄ 膜 122 覆蓋的周邊電路高電壓部，選擇地成長 SiO₂ 膜 123。氧化

五、發明說明 (23)

膜厚為 16nm。因上述 Si_3N_4 膜 122 具有耐氧化性，故被 Si_3N_4 膜 122 覆蓋的記憶胞區域以及周邊電路區域之中，於低電壓部不進行氧化反應(圖 13(c))。

然後，在藉由熱磷酸水溶液除去 Si_3N_4 膜 122 後，藉由氫氟酸水溶液除去存在於記憶胞部以及周邊電路低電壓部的 SiO_2 膜 121。此時，周邊電路高電壓部的 SiO_2 膜 123 其表面也多少被蝕刻，膜厚減少到 14nm(SiO_2 膜 123 變成 123a) (圖 13(d))。

然後，藉由以 SiH_4 與 N_2O 為原料氣體的 LPCVD 法沉積 11nm 的 SiO_2 膜 109。沉積溫度為 750 °C。緊接著在 NH_3 環境中回火 SiO_2 膜 109，然後進行濕式氧化(圖 13(e))。

藉由以上的工程，在記憶胞區域形成 11nm 的多晶 Si 金屬間介電層(CVDSiO₂ 膜 109)、在周邊電路區域的低電壓部形成 11nm 的閘極氧化膜(CVDSiO₂ 膜 109)、在周邊電路區域的高電壓部大致形成 25nm 的閘極氧化膜(熱氧化 SiO_2 膜 123a 與 CVDSiO₂ 膜 109)。

然後，進行與實施例一的圖 2(c)到圖 2(e)相同的工程，完成非揮發性半導體記憶裝置。

在本實施例四中，即使使用熱氧化法也能以與實施例一一樣的光罩片數來作成非揮發性半導體記憶裝置。而且，與實施例一比較可提高周邊電路高電壓部的 MOS 電晶體的閘極氧化膜/Si 基板界面的特性，提高電導(Conductance)。

此外，在本實施例四中藉由熱氧化膜與添加氮的

五、發明說明（24）

CVDSiO₂膜來形成周邊電路高電壓部的 MOS 電晶體的閘極氧化膜。因為進行熱氧化，故在與圖 5(a)所示的淺渠溝隔離區域接觸的部分可觀察到若干的閘極氧化膜厚的減少。但是，因氧化膜厚為 14nm 比習知技術薄，故圖 3 以及圖 4 所示的 MOS 電晶體的電流-電壓特性以及絕緣耐壓的劣化為在實用上無問題的水準(Level)。

（實施例五）

如實施例四所述的，即使周邊電路 MOS 電晶體的閘極氧化膜使用熱氧化膜，當其氧化膜厚為薄的時候，在與淺渠溝隔離區域接觸的部分之氧化膜的薄膜化程度小，可視 MOS 特性的劣化為在實用上無問題的水準。因此，本實施例係敘述關於在周邊電路區域之中低電壓部 MOS 電晶體的閘極氧化膜使用薄膜化的熱氧化膜，謀求非揮發性半導體記憶裝置的性能提高之例子。

本實施例的非揮發性半導體記憶裝置的作成順序如圖 14 到圖 15 所示。到形成井區域為止的工程係與實施例一的圖 1(a)到圖 1(b)相同，此處省略。

如實施例一的圖 1(a)到圖 1(b)所示在形成元件隔離區域以及井區域後，藉由熱氧化法形成 9nm 的成為記憶胞的穿隧介電層之 SiO₂膜 106(圖 14(a))。

其次，利用微影技術於形成像僅露出周邊電路區域低電壓部的光阻圖案後(未圖示)，藉由氫氟酸與氨的混合水溶液除去周邊電路區域低電壓部的 SiO₂膜 106(圖 14(b))。

五、發明說明 (25)

其次，利用熱氧化法形成 5nm 的成為周邊電路區域低電壓部的 MOS 電晶體的閘極氧化膜之 SiO_2 膜 124 (圖 14(c))。

其次，沉積 150nm 的成為浮置閘的摻雜磷的多晶 Si 膜 107 (圖 14(d))。

接著，利用微影與乾式蝕刻技術形成多晶 Si 膜 107 的圖案。此時，周邊電路區域的多晶 Si 膜 107 在高電壓部完全被除去，在低電壓部使其全面被覆蓋而殘留 (多晶 Si 膜 107 變成 107a、107c) (圖 14(e))。

接著，藉由以 SiH_4 與 N_2O 為原料氣體的減壓化學氣相成長法 (LPCVD 法) 沉積 16nm 的 SiO_2 膜 108。沉積溫度為 750℃。緊接著在 NH_3 環境中回火 SiO_2 膜 108，然後進行濕式氧化 (圖 14(f))。

然後，藉由微影技術在周邊電路區域之中作成像僅覆蓋高電壓部的 SiO_2 膜 108 之光阻圖案 (未圖示)，藉由氫氟酸與氨的混合水溶液除去記憶體區域以及周邊電路區域之中存在於低電壓部的 SiO_2 膜 108 (SiO_2 膜 108 變成 108a) (圖 15(a))。

然後，再度藉由以 SiH_4 與 N_2O 為原料氣體的 LPCVD 法沉積 11nm 的 SiO_2 膜 109。沉積溫度為 750℃。緊接著在 NH_3 環境中回火 SiO_2 膜 109，然後進行濕式氧化 (圖 15(b))。

藉由以上的工程，在記憶體區域形成 11nm 的多晶 Si 金屬間介電層 (CVDSiO₂ 膜 109)、在周邊電路區域的低電壓部形成 5nm 的閘極氧化膜 (熱氧化 SiO_2 膜 124)、在周邊電路區

五、發明說明（26）

域的高電壓部大致形成 27nm 的閘極氧化膜 (CVDSiO₂膜 108a 與 CVDSiO₂膜 109)。

其次，沉積記憶胞的控制閘與成為周邊電路的閘電極之摻雜磷的多晶 Si 膜 110(圖 15(c))。

然後，藉由微影與乾式蝕刻技術形成多晶 Si 膜 110 的圖案，形成記憶胞的控制閘(字線)110a 以及周邊電路的閘電極 110b。接著未圖示，蝕刻記憶胞區域以及周邊電路區域低電壓部 MOS 電晶體的 SiO₂膜 109 以及多晶 Si 膜 107a、107c。據此，完成浮置閘(SiO₂膜 109 以及多晶 Si 膜 107a、107c 分別變成 109a 以及 107b、107d)。此時，形成圖案使周邊電路區域低電壓部的多晶 Si 膜 107d 的一部分露出(圖 15(d))。

其次，利用離子植入法於形成記憶胞以及周邊電路 MOS 電晶體的源極/汲極區域 111b、111c、112a、112b (記憶胞的源極/汲極區域未圖示)後，未圖示，沉積金屬間介電層，於此金屬間介電層形成到達字線 110a、周邊電路區域 MOS 電晶體的閘電極 110b 以及源極/汲極區域 112、111 之接觸窗孔，其次，沉積金屬膜加工此金屬膜作為電極，此時在周邊電路區域低電壓部中為了電性連接多晶 Si 膜 110b 以及 107d，配置接觸窗孔與金屬電極。據此，在周邊電路區域低電壓部的 MOS 電晶體中，施加於多晶 Si 膜 110b 的電壓也被施加於多晶 Si 膜 107d。藉由以上的工程完成非揮發性半導體記憶裝置(圖 15(e))。

由本實施例五所形成的非揮發性半導體記憶裝置與實

五、發明說明 (27)

施例一一樣，可提高非揮發性半導體記憶裝置的周邊電路 MOS 電晶體的特性以及可靠度。而且，記憶胞的微細化以及動作電壓的降低為可能。再者，不會增大工程數量，周邊電路 MOS 電晶體的閘極氧化膜可當作兩種類。再者，與實施例一比較周邊電路低電壓部的高速動作為可能，可謀求重寫以及讀出速度的提高。

(實施例六)

本實施例六係敘述關於周邊電路區域高電壓部 MOS 電晶體的閘極氧化膜使用薄膜化的熱氧化膜與添加氮的 CVDSiO₂膜之疊層膜，謀求非揮發性半導體記憶裝置的性能提高的其他例子。

本實施例六的非揮發性半導體記憶裝置的作成順序如圖 16 到圖 17 所示。到形成井區域為止的工程係與實施例一的圖 1(a)到圖 1(b)相同，此處省略。

如實施例一的圖 1(a)到圖 1(b)所示在形成元件隔離區域以及井區域後，藉由以 SiH₄與 N₂O 為原料氣體的減壓化學氣相成長法(LPCVD 法)沉積 20nm 的 SiO₂膜 125。沉積溫度為 750℃。緊接著在 NH₃環境中回火 SiO₂膜 108，然後進行濕式氧化(圖 16(a))。

其次，利用微影技術於形成像僅露出周邊電路區域高電壓部的光阻圖案後(未圖示)，藉由氫氟酸與氨的混合水溶液除去記憶胞區域以及周邊電路區域低電壓部的 SiO₂膜 125(SiO₂膜 125 變成 125a)(圖 16(b))。

五、發明說明（28）

其次，利用熱氧化法形成 9nm 的成為記憶胞的穿隧介電層以及周邊電路區域低電壓部的閘極氧化膜之 SiO_2 膜 126。此時，即使是在周邊電路區域高電壓部大約於非記憶胞區域成長氧化膜 126a。

藉由以上的工程，在記憶胞區域形成 9nm 的穿隧介電層（熱氧化 SiO_2 膜 126）、在周邊電路區域的低電壓部形成 9nm 的閘極氧化膜（熱氧化 SiO_2 膜 126）、在周邊電路區域的高電壓部大致形成 27nm 的閘極氧化膜（熱氧化 SiO_2 膜 126a 與 CVDSiO₂ 膜 125a）（圖 16(c)）。

其次，沉積 150nm 成為浮置閘之摻雜磷的多晶 Si 膜 107（圖 16(d)）。

接著，使用微影與乾式蝕刻技術形成多晶 Si 膜 107 的圖案。此時，周邊電路區域的多晶 Si 膜 107 其全面被覆蓋而殘留（多晶 Si 膜 107 變成記憶胞區域 107a、周邊電路區域變成 107e）（圖 16(e)）。

接著，藉由以 SiH_4 與 N_2O 為原料氣體的 LPCVD 法沉積 11nm 的成為多晶 Si 金屬間介電層之 SiO_2 膜 109。沉積溫度為 750℃。緊接著在 NH_3 環境中回火 SiO_2 膜 109，然後進行濕式氧化（圖 17(a)）。

其次，沉積記憶胞的控制閘與成為周邊電路的閘電極之摻雜磷的多晶 Si 膜 110（圖 17(b)）。

然後，藉由微影與乾式蝕刻技術形成多晶 Si 膜 110 的圖案，形成記憶胞的控制閘（字線）110a 以及周邊電路的閘電極 110b。接著未圖示，蝕刻記憶胞區域以及周邊電路區

五、發明說明（29）

域 MOS 電晶體的 SiO_2 膜 109 以及多晶 Si 膜 107a、107e。據此，完成浮置閘（ SiO_2 膜 109 以及多晶 Si 膜 107a、107e 分別變成 109a 以及 107b、107f）。此時，形成圖案使周邊電路區域的多晶 Si 膜 107d 的一部分露出（圖 17(c)）。

其次，利用離子植入法於形成記憶胞以及周邊電路區域 MOS 電晶體的源極/汲極區域 111b、111c、112a、112b（記憶胞的源極/汲極區域未圖示）後，未圖示，沉積金屬間介電層，於此金屬間介電層形成到達字線 110a、周邊電路 MOS 電晶體的閘電極 110b 以及源極/汲極區域 112、111 之接觸窗孔。其次，沉積金屬膜加工此金屬膜作為電極。此時在周邊電路區域中為了電性連接多晶 Si 膜 110b 以及 107d，配置接觸窗孔與金屬電極。據此，在周邊電路區域的 MOS 電晶體中，施加於多晶 Si 膜 110b 的電壓也被施加於多晶 Si 膜 107d。藉由以上的工程完成非揮發性半導體記憶裝置（圖 17(d)）。

由本實施例所形成的非揮發性半導體記憶裝置與實施例一一樣，可提高非揮發性半導體記憶裝置的周邊電路區域 MOS 電晶體的特性以及可靠度。而且，記憶胞的微細化以及動作電壓的降低為可能。再者，不會增大工程數量，周邊電路 MOS 電晶體的閘極氧化膜可當作兩種類。再者，與實施例一比較周邊電路低電壓部的高速動作為可能，可謀求重寫以及讀出速度的提高。以上所詳述的各實施例中，雖然非揮發性半導體裝置的記憶胞係使用 NOR 型、具有補助閘極的胞、AND 型為例子來說明，惟使用其他的記憶

五、發明說明 (30)

胞例如具有 NAND 型或分離閘 (Split gate) 型的胞或消隱閘 (Blanking gate) 的記憶胞也可獲得同樣的效果。

此外，適用於將非揮發性半導體記憶裝置與微控制器 (Microcontroller) 混合裝載於一個晶片的製品，也可獲得同樣的效果。

【發明的效果】

如果依照本發明，可提高非揮發性半導體記憶裝置的周邊電路區域 MOS 電晶體之閘極氧化膜的可靠度、提高電晶體特性。而且，可謀求非揮發性半導體記憶裝置的微細化、低電壓化。再者，可謀求非揮發性半導體記憶裝置的製造工程的簡略化。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：

非揮發性半導體記憶裝置及其製造方法)

[課題]

謀求非揮發性半導體記憶裝置的微細化、低電壓動作、高可靠度化、製造工程的簡略化。

[解決手段]

以添加氮的 CVDSiO₂膜作為非揮發性半導體記憶裝置的多晶 Si 金屬間介電層 109a，也能以此膜作為周邊電路區域低電壓部的 MOS 電晶體之閘極氧化膜來使用。再者，周邊電路區域高電壓部的 MOS 電晶體之閘極氧化膜也能當作本 SiO₂膜 109a 與添加另一層的氮之 CVDSiO₂膜的疊層膜。

[功效]

如果依照本發明，可提高非揮發性半導體記憶裝置的周邊電路區域 MOS 電晶體之閘極氧化膜的可靠度、提高電晶體特性。而且，可謀求非揮發性半導體記憶裝置的微細化、低電壓化。再者，可謀求非揮發性半導體記憶裝置的製造工程的簡略化。

英文發明摘要(發明之名稱：

)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1.一種非揮發性半導體記憶裝置，其特徵為由：

記憶胞區域，將具有形成於半導體基板內的第一井區域、成為形成於該第一井區域中的源極以及汲極之第一擴散層、在該井上中介穿隧介電層所形成的浮置閘、在該浮置閘上部中介多晶矽金屬間介電層所形成的控制閘之第一 MOS 型場效電晶體當作一個記憶胞，由配置該記憶胞成複數個行列狀的記憶胞陣列所構成；以及

周邊電路區域，將具有形成於半導體基板內的第二井區域、成為形成於該第二井區域中的源極以及汲極之第二擴散層、在該第二井上中介閘極介電層所形成的閘電極之第二 MOS 型場效電晶體當作一個單位，配置複數個該第二 MOS 型場效電晶體，

所構成，其中

該複數個第二 MOS 型場效型電晶體間的元件隔離係藉由淺渠溝元件隔離法來進行，該複數個第二 MOS 型場效電晶體的至少一個該閘極介電層係由沉積於半導體基板上的第一介電層所構成。

2.如申請專利範圍第 1 項所述之非揮發性半導體記憶裝置，其中該第一介電層為氧化矽膜。

3.如申請專利範圍第 2 項所述之非揮發性半導體記憶裝置，其中該氧化矽膜被添加氮。

4.如申請專利範圍第 1 項所述之非揮發性半導體記憶裝置，其中該多晶矽金屬間介電層係由沉積的第二介電層所構成，該第二介電層與該第一介電層的各膜厚約略相等

六、申請專利範圍

5.如申請專利範圍第4項所述之非揮發性半導體記憶裝置，其中該第一介電層以及該第二介電層為氧化矽膜。

6.如申請專利範圍第5項所述之非揮發性半導體記憶裝置，其中該氧化矽膜被添加氮。

7.如申請專利範圍第6項所述之非揮發性半導體記憶裝置，其中對該第二介電層的氮添加量比對該第一介電層的氮添加量多。

8.一種非揮發性半導體記憶裝置，其特徵為由：

記憶胞區域，將具有形成於半導體基板內的第一井區域、成為形成於該第一井區域中的源極以及汲極之第一擴散層、在該井上中介穿隧介電層所形成的浮置閘、在該浮置閘上部中介多晶矽金屬間介電層所形成的控制閘之第一MOS型場效電晶體當作一個記憶胞，由配置該記憶胞成複數個行列狀的記憶胞陣列所構成；以及

周邊電路區域，具備：

第二MOS型場效型電晶體，具有形成於半導體基板內的第二井區域、成為形成於該第二井區域中的源極以及汲極之第二擴散層、在該第二井上中介第一閘極介電層所形成的第一閘電極；以及

第三MOS型場效型電晶體，形成於半導體基板內的第三井區域、成為形成於該第三井區域中的源極以及汲極之第三擴散層、具有在該第三井上中介膜厚比該第一閘極介電層大的第二閘極介電層所形成的第二閘電極，

六、申請專利範圍

所構成，其中

該周邊電路區域中的元件隔離係藉由淺渠溝元件隔離法來進行，該第二閘極介電層係由沉積於半導體基板上的第一介電層所構成。

9.如申請專利範圍第8項所述之非揮發性半導體記憶裝置，其中該第一介電層為氧化矽膜。

10.如申請專利範圍第9項所述之非揮發性半導體記憶裝置，其中該氧化矽膜被添加氮。

11.如申請專利範圍第8項所述之非揮發性半導體記憶裝置，其中該多晶矽金屬間介電層以及該第一閘極介電層係由沉積的第二介電層所構成。

12.如申請專利範圍第11項所述之非揮發性半導體記憶裝置，其中該第一介電層以及該第二介電層為氧化矽膜。

13.如申請專利範圍第12項所述之非揮發性半導體記憶裝置，其中該氧化矽膜被添加氮。

14.如申請專利範圍第13項所述之非揮發性半導體記憶裝置，其中膜中的氮濃度依該多晶矽金屬間介電層、該第一閘極介電層、該第二閘極介電層的順序增大。

15.一種非揮發性半導體記憶裝置，其特徵為由：

記憶胞區域，將具有形成於半導體基板內的第一井區域、成為形成於該第一井區域中的源極以及汲極之第一擴散層、在該井上中介穿隧介電層所形成的浮置閘、在該浮置閘上部中介多晶矽金屬間介電層所形成的控制閘之第一MOS型場效電晶體當作一個記憶胞，由配置該記憶胞成複

六、申請專利範圍

數個行列狀的記憶胞陣列所構成；以及

周邊電路區域，將具有形成於半導體基板內的第二井區域、成為形成於該第二井區域中的源極以及汲極之第二擴散層、在該第二井上中介閘極介電層所形成的閘電極之第二 MOS 型場效電晶體當作一個單位，配置複數個該第二 MOS 型場效電晶體

所構成，其中

該複數個第二 MOS 型場效電晶體間的元件隔離係藉由淺渠溝元件隔離法來進行，該複數個第二 MOS 型場效電晶體的至少一個該閘極介電層係由熱氧化半導體基板的第一介電層與沉積於該第一介電層上的第二介電層所構成。

16.如申請專利範圍第 15 項所述之非揮發性半導體記憶裝置，其中該第一介電層的膜厚比該第二介電層的膜厚還小。

17.如申請專利範圍第 15 項所述之非揮發性半導體記憶裝置，其中該第二介電層為氧化矽膜。

18.如申請專利範圍第 17 項所述之非揮發性半導體記憶裝置，其中該氧化矽膜被添加氮。

19.如申請專利範圍第 15 項所述之非揮發性半導體記憶裝置，其中該多晶矽金屬間介電層係由沉積的第三介電層所構成，該第三介電層與該第二介電層的各膜厚約略相等。

20.如申請專利範圍第 19 項所述之非揮發性半導體記憶裝置，其中該第二介電層以及該第三介電層為氧化矽膜。

六、申請專利範圍

21.如申請專利範圍第 20 項所述之非揮發性半導體記憶裝置，其中該氧化矽膜被添加氮。

22.如申請專利範圍第 21 項所述之非揮發性半導體記憶裝置，其中對該第三介電層的氮添加量比對該第二介電層的氮添加量多。

23.一種非揮發性半導體記憶裝置，其特徵為由：

記憶胞區域，將具有形成於半導體基板內的第一井區域、成為形成於該第一井區域中的源極以及汲極之第一擴散層、在該井上中介穿隧介電層所形成的浮置閘、在該浮置閘上部中介多晶矽金屬間介電層所形成的控制閘之第一 MOS 型場效電晶體當作一個記憶胞，由配置該記憶胞成複數個行列狀的記憶胞陣列所構成；以及

周邊電路區域，具備：

第二 MOS 型場效型電晶體，具有形成於半導體基板內的第二井區域、成為形成於該第二井區域中的源極以及汲極之第二擴散層、在該第二井上中介第一閘極介電層所形成的第一閘電極；以及

第三 MOS 型場效電晶體，形成於半導體基板內的第三井區域、成為形成於該第三井區域中的源極以及汲極之第三擴散層、具有在該第三井上中介膜厚比該第一閘極介電層大的第二閘極介電層所形成的第二閘電極，

所構成，其中

該周邊電路區域中的元件隔離係藉由淺渠溝元件隔離法來進行，該第二閘極介電層係由熱氧化半導體基板的第

六、申請專利範圍

一介電層與沉積於該第一介電層上的第二介電層所構成。

24.如申請專利範圍第23項所述之非揮發性半導體記憶裝置，其中該第二介電層為氧化矽膜。

25.如申請專利範圍第24項所述之非揮發性半導體記憶裝置，其中該氧化矽膜被添加氮。

26.如申請專利範圍第23項所述之非揮發性半導體記憶裝置，其中該多晶矽金屬間介電層以及第一閘極介電層係由沉積的第三介電層所構成，該第三介電層與該第二介電層的各膜厚約略相等。

27.如申請專利範圍第26項所述之非揮發性半導體記憶裝置，其中該第二介電層以及該第三介電層為氧化矽膜。

28.如申請專利範圍第27項所述之非揮發性半導體記憶裝置，其中該氧化矽膜被添加氮。

29.如申請專利範圍第28項所述之非揮發性半導體記憶裝置，其中膜中的氮濃度依該多晶矽金屬間介電層、該第一閘極介電層、該第二閘極介電層的順序增大。

30.如申請專利範圍第23項所述之非揮發性半導體記憶裝置，其中該多晶矽金屬間介電層係由沉積的第三介電層所構成，該第三介電層與該第二介電層的各膜厚約略相等。

31.如申請專利範圍第30項所述之非揮發性半導體記憶裝置，其中該第二介電層以及該第三介電層為氧化矽膜。

32.如申請專利範圍第31項所述之非揮發性半導體記憶裝置，其中該氧化矽膜被添加氮。

六、申請專利範圍

33.如申請專利範圍第 32 項所述之非揮發性半導體記憶裝置，其中該多晶矽金屬間介電層中的氮濃度添比該第二閘極介電層中的氮濃度還高。

34.一種非揮發性半導體記憶裝置的製造方法，其特徵包含：

複數個記憶胞，具有在半導體基板上中介穿隧介電層而形成的浮置閘與在該浮置閘上中介多晶矽金屬間介電層而形成的控制閘；以及

複數個場效電晶體，具有在半導體基板上中介閘極介電層而形成的閘電極，其中具有：

第一工程，在半導體基板形成淺渠溝元件隔離區域；

第二工程，利用熱氧化法在該記憶胞的形成區域之半導體基板表面形成穿隧介電層；

第三工程，在沉積成為該浮置閘的第一多晶矽膜後，除去該場效電晶體的形成區域之該第一多晶矽膜；

第四工程，在沉積成為該閘極介電層的第一部分之第一氧化矽膜後，除去該記憶胞的形成區域之該第一氧化矽膜；

第五工程，沉積成為該金屬間介電層以及該閘極介電層的第二部分之第二氧化矽膜；以及

第六工程，沉積成為該控制閘以及該閘電極之第二多晶矽膜。

35.如申請專利範圍第 34 項所述之非揮發性半導體記憶裝置的製造方法，其中在該第四以及第五工程中於沉積該

六、申請專利範圍

第一以及第二氧化矽膜後，緊接著在 NH_3 環境中回火，然後進行濕式氧化。

36.如申請專利範圍第 34 項所述之非揮發性半導體記憶裝置的製造方法，其中在該第三以及第六工程中，對該第一以及第二多晶矽膜摻雜磷。

37.一種非揮發性半導體記憶裝置的製造方法，其特徵包含：

複數個記憶胞，具有在半導體基板上中介穿隧介電層而形成的浮置閘與在該浮置閘上中介多晶矽金屬間介電層而形成的控制閘；以及

複數個場效電晶體，具有在半導體基板上中介閘極介電層而形成的閘電極，其中具有：

第一工程，在半導體基板形成淺渠溝隔離區域；

第二工程，利用熱氧化法在該記憶胞的形成區域之半導體基板表面形成穿隧介電層；

第三工程，在沉積成為該浮置閘的第一多晶矽膜後，除去該場效電晶體的形成區域之該第一多晶矽膜；

第四工程，利用熱氧化法在該場效電晶體的形成區域之半導體基板表面，形成成為該閘極介電層的第一部分之第一氧化矽膜；

第五工程，沉積成為該多晶矽金屬間介電層以及該閘極介電層的第二部分之第二氧化矽膜；以及

第六工程，沉積成為該控制閘以及該閘電極之第二多晶矽膜。

六、申請專利範圍

38.如申請專利範圍第37項所述之非揮發性半導體記憶裝置的製造方法，其中在該第五工程中於沉積該第二氧化矽膜後，緊接著在 NH_3 環境中回火，然後進行濕式氧化。

39.如申請專利範圍第37項所述之非揮發性半導體記憶裝置的製造方法，其中在該第三以及第六工程中，對該第一以及第二多晶矽膜摻雜磷。

40.一種非揮發性半導體記憶裝置的製造方法，其特徵包含：

複數個記憶胞，具有在半導體基板上中介穿隧介電層而形成的浮置閘與在該浮置閘上中介多晶矽金屬間介電層而形成的控制閘；以及

複數個場效電晶體，具有在半導體基板上中介閘極介電層而形成的閘電極，其中具有：

第一工程，在半導體基板形成淺渠溝隔離區域；

第二工程，在沉積成為該閘極介電層的第一部分之第一氧化矽膜後，除去該記憶胞的形成區域之該第一氧化矽膜；

第三工程，利用熱氧化法在該記憶胞的形成區域之半導體基板表面、在該場效電晶體的形成區域之半導體基板與該第一氧化矽膜之間，分別形成穿隧介電層、成為該閘極介電層的第二部分之第二氧化矽膜；

第四工程，沉積成為該浮置閘以及該閘電極的第一多晶矽膜；

第五工程，沉積成為該金屬間介電層的第三氧化矽膜

六、申請專利範圍

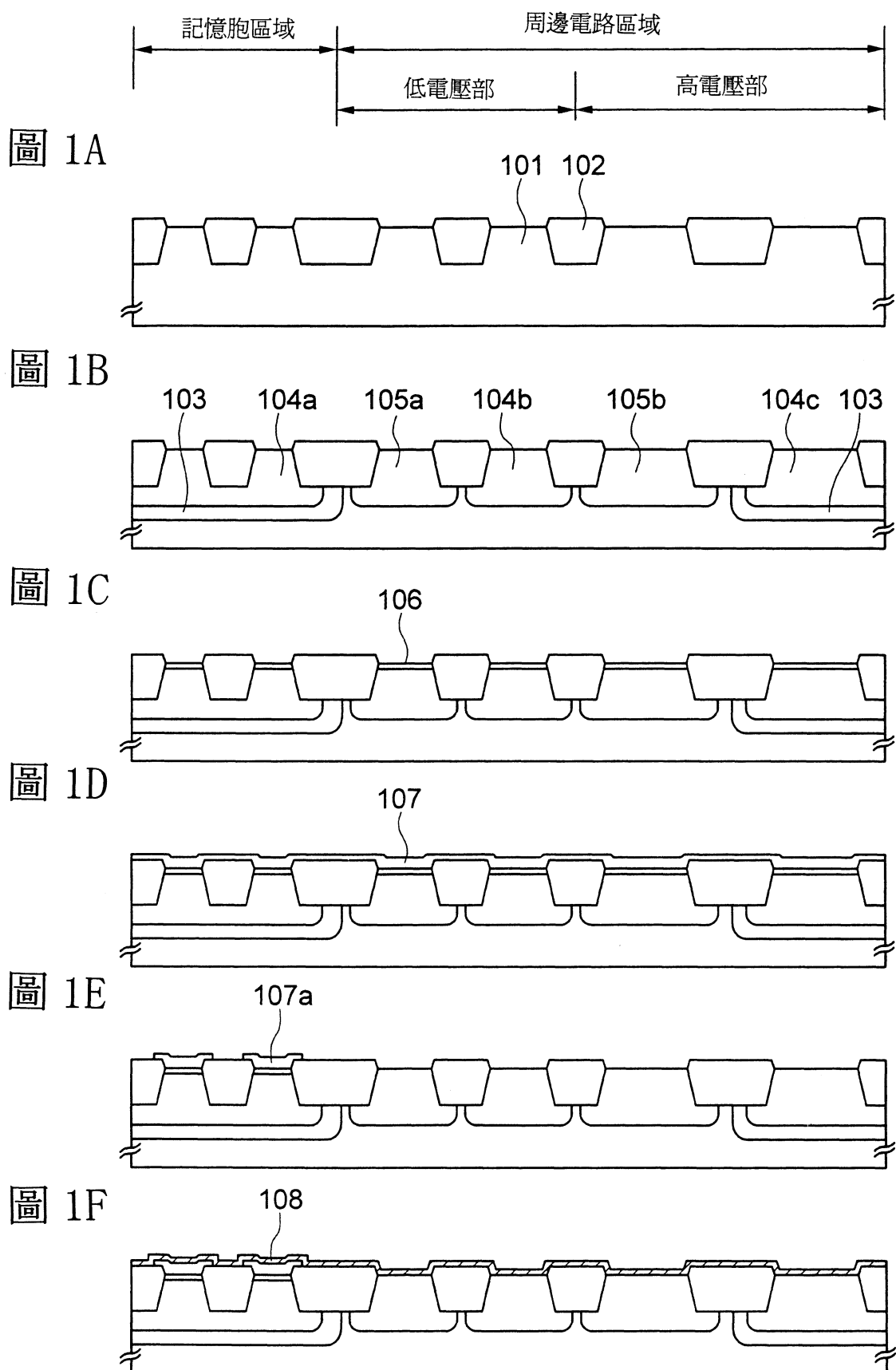
；以及

第六工程，沉積成爲該控制閘的第二多晶矽膜。

41.如申請專利範圍第40項所述之非揮發性半導體記憶裝置的製造方法，其中在該第二以及第五工程中於沉積該第一以及第三氧化矽膜後，緊接著在 NH_3 環境中回火，然後進行濕式氧化。

42.如申請專利範圍第40項所述之非揮發性半導體記憶裝置的製造方法，其中在該第四以及第六工程中，對該第一以及第二多晶矽膜摻雜磷。

訂
線



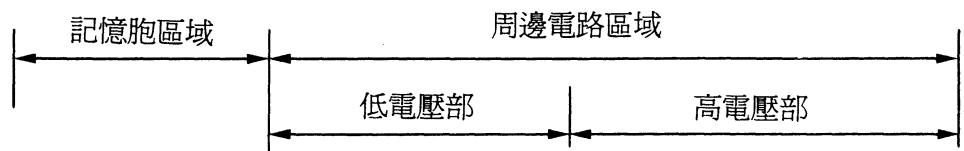


圖 2A

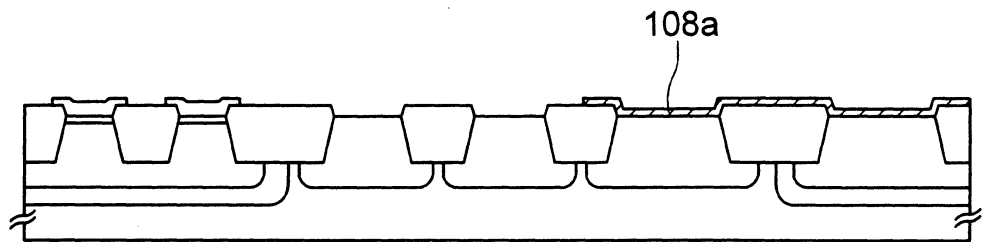


圖 2B

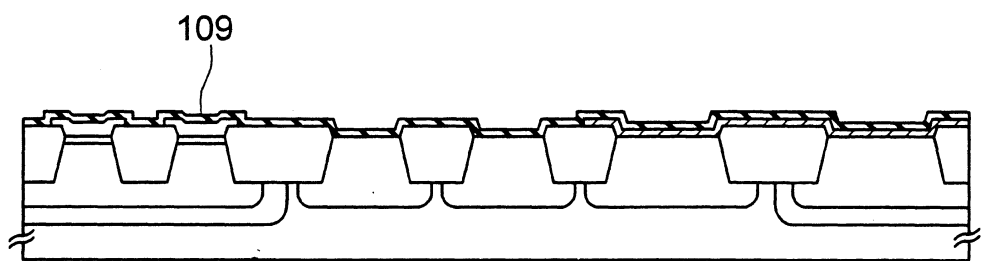


圖 2C

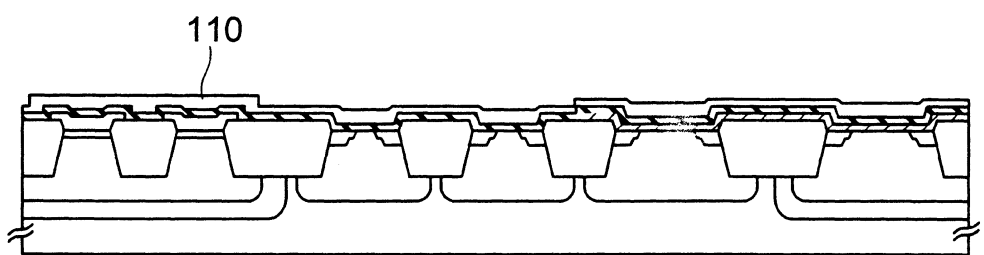


圖 2D

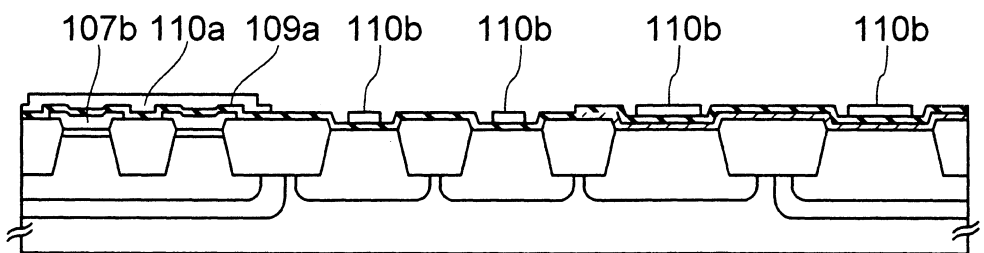


圖 2E

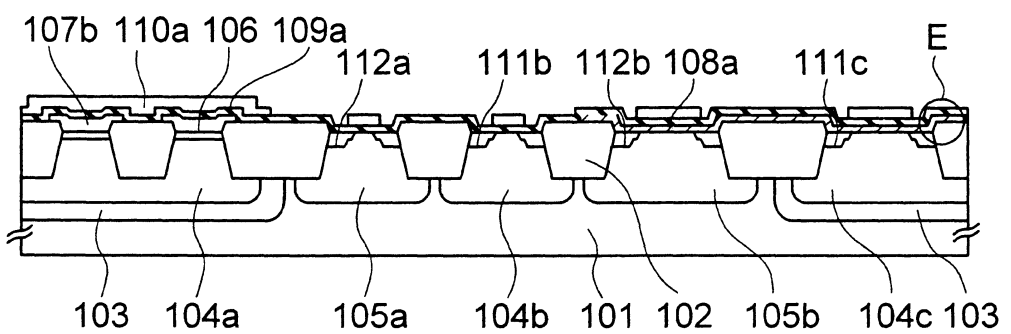


圖 3

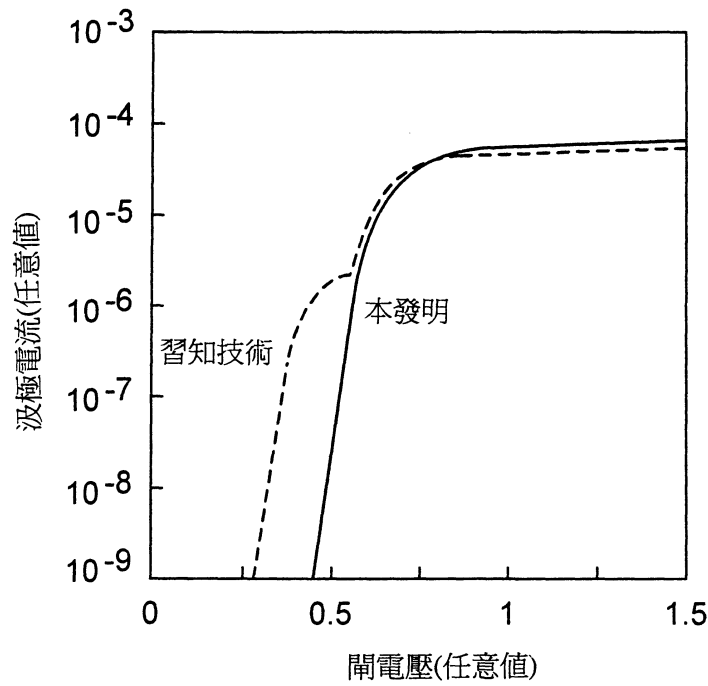


圖 4

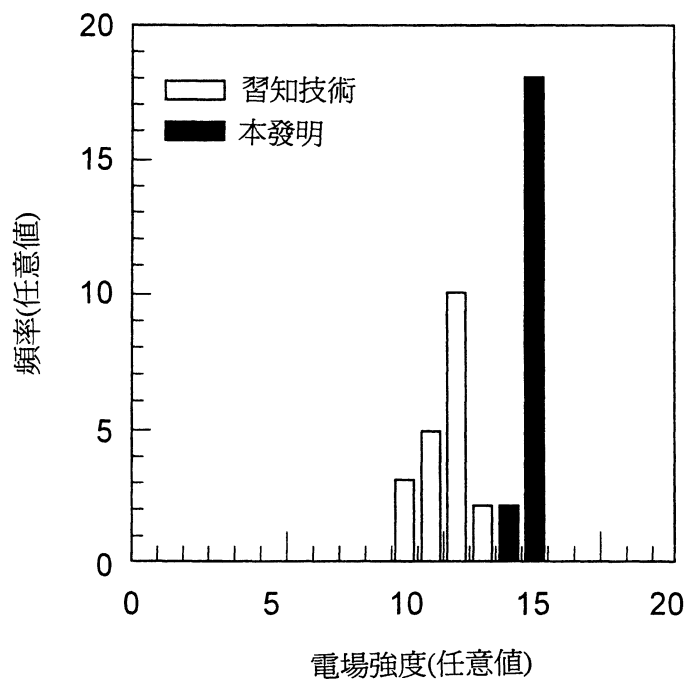


圖 5A

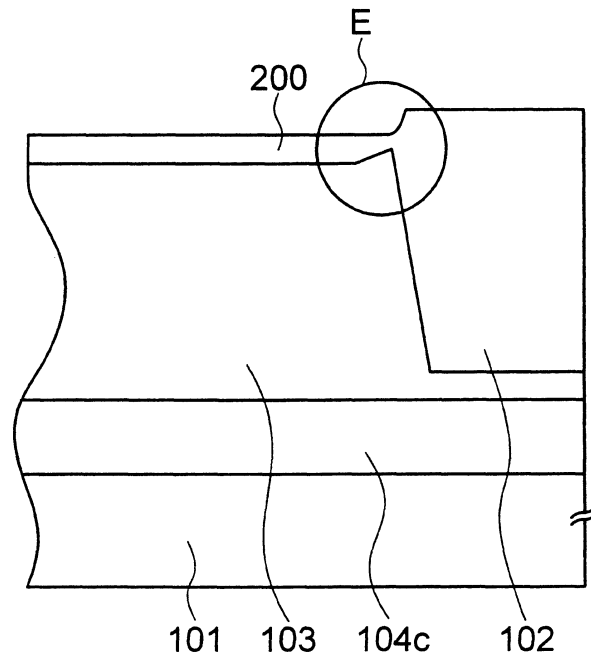


圖 5B

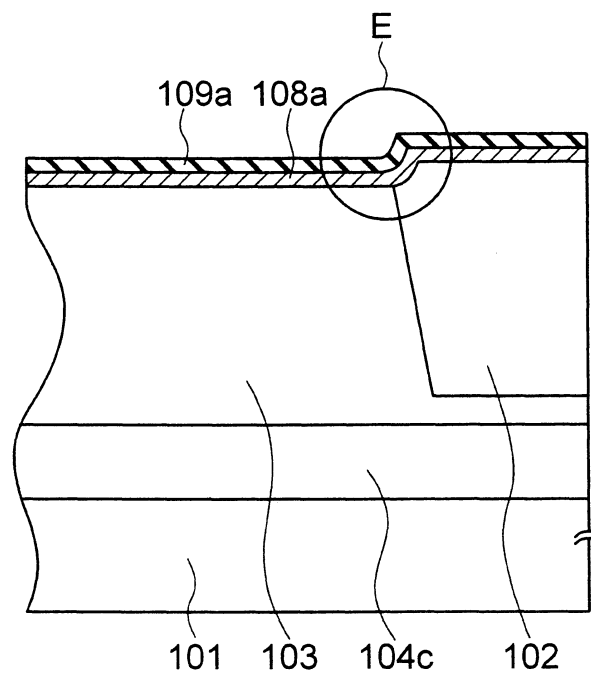
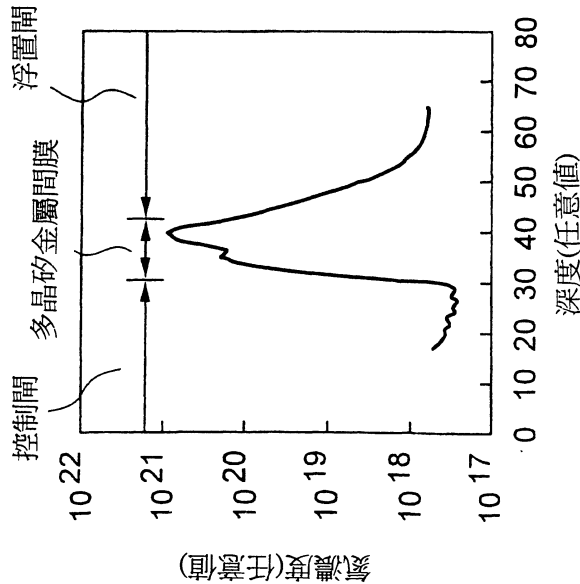
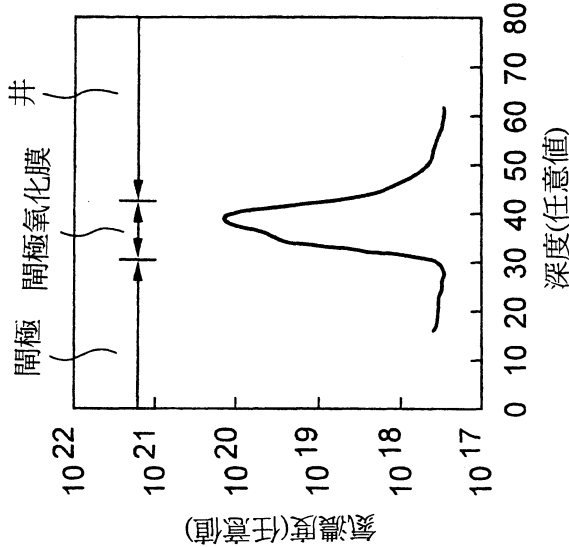


圖 6A



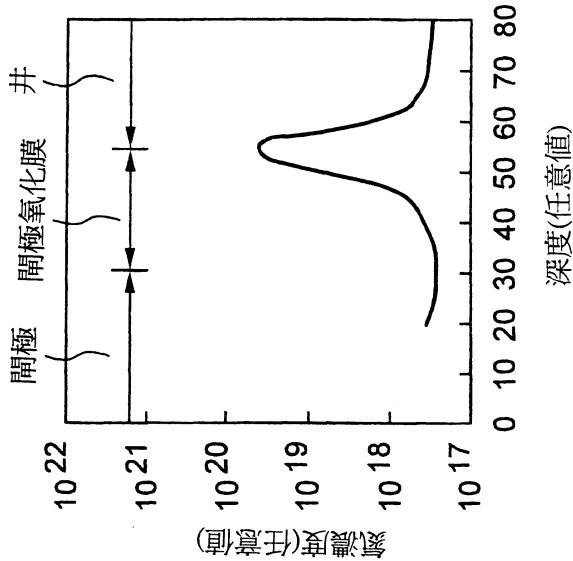
多晶硅金屬間膜

圖 6B



周邊 MOS 閘極氧化膜(薄膜系)

圖 6C



周邊 MOS 閘極氧化膜(薄膜系)

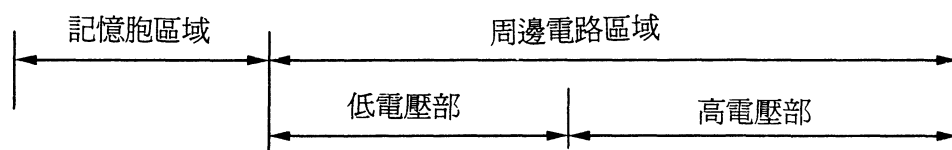


圖 7A

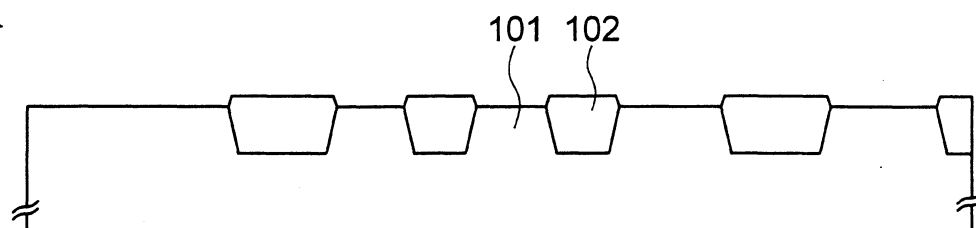


圖 7B

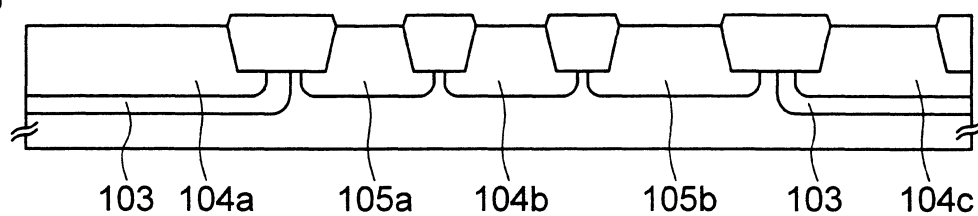


圖 7C

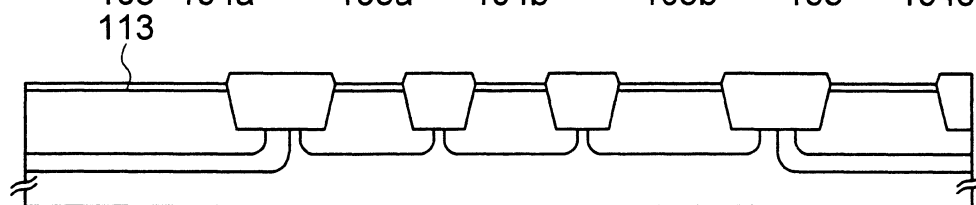


圖 7D

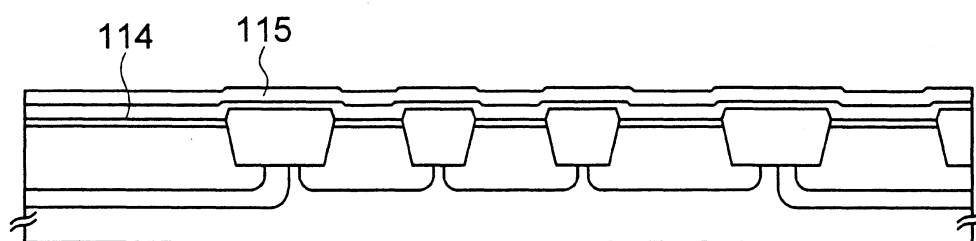


圖 7E

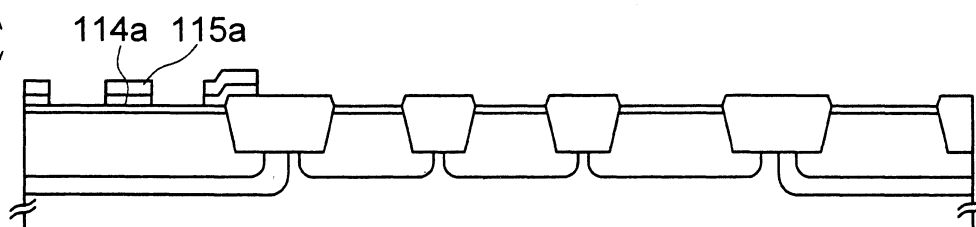
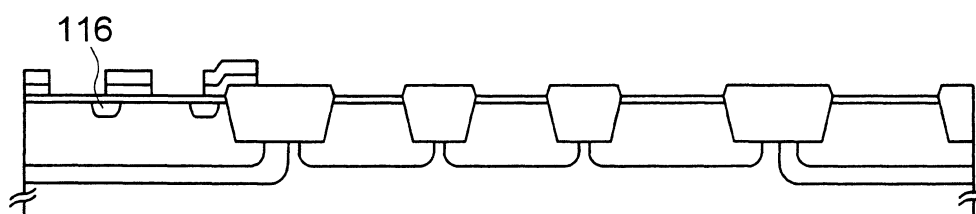


圖 7F



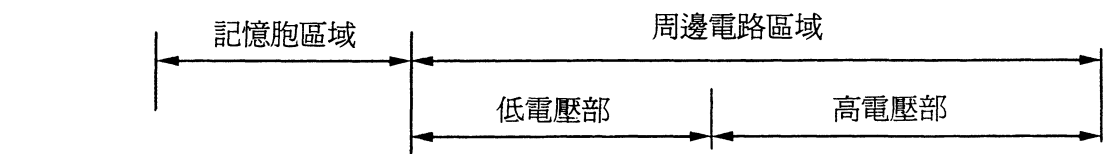


圖 8A

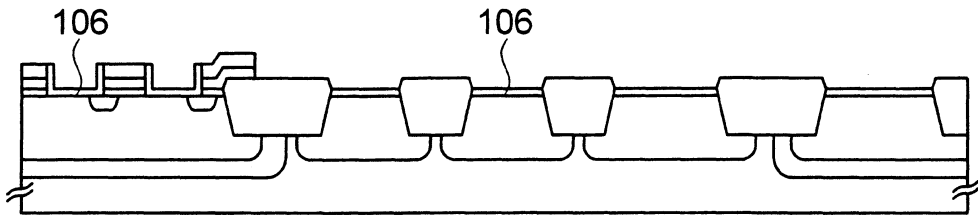


圖 8B

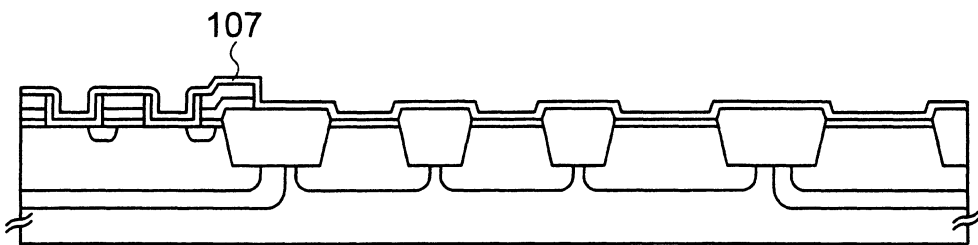


圖 8C

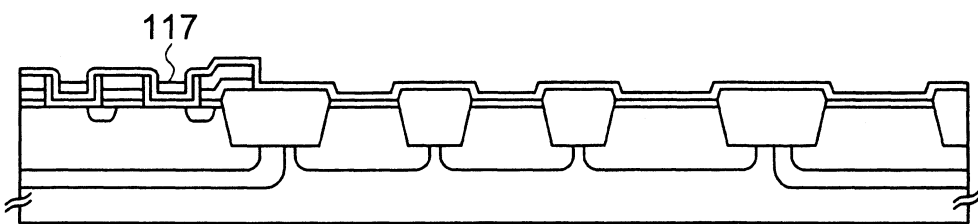


圖 8D

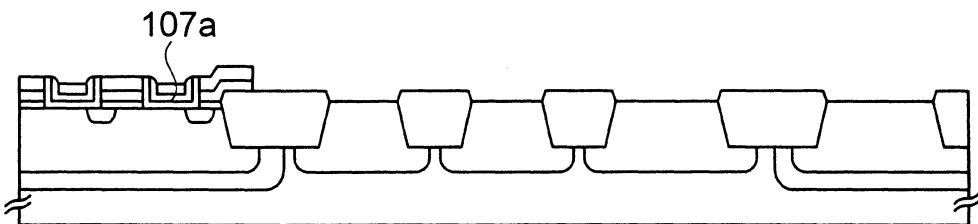


圖 8E

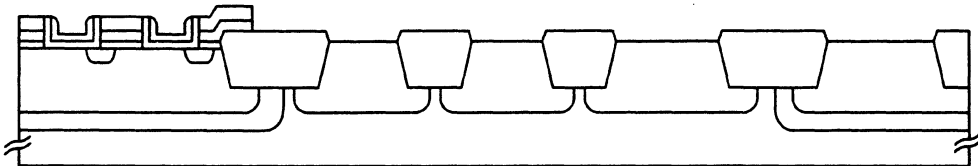
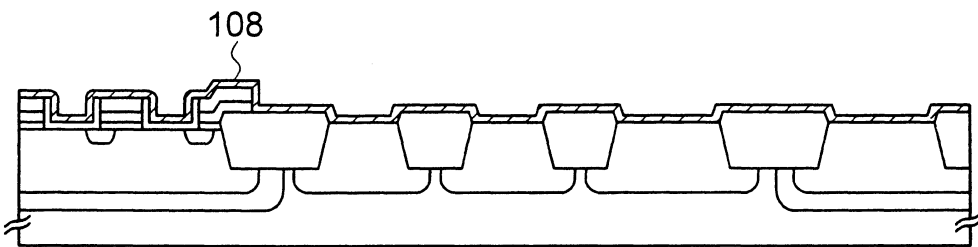


圖 8F



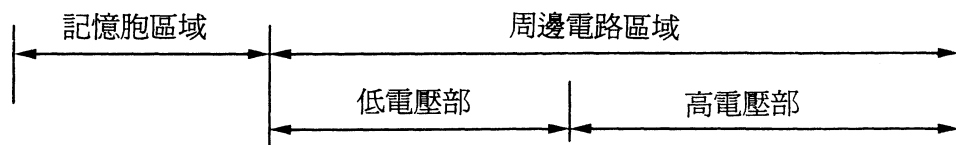


圖 9A

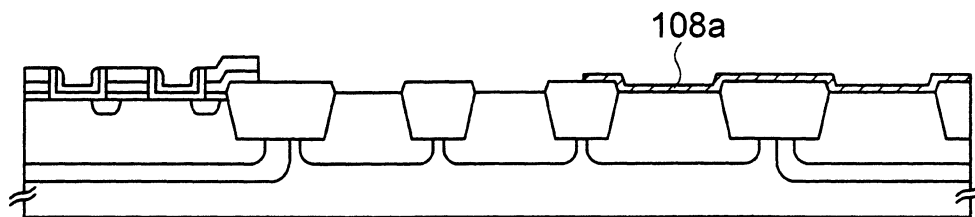


圖 9B

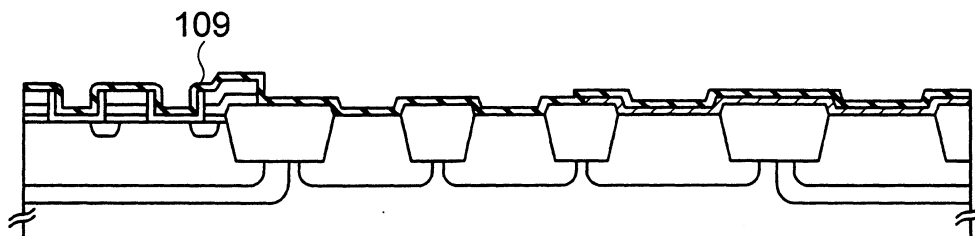


圖 9C

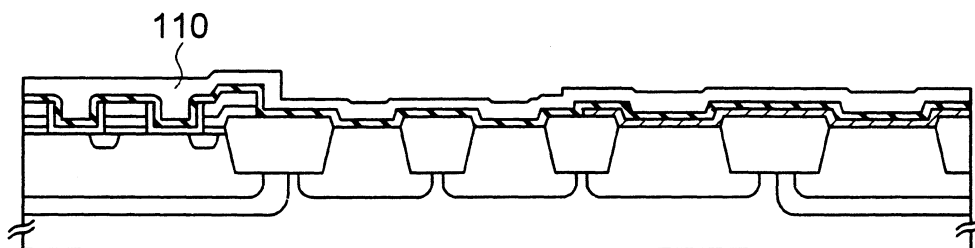


圖 9D

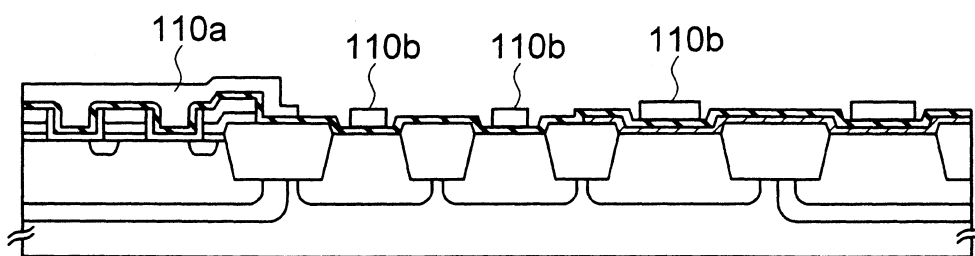
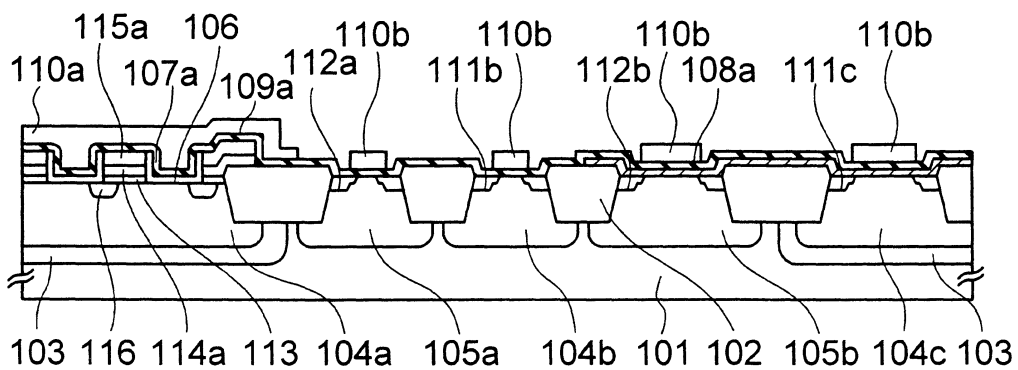


圖 9E



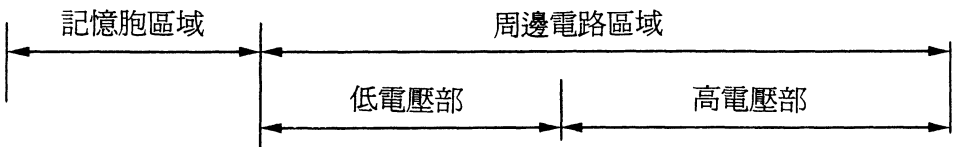


圖 10A

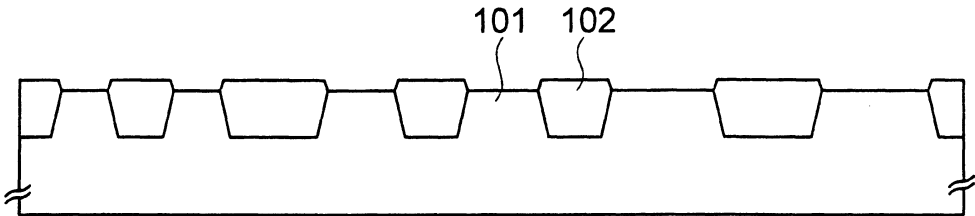


圖 10B

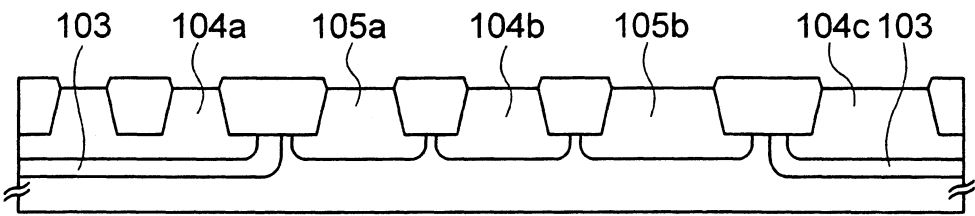


圖 10C

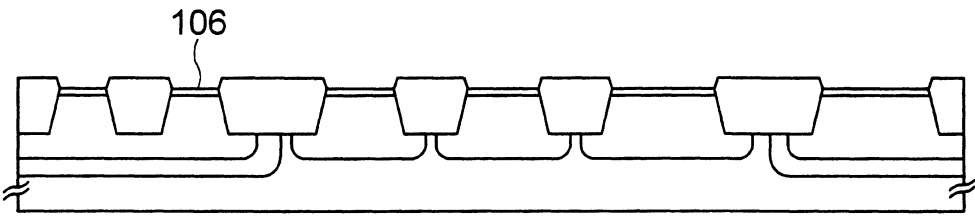


圖 10D

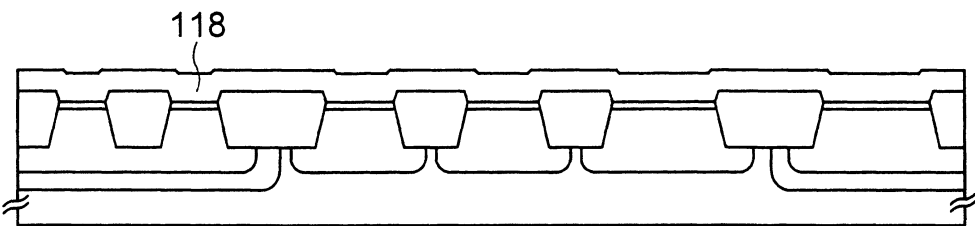


圖 10E

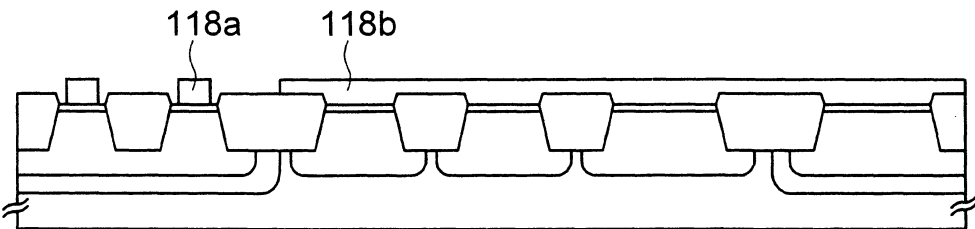
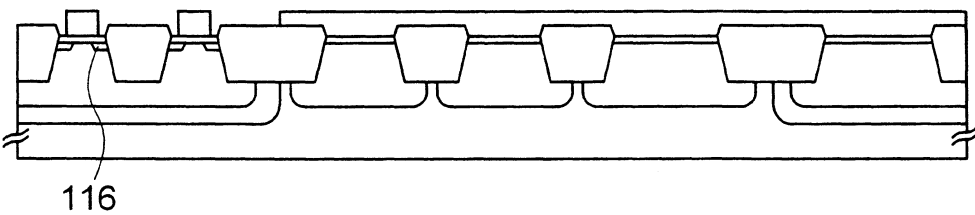


圖 10F



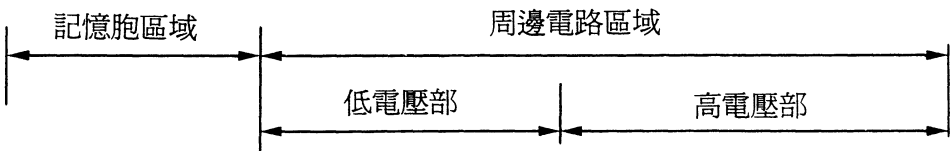


圖 11A

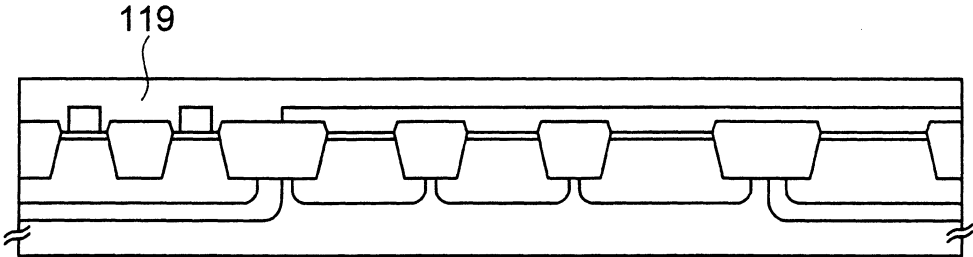


圖 11B

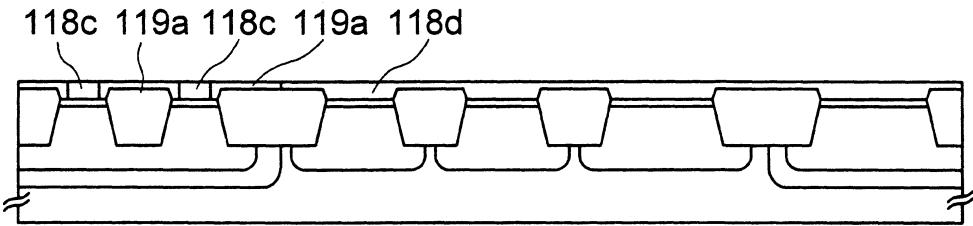


圖 11C

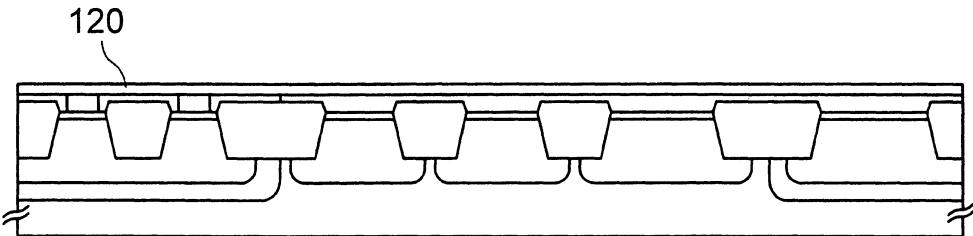


圖 11D

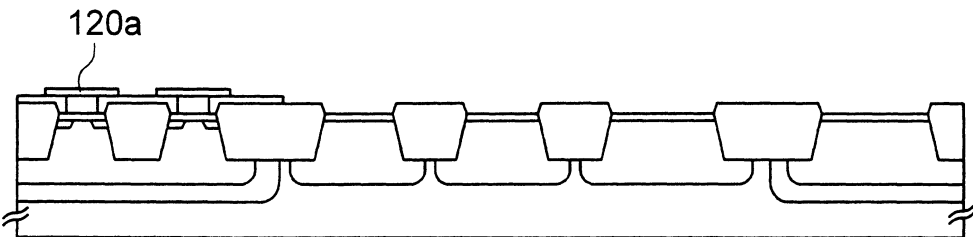
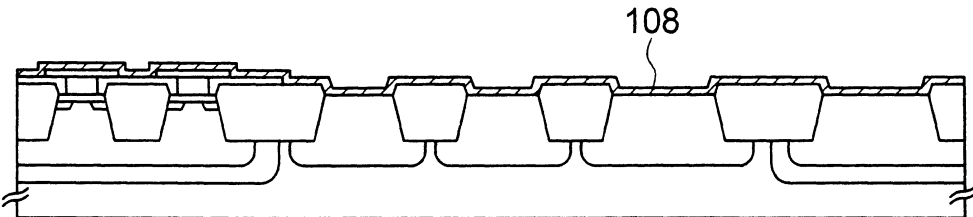


圖 11E



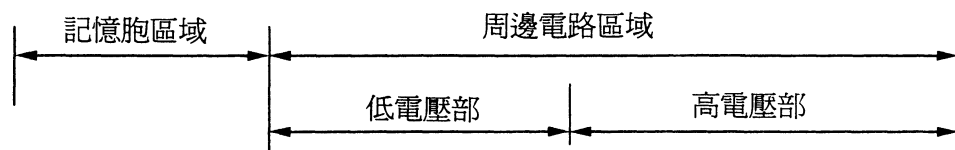


圖 12A

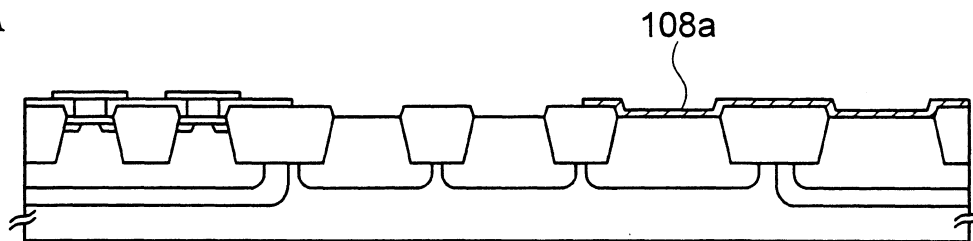


圖 12B

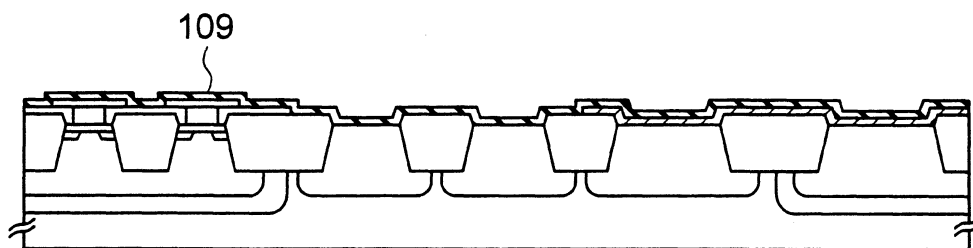


圖 12C

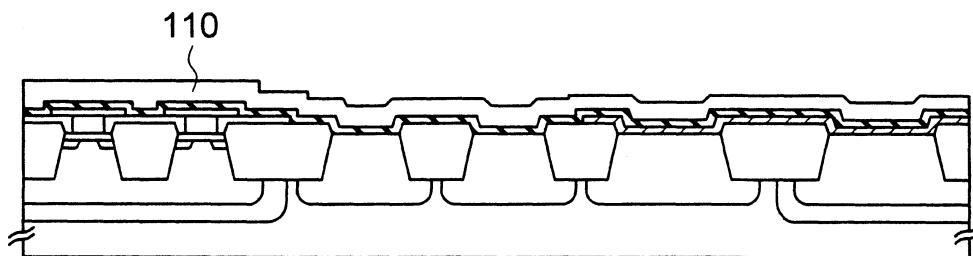


圖 12D

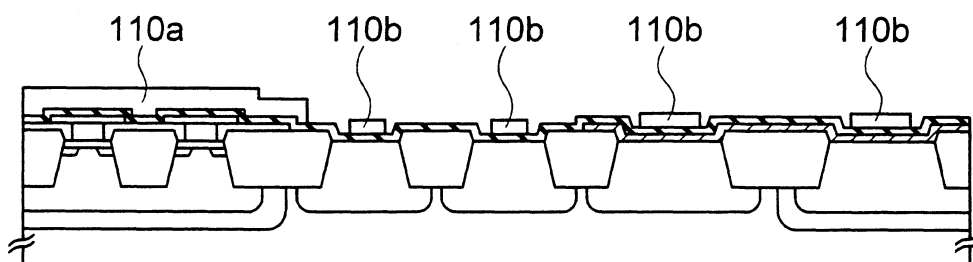
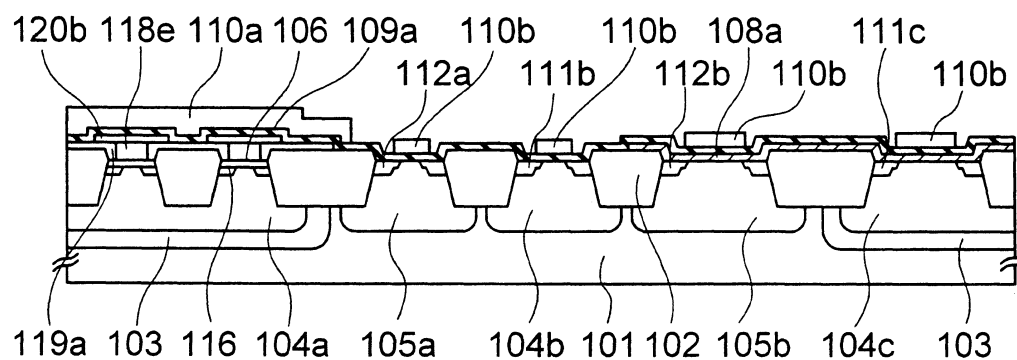


圖 12E



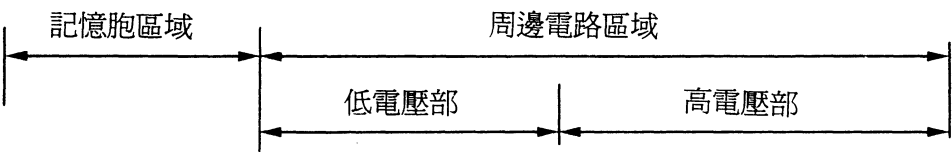


圖 13A

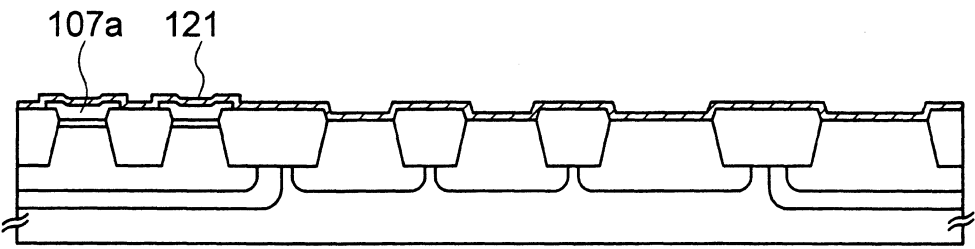


圖 13B

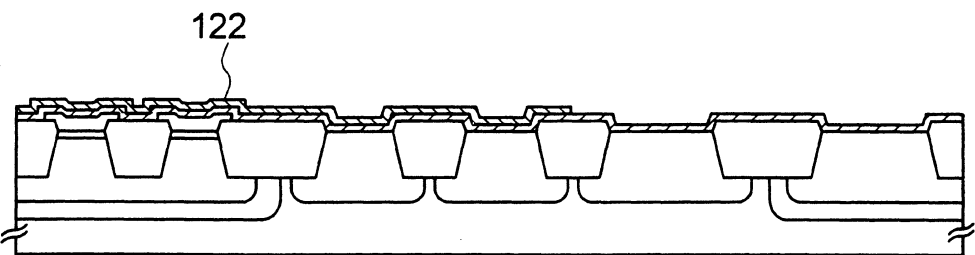


圖 13C

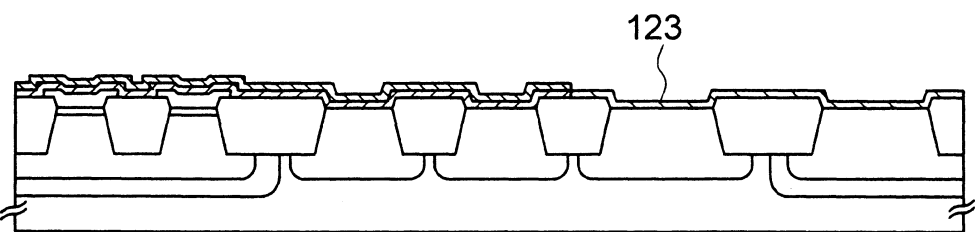


圖 13D

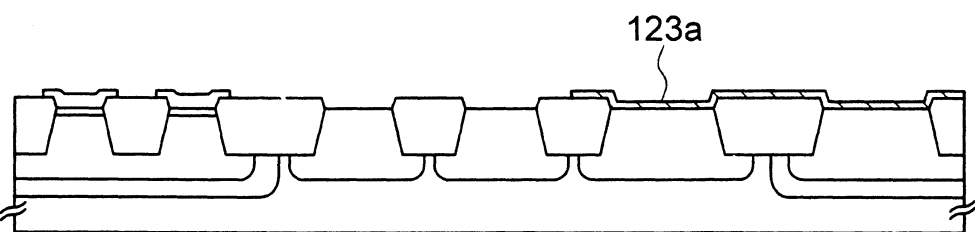
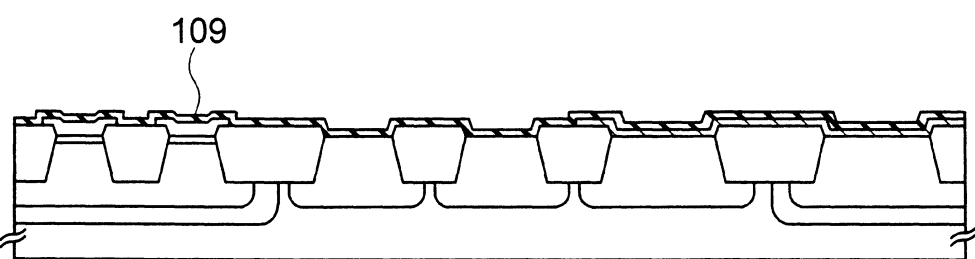


圖 13E



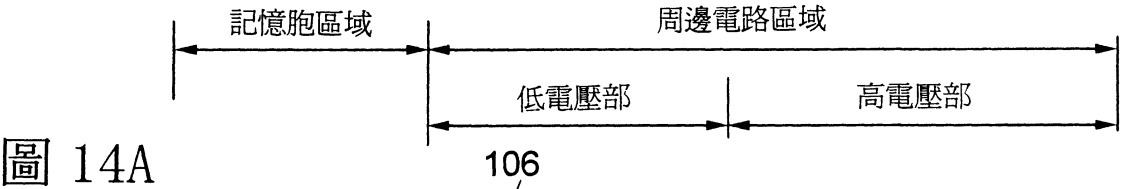


圖 14A

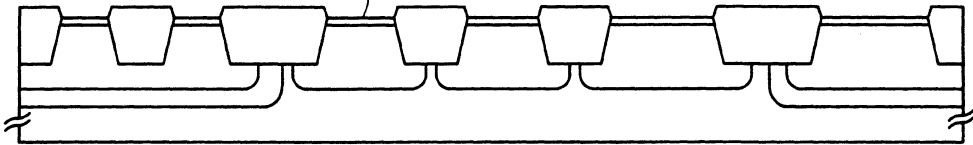


圖 14B

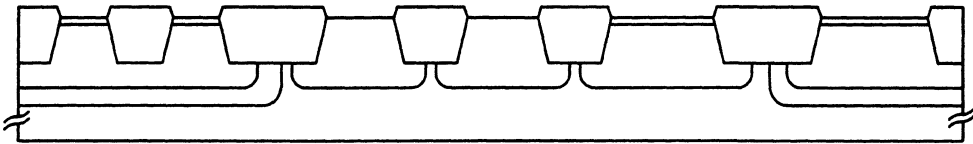


圖 14C

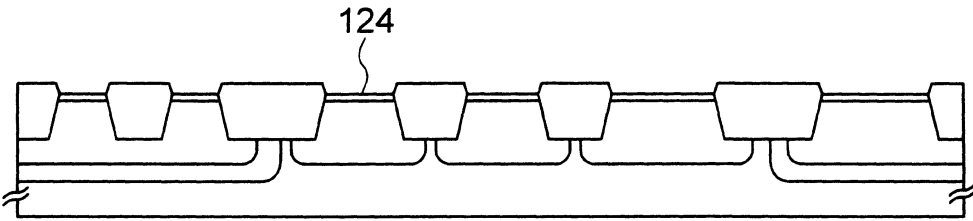


圖 14D

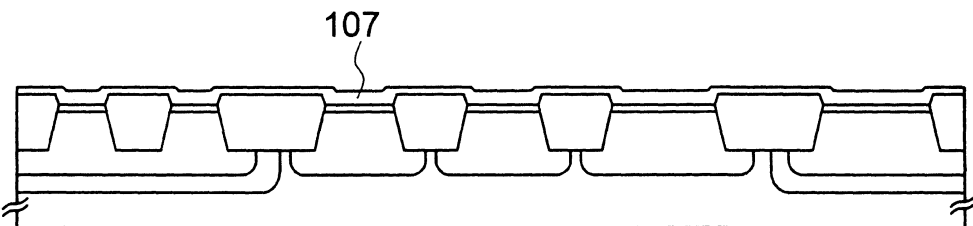


圖 14E

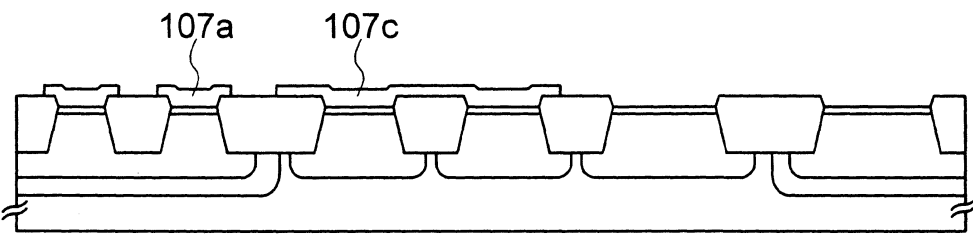
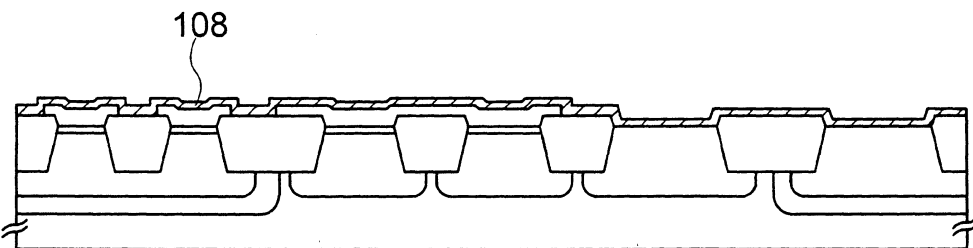
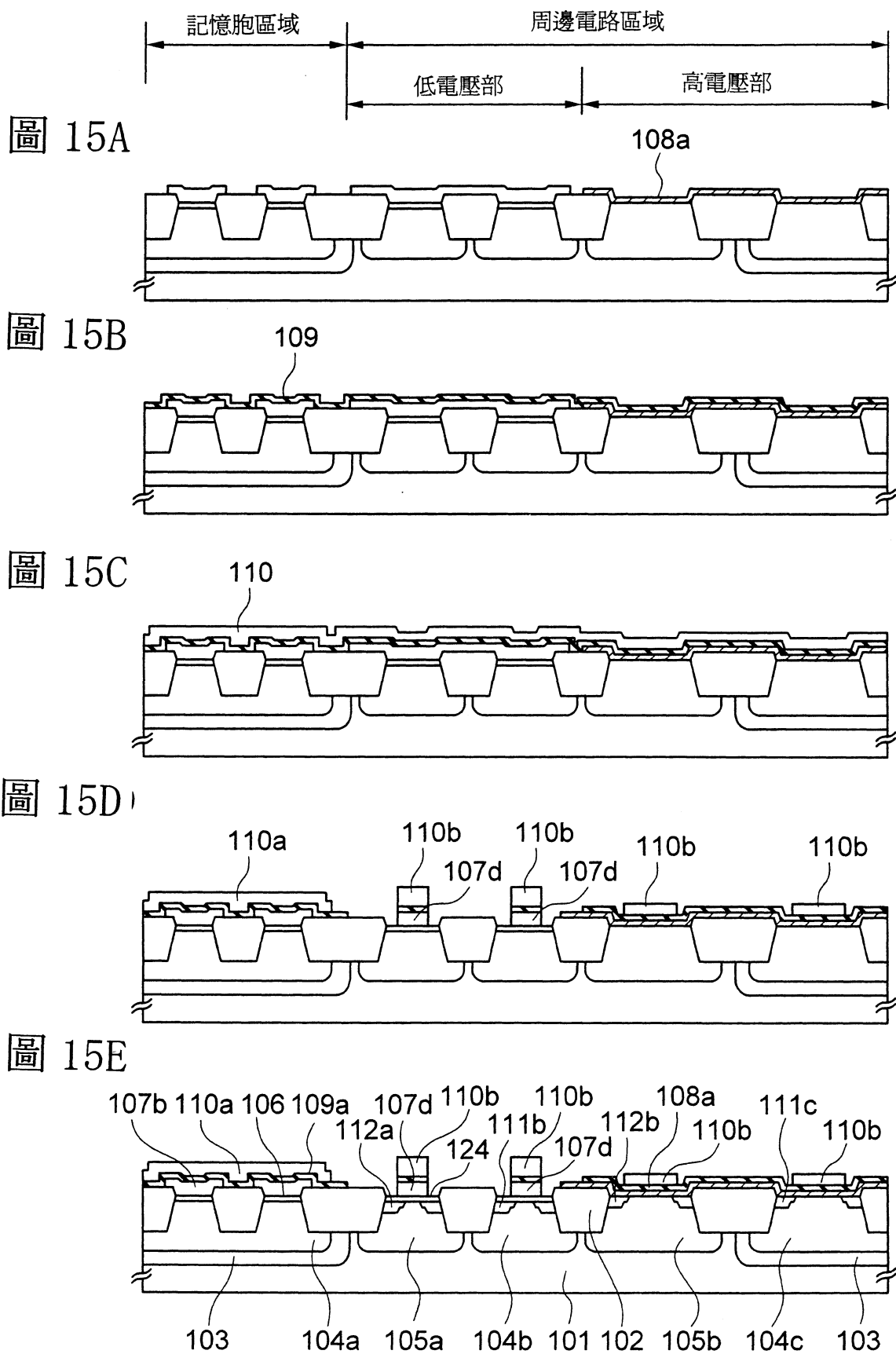
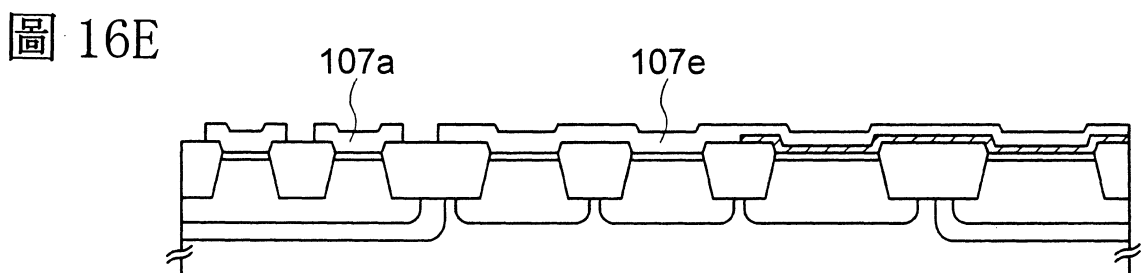
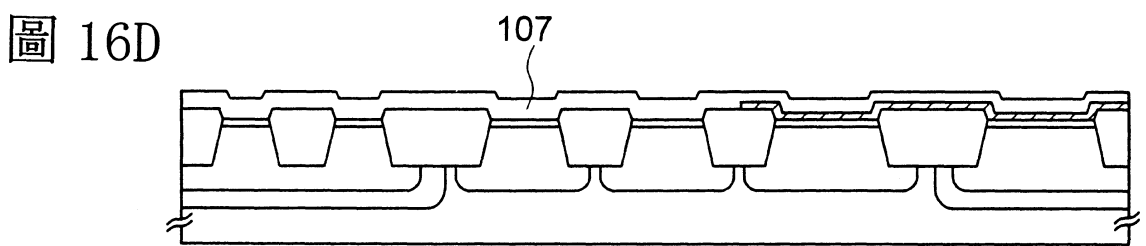
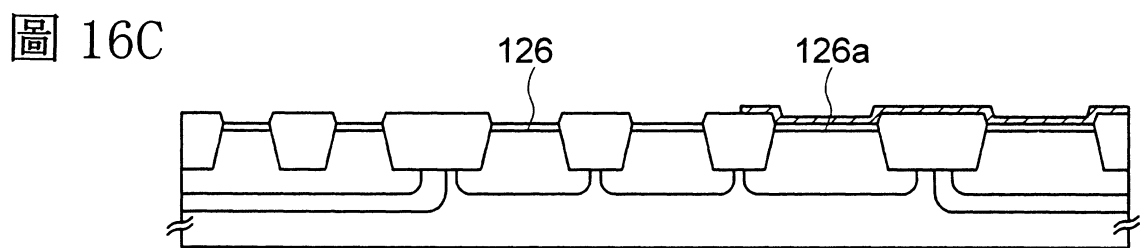
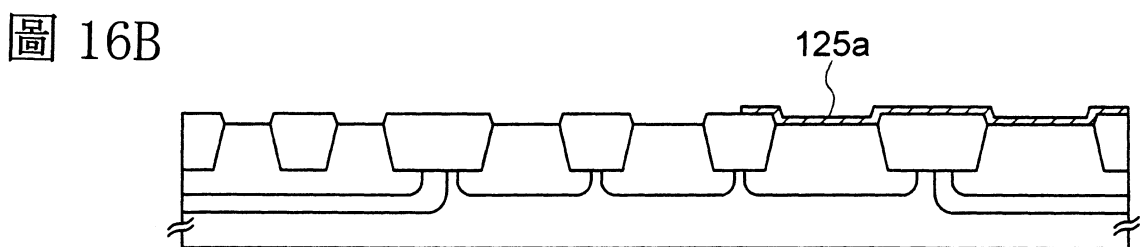
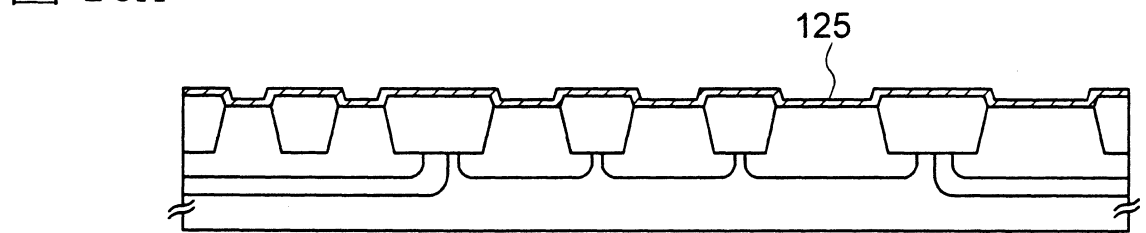
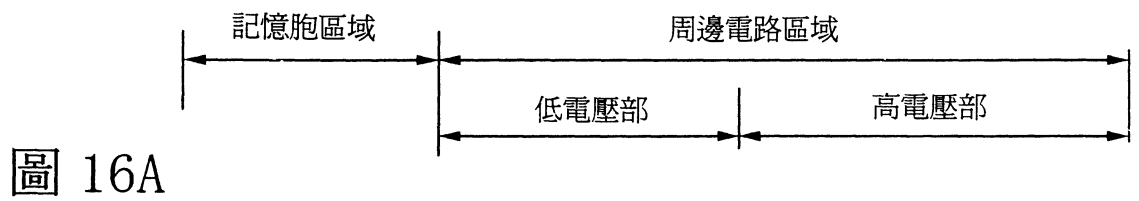


圖 14F







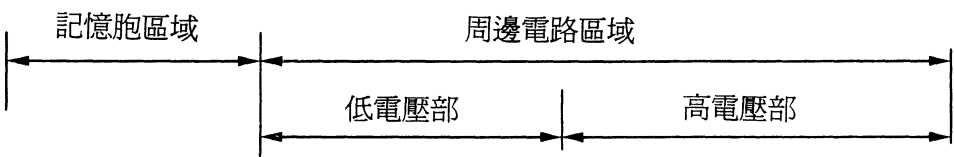


圖 17A

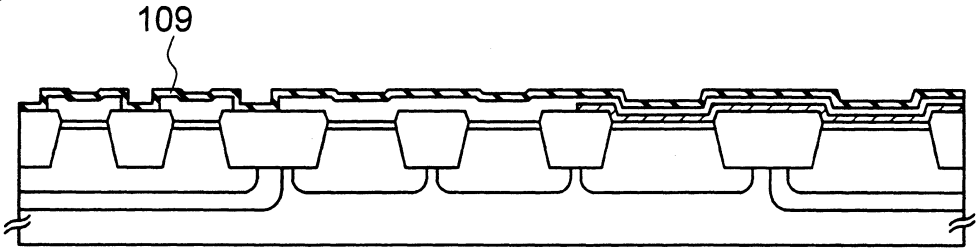


圖 17B

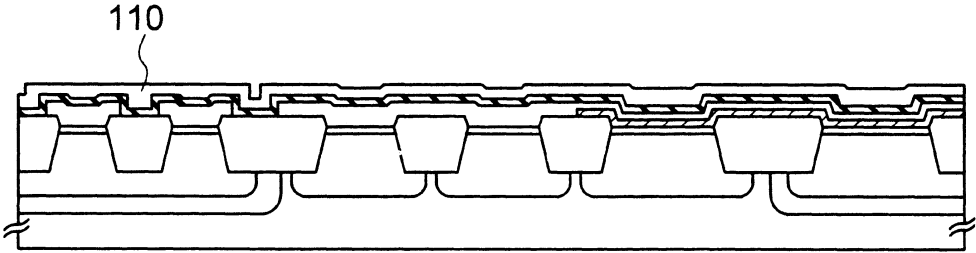


圖 17C

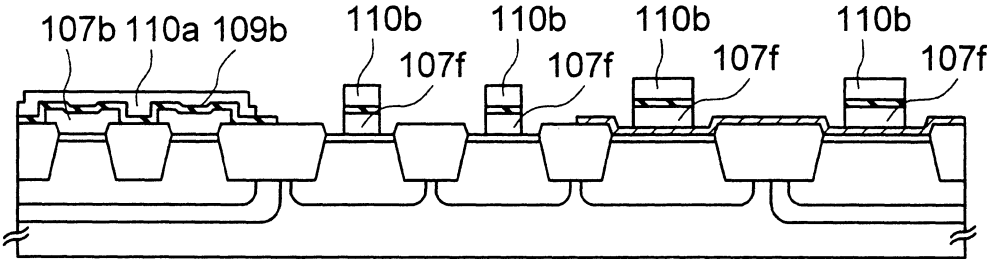


圖 17D

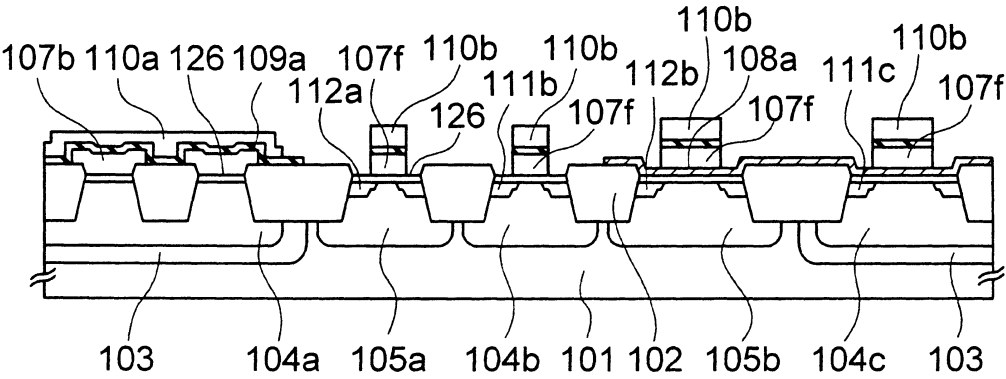


圖 1 8

