



(12) **Patentschrift**

(21) Aktenzeichen: **101 41 939.2**
 (22) Anmeldetag: **22.08.2001**
 (43) Offenlegungstag: **14.03.2002**
 (45) Veröffentlichungstag
 der Patenterteilung: **11.08.2011**

(51) Int Cl.: **H03K 3/037 (2006.01)**

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
48992/00 **23.08.2000** **KR**

(73) Patentinhaber:
Samsung Electronics Co., Ltd., Kyonggi, Suwon, KR

(74) Vertreter:
Patentanwälte Ruff, Wilhelm, Beier, Dauster & Partner, 70174, Stuttgart, DE

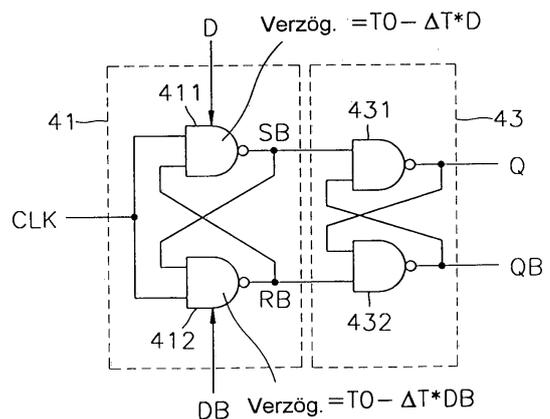
(72) Erfinder:
Kim, Kyu-hyoun, Kyonggi, Suwon, KR

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:

DE	196 53 114	A1
DE	195 34 735	A1
DE	694 22 706	T2
DE	692 21 109	T2
DE	691 26 051	T2
DE	691 09 888	T2
US	58 67 446	A
US	57 81 053	A
US	55 45 977	A
US	51 73 870	A
US	50 36 230	A
WO	1999/0 33 058	A1
WO	98/39 846	A2
JP	2001-0 91 587	A

(54) Bezeichnung: **Flip-Flop-Schaltung zur taktsignalabhängigen Datenpufferung und diese enthaltender Signalhöhenkomparator**

(57) Hauptanspruch: Flip-Flop-Schaltung zur Pufferung eines Paares digitaler und invertierter digitaler Daten (D, DB) in Abhängigkeit von einem Taktsignal (CLK), mit – einem ersten Zwischenspeicherschaltkreis (41, 131, 141, 201) mit einem ersten und zweiten Logikgatter (411, 412; 1311, 1312; 1411, 1412; 2011, 2012), wobei das Taktsignal (CLK) oder je ein daraus abgeleitetes Signal (CLK1, CLKX; CLK2, CLKY) an einen jeweiligen ersten Eingangsanschluss der Logikgatter angelegt wird, ein Ausgangsanschluss des ersten Logikgatters (411, 1311, 1411, 2011) mit einem zweiten Eingangsanschluss des zweiten Logikgatters (412, 1312, 1412, 2012) und ein Ausgangsanschluss des zweiten Logikgatters mit einem zweiten Eingangsanschluss des ersten Logikgatters verbunden sind, die Verzögerungszeit des ersten Logikgatters variabel in Abhängigkeit vom Logikzustand der ihm zugeführten digitalen Daten (D) gesteuert wird und die Verzögerungszeit des zweiten Logikgatters variabel in Abhängigkeit vom Logikzustand der ihm zugeführten invertierten digitalen Daten (DB) gesteuert wird, und – einem zweiten Zwischenspeicherschaltkreis (43, 133, 143, 203), der mit...



Beschreibung

[0001] Die Erfindung bezieht sich auf eine Flip-Flop-Schaltung zur Pufferung bzw. Zwischenspeicherung von Daten in Abhängigkeit von einem Taktsignal sowie auf einen Signalhöhenkomparator mit einer solchen Flip-Flop-Schaltung.

[0002] Um ein Flip-Flop mit hoher Geschwindigkeit zu betreiben, ist die Breite eines Aufbau-/Halte-Fensters, worunter die Summe aus einer Aufbauzeit und einer Haltezeit zu verstehen ist, vorzugsweise gering. Die Aufbauzeit ist eine Zeitdauer, um welche Daten früher als die Flanke eines Taktsignals ankommen müssen, damit das Flip-Flop gültige Daten synchron zu einem Taktsignal puffert. Die Haltezeit ist eine Zeitdauer, während der Daten nach der Flanke des Taktsignals gehalten werden müssen, damit Daten vollständig in das Innere eines Zwischenspeichers gepuffert werden.

[0003] [Fig. 1](#) zeigt eine nicht erfindungsgemäße Flip-Flop-Schaltung, die ein Transmissionsgatter verwendet, [Fig. 2](#) zeigt eine nicht erfindungsgemäße Flip-Flop-Schaltung, die ein NAND-Gatter verwendet, und [Fig. 3](#) zeigt eine nicht erfindungsgemäße Flip-Flop-Schaltung, die einen Abtastverstärker verwendet.

[0004] Bei der Flip-Flop-Schaltung von [Fig. 1](#) existiert eine der Verzögerungszeit eines Inverters **11** entsprechende Differenz zwischen einem Taktsignal CLK, das an einen NMOS-Transistor eines Transmissionsgatters T2 und an einen PMOS-Transistor eines Transmissionsgatters T1 angelegt wird, und einem invertierten Taktsignal CLKB, das an einen NMOS-Transistor des Transmissionsgatters T1 und einen PMOS-Transistor des Transmissionsgatters T2 angelegt wird. Wenn sich Daten D auf einem hohen Logikpegel befinden, puffert der PMOS-Transistor des Transmissionsgatters T1 die Daten. Wenn sich die Daten D auf einem niedrigen Logikpegel befinden, puffert der NMOS-Transistor des Transmissionsgatters T1 die Daten. Beim Flip-Flop von [Fig. 1](#) liegt die Schwierigkeit vor, dass die Aufbauzeit, wenn sich die Daten D auf hohem Logikpegel befinden, um die Verzögerungszeit des Inverters I1 länger ist als die Aufbauzeit, wenn sich die Daten D auf niedrigem Logikpegel befinden.

[0005] Um diese Schwierigkeit zu überwinden, wird das Taktsignal CLK um die Verzögerungszeit des Inverters I1 unter Verwendung eines Phasentrenners verzögert, und das verzögerte Taktsignal kann an den PMOS-Transistor des Transmissionsgatters T1 und den NMOS-Transistor des Transmissionsgatters T2 angelegt werden. Selbst in einem solchen Fall ist es jedoch wegen Prozessschwankungen und Schwankungen einer Speisespannung und der Temperatur sehr schwierig, die Phase des invertierten

Taktsignals CLKB exakt mit der Phase des um die Verzögerungszeit des Inverters I1 verzögerten Taktsignals zu synchronisieren. Außerdem erhöht sich der Flächenbedarf des Flip-Flops deutlich. Da sich der Pfad der Daten D von demjenigen des Taktsignals CLK unterscheidet, kann zudem eine Änderung der Aufbauzeit in Abhängigkeit von einer Änderung in der Speisespannung auftreten. Dementsprechend erhöht sich die Breite des Aufbau-/Halte-Fensters.

[0006] Bei dem in [Fig. 2](#) gezeigten Flip-Flop hat die Aufbauzeit, wenn die Daten D vom niedrigen auf den hohen Logikpegel übergehen, annähernd den Wert 0, da sie durch NAND-Gatter ND3 und ND4 bestimmt ist. Im Fall, dass die Daten D vom hohen auf den niedrigen Logikpegel übergehen, ist die Aufbauzeit durch NAND-Gatter ND1 und ND2 bestimmt. Da ein Eingangssignal A des NAND-Gatters ND1 nach der Verzögerungszeit des NAND-Gatters ND4 auf der Basis der Daten D festgelegt wird, ist die Aufbauzeit, wenn die Daten D vom hohen auf den niedrigen Logikpegel übergehen, um die Verzögerungszeit des NAND-Gatters ND4 länger als die Aufbauzeit, wenn die Daten D vom niedrigen auf den hohen Logikpegel übergehen. Daher erhöht sich die Breite des Aufbau-/Halte-Fensters.

[0007] Bei dem in [Fig. 3](#) gezeigten Flip-Flop beginnen Signale SB und RB vom hohen auf den niedrigen Logikpegel zu fallen, wenn das Taktsignal CLK auf den hohen Logikpegel ansteigt. Die Abfallgeschwindigkeit ist durch die gemeinsamen Modusspannungen der Daten D und der invertierten Daten DB bestimmt. Daher unterscheidet sich die Steilheit, mit der SB bzw. RB heruntergezogen wird, wenn sich die Daten D auf hohem Logikpegel befinden, von der Steilheit, mit welcher SB bzw. RB heruntergezogen wird, wenn sich die Daten D auf niedrigem Logikpegel befinden. Dementsprechend unterscheidet sich die Haltezeit eines Abtastverstärkers SA für den Fall, dass sich die Daten D auf dem niedrigen Logikpegel befinden, von der Haltezeit des Abtastverstärkers SA für den Fall, dass sich die Daten D auf dem hohen Logikpegel befinden.

[0008] In der DE 691 26 051 T2 ist eine Triggerqualifizierschaltung für ein digitales Zufallswiederholungs-Signalerfassungssystem zum Erfassen und Analysieren von Abtastwerten eines Eingangssignals beschrieben, die auf einen Abtasttakt anspricht und ein Triggerqualifizierungszeitfenster bezüglich Triggersignalen, die von einer Triggereinrichtung geliefert werden, innerhalb jeder Periode des Abtasttaktes erzeugt. Die Triggerqualifizierschaltung beinhaltet zwei parallele variable Verzögerungsstufen und je einen Digital/Analog-Wandler zur Steuerung der Variation dieser Verzögerungsstufen. Die Verzögerungsstufen empfangen ein Abtasttaktsignal, und ihre Ausgänge sind in einem Ausführungsbeispiel zum einen direkt mit einem ersten Eingang je eines UND-Gat-

ters und zum anderen über einen Inverter und eine Verzögerung mit einem zweiten Eingang des zugehörigen UND-Gatters verbunden. Die Ausgangssignale der beiden UND-Gatter werden je einem Eingang eines Flip-Flops zugeführt, welches das gewünschte Qualifikationssignal liefert.

[0009] In der Offenlegungsschrift DE 195 34 735 A1 ist eine Taktflankenformungsschaltung zur Verwendung in einem Halbleiter-IC-Prüfsystem zum Prüfen eines IC-Bausteins durch Zuführen von Prüfsignalen über mehrere Prüfsignalwege, die Eingangsanschlüssen der IC-Bausteine entsprechen, offenbart, bei der in einem Prüfzyklus für jeden Signalweg mehrere Taktflanken eines Prüfsignals erzeugt werden. Die Taktflankenformungsschaltung beinhaltet eine Mustererzeugungseinrichtung zum Erzeugen eines Prüfmusters für das dem Halbleiterbaustein zuzuführende Prüfsignal und von Verzögerungszeitdaten, die eine Zeitverzögerung einer Taktflanke bezüglich dem Beginn des Prüfzyklus darstellen, sowie einen Logik-Verzögerungsschaltungsaufbau zum Erzeugen eines Freigabesignals mit einer Verzögerungszeit, die dem ganzzahligen Vielfachen des Zeitintervalls des Taktsignals entspricht, und von Daten, die einen von Laufzeitunterschieden zwischen den Prüfsignalwegen bedingten Verzögerungszeitanteil repräsentieren, um eine hochaufgelöste, variable Verzögerungszeit für das Freigabesignal basierend auf diesen Verzögerungszeitdaten bereitzustellen. Je ein Freigabesignal für Anstiegs- und Abfallflankenimpulse wird dann einem RS-Flip-Flop zugeführt, dessen Ausgangssignal einem Treiber zugeführt wird, der ein entsprechendes Treibersignal mit der gewünschten Signalwellenform abgibt.

[0010] Der Erfindung liegt als technisches Problem die Bereitstellung einer Flip-Flop-Schaltung der eingangs genannten Art und eines diesen verwendenden Signalhöhenkomparators zugrunde, in denen die Aufbauzeit allenfalls geringfügig aufgrund von Prozessänderungen, Änderungen einer Speisespannung, der Temperatur und von Datenwerten schwankt, so dass eine geringe Breite des gesamten Aufbau-/Halte-Fensters erzielt wird, wobei der Komparator mit vergleichsweise geringem Flächenbedarf und hoher Berechnungsgeschwindigkeit realisierbar ist.

[0011] Die Erfindung löst dieses Problem durch die Bereitstellung einer Flip-Flop-Schaltung mit den Merkmalen des Anspruchs 1 und eines digitalen Signalhöhenkomparators mit den Merkmalen des Anspruchs 5.

[0012] Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

[0013] Vorteilhafte, nachfolgend beschriebene Ausführungsformen der Erfindung sowie die zu deren

besserem Verständnis oben erläuterten, nicht erfindungsgemäßen Ausführungsbeispiele sind in den Zeichnungen dargestellt, in denen zeigen:

[0014] [Fig. 1](#) ein Schaltbild einer nicht erfindungsgemäßen Flip-Flop-Schaltung mit einem Transmissionsgatter,

[0015] [Fig. 2](#) ein Schaltbild einer nicht erfindungsgemäßen Flip-Flop-Schaltung mit einem NAND-Gatter,

[0016] [Fig. 3](#) ein Schaltbild einer nicht erfindungsgemäßen Flip-Flop-Schaltung mit einem Abtastverstärker,

[0017] [Fig. 4](#) ein Schaltbild einer ersten erfindungsgemäßen Flip-Flop-Schaltung auf der Basis einer Digital/Zeit-Wandlung (DTC),

[0018] [Fig. 5](#) ein Signalverlaufdiagramm zur Veranschaulichung der Betriebsweise der Flip-Flop-Schaltung von [Fig. 4](#),

[0019] [Fig. 6](#) bis [Fig. 12](#) Detailschaltbilder möglicher Realisierungen eines ersten Pufferschaltkreises der Flip-Flop-Schaltung von [Fig. 4](#),

[0020] [Fig. 13](#) ein Schaltbild einer zweiten erfindungsgemäßen Flip-Flop-Schaltung,

[0021] [Fig. 14](#) ein Schaltbild einer dritten erfindungsgemäßen Flip-Flop-Schaltung,

[0022] [Fig. 15](#) ein Signalverlaufdiagramm zur Veranschaulichung der Betriebsweise der Flip-Flop-Schaltung von [Fig. 14](#),

[0023] [Fig. 16](#) bis [Fig. 19](#) Detailschaltbilder möglicher Realisierungen einer Verzögerungsstufe der Flip-Flop-Schaltung von [Fig. 14](#),

[0024] [Fig. 20](#) ein Schaltbild eines erfindungsgemäßen Komparators und

[0025] [Fig. 21](#) ein Detailschaltbild einer möglichen Realisierung einer Verzögerungsstufe des Komparators von [Fig. 20](#).

[0026] Nachfolgend wird näher auf vorteilhafte Ausführungsformen der Erfindung unter Bezugnahme auf die entsprechenden Zeichnungen eingegangen, wobei gleiche Bezugszeichen in den verschiedenen Zeichnungen jeweils sich funktionell entsprechende Komponenten bezeichnen.

[0027] [Fig. 4](#) zeigt im Schaltbild eine erste erfindungsgemäße Flip-Flop-Schaltung, deren Betriebsweise im Signalverlaufdiagramm von [Fig. 5](#) veranschaulicht ist. Wie aus [Fig. 4](#) ersichtlich, beinhaltet diese erste erfindungsgemäße Flip-Flop-Schaltung

einen ersten Zwischenspeicherschaltkreis **41** mit einem NAND-Gatter **411**, dessen Verzögerungszeit durch Daten D gesteuert wird, und mit einem NAND-Gatter **412**, dessen Verzögerungszeit durch invertierte Daten DB gesteuert wird, sowie einen zweiten Zwischenspeicherschaltkreis **43** mit NAND-Gattern **431** und **432**.

[0028] Ein Taktsignal CLK wird gemeinsam jedem ersten Eingangsanschluss der NAND-Gatter **411** und **412** zugeführt. Der Ausgangsanschluss des NAND-Gatters **411** ist mit einem zweiten Eingangsanschluss des NAND-Gatters **412** verbunden. Der Ausgangsanschluss des NAND-Gatters **412** ist mit einem zweiten Eingangsanschluss des NAND-Gatters **411** verbunden. Die Verzögerungszeit des NAND-Gatters **411** ist variabel und wird durch die Daten D gesteuert. Die Verzögerungszeit des NAND-Gatters **412** ist variabel und wird durch die invertierten Daten DB gesteuert.

[0029] Speziell werden, wie im Signalverlaufdiagramm von [Fig. 5](#) illustriert, die NAND-Gatter **411** und **412**, des ersten Zwischenspeicherschaltkreises **41** durch die Daten D bzw. DB gesteuert. Jede der Verzögerungszeiten, insbesondere die vollen Abwärtsverzögerungszeiten der NAND-Gatter **411** und **412**, besitzt zwei Werte. Und zwar hat im Fall des NAND-Gatters **411** die volle Abwärtsverzögerungszeit den Wert $T_0 - \Delta T$, wenn sich die Daten D auf einem hohem Logikpegel befinden, und den Wert T_0 , wenn sich die Daten D auf einem niedrigen Logikpegel befinden. Im Fall des NAND-Gatters **412** hat die volle Abwärtsverzögerungszeit den Wert $T_0 - \Delta T$, wenn sich die invertierten Daten DB auf dem hohen Logikpegel befinden, und den Wert T_0 , wenn sich die invertierten Daten DB auf dem niedrigen Logikpegel befinden.

[0030] Wie aus dem Signalverlaufdiagramm von [Fig. 5](#) ersichtlich, fällt daher das Ausgangssignal SB des NAND-Gatters **411** schneller als das Ausgangssignal RB des NAND-Gatters **412** auf niedrigen Pegel, wenn sich die Daten D auf dem hohen Logikpegel befinden. Dementsprechend befindet sich schließlich SB auf dem niedrigen Logikpegel, während sich RB schließlich auf dem hohen Logikpegel befindet, indem RB durch SB auf den hohen Logikpegel hochgezogen wird. In gleicher Weise geht, wenn sich die Daten D auf dem niedrigen Logikpegel befinden, RB auf den niedrigen Logikpegel über, während SB auf den hohen Logikpegel übergeht.

[0031] Die Daten D werden durch die obige Betriebsweise auf die Flanke des Taktsignals CLK getriggert und zum Ausgang Q des NAND-Gatters **431** des zweiten Zwischenspeicherschaltkreises **43** gepuffert. Selbst wenn sich der Wert der Daten D ändert, während sich das Taktsignal CLK auf dem hohen Logikpegel befindet, ändert die Wertänderung der Daten D lediglich die Verzögerungszeit von der ansteigenden Flanke des Taktsignals CLK zu SB bzw. RB. Da-

her werden die Logikwerte von SB und RB nicht beeinflusst, bis die ansteigende Flanke des Taktsignals CLK eingegeben wird.

[0032] Die [Fig. 6](#) bis [Fig. 12](#) zeigen im Schaltbild bevorzugte Realisierungen für den ersten Zwischenspeicherschaltkreis der Flip-Flop-Schaltung von [Fig. 4](#).

[0033] Bei der Realisierung gemäß [Fig. 6](#) umfasst ein NAND-Gatter **411a** des betreffenden ersten Zwischenspeicherschaltkreises **41a** PMOS-Transistoren P0 und P1 sowie NMOS-Transistoren N0 und N1 zur Bildung eines statischen CMOS-NAND-Gatters, welches das Taktsignal CLK sowie RB empfängt, und NMOS-Transistoren NA und NB, die seriell zwischen die Drain-Elektrode des NMOS-Transistors N1 und die Source-Elektrode des NMOS-Transistors N1 eingeschleift sind. RB wird an die Gate-Elektrode des NMOS-Transistors NA angelegt. Die Daten D werden der Gate-Elektrode des NMOS-Transistors NB zugeführt.

[0034] Wenn sich die Daten D auf hohem Logikpegel befinden, steigt die effektive Breite des NMOS-Transistors N1 auf die Breite der seriell verbundenen NMOS-Transistoren NA und NB an. Speziell kann die effektive Breite $W1_{\text{effektiv}}$ des NMOS-Transistors N1 durch die nachstehende Gleichung 1 definiert werden.

$$W1_{\text{effektiv}} = W1 + D \cdot (WA \cdot WB) / (WA + WB) \quad (1)$$

[0035] Hierbei bezeichnen $W1$, WA und WB die Breite des NMOS-Transistors N1, die Breite des NMOS-Transistors NA bzw. die Breite des NMOS-Transistors NB. Somit ändern die Daten D die effektive Breite des NMOS-Transistors N1. Dementsprechend variiert die „Pull-Down“-Stärke des Ausgangssignals SB des NAND-Gatters **411a** in Abhängigkeit von der Steuerung der Daten D. Als Resultat hiervon variiert die Verzögerungszeit des NAND-Gatters **411a**.

[0036] Des weiteren umfasst das NAND-Gatter **412a** des ersten Zwischenspeicherschaltkreises **41a** PMOS-Transistoren P2 und P3 sowie NMOS-Transistoren N2 und N3 zur Bildung eines statischen CMOS-NAND-Gatters unter Verwendung des Taktsignals CLK sowie von SB als Eingangssignale und NMOS-Transistoren NC und ND, die seriell zwischen die Drain-Elektrode des NMOS-Transistors N3 und die Source-Elektrode des NMOS-Transistors N3 eingeschleift sind. SB wird der Gate-Elektrode des NMOS-Transistors NC zugeführt. Die invertierten Daten DB werden an die Gate-Elektrode des NMOS-Transistors ND angelegt.

[0037] Da die Betriebsweise des NAND-Gatters **412a** derjenigen des NAND-Gatters **411a** entspricht,

erübrigt sich eine detaillierte Beschreibung derselben. Somit verändern die invertierten Daten DB die effektive Breite des NMOS-Transistors N3. Demgemäß variiert die „Pull-Down“-Stärke des Ausgangssignals RB des NAND-Gatters **412a** in Abhängigkeit von der Steuerung der invertierten Daten DB. Als Resultat hiervon variiert die Verzögerungszeit des NAND-Gatters **412a**.

[0038] **Fig. 7** zeigt einen ersten Zwischenspeicherschaltkreis **41b**, der sich vom ersten Zwischenspeicherschaltkreis **41a** der **Fig. 6** nur darin unterscheidet, dass die Positionen des NMOS-Transistors N0 und des NMOS-Transistors N1 sowie die Positionen des NMOS-Transistors N2 und des NMOS-Transistors N3 vertauscht sind.

[0039] **Fig. 8** zeigt einen ersten Zwischenspeicherschaltkreis **41c**, der sich vom ersten Zwischenspeicherschaltkreis **41b** der **Fig. 7** nur darin unterscheidet, dass die NMOS-Transistoren NA und NB seriell zwischen die Drain-Elektrode des NMOS-Transistors N0 und die Source-Elektrode des NMOS-Transistors N0 eingeschleift sind und die NMOS-Transistoren NC und ND seriell zwischen die Drain-Elektrode des NMOS-Transistors N2 und die Source-Elektrode des NMOS-Transistors N2 eingeschleift sind.

[0040] **Fig. 9** zeigt einen ersten Zwischenspeicherschaltkreis **41d**, der sich vom ersten Zwischenspeicherschaltkreis **41c** der **Fig. 8** nur darin unterscheidet, dass die Positionen des NMOS-Transistors N0 und des NMOS-Transistors N1 sowie die Positionen des NMOS-Transistors N2 und des NMOS-Transistors N3 vertauscht sind.

[0041] Der in **Fig. 10** gezeigte erste Zwischenspeicherschaltkreis **41e** unterscheidet sich vom ersten Zwischenspeicherschaltkreis **41c** der **Fig. 8** nur darin, dass die NMOS-Transistoren NA und NB zueinander parallel und seriell zum NMOS-Transistor N0 geschaltet sind und dass die NMOS-Transistoren NC und ND zueinander parallel und seriell zum NMOS-Transistor N2 geschaltet sind.

[0042] Für die NAND-Gatter **411c**, **411d** und **411e** der ersten Zwischenspeicherschaltkreise der **Fig. 8** bis **Fig. 10** lässt sich die effektive Breite $W0_{\text{effektiv}}$ des ersten NMOS-Transistors N0 durch die nachstehende Gleichung 2 definieren:

$$W0_{\text{effektiv}} = W0 + D \cdot [W0 \cdot (WA \cdot WB)] / (W0 + WA + WB) + DB \cdot (W0 + WB) / (W0 + WB). \quad (2)$$

[0043] Hierbei bezeichnet $W0$ die Breite des NMOS-Transistors N0. In den ersten Zwischenspeicherschaltkreisen der **Fig. 8** bis **Fig. 10** ändern daher die Daten D die effektive Breite des NMOS-Transistors N0. Dementsprechend variiert die „Pull-down“-Stärke des Ausgangssignals SB der NAND-Gatter **411c**,

411d und **411e** in Abhängigkeit von der Steuerung der Daten D. Als Resultat hiervon variiert die Verzögerungszeit der NAND-Gatter **411c**, **411d** und **411e**.

[0044] In gleicher Weise ändern die invertierten Daten DB die effektive Breite des NMOS-Transistors N2. Dementsprechend ändert sich die „Pull-down“-Stärke des Ausgangssignals RB der NAND-Gatter **412c**, **412d** und **412e** in Abhängigkeit von der Steuerung der inversen Daten DB. Als Resultat hiervon variiert die Verzögerungszeit der NAND-Gatter **412c**, **412d** und **412e**.

[0045] Der in **Fig. 11** gezeigte erste Zwischenspeicherschaltkreis **41f** unterscheidet sich vom ersten Zwischenspeicherschaltkreis **41a** der **Fig. 6** lediglich darin, dass der NMOS-Transistor NA und ein Kondensator C1 seriell zwischen den Ausgangsanschluss SB eines NAND-Gatters **411f** und eine Massespannung VSS eingeschleift sind und der NMOS-Transistor NB sowie ein Kondensator C2 seriell zwischen den Ausgangsanschluss RB eines NAND-Gatters **412f** und die Massespannung VSS eingeschleift sind. Die Daten D werden an die Gate-Elektrode des NMOS-Transistors NA angelegt. Die invertierten Daten DB werden an die Gate-Elektrode des NMOS-Transistors NB angelegt.

[0046] Dadurch wird im ersten Zwischenspeicherschaltkreis **41f** gemäß **Fig. 11** die Kapazität von SB durch den Kondensator C1 in Abhängigkeit von den Daten D variabel, und die Kapazität von RB wird durch den Kondensator C2 in Abhängigkeit von den invertierten Daten DB variabel.

[0047] Der in **Fig. 12** gezeigte erste Zwischenspeicherschaltkreis **41g** unterscheidet sich vom ersten Zwischenspeicherschaltkreis **41a** der **Fig. 6** lediglich in der Art und Verschaltung des NMOS-Transistors NA und des NMOS-Transistors NB, die hier die Funktion eines spannungsabhängigen MOS-Kondensators erfüllen. Dazu sind die Source- und die Drain-Elektrode des NMOS-Transistors NA gemeinsam mit dem Ausgangsanschluss SB eines NAND-Gatters **411g** verbunden, während an seine Gate-Elektrode die Daten D angelegt werden. Die Source- und die Drain-Elektrode des NMOS-Transistors NB sind gemeinsam mit dem Ausgangsanschluss RB eines NAND-Gatters **412g** verbunden, und an seine Gate-Elektrode werden die invertierten Daten DB angelegt.

[0048] Somit wird im ersten Zwischenspeicherschaltkreis **41g** von **Fig. 12** die Kapazität von SB durch den spannungsabhängigen Kondensator NA in Abhängigkeit von den Daten D variabel, und die Kapazität von RB wird durch den spannungsabhängigen Kondensator NB in Abhängigkeit von den invertierten Daten DB variabel.

[0049] In den ersten Zwischenspeicherschaltkreisen der [Fig. 11](#) und [Fig. 12](#) variiert daher die „Pull-down“-Stärke von SB der NAND-Gatter **411f** und **411g** abhängig von der Steuerung der Daten D, wodurch die Verzögerungszeit der NAND-Gatter **411f** und **411g** entsprechend variiert. In gleicher Weise variiert die „Pull-down“-Stärke von RB der NAND-Gatter **412f** und **412g** abhängig von der Steuerung der invertierten Daten DB, wodurch die Verzögerungszeit der NAND-Gatter **412f** und **412g** entsprechend variiert.

[0050] Wie die obige Beschreibung deutlich macht, werden beim ersten erfindungsgemäßen Ausführungsbeispiel gemäß [Fig. 4](#) die Daten D und die invertierten Daten DB zeitgewandelt, wobei die Zeitdauer gleich der Verzögerungsdifferenz zwischen den beiden NAND-Gattern wird, die den ersten Zwischenspeicherschaltkreis bilden. Diese Verzögerungsdifferenz wird in die Ausgangssignale SB und RB gewandelt. Dementsprechend wird ein Zwischenspeicherbetrieb ausgeführt.

[0051] In der Flip-Flop-Schaltung gemäß dem ersten erfindungsgemäßen Ausführungsbeispiel von [Fig. 4](#) kann anstelle der invertierten Daten DB ein vorgegebenes Referenzsignal V_{ref} verwendet werden. Außerdem kann anstelle der invertierten Daten DB eine Speisespannung VDD verwendet werden, wenn die Abmessung des NMOS-Transistors ND kleiner als die Abmessung des NMOS-Transistors NA ist. In diesem Fall kann sich die „Pull-down“-Geschwindigkeit der Ausgangssignale SB und RB, wenn die Daten D auf hohem Logikpegel liegen, etwas von der „Pull-down“-Geschwindigkeit unterscheiden, wenn die Daten D auf niedrigem Logikpegel liegen. Der Unterschied in der „Pull-down“-Geschwindigkeit kann jedoch verringert werden, wenn ΔT klein genug ist, so dass der Unterschied in der Aufbauzeit bei einer Veränderung in den Daten D vernachlässigbar ist.

[0052] Da das Taktsignal CLK und die Daten D nur der Gate-Elektrode des Transistors zugeführt werden, verhalten sich bei dieser ersten erfindungsgemäßen Flip-Flop-Schaltung die jeweiligen Verzögerungszeiten des Taktsignals CLK und der Daten D bezüglich Prozessschwankungen, Schwankungen in der Speisespannung und Temperaturschwankungen gleich. Folglich tritt kaum eine Differenz in der Aufbauzeit abhängig von Prozessänderungen und Änderungen in der Speisespannung und der Temperatur auf, so dass die Breite des gesamten Aufbau-/Haltefensters sehr klein ist.

[0053] Die in [Fig. 13](#) gezeigte, zweite erfindungsgemäße Flip-Flop-Schaltung beinhaltet einen ersten Zwischenspeicherschaltkreis **131** mit einem NOR-Gatter **1311**, dessen Verzögerungszeit durch die Daten D gesteuert wird, und einem NOR-Gatter **1312**, dessen Verzögerungszeit durch die invertierten Daten DB gesteuert wird, sowie einen zweiten Zwi-

schenspeicherschaltkreis **133** mit NOR-Gattern **1331** und **1332**.

[0054] Das Taktsignal CLK wird gemeinsam an einen jeweiligen ersten Eingangsanschluss der NOR-Gatter **1311** und **1312** angelegt. Der Ausgangsanschluss des NOR-Gatters **1311** ist mit einem zweiten Eingangsanschluss des NOR-Gatters **1312** verbunden. Der Ausgangsanschluss des NOR-Gatters **1312** ist mit einem zweiten Eingangsanschluss des NOR-Gatters **1311** verbunden. Speziell wird so die Verzögerungszeit des NOR-Gatters **1311** durch die Daten D gesteuert und variiert. Die Verzögerungszeit des NOR-Gatters **1312** wird durch die invertierten Daten DB gesteuert und variiert.

[0055] Der erste Zwischenspeicherschaltkreis **131** kann durch Vertauschen der PMOS-Transistoren und der NMOS-Transistoren in den Schaltkreisen der [Fig. 6](#) bis [Fig. 12](#) miteinander realisiert werden, wie für den Fachmann ersichtlich. Da die Betriebsweise der zweiten erfindungsgemäßen Flip-Flop-Schaltung derjenigen der ersten erfindungsgemäßen Flip-Flop-Schaltung von [Fig. 4](#) gleicht, braucht darauf nicht nochmals detailliert eingegangen werden.

[0056] Die in [Fig. 14](#) gezeigte, dritte erfindungsgemäße Flip-Flop-Schaltung beinhaltet einen ersten Zwischenspeicherschaltkreis **141** mit NAND-Gattern **1411** und **1412**, einer Verzögerungsstufe **1413**, deren Verzögerungszeit durch die Daten D gesteuert wird, und einer Verzögerungsstufe **1414**, deren Verzögerungszeit durch die invertierten Daten DB gesteuert wird, sowie einen zweiten Zwischenspeicherschaltkreis **143** mit NAND-Gattern **1431** und **1432**.

[0057] Jede Verzögerungsstufe **1413** und **1414** ist durch einen Ein-Bit-Digital/Zeit-Wandler (DTC) realisiert. Das Taktsignal CLK wird gemeinsam an den jeweiligen Eingangsanschluss der Verzögerungsstufen **1413** und **1414** angelegt. Dabei wird speziell die Verzögerungszeit der Verzögerungsstufe **1413** variabel durch die Daten D gesteuert, und die Verzögerungszeit der Verzögerungsstufe **1414** wird variabel durch die invertierten Daten DB gesteuert.

[0058] Der Ausgangsanschluss der Verzögerungsstufe **1413** ist mit einem ersten Eingangsanschluss des NAND-Gatters **1411** verbunden. Der Ausgangsanschluss der Verzögerungsstufe **1414** ist mit einem ersten Eingangsanschluss des NAND-Gatters **1412** verbunden. Der Ausgangsanschluss des NAND-Gatters **1411** ist mit einem zweiten Eingangsanschluss des NAND-Gatters **1412** verbunden. Der Ausgangsanschluss des NAND-Gatters **1412** ist mit einem zweiten Eingangsanschluss des NAND-Gatters **1411** verbunden.

[0059] Wie aus [Fig. 15](#) ersichtlich, die ein Signalverlaufdiagramm zur Veranschaulichung des Betriebs

der Flip-Flop-Schaltung von [Fig. 14](#) wiedergibt, werden die Ausgangssignale CLK1 und CLK2 der Verzögerungsstufen **1413** und **1414** durch die Daten D und die invertierten Daten DB gesteuert, wobei jedes dieser Ausgangssignale CLK1, CLK2 eine Verzögerungszeit mit zwei möglichen Werten beinhaltet.

[0060] Da das Taktsignal CLK und die Daten D nur der Gate-Elektrode des Transistors zugeführt werden, werden die jeweiligen Verzögerungszeiten des Taktsignals CLK und der Daten D in der dritten erfindungsgemäßen Flip-Flop-Schaltung wie bei der ersten erfindungsgemäßen Flip-Flop-Schaltung bezüglich Prozessänderungen sowie Änderungen der Speisespannung und der Temperatur gleich behandelt. Demzufolge tritt kaum eine Differenz in der Aufbauzeit in Abhängigkeit von Prozessänderungen sowie Änderungen der Speisespannung und der Temperatur auf, so dass die Breite des gesamten Aufbau-/Halte-Fensters sehr gering ist.

[0061] Die [Fig. 16](#) bis [Fig. 18](#) zeigen detaillierter Realisierungsbeispiele für die Verzögerungsstufe **1413** der in [Fig. 14](#) gezeigten Flip-Flop-Schaltung unter Verwendung des Ein-Bit-DTC.

[0062] Im Beispiel von [Fig. 16](#) wird die Verzögerungsstufe **1413a** durch das Signal eines Steueranschlusses CON gesteuert und umfasst einen Inverter **161** zum Invertieren des Taktsignals CLK, einen Inverter **163** zum Invertieren des Ausgangssignals des Inverters **161** und zum Abgeben eines Signals CLK1, einen NMOS-Transistor **165**, der zwischen den Steueranschluss CON und die Massespannung VSS eingeschleift ist und an dessen Gate-Elektrode die Daten D angelegt werden, sowie einen NMOS-Transistor **167**, der zwischen den Steueranschluss CON und die Massespannung VSS eingeschleift ist und an dessen Gate-Elektrode die Speisespannung VDD angelegt wird.

[0063] Die in [Fig. 17](#) gezeigte Verzögerungsstufe **1413b** umfasst einen Inverter **171** zum Invertieren des Taktsignals CLK, einen Inverter **173** zum Invertieren des Ausgangssignals des Inverters **171** und Abgeben des Signals CLK1, einen NMOS-Transistor **175**, dessen Drain-Elektrode an den Ausgangsanschluss des Inverters **171** angeschlossen ist und an dessen Gate-Elektrode die Daten D angelegt werden, sowie einen Kondensator C, der zwischen die Source-Elektrode des NMOS-Transistors **175** und die Massespannung VSS eingeschleift ist.

[0064] Die in [Fig. 18](#) gezeigte Verzögerungsstufe **1413c** beinhaltet einen Inverter **181** zum Invertieren des Taktsignals CLK, einen Inverter **183** zum Invertieren des Ausgangssignals des Inverters **181** und Abgeben des Signals CLK1 sowie einen NMOS-Transistor **185**, dessen Gate-Elektrode an den Ausgangsanschluss des Inverters **181** angeschlossen ist und

dessen Drain- und Source-Elektrode gemeinsam von den Daten D beaufschlagt werden. Dadurch fungiert der NMOS-Transistor **185** als ein MOS-Kondensator.

[0065] Die in [Fig. 19](#) gezeigte Verzögerungsstufe **1413d** beinhaltet einen NMOS-Transistor **191** zur Übertragung des Taktsignals CLK und zum Abgeben des Taktsignals CLK als das Signal CLK1 in Abhängigkeit von den Daten D sowie einen NMOS-Transistor **193**, der zum NMOS-Transistor **191** parallel geschaltet ist und an dessen Gate-Elektrode die Speisespannung VDD angelegt wird. Hierdurch fungiert der NMOS-Transistor **191** als variabler Widerstand.

[0066] Wie gesagt, kann die Verzögerungsstufe **1414** der Flip-Flop-Schaltung von [Fig. 14](#) durch irgendeinen der in den [Fig. 16](#) bis [Fig. 19](#) gezeigten Schaltkreise realisiert werden.

[0067] [Fig. 20](#) zeigt einen erfindungsgemäßen Komparator mit einem ersten Zwischenspeicherschaltkreis **201**, der NAND-Gatter **2011** und **2012**, eine Verzögerungsstufe **2013**, deren Verzögerungszeit variabel ist und durch ein erstes Digitalsignal X gesteuert wird, und eine Verzögerungsstufe **2014** umfasst, deren Verzögerungszeit variabel ist und durch ein zweites Digitalsignal Y gesteuert wird. Der Komparator besitzt des weiteren einen zweiten Zwischenspeicherschaltkreis **203** mit NAND-Gattern **2031** und **2032**.

[0068] Der in [Fig. 20](#) gezeigte Komparator unterscheidet sich vom in [Fig. 14](#) gezeigten Flip-Flop lediglich darin, dass die Verzögerungsstufen **2013** und **2014** durch N-Bit-DTC realisiert sind, mit N als einer natürlichen Zahl, wobei die Verzögerungszeit der Verzögerungsstufe **2013** variabel ist und durch ein erstes Digitalsignal X mit N Bit gesteuert wird, während die Verzögerungszeit der Verzögerungsstufe **2014** variabel ist und durch ein zweites Digitalsignal Y mit N Bit gesteuert wird. Der Komparator von

[0069] [Fig. 20](#) stellt somit einen digitalen Signalthöhenkomparator dar, der die Größe des N-Bit-Digitalsignals X mit der Größe des N-Bit-Digitalsignals Y vergleicht.

[0070] [Fig. 21](#) zeigt ein Beispiel, bei dem die Verzögerungsstufe **2013** des Komparators von [Fig. 20](#) durch den N-Bit-DTC realisiert ist, wobei N gleich 4 ist.

[0071] Wie aus [Fig. 21](#) zu erkennen, umfasst die Verzögerungsstufe **2013** einen Inverter **211** zum Invertieren des Taktsignals CLK, einen Inverter **213** zum Invertieren des Ausgangssignals des Inverters **211** und Abgeben eines Signals CLKX, vier Schalter **214** bis **217**, die zwischen den Inverter **211** und den Inverter **213** eingebunden sind und in Abhängigkeit von jeweils einem von Vier-Bit-Digitalsignalen X0, X1,

X2 und X3 leitend oder sperrend geschaltet werden, sowie vier Kondensatoren **1C**, **2C**, **4C** und **8C**, die zwischen jeweils einen der Schalter und die Massepotentialspannung VSS eingeschleift sind.

[0072] Die Verzögerungsstufe **2014** des Komparators von **Fig. 20** kann ebenfalls durch den in **Fig. 21** gezeigten N-Bit-DTC realisiert sein. Alternativ ist eine Realisierung durch verschiedene andere herkömmliche Schaltungstypen möglich, wie für den Fachmann ersichtlich.

[0073] Da die Schaltung des erfindungsgemäßen Komparators relativ einfach ist, ist der Flächenbedarf des Komparators viel niedriger und seine Berechnungsgeschwindigkeit viel höher als bei einer konventionellen Technologie, wenn der Komparator durch einen integrierten Schaltkreis realisiert ist.

[0074] Wie oben erwähnt, hat die erfindungsgemäße Flip-Flop-Schaltung auf DTC-Basis den Vorteil, dass die Aufbauzeit in Abhängigkeit von Prozessänderungen und Änderungen der Speisespannung und der Temperatur kaum schwankt, so dass die Änderung der Datenwerte und somit die Breite des gesamten Aufbau-/Halte-Fensters gering sind. Wenn der erfindungsgemäße Komparator auf DTC-Basis in einem IC vorgesehen ist, bleibt der Flächenbedarf des IC sehr gering, und die Berechnungsgeschwindigkeit des IC ist vergleichsweise hoch.

Patentansprüche

1. Flip-Flop-Schaltung zur Pufferung eines Paares digitaler und invertierter digitaler Daten (D, DB) in Abhängigkeit von einem Taktsignal (CLK), mit

- einem ersten Zwischenspeicherschaltkreis (**41**, **131**, **141**, **201**) mit einem ersten und zweiten Logikgatter (**411**, **412**; **1311**, **1312**; **1411**, **1412**; **2011**, **2012**), wobei das Taktsignal (CLK) oder je ein daraus abgeleitetes Signal (CLK1, CLKX; CLK2, CLKY) an einen jeweiligen ersten Eingangsanschluss der Logikgatter angelegt wird, ein Ausgangsanschluss des ersten Logikgatters (**411**, **1311**, **1411**, **2011**) mit einem zweiten Eingangsanschluss des zweiten Logikgatters (**412**, **1312**, **1412**, **2012**) und ein Ausgangsanschluss des zweiten Logikgatters mit einem zweiten Eingangsanschluss des ersten Logikgatters verbunden sind, die Verzögerungszeit des ersten Logikgatters variabel in Abhängigkeit vom Logikzustand der ihm zugeführten digitalen Daten (D) gesteuert wird und die Verzögerungszeit des zweiten Logikgatters variabel in Abhängigkeit vom Logikzustand der ihm zugeführten invertierten digitalen Daten (DB) gesteuert wird, und
- einem zweiten Zwischenspeicherschaltkreis (**43**, **133**, **143**, **203**), der mit einem ersten Eingangsanschluss an den Ausgangsanschluss des ersten Logikgatters und mit einem zweiten Eingangsanschluss an den Ausgangsanschluss des zweiten Logikgatters

angeschlossen ist und an einem ersten Ausgangsanschluss (Q) gepufferte digitale Daten und an einem zweiten Ausgangsanschluss (QB) gepufferte invertierte digitale Daten abgibt,

- wobei das erste Logikgatter Schaltungsmittel (NA, NB) zum Einstellen einer Pull-down-Stärke in Reaktion auf die Daten (D) durch Variieren einer effektiven Breite eines Pull-down-Transistors (N1) aufweist und
- das zweite Logikgatter Schaltungsmittel (NC, ND) zum Einstellen einer Pull-down-Stärke in Reaktion auf die invertierten Daten (DB) durch Verändern einer effektiven Breite eines Pull-down-Transistors (N3) aufweist.

2. Flip-Flop-Schaltung nach Anspruch 1, weiter dadurch gekennzeichnet, dass das erste und zweite Logikgatter NAND-Gatter (**411**, **412**) sind

3. Flip-Flop-Schaltung nach Anspruch 1, weiter dadurch gekennzeichnet, dass das erste und zweite Logikgatter NOR-Gatter (**1311**, **1312**) sind.

4. Flip-Flop-Schaltung nach einem der Ansprüche 1 bis 3, weiter gekennzeichnet durch eine erste und eine zweite Verzögerungsstufe (**1413**, **1414**), an deren jeweiligen Eingangsanschluss gemeinsam das Taktsignal (CLK) angelegt wird und die jeweils einen Ein-Bit-Digital/Zeit-Wandler beinhalten, wobei der erste Eingangsanschluss des ersten Logikgatters (**1411**) des ersten Zwischenspeicherschaltkreises mit dem Ausgangssignal der ersten Verzögerungsstufe (**1413**) beaufschlagt wird und der erste Eingangsanschluss des zweiten Logikgatters (**1412**) des ersten Zwischenspeicherschaltkreises mit dem Ausgangssignal der zweiten Verzögerungsstufe (**1414**) beaufschlagt wird.

5. Digitaler Signalthöhenkomparator zum Vergleichen der Größe eines ersten N-Bit-Digitalsignals (X) mit der Größe eines zweiten N-Bit-Digitalsignals (Y) in Abhängigkeit von einem Taktsignal (CLK), gekennzeichnet durch

- eine erste und eine zweite Verzögerungsstufe (**2013**, **2014**), an deren jeweiligen Eingangsanschluss gemeinsam das Taktsignal (CLK) angelegt wird und die jeweils einen N-Bit-Digital/Zeit-Wandler beinhalten,

- einen ersten Zwischenspeicherschaltkreis mit einem ersten Logikgatter (**2011**), von dem ein erster Eingangsanschluss mit dem Ausgangssignal der ersten Verzögerungsstufe beaufschlagt wird, und einem zweiten Logikgatter (**2012**), von dem ein erster Eingangsanschluss mit dem Ausgangssignal der zweiten Verzögerungsstufe beaufschlagt wird, wobei ein Ausgangsanschluss des ersten Logikgatters mit einem zweiten Eingangsanschluss des zweiten Logikgatters und ein Ausgangsanschluss des zweiten Logikgatters mit einem zweiten Eingangsanschluss des ersten Logikgatters verbunden sind, die Verzögerungszeit der ersten Verzögerungsstufe variabel

in Abhängigkeit vom Logikzustand des ersten N-Bit-Digitalsignals gesteuert wird und die Verzögerungszeit der zweiten Verzögerungsstufe variabel in Abhängigkeit vom Logikzustand des zweiten N-Bit-Digitalsignals gesteuert wird, und

– einen zweiten Zwischenspeicherschaltkreis (**203**), der mit einem ersten Eingangsanschluss an den Ausgangsanschluss des ersten Logikgatters und mit einem zweiten Eingangsanschluss an den Ausgangsanschluss des zweiten Logikgatters angeschlossen ist und an einem ersten Ausgangsanschluss (Q) ein gepuffertes digitales Komparatorausgangssignal und an einem zweiten Ausgangsanschluss (QB) ein gepuffertes invertiertes digitales Komparatorausgangssignal abgibt,

– wobei die erste Verzögerungsstufe (**2013**) eine Mehrzahl von Kondensatoren (**1C, 2C, 4C, 8C**) und Schaltungsmittel (**214, 215, 216, 217**) zum Einstellen einer Verzögerungscharakteristik der ersten Verzögerungsstufe durch selektives Steuern der Ankopplung eines oder mehrerer der Kondensatoren an einen internen Signalpfad in Reaktion auf das erste N-Bit-Digitalsignal (X) aufweist und

– wobei die zweite Verzögerungsstufe (**2014**) eine Mehrzahl von Kondensatoren (**1C, 2C, 4C, 8C**) und Schaltungsmittel (**214, 215, 216, 217**) zum Einstellen einer Verzögerungscharakteristik der zweiten Verzögerungsstufe durch selektives Steuern der Ankopplung eines oder mehrerer der Kondensatoren an einen internen Signalpfad in Reaktion auf das zweite N-Bit-Digitalsignal (Y) aufweist.

Es folgen 12 Blatt Zeichnungen

Anhängende Zeichnungen

FIG. 1 (STAND DER TECHNIK)

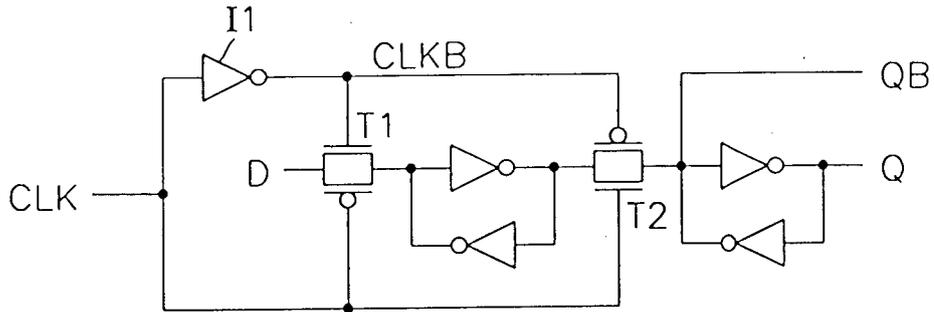


FIG. 2 (STAND DER TECHNIK)

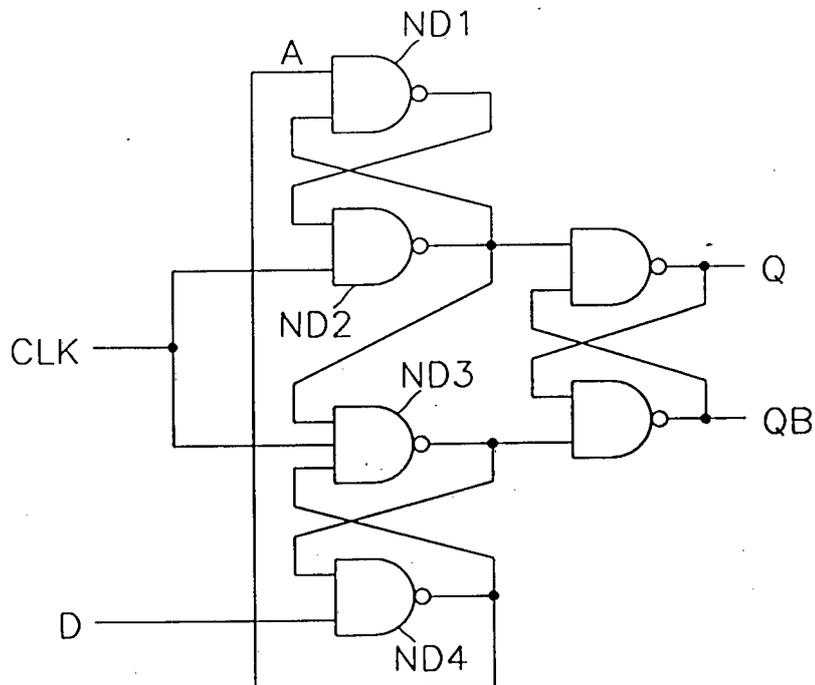


FIG. 3 (STAND DER TECHNIK)

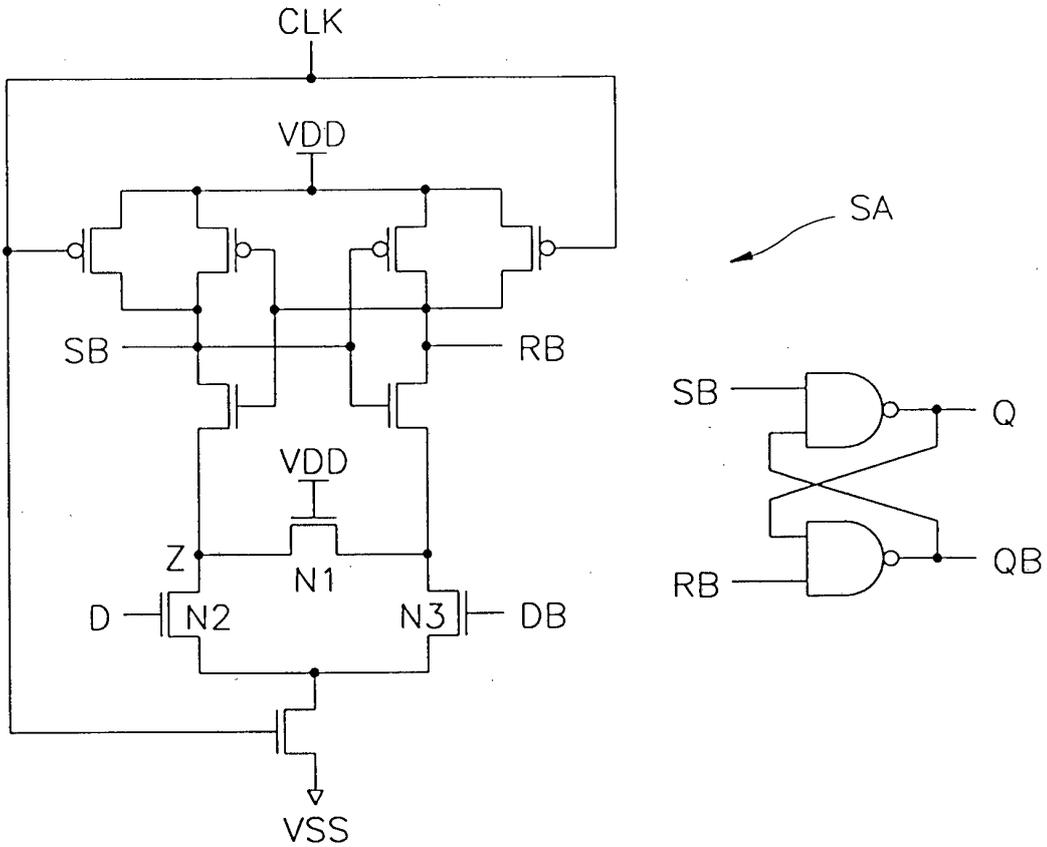


FIG. 4

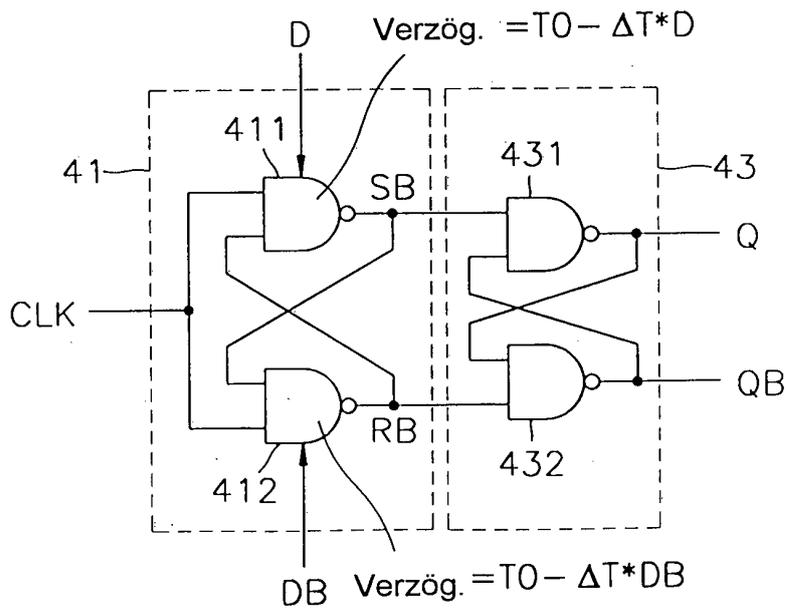


FIG. 5

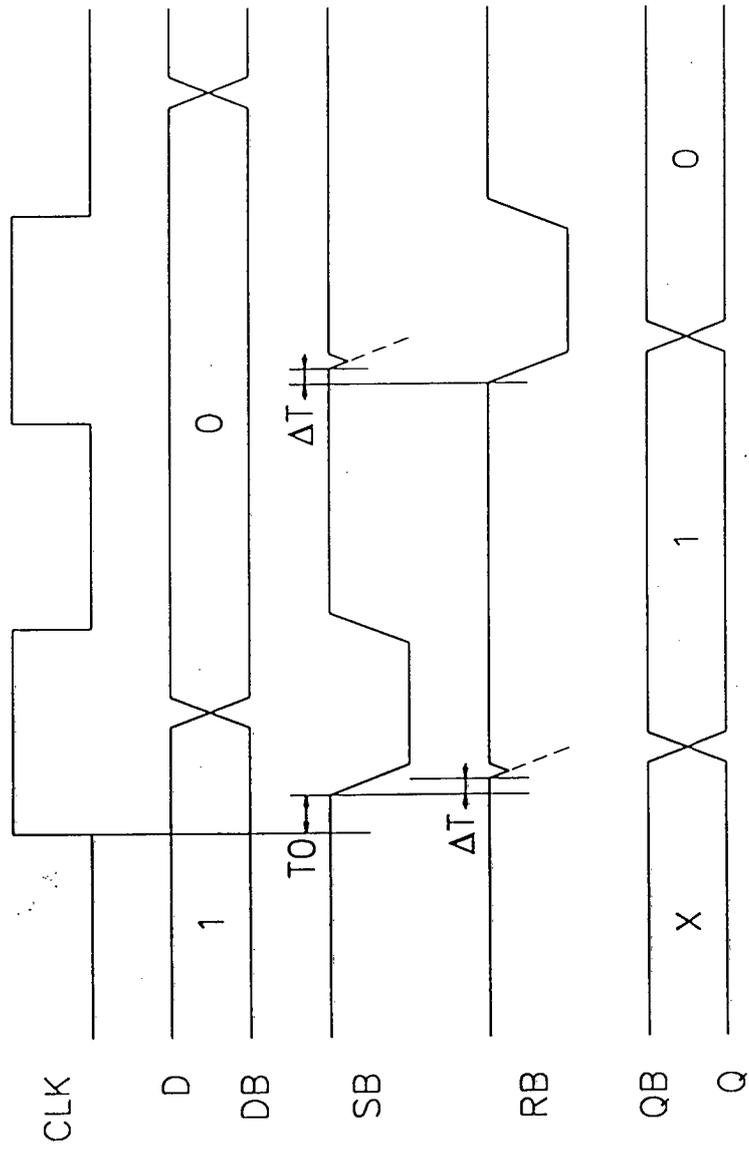


FIG. 10

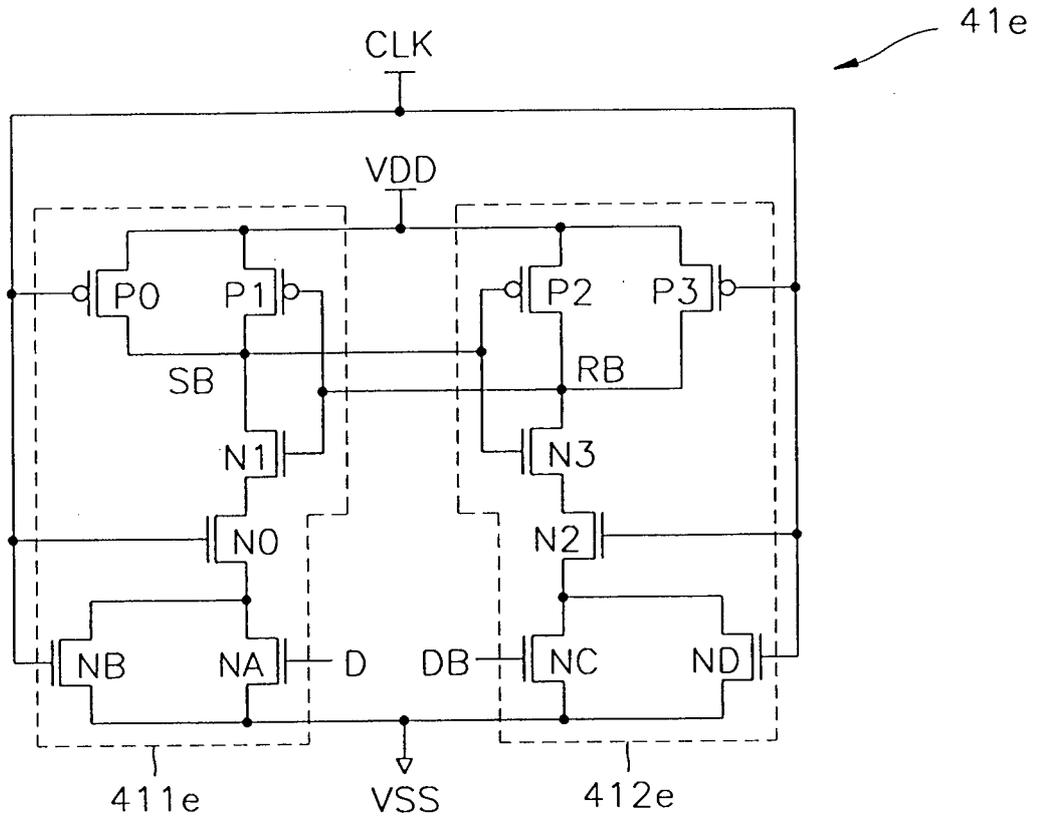


FIG. 11

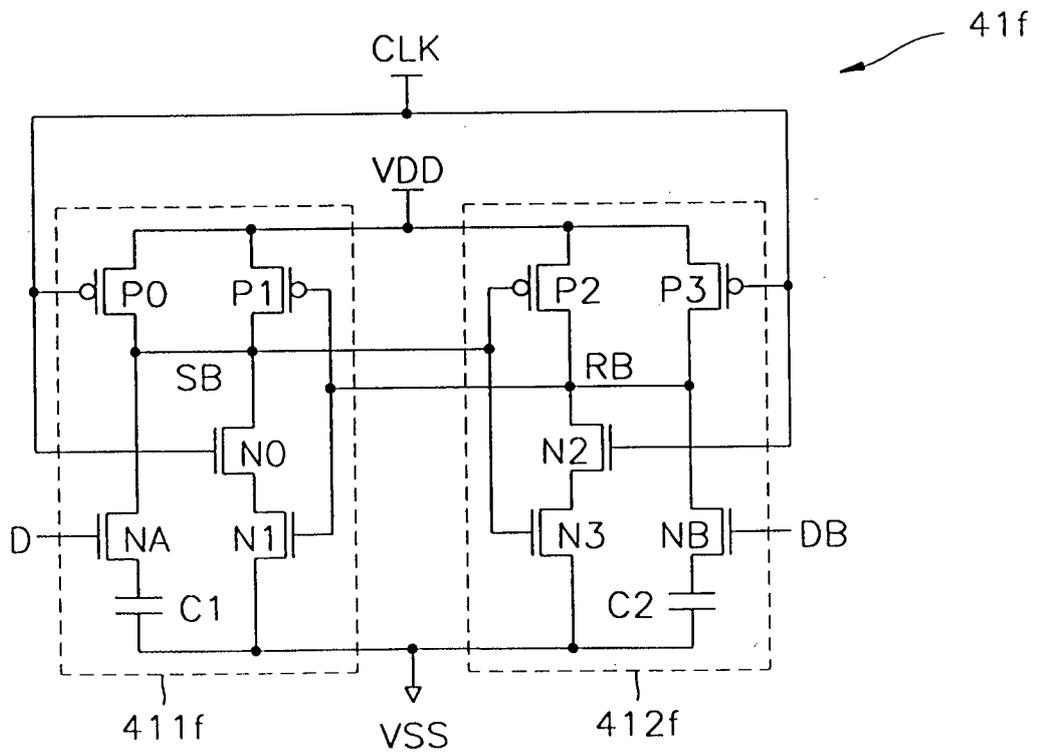


FIG. 12

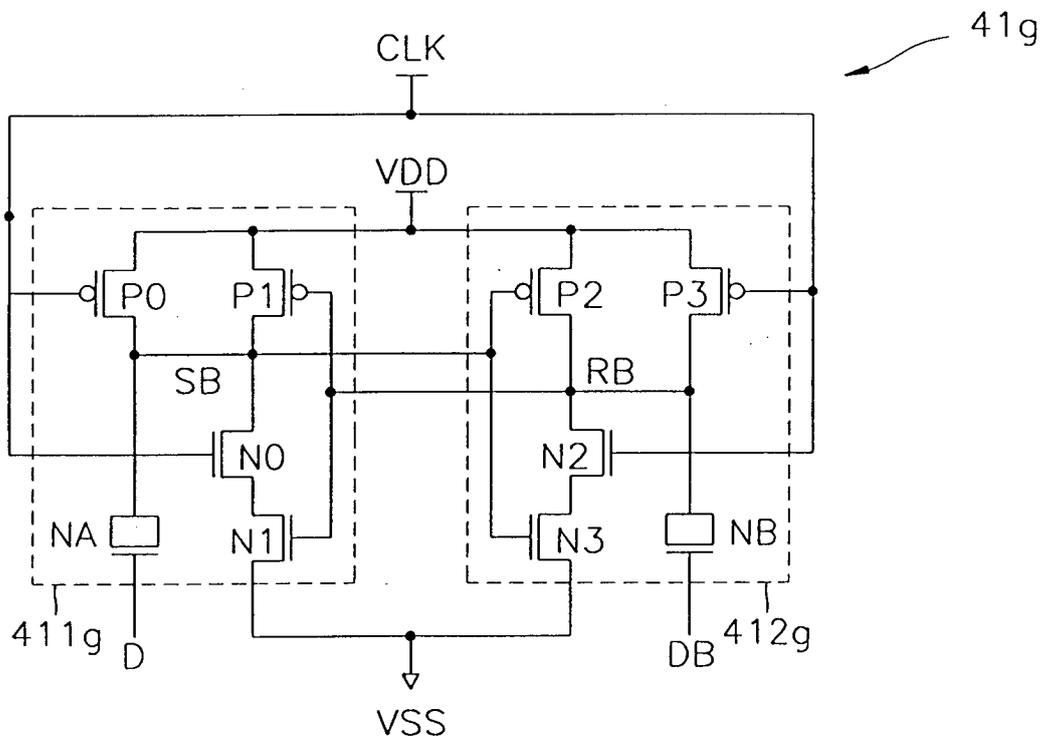


FIG. 13

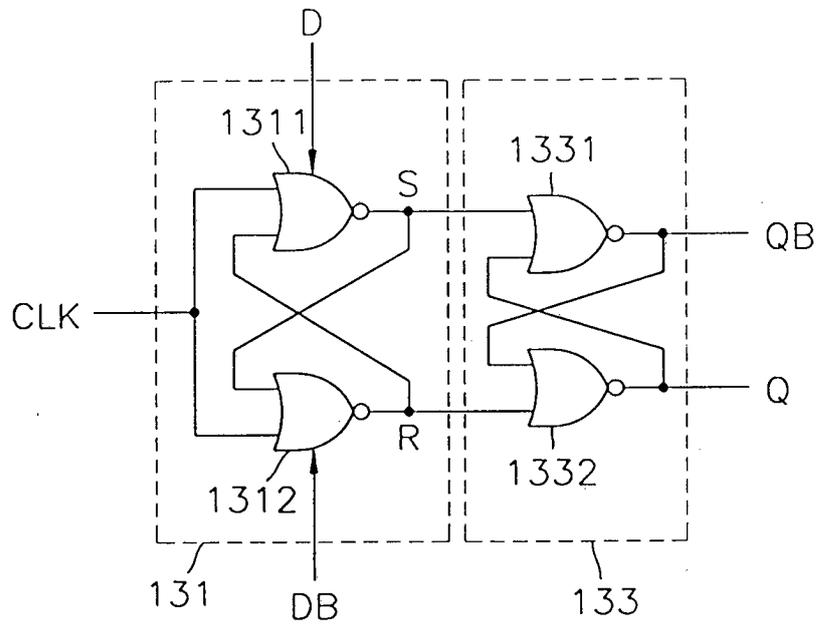


FIG. 14

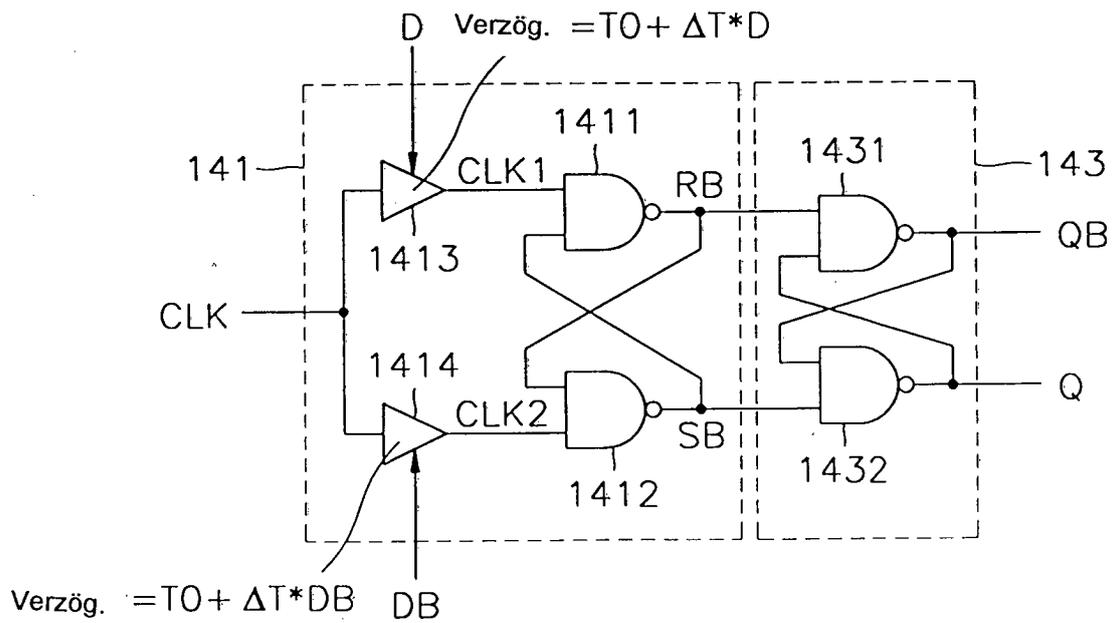


FIG. 15

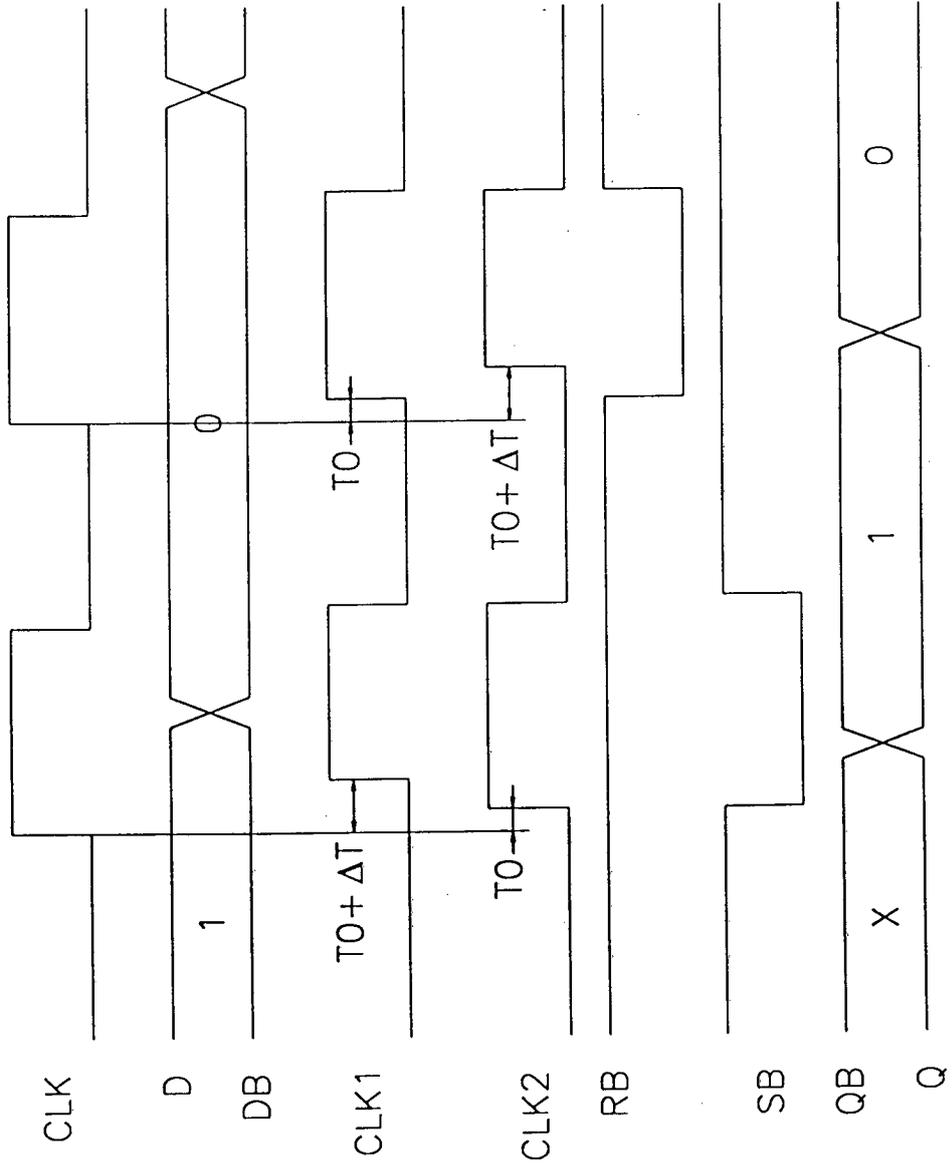


FIG. 16

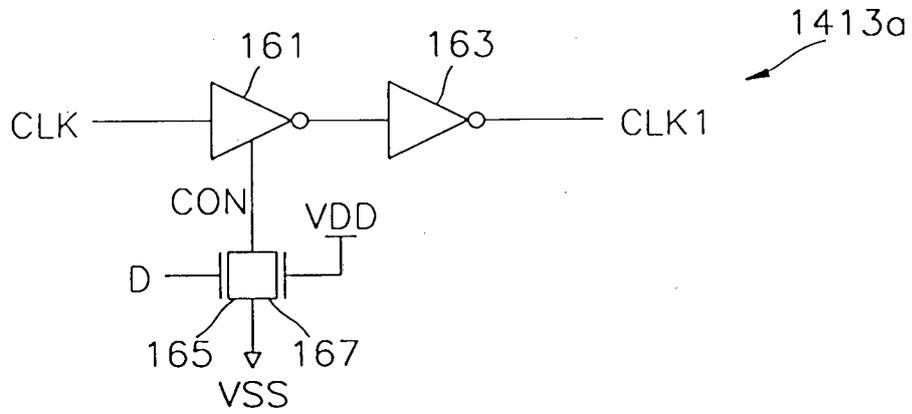


FIG. 17

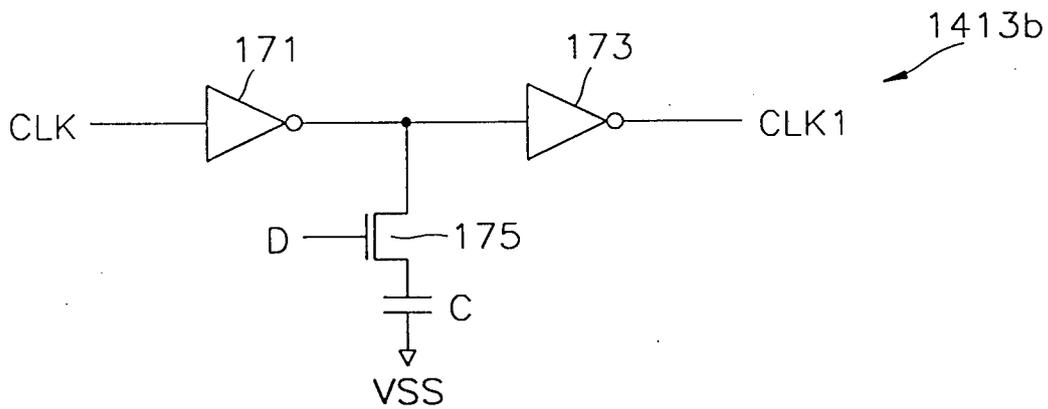


FIG. 18

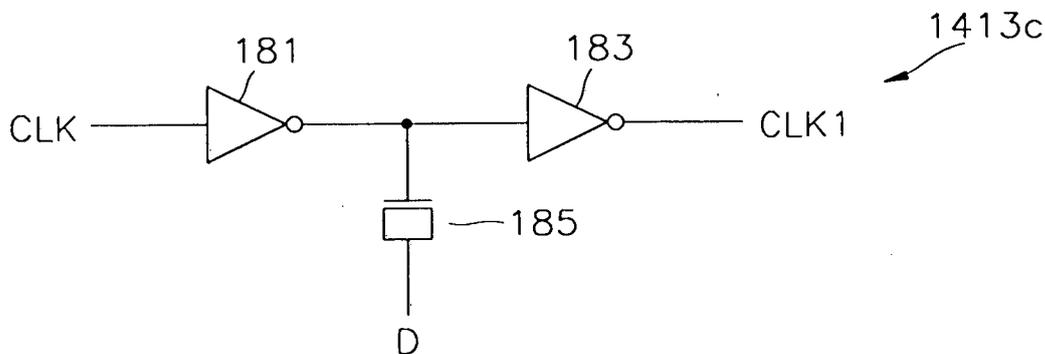


FIG. 19

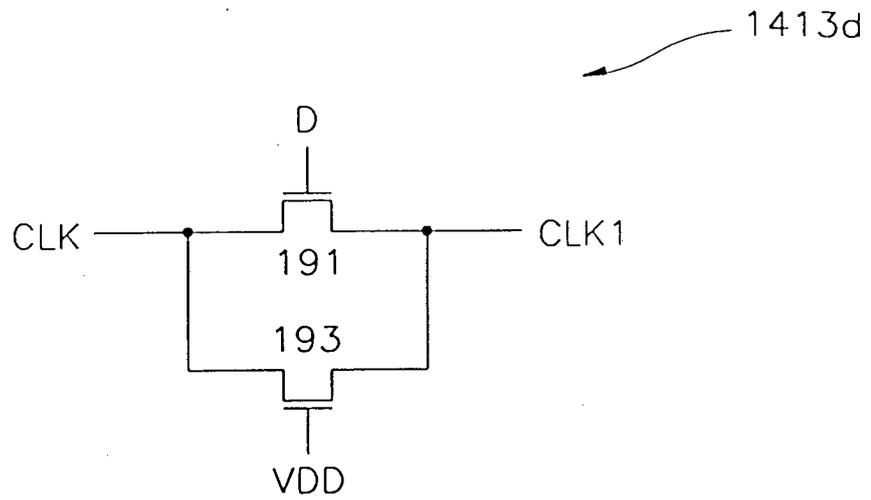


FIG. 20

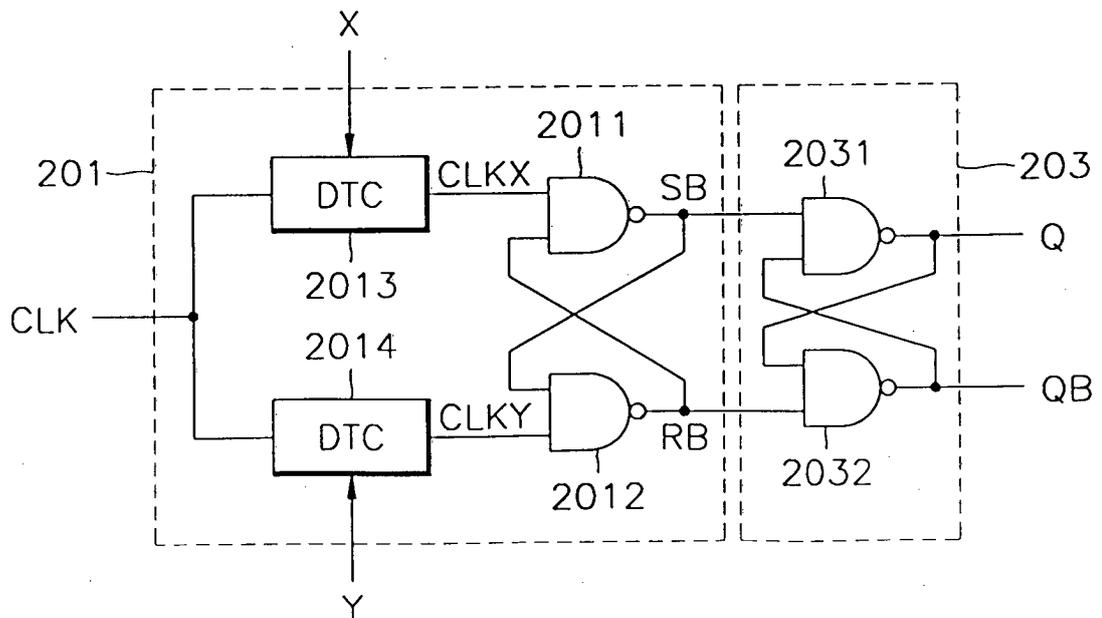


FIG. 21

