(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H04B 7/26

(11) 공개번호 특1998-018921
(43) 공개일자 1998년06월05일

(21) 출원번호 특1997-040260
(22) 출원일자 1997년08월22일
(30) 우선권주장 96-222935 1996년08월23일 일본(JP)
(71) 출원인 소니 가부시끼가이샤 이데이 노브유끼
일본국 도꾜도 시나가와구 기다시나가와 6쪼메 7방 35고
(72) 발명자 스즈끼 미쯔히로
일본국 도꾜도 시나가와구 기다시나가와 6쪼메 7방 35고 소니가부시끼가이샤 내
(74) 대리인 신관호

심사청구 : 없음

(54) 통신방법 및 통신장치 (Communication Method and Communication Apparatus)

요약

전송파워제어를 위하여 제 1국과 제 2국사이에서 전이중방식으로 통신을 행하는 통신방법에 있어서, 통신방법은 제 1국에서 전송된 신호를 수신하는 제 2국에서의 수신단계와, 수신단계다음의 제 1과정을 처리하는 제 2국에서의 제 1처리단계와, 제 1처리단계에서의 출력치와 수신상태에 따라서 설정된 가변 기준치를 비교하는 제 2과정을 처리하는 제 2국에서의 제 2처리단계와, 제 2처리단계에서 생성된 파워제어정보를 제 1국으로 전송하는 제 2국에서 전송단계와,그리고 파워제어정보에 의해 전송파워를 제어하는 제 1국에서의 파워제어단계를 포함한다.

대표도

도10

명세서

도면의 간단한 설명

도 1a 및 도 1b는 CDMA방식에서 간섭상태를 설명하기 위해 사용되는 도면이다.

도 2는 채널의 파워를 제어하기 위한 구성을 나타내는 도면이다.

도 3은 심볼에러의 추정에 사용하는 회로품질추정을 설명하기 위해 사용되는 도면이다.

도 4는 수신파워를 사용하는 회로품질추정처리를 나타내는 블록도이다.

도 5는 수신파워를 사용하는 회로품질추정처리를 설명하기 위해 사용되는 그래프이다.

도 6은 본 발명의 실시예에 따른 통신장치에서 사용되는 전송신호의 슬롯구성을 설명하기 위해 사용되는 다이어그램이다.

도 7a는 내지 도 7g는 각각 상기 실시예에 따른 프레임에서 전송상태를 설명하기 위해 사용되는 다이어그램이다.

도 8은 상기 실시예에 따른 셀구성의 일예를 설명하기 위해 사용되는 도면이다.

도 9a는 내지 도 9c는 각각 상기 실시예에 따른 대역슬롯구성의 일예를 설명하기 위해 사용되는 도면이다.

도 10은 본 발명의 실시예에 따른 단말장치의 구성을 나타내는 블록도이다.

도 11은 본 발명의 실시예에 따른 단말장치의 부호기의 구성을 나타내는 블록도이다.

도 12는 상기 실시예에 의한 단말 장치의 콘벌루션(convolution) 부호기의 구성을 나타내는 블록도이다.

도 13a 내지 도 13b는 상기 실시예에 의한 윈도 데이터(windowing data)의 파형을 나타내는 도면이다.

도 14는 상기 실시예에 의한 전송데이터의 일예를 나타내는 위상 특성 그래프이다.

도 15는 상기 실시예에 의한 단말 장치의 디코더의 구성을 나타내는 블록도이다.

도 16은 상기 실시예에 의한 단말장치의 파워제어비트발생처리를 나타내는 블록도이다.

도 17은 상기 실시예에 의한 파워제어상태를 설명하기 위해 사용되는 도면이다.

도 18은 상기 실시예에 의한 단말장치의 회로품질추정처리를 나타내는 블록도이다.

도 19는 상기 실시예에 의한 단말장치의 심볼에러추정처리를 나타내는 블록도이다.

도 20은 상기 실시예에 의한 처리 타이밍을 나타내는 타이밍 챠트이다.

도 21은 상기 실시예에 의한 기지국의 구성을 나타내는 블록도이다.

도 22는 상기 실시예에 의한 기지국의 변조처리를 나타내는 블록도이다.

도 23은 상기 실시예에 의한 기지국의 복조처리를 설명하기 위해 사용되는 도면이다.

* 도면의 주요부분에 대한 부호설명

137. 차동복조회로	138. 디인터리브버퍼
139. 비터비디코더	141,162. 비교기
143. 임계치발생회로	151. 임시판정회로
154,157. 평균회로	161. 재부호화회로
163. 버퍼	164. 심볼에러카운터
911. 복조회로	912. 파워제어정보발생부
913. 멀티플렉스회로	914. 변조회로
918. 설정치발생회로	921. 복조회로
922. 분리회로	923. 전송파워제어부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 일예로 무선전화시스템에 사용하기에 적합한 통신방법에 관한 것으로 통신방법이 적용되는 기지국과 단말장치에 관한 것이다.

무선 전화 등과 같은 이동 통신에서, 복수의 이동국(단말 장치 또는 가입자)이 단일 기지국에 접근되는 다원 접속이 사용된다. 무선 전화의 이같은 경우, 다수의 이동국이 보통 단일 기지국을 이용한다. 그러므로, 각각의 이동국 간의 간섭을 피하기 위하여 다양한 통신 방식이 제안되어 왔다. 예를 들면, 주파수 분할 다원 접속(FDMA: Frequency Division Mutiple Acess) 방식, 시분할 다원 접속(TDMA: Time Division Mutiple Acess) 방식, 부호 분할 다원 접속(CDMA: Code Division Mutiple Acess) 방식 등이 전통적으로 이와 같은 종류의 통신 방식으로 제안되어 왔다.

이러한 방식 중, CDMA 방식은 특정한 부호가 각 이동국에 할당되고, 동일한 반송파(캐리어)의 변조파가 상기 부호의 범위에서 확산되고, 그리고 나서 동일한 기지국으로 송신되고, 기지국은 원하는 이동국을 확인하기 위해 각 부호에 따라 부호 동기를 수신하는 다원 접속 방식이다.

특히, 기지국은 스펙트럼으로 인하여 전체 주파수 대역을 차지하고, 동시에 동일한 주파수를 이용하여 복수의 이동국에 신호를 송신한다. 각 이동국은 기지국으로부터 송신한 고정 확산 대역의 신호를 역확산하여 해당하는 신호를 추출한다. 더욱이 기지국은 서로 다른 확산 부호에 의해 각 이동국을 식별한다.

CDMA 방식에서, 부호가 공유된다면 매 직접 호출마다 통신이 가능하다. 또한, 상기 방식은 전화 통화의 비밀성에서도 우수하다. 그러므로 상기 방식은 휴대 전화 장치 등과 같은 이동국을 사용하는 무선 송신에 적합하다.

CDMA 방식에서는 이동국 간에 정확한 통신 관계를 세우기가 곤란하다. 그러므로 각 이동국들 간의 각 통신은 완전히 분리되어 처리될 수 없고, 이로 인해 다른 이동국이 이동국 간의 통신 시에 간섭원이 될 수 있다. 또한 데이터는 상기 방식에서 특정 주파수 대역 내에서 확산된다. 그러므로 데이터가 확산되는 대역폭(송신용 대역폭)을 미리 정의할 필요가 있다. 따라서, 송신 대역폭의 변경이 어렵다.

상기 문제가 더 구체적으로 설명될 것이다. 도 1a 및 1b는 특정사용자의 송신신호가 예를들어, 미리정해진 부호로 스펙트럼확산되고 멀티플렉스된 국(사용자)의 송신신호로부터 역확산에 의해 추출되는 모형을 나타낸다. 도 1a에 도시된 바와같이, 만약 사용자(U0)의 신호가 부호로 멀티플렉스된 8사용자(U0 내지 U7)의 신호로부터 역확산에 의해 추출된다면, 도 1b에 나타난 것처럼, 사용자(U0)의 신호가 실제로 추출될 수 있다. 그런데, 동일한 기지국에 의해 처리된 다른 사용자(U1 내지 U7)의 신호가 또한 잡음과 같은 간섭원이 될 수 있다. 이로인해 S/N특성이 일그러진다. 이런 이유로, CDMA방식을 사용하는 무선송신에서, 전자파는 상기 간섭에 의한 일그러짐으로 인해 잘 도달되지 못하고, 이것은 서비스영역을 좁게한다. 또한, 다른사용자로 인한 간섭이 스펙트럼역확산의 처리에서 얻어진 역확산이득의 양에 의해서만 방지될 수 있다. 따라서, 접속이 허락된 많은 사용자(이동국)가 제한되고 채널용량이 작아지게 된다.

이들 종류의 복수의 접근이 실행되는 통신방식에서, 특정 범위내에서 동시에 존재하는 각각의 전송신호의 전송파워를 설정하기 위해서 다른 사용자의 간섭을 억제하는 것이 중요하다. 그러나, 종래의 CDMA방식 등과 같은 다원접속을 실행하는 통신방식에서 전송파워를 제어하는 처리가 항상 만족스럽게 실행되지 않

는다.

특히, 특정 범위내에서 특정 단말장치로부터의 전송파워를 설정하기 위하여 기지국은 단말장치로부터 전송된 신호를 받아서 신호의 전송상태를 검출하고 단말장치에 검출결과에 의거하여 전송파워에 대한 제어데이터를 전송한다. 단말장치는 전송파워가 제어데이터가 지시하는 상태내에 있도록 조정하기 위한 처리를 실행하기 위하여 전송된 제어데이터를 결정한다.

도 2는 단말장치로부터 기지국으로의 상향채널의 파워에 사용된 제어에 대한 구성을 나타낸다. 파워제어정보발생부(912)는 기지국(910)에서 복조회로(911)는 단말장치(920)에서의 전송된 신호를 복조하고, 복조된 결과에 의거하여 파워제어정보를 생성한다.(즉, 수신심볼에러의 추정치) 멀티플렉스회로(913)는 소정의 방법에 따라서 기지국으로부터의 전송심볼과 함께 파워제어정보를 멀티플렉스한다. 변조회로(914)는 다중화된 신호를 변조한다. 전송증폭기(915)는 변조된 신호를 전송처리하게 하고, 이 신호를 무선으로 단말장치(920)에 전송한다.

단말장치(920)에서 복조회로(921)는 기지국에서의 채널의 수신신호를 복조한다. 분리회로(922)는 수신심볼로부터 복조신호에 포함되어 있는 파워제어정보를 분리하고 분리된 파워제어정보를 전송파워제어부(923)에 공급한다. 전송파워제어부(923)는 전송증폭기(924)의 이득을 원하는 파워에 대응하는 값으로 제어한다.

제어루프가 상기와 같이 구성되기 때문에, 실제 전송상태에 의거하여 전송출력을 만족스럽게 제어하는 것이 가능하게 된다. 각각의 통로에서 전송파워중에서 차이를 없애는 것도 가능하다.

종래의 처리에서 실제회로의 품질이 검출된 회로품질과 다르기때문에, 전송파워가 회로품질을 정렬하기 위하여 특정범위로 제어될지라도 회로품질을 엄격하게 특정범위내로 설정되도록 제어하는 것이 어렵다.

예를 들면 수신심볼에러의 추정치가 도 2에 나타낸 처리에서 복조결과로부터 산출되어 수신심볼에러의 추정치에 의거하여 회로품질을 추정하면, 도 3에 나타낸 결과가 얻어진다. 특히, 도 3에 실선으로 나타낸 실제회로품질(Qo)에 따라서 변화된 회로품질의 추정치(Qa)가 얻어진다. 그러나, 실제회로품질(Qo)과 검출된 회로품질추정치(Qa)사이에는 특정지연이 있다. 그러므로, 도 2에 나타낸 제어루프의 응답은 품질이 떨어지게 된다.

다른 방법에 의거하여 회로품질을 추정하는 처리에서, 회로품질을 수신파워로부터 추정될수 있다. 예를 들면, 도 4에 나타낸 것같이 복조회로(91)에 의해 복조되지 않은 수신신호가 수신파워측정회로(916)에 공급된다. 수신파워측정회로(916)에 의해 측정된 수신파워는 비교기(197)에 공급된다. 비교기(197)는 이 값을 설정치발생회로(918)에서 출력된 수신파워설정치와 비교한다. 파워제어정보가 비교결과에 의거하여 발생되고 전송심볼과 함께 멀티플렉스회로(913)에 의해 소정방법에 따라서 기지국으로부터 다중화된다. 다중화된 신호는 변조회로(914)에 의해 변조된다. 전송증폭기(915)등은 변조된 신호가 전송처리되게 하고 신호를 단말장치(920)로 전송한다.

회로품질이 상기와 같이 수신파워로부터 추정되면, 추정결과는 도 5에 나타낸 것과 같다. 특히, 수신파워(P)의 평균으로부터 산출된 품질추정치(Qb)는 실제회로품질(Qo)과 거의 유사하게 변화되지만, 품질추정치는 전송통로(페이딩, 다중통로, 간섭파등)의 상태에 의거하여 실제품질로부터 차이(y)를 가진다. 이 차이(y)는 전송통로의 상태에 의거하여 다르므로, 회로품질을 정확하게 추정하는 것이 어렵다.

발명이 이루고자 하는 기술적 과제

이러한 실정을 감안하여 본 발명의 목적은 상기와 같은 통신시스템이 사용될때 전송신호의 회로품질을 만족스럽게 검출할수 있는 것이다.

발명의 구성 및 작용

본 발명의 구성에 따르면, 전송파워제어를 위하여 제 1국과 제 2국사이에서 전이중방식으로 통신을 행하는 통신방법은 제 1국에서 전송된 신호를 수신하는 제 2국에서의 수신단계와, 수신단계다음의 제 1과정을 처리하는 제 2국에서의 제 1처리단계와, 제 1처리단계에서의 출력치와 수신상태에 따라서 설정된 가변 기준치를 비교하는 제 2과정을 처리하는 제 2국에서의 제 2처리단계와, 제 2처리단계에서 생성된 파워제어정보를 제 1국으로 전송하는 제 2국에서 전송단계와, 파워제어정보에 의해 전송파워를 제어하는 제 1국에서의 파워제어단계를 포함한다.

본 발명의 실시예에 의한 통신 방법과 통신 장치는 이후에 도 6 내지 도 23을 참조하여 설명될 것이다.

먼저 본 실시예가 적용된 통신 방식을 설명한다. 본 실시예의 통신 방식은 복수의 부반송파가 미리 할당된 한 대역 내에서 연속적으로 처리되고, 상기 단일 대역 내의 복수의 부반송파가 단일 송신 경로에 동시에 사용되는 일명 다중 반송파 방식으로 구성된다. 또한, 단일 대역내의 복수의 부반송파는 변조될 대역에서 일괄적으로 분할된다. 여기에서, 본 방식을 대역 분할 다원 접속(BDMA)이라고 한다.

그 구성이 이하에서 설명된다. 도 6은 주파수가 세로축에, 시간이 가로축에 설정된 본 실시예의 송신신호의 슬롯 구성을 나타내는 도면이다. 본 실시예에서, 주파수축 및 시간축은 직교 좌표 시스템을 제공하기 위해 격자 방식으로 분할된다. 특히, 1 송신 대역의 송신 대역폭(1대역 슬롯)은 150KHz로 설정되고 150KHz의 1 송신 대역은 그 내에 24 부반송파를 포함한다. 24 부반송파는 6.25KHz의 동일한 간격으로 연속적으로 배치되고, 모든 반송파에는 0에서 23까지의 부반송파 번호가 할당된다. 그런데, 실제로 존재하는 부반송파는 1 내지 22의 부반송파 번호의 대역에 할당된다. 1 대역 슬롯의 양 끝부분의 대역, 즉 0 및 23의 부반송파 번호의 대역에는 어떤 부반송파도 할당되지 않는데, 다시 말해 이들은 보호대역으로서 역할하도록 만들어지고 그의 파워는 0으로 설정된다.

1 시간 슬롯은 시간축에 대해 200μsec의 간격으로 조절된다. 버스트(burst) 신호는 변조되고 매 시간 슬롯마다 22 부반송파와 함께 송신된다. 1 프레임은 25 시간 슬롯(즉, 5msec)의 열로서 정의된다. 1 프레임 내에 각 시간 슬롯은 0 내지 24의 시간 슬롯 번호가 할당된다. 도 6에서 빗금친 영역은 1 대

역 슬롯에서 1 시간 슬롯 부분을 나타낸다. 이 경우에, 24의 슬롯 번호가 할당된 시간 슬롯은 데이터가 송신되지 않는 기간이다.

복수의 이동국(단말 장치)이 같은 시기에 기지국과의 통신을 수행하는 다원 접속은 주파수축과 시간축을 격자식으로 분할하는 직교 좌표 방식을 사용하므로써 수행된다. 각 이동국과의 연결 상태는 도 2a내지 도 2g에 나타낸 바와 같다. 도 2a 내지 2g는 1 대역 슬롯에 대해 6-이동국이 시간 슬롯(U0, U1, U2, … U5)를 사용하여 기지국에 어떻게 접속되는지를 나타내는 작동 상태를 각각 도시한 도면이다(실제로 사용된 대역 슬롯은 후술될 주파수 호핑(hopping)으로 인해 변화된다). 부호(R)로 표시된 시간 슬롯은 수신 슬롯이고 부호(T)로 표시된 시간 슬롯은 송신 슬롯이다. 도 7a에 나타난 것처럼, 기지국에서 조절된 프레임 타이밍은 24 시간 슬롯(25 시간 슬롯 중에서, 마지막 슬롯, 즉 번호 24의 슬롯은 사용되지 않는다)을 포함하는 기간으로 설정된다. 이 경우에, 송신 슬롯은 수신 슬롯과 다른 대역을 사용하여 송신된다.

도 7b에 도시된 이동국(U0)은 수신 슬롯으로서 1 프레임 내의 시간 슬롯 번호 0, 6, 12, 18의 시간 슬롯을 사용하는 반면, 송신 슬롯으로서 시간 슬롯 번호 3, 9, 15, 21의 시간 슬롯을 사용한다. 버스트 신호는 각 시간 슬롯에서 수신 또는 송신된다. 도 7c에 도시된 이동국(U1)은 수신 슬롯으로서 1 프레임 내에 시간슬롯 번호 1, 7, 13, 19의 시간 슬롯을 사용하는 반면, 송신 슬롯으로서 시간 슬롯 번호 4, 10, 16, 22의 시간 슬롯을 사용한다. 도 7d에 나타난 이동국(U2)은 수신 슬롯으로서 1 프레임 내에 시간 슬롯번호 2, 8, 14, 20의 시간 슬롯을 사용하는 반면, 송신 슬롯으로서 시간 슬롯 번호 5, 11, 17, 23의 시간 슬롯을 사용한다. 도 7e에 나타난 이동국(U3)은 수신 슬롯으로서 1 프레임 내에 시간 슬롯 번호 3, 9, 15, 21의 시간 슬롯을 사용하는 반면, 송신 슬롯으로서 시간 슬롯 번호 0, 6, 12, 18의 시간 슬롯을 사용한다. 도 7f에 나타난 이동국(U4)은 수신 슬롯으로서 1 프레임 내에 시간 슬롯 번호 4, 10, 16, 22의 시간 슬롯을 사용하는 반면, 송신 슬롯으로서 타임슬롯 번호 1, 7, 13, 19의 시간 슬롯을 사용한다. 또한, 도 7g에 나타난 이동국(U5)은 수신 슬롯으로서 1 프레임내에 시간 슬롯 번호 5, 11, 17, 23의 시간 슬롯을 사용하는 반면, 송신 슬롯으로서 시간 슬롯 번호 2, 8, 14, 20의 시간 슬롯을 사용한다.

도 7a 내지 도 7g에 도시된 구성의 사용에 의하여, 6-이동국이 1 대역 슬롯 내에서 접속되는 6-TDMA(시분할 다원 접속)이 수행된다. 각 이동국은 1 시간 슬롯 기간의 송수신의 완료로부터 다음 송수신의 시작까지 2 시간 슬롯(즉, 400μsec)의 여유 기간을 가진다. 각 이동국은 타이밍 처리 및 상기 여유를 사용하므로써 주파수 호핑이라고 하는 처리를 수행한다. 특히, 각 송신 슬롯(T)전의 약 200μsec동안 이동국은 타이밍 처리(TA)를 수행하여 송신 타이밍을 기지국에서 송신된 신호의 타이밍과 일치시키고 각 송신 슬롯(T)이 완료된 다음 약 200μsec후에 신호 송수신을 수행하기 위한 대역 슬롯을 또다른 대역 슬롯으로 전환하는 주파수 호핑이 수행된다. 송신율이 높게 설정될 때 상기 타이밍이 사용되므로 송신율이 낮게 설정되고 사용된 대역 슬롯의 수가 변화한다면 다시 주파수 호핑을 하기 위한 타이밍의 설정이 필요하다. 주파수 호핑은 하나의 기지국을 위해 준비된 복수의 대역 슬롯이 각 이동국에 균등하게 사용되도록 한다.

특히, 복수의 대역 슬롯은 단일 기지국에 할당된다. 1기지국이 1셀을 형성하는 셀룰러 시스템의 경우에, 만약 1.2MHz의 대역이 1셀에 할당되면, 8대역 슬롯이 1셀에 할당될 수 있다. 마찬가지로, 만약 2.4MHz의 대역이 1셀에 할당되면, 16대역 슬롯이 1셀에 할당될 수 있다. 만약 4.8MHz의 대역이 1셀에 할당되면, 32대역 슬롯이 1셀에 할당될 수있다. 만약 9.6MHz의 대역 슬롯이 1셀에 할당되면 64슬롯이 1셀에 할당될 수 있다. 그리고 나서 주파수 호핑이라고하는 주파수 전환 처리가 수행되어 1셀에 할당된 복수의 대역 슬롯이 균등하게 사용되도록 한다. 본 예에서, 주파수가 연속적인 복수의 대역 슬롯이 1셀에 할당된다.

도 8은 셀의 이상적인 배열을 나타낸다. 만약 셀이 이런 식으로 배열되면, 모든 셀에 할당되는데 3종류의 주파수면 충분하다. 즉, 한 주파수가 제 1대역을 사용하는 그룹(Ga)의 셀에 할당되고, 또다른 주파수는 제 2대역을 사용하는 그룹(Gb)의 셀에 할당되고, 또다른 주파수는 제 3대역을 사용하는 그룹(Gc)의 셀에 할당된다. 다시말해, 도 9a 및 도 9b에 나타난 것처럼, 만약 1셀이 8대역 슬롯을 사용하면 연속된 8대역 슬롯이 그룹(Ga)에 대해 준비되고, 다음 연속된 8대역 슬롯이 그룹(Gb)에 대해 준비되고 다음 연속된 8대역 슬롯이 그룹(Gc)에 대해 준비된다. 이 경우에, 도 9c에 나타난 것처럼, 각 대역 슬롯은 22부반송파를 포함하고 다중 반송파 송신은 동시에 복수의 부반송파를 사용하여 수행된다. 도 7a 내지 도 7g에 나타난 것처럼, 다중 반송파 송신을 위한 대역 슬롯이 변화되는 주파수 호핑을 수행하는 동안 셀 내에서 이동국과의 통신이 수행된다.

통신 상태는 상기와 같이 설정되어 각 이동국과 기지국 사이에 송신된 신호는 다른 신호에 대해 직교성을 갖도록 유지된다. 따라서, 상기 신호는 다른 신호로부터의 간섭으로 방해받지 않을 것이고 대응하는 신호만을 만족스럽게 추출할 수 있다. 송신에 사용되는 대역 슬롯이 주파수 호핑에 의해 언제라도 변화되므로, 각 기지국에 대해 준비된 송신 대역이 효과적으로 사용되고 이로인해 효과적인 송신이 이루어진다. 이 경우에, 상기한 바와같이 1 기지국(셀)에 할당될 주파수 대역이 자유롭게 정해질 수 있다. 따라서, 사용된 상황에 따라 자유롭게 방식이 설정될 수 있다.

다음으로, 상기 방식으로 기지국과의 통신을 수행하는 단말 장치(이동국)의 구성이 설명될 것이다. 이 경우에, 2.0GHz의 대역이 기지국에서 단말 장치까지의 다운링크로서 사용되는 반면, 2.2GHz의 대역이 단말 장치에서 기지국으로 업링크로서 사용된다.

도 10은 장치의 구성을 나타내는 도면이다. 이의 수신 방식이 먼저 설명될 것이다. 신호를 송신 및 수신하는데 사용되는 안테나(11)는 안테나 공용기에 접속된다. 안테나 공용기(12)는 수신 신호 출력측에 대역 통과 필터(13), 수신 증폭기(14), 믹서(15)와 직렬로 접속된다. 대역 통과 필터(13)는 2.0GHz대역의 신호를 추출한다. 믹서(15)는 대역 통과 필터로부터의 출력을 주파수 합성기(31)로부터의 1.9GHz의 주파수 신호와 혼합하여 수신 신호는 100MHz의 중간 주파수 신호로 변환된다. 주파수 합성기(31)는 PLL(phase locked loop circuit)로 형성되고, 이것은 온도 보상형 기준 발진기(TCXO)(32)에서 출력된 19.2MHz의 신호를 1/128 주파수 분할기(33)로 주파수 분할하므로써 발생된 150kHz의 신호에 따라 1.9GHz의 대역에서 150kHz의 간격(즉, 1대역 슬롯 간격)으로 신호를 발생시키기 위한 합성기이다. 단

말 장치에 사용된, 후술될 다른 주파수 합성기도 또한 PLL회로로 형성된다.

믹서(15)에서 출력된 중간 주파수 신호는 대역 통과 필터(16) 및 가변 이득 증폭기(17)를 통해 복조에 사용되는 두 믹서(18I, 18Q)로 공급된다. 주파수 합성기(34)에서 출력된 100MHz의 주파수신호는 이상기(35)로 공급되어 상기 신호는 위상이 서로 90도만큼 이동된 두 시스템 신호로 만들어진다. 두 시스템 주파수 신호 중 하나는 믹서(18I)로 공급되는 반면, 다른 하나는 믹서(18Q)로 공급되어 각각 중간 주파수 신호와 혼합되고, 이에 의해 수신 데이터에 포함된 I성분 및 Q성분이 추출된다. 주파수 합성기(34)는 1/128 주파수 분할기(33)의 주파수 분할에 의해 발생된 150kHz의 신호에 따라 100MHz대역의 신호를 발생시키는 합성기이다.

그리고 나서, 상기 추출된 I성분은 저역 통과 필터(19I)를 통해 아날로그 디지털 변환기(20I)로 공급되어 상기 성분은 디지털 I데이터로 변환된다. 상기 추출된 Q성분은 저역 통과 필터(19Q)를 통해 아날로그 디지털 변환기(20Q)로 공급되어 상기 성분은 디지털 Q데이터로 변환된다. 이 경우에, 각 아날로그 디지털 변환기(20I, 20Q)는 TCXO(32)에서 출력된 19.2MHz의 클럭을 1/96 주파수 분할기(36)로 분할하므로써 발생된 변환용 클럭으로서 200kHz의 클럭을 사용한다.

그러면, 아날로그 디지털 변환기(20I, 20Q)에서 출력된 디지털I 데이터 및 디지털 Q데이터는 복조된 수신 데이터가 단자(22)에서 얻어지는 복조 디코더(21)로 공급된다. 복조 디코더(21)는 클럭으로서 TCXO(32)에서 출력된 19.2 MHz의 클럭을 그대로 공급받고, 또한 1/96 주파수 분할기(36)에서 출력된 200kHz의 클럭을 1/40주파수 분할기(37)로 주파수 분할하므로써 발생된 5kHz의 클럭을 공급받는다. 5kHz의 클럭은 슬롯 타이밍 데이터를 발생시키는데 사용된다. 특히, 본 예에서, 1 시간 슬롯은 상기한 바와같이 200μsec로 설정된다. 그런데, 주파수가 5kHz인 신호는 200μsec의 1주기를 가진다. 따라서, 슬롯 타이밍 데이터는 5kHz의 신호와 동시에 발생된다.

다음으로, 단말 장치의 송신 방식이 설명될 것이다. 단자(41)에서 얻어진 송신 데이터는 변조 부호기(42)로 공급되어 부호화 및 변조 처리가 송신을 위해 수행되어서 송신을 위한 디지털 I데이터 및 디지털 Q데이터를 발생시킨다. 이 경우에, 변조 부호기(42)는 클럭으로서 TCXO(32)에서 출력된 19.2MHz의 클럭을 그대로 공급받고 또한 슬롯 타이밍을 발생시키기 위한 데이터로서 1/40 주파수 분할기(37)의 분할에 의해 발생된 5kHz의 신호를 공급받는다. 변조 부호기(42)에서 출력된 디지털 I데이터 및 디지털 Q데이터는 디지털 아날로그 변환기(43I 및 43Q)로 공급되어 상기 데이터가 아날로그 I신호 및 아날로그 Q신호로 변환된다. 상기 변환된 I신호 및 Q신호는 저역 통과 필터(44I 및 44Q)를 통해 믹서(45I 및 45Q)로 공급된다. 또한 주파수 합성기(38)에서 출력된 300MHz의 주파수 신호는 위상이 서로 90도 만큼 이동된 두 시스템 신호로 이상기(39)에 의해 변환된다. 두 시스템 주파수 신호 중 하나는 믹서(45I)로 공급되는 반면 다른 하나는 믹서(45Q)로 공급되고 이에 의해 주파수신호는 I신호 및 Q신호와 각각 혼합되어서 300MHz대역에서 발생되도록 신호를 형성한다. 상기 신호 둘다는 가산기(46)로 공급되어 직교변조를 수행하여서 이들을 단일 시스템 신호로 통합한다. 주파수 합성기(38)는 1/128 주파수 분할기(33)의 주파수 분할에 의해 발생된 150kHz의 신호에 따라 300MHz대역의 신호를 발생시키는 합성기이다.

그러면, 가산기(46)에서 출력된 300MHz대역의 신호로 변조된 신호는 송신 증폭기(47) 및 대역 통과 필터(48)를 통해 믹서(49)로 공급되고 이 신호는 주파수 합성기(31)에서 출력된 1.9GHz의 주파수 신호에 가산되어서 이 신호는 2.2GHz대역의 송신 주파수의 신호로 변환된다. 송신 주파수로 주파수 변환된 송신 신호는 송신 증폭기(가변 이득 증폭기)(50) 및 대역 통과 필터(51)를 통해 안테나 공용기(12)로 공급되어서 상기 신호는 안테나 공용기(12)에 접속된 안테나(11)로부터 무선 방식으로 송신된다. 송신 증폭기(50)의 이득은 제어되고 이에 의해 송신 출력이 조절된다. 송신 출력의 제어는 예를들어 기지국측에서 수신된 출력 제어 데이터에 따라 수행된다.

또한, TCXO(32)에서 출력된 19.2MHz의 신호는 1/2400주파수분할기(40)로 공급되어 8kHz의 신호로 변환되고 이 8kHz의 신호는 음성 처리 방식의 회로(도시되지 않음)로 공급된다. 즉, 본 예의 단말 장치에서, 단말 장치와 기지국 사이에서 송신된 음성 신호는 8kHz의 비율로 표본화(또는 이 주파수의 정수배의 비율로 오버샘플링)된다. 따라서, 1/2400 주파수 분할기(40)는 음성 신호의 아날로그 디지털 변환기 및 디지털 아날로그 변환기 또는 음성 데이터 등을 압축 및 확장 처리하는 디지털 신호 처리기(DSP)와 같은 음성데이터 처리 회로에 필요한 클럭을 생성한다.

다음으로, 본 구성의 단말 장치의 송신 시스템에서 부호기 및 그 주변 구성이 도 11을 참고로 상세하게 설명될 것이다. 콘벌루션(Convolution) 부호기(101)는 송신 데이터는를 콘벌루션 부호화한다. 콘벌루션 부호화는 예를들어 k = 7의 제한된 길이와 R = 1/3의 부호 비율로 수행된다. 도 7은 k = 7의 제한길이 및 R = 1/3의 부호화 비율을 가지는 콘벌루션 부호기의 구성을 나타내는 도면이다. 입력 데이터는 직렬 접속된 6개의 지연 회로(101a, 101b, …, 101f)로 공급되어 연속 7 비트 데이터가 타이밍이 일치하도록 한다. Ex-OR 게이트(101g, 101h, 101i)는 7비트의 소정의 데이터의 배타적-OR을 취하고 각 Ex-OR게이트(101g, 101h, 101i)의 출력은 직렬 병렬 변환 회로(101j)에 의해 병렬 데이터로 변환되고 이에 의해 콘벌루션 부호화 데이터가 얻어진다.

도 11이 다시 설명된다. 콘벌루션 부호화기(101)의 출력은 4 프레임 인터리브 버퍼(102)로 공급되어 데이터 인터리브가 4 프레임(20 msec) 동안 수행된다. 인터리브 버퍼(102)의 출력은 DQPSK 부호기(110)로 공급되어 DQPSK 변조가 수행된다. 즉, DQPSK기호 발생 회로(111)는 공급된 데이터에 따라 해당 기호를 발생시키고 그리고나서 상기 기호는 곱셈기(112)의 한 입력 단자로 공급된다. 지연 회로(113)는 곱셈기(112)의 곱해진 출력을 1 기호양만큼 지연시켜서 이것을 다른 입력 단자로 복귀시키고 이에 의해 DQPSK변조가 수행된다. DQPSK 변조 데이터는 곱셈기(103)로 공급되어 랜덤 위상 이동 데이터 발생 회로(104)에서 출력된 랜덤 위상 이동 데이터가 변조 데이터에 곱해지고 이에 의해 데이터의 위상은 분명하게 임의로 변화된다.

곱셈기(103)의 출력은 IFFT회로(고속 푸리에 역변환 회로)(105)로 공급되어 시간축으로의 변환 처리는 고속 푸리에 역변환의 연산에 의해 주파수축의 데이터에 수행되고, 이에 의해 22 부반송파의 다중 반송파 신호의 상기 시간축상의 데이터가 6.25kHz의 간격으로 발생된다. 고속 푸리에 역변환을 수행하기 위한 IFFT회로(105)는 제곱수의 부반송파를 발생시키는 비교적 간단한 구성을 가능하게 한다. 본 예에서 사

용된 IFFT회로(105)는 2^5부반송파, 즉 32 반송파를 발생시킬 수 있고 상기 발생된 부반송파 중 연속 22 부반송파로 변조된 데이터를 출력한다. 본 예의 IFFT회로(105)에 의해 처리된 송신 데이터의 변조율은 200kHz로 설정된다. 200kHz의 변조율의 신호는 연산 200kHz ÷ 32 = 6.25kHz의 연산으로부터 도출된 수인 6.25kHz의 간격을 가지는 다중 반송파 신호를 발생하기 위해 32 다중 반송파로 변환된다.

고속 푸리에 역변환에 의해 실시간의 데이터로 변환된 다중반송파 데이터는 곱셈기(107)로 보내져서 윈도(window) 데이터 발생 회로(106)에서 출력된 시간 파형과 곱해진다. 시간 파형은 예를들어, 도 8a에 나타난 것처럼 송신측에 1파형 길이(Tu), 즉 약 200μsec(다시말해, 1시간 슬롯 기간)를 가지는 파형이다. 그런데, 파형은 그 파형 레벨에서 완만하게 변화하는 양단부(T_{TR})(약 15μsec)를 갖도록 구성된다. 이에 의해, 인접하는 시간 파형은 상기 시간 파형이 곱셈에 사용될 때 도 8b에 나타난 것처럼 서로 부분적으로 겹치도록 구성된다.

도 11이 다시 설명된다. 곱셈기(107)에 의해 시간파형과 곱해진 신호는 버스트 버퍼(108)를 통해 가산기(109)로 공급된다. 가산기(109)는 제어 데이터 선택기(121)에서 출력된 제어 데이터를 소정의 위치에서 상기 신호에 가산한다. 가산에 사용된 제어 데이터는 송신 출력의 제어를 나타내는 제어 데이터이다. 단자(122)에서 상기 수신된 신호의 상태에 대한 판정의 결과에 따라, 선택기(121)는 제어 데이터를 설정한다.

이 경우에, 선택기(121)는 세 개의 제어 데이터 메모리(123, 124, 125)(실제로 이 세 메모리들은 하나의 메모리 영역을 세 부분으로 분할하므로써 제공되어도 된다)와 접속된다. 송신 출력을 감소시키기 위한 제어 데이터(-1데이터)는 메모리(123)에 저장되고, 상기 송신 출력을 불변 상태로 유지하기 위한 제어 데이터(±0데이터)는 메모리(124)에 저장되고, 송신 출력을 증가시키는 제어 데이터(+1데이터)는 메모리(125)에 각각 저장된다. 이 경우에 저장된 제어 데이터는 해당 제어 데이터가 곱셈기(107)까지 부호기에서 송신용 변조 처리될 때의 데이터와 같은 데이터이다.

더 구체적으로, 송신 데이터는 서로 직교인 I축 및 Q축으로 형성된 평면상에서 변화하는 위상 변조 데이터, 즉 도 14에 도시된 평면상에서 원을 따라 변화하는 데이터이다. (0, 0)의 위치에서 데이터(I, Q)는 ±0데이터로 정해지고, 상기 위치에서 90도만큼 뒤에 있는 (1, 0)의 위치의 데이터는 -1데이터로 정해지고 상기 ±0의 위치의 90만큼 앞인 (0, 1)의 위치에 있는 데이터는 +1데이터로 정해진다. (1, 1)의 위치에 해당하는 송신 출력에 대한 제어 데이터는 정해지지 않아서 수신측이 상기 위치의 데이터를 판정했을 때 상기 데이터는 송신 출력을 변하지 않도록 하기 위해 ±0으로 간주한다. 도 14에 나타난 신호 위상은 다중 반송파 신호로 변조되기 전의 위상이다. 실제로, 신호 위상의 데이터는 다중반송파 신호로 변조되고 시간 파형과 곱해지므로써 발생된 데이터는 각 메모리(123, 124, 125)에 저장된다.

가산기(109)에 의해 제어 데이터와 가산된 송신 데이터는 디지털 아날로그 변환기(43)(도 10에 도시된 디지털 아날로그 변환기(43I, 43Q)에 해당한다)로 공급되어 송신 데이터는 변환용 200kHz의 클럭을 사용하여 아날로그 신호로 변환된다.

다음으로, 본 예의 단말 장치의 수신 시스템의 디코더 및 이의 주변 구성이 도 10을 참고로 상세하게 설명될 것이다. 200kHz의 클럭을 사용하여 (도 10에서 아날로그 디지털 변환기(20I, 20Q)에 해당하는)아날로그 디지털 변환기(20)에 의한 변환의 결과인 디지털 데이터는 버스트 버퍼(131)를 통해 곱셈기(132)로 공급되고 상기 디지털 데이터는 역윈도 데이터 발생 회로(133)에서 출력된 시간 파형과 곱해진다. 수신 시에 곱셈을 위해 사용된 시간 파형은 도 9a에 도시된 형태를 갖는 시간 파형이다. 이 시간 파형은 길이(T_M), 즉 160μsec을 갖도록 구성되고 이것은 송신 시의 길이보다 짧다.

시간 파형과 곱해진 수신 데이터는 주파수축과 시간축 사이의 변환이 고속 푸리에 변환 처리에 의해 수행되는 FFT회로(134)로 공급되고, 이에 의해 간격 6.25kHz를 갖는 22 부반송파로 변조되고 시간축에 배열된 송신 데이터는 각각 반송파를 가지는 정보 성분으로 분리된다. 이 경우에 변환 처리는, 송신 시스템에서 IFFT회로에 의해 변환 처리가 수행되는 경우와 마찬가지로, 2^5부반송파, 즉 32부반송파를 처리할 수 있는 회로에 의해 수행된다. 그들 중 연속 22 부반송파로 변조된 데이터는 변환되어 상기로부터 출력된다. 본 예의 FFT회로(134)에 의해 처리된 송신 데이터의 변조율은 200kHz로 정해진다. 상기 회로는 32 다중반송파를 처리할 수 있으므로 변환 처리는 연산 200kHz ÷ 32 = 6.25 kHz로부터 유출된 수인 6.25kHz의 간격으로 다중반송파에 수행될 수 있다.

FFT회로(134)에서 고속 푸리에 변환되었던 수신 데이터는 곱셈기(135)로 공급되고, 여기에서 수신 데이터는 역랜덤 위상 이동 데이터 발생 회로(136)에서 출력된 역랜덤 위상 이동 데이터(이 데이터는 송신측에 랜덤 위상 이동 데이터와 동시에 변화하는 데이터임)와 곱해지고 이에 의해 상기 데이터는 원래 위상을 갖도록 복귀된다.

원래 위상을 갖도록 회복된 데이터는 차동 복조 회로(137)로 공급되고 이 데이터는 차동 복조된다. 상기 차동 복조된 데이터는 4 프레임 디인터리브(deinterleave)버퍼(138)로 공급되고 여기에서 송신시에 4 프레임 동안 인터리브된 데이터는 원래 데이터 배열을 갖도록 복귀된다. 상기 디인터리브된 데이터는 비터비(Vitervi) 디코더(139)로 공급되어 상기 데이터는 비터비 복호된다. 상기 비터비 복호된 데이터는 복호된 수신 데이터로서 다음단계에 놓인 (도시되지 않은)수신 데이터 회로로 공급된다.

도 16은 본 실시예에 따른 단말장치에 의해 수신된 신호에 의거하여 파워제어비트를 발생하는 처리에 대한 구성을 나타낸다. 차동복조회로(137)는 수신된 신호를 수신심볼을 얻기위하여 차동복조한다. 디인터리브버퍼(138)는 수신심볼을 디인터리브하여서 ti를 비터비디코더(139)에 공급한다. 비터비디코더(139)는 수신비트를 얻기위하여 수신심볼을 비터비복호한다. 이 처리는 도 15를 참조하여 서술된 상기 처리와 유사하다. 더구나, 차동복조회로(137)는 차동복조의 결과에 의거하여 회로품질추정치(Q)를 산출하고, 회로품질추정치(Q)를 비교기(141)에 공급한다. 회로품질추정치(Q)의 산출처리는 뒤에 서술한다.

비터비디코더(139)는 비터비복호의 결과에 의거해서 심볼에러추정치(E)를 출력한다. 심볼에러추정치(E)의 산출처리는 뒤에 서술한다. 심볼에러추정치(E)는 감산기(142)에 공급된다. 감산기(142)에는

임계치발생회로(143)에서의 임계치데이터가 공급되어 심볼에러추정치(E)와 심볼에러의 기준치(임계치)사이의 차를 산출한다. 임계치는 에러발생율의 약 5%의 값으로 설정된다.

감산기(142)에 의해 산출된 기준치에 대하여 차이값은 작은 이득을 가지는 증폭기(142a)를 통하여 가산기(144)에 공급된다. 가산기(144)는 가산된 출력이 지연회로(145)를 통하여 가산기(144)로 되돌아오도록 구성됨으로써 감산기(142)에서의 출력이 적분된다. 이 경우에서, 증폭기(142a)의 이득이 작게 설정되므로, 적분은 작은 비율로 실행된다. 지연회로(145)는 데이터를 1심볼데이터량만큼 지연하는 회로이다.

지연회로(145)에서의 출력은 제 1기준치(TH1)으로서 비교기(141)에 공급되고, 또한 증폭기(147)에 의해 1.5배 증폭되고 제 2기준치(TH2)로서 비교기(141)에 공급된다.

비교기(141)는 회로품질추정치(Q)와 제 1 및 제 2기준치(TH1,TH2)를 다음과 같이 비교한다. 도 17에 나타낸 것같이, 회로품질추정치(Q)가 제 1 및 제 2기준치(TH1,TH2)사이에 있으면, 비교기(141)는 0(즉, 파워를 그대로 유지하기 위하여 사용되는 데이터)의 제어데이터의 파워제어비트를 출력한다. 회로품질추정치(Q)가 제 1기준치(TH1)를 넘으면, 비교기(141)는 -1(즉, 파워를 저하시키기 위하여 사용되는 데이터)의 제어데이터의 파워제어비트를 출력한다. 회로품질추정치(Q)가 제 2기준치(TH2)보다 작거나 같으면, 비교기(141)는 +1(즉, 파워를 상승시키기 위하여 사용되는 데이터)의 제어데이터의 파워제어비트를 출력한다. 각각의 제어데이터를 도 11 및 14를 참조하여 서술한다.

회로품질추정치(Q)를 산출하기 위한 구성을 도 18을 참조하여 서술한다. 차동복조회로(137)에 의해 차동복조된 수신신호는 회로품질추정회로(150)에 공급된다. 회로품질추정회로(150)에서 수신심볼은 심볼을 일시적으로 판정하기 위한 임시판정회로(151)에 공급된다. 감산기(152)는 임시 판정된 데이터와 수신심볼과의 차이를 산출한다. 여기에서 산출된 차이는 노이즈성분에 대응한다. 차이데이터는 이승회로(153)로 공급되어 절대치를 제곱하는 처리를 하게 한다. 제곱된 데이터는 평균치를 계산하기 위하여 평균회로(154)로 공급된다. 수신심볼은 이승회로(156)로 직접공급되어 절대치를 제곱하는 처리를 행한다. 제곱된 값은 평균회로(157)로 공급되어 평균치를 산출한다. 평균회로(154,157)의 출력은 분할회로(154)로 공급되어 분할처리를 행하게 된다. 분할된 값은 회로품질추정치(Q)로서 비교기(141)에 공급된다.(도 16참조) 상기 처리는 수신파워의 추정치에 대하여 노이즈파워의 추정치의 비가 산출되게 한다. 그러면, 그 비율은 회로품질추정치(Q)로서 사용된다.

심볼에러추정치(E)를 산출하는 구성을 도 19를 참조하여 설명한다. 비터비디코더(139)에서 비터비복호에 의해 얻어진 수신비트가 심볼에러추정회로(160)에서 재부호화회로(161)로 공급되고, 거기에서 부호화된 심볼은 다시 비교기(162)에 공급된다. 디인터리브버퍼(138)에 의해 디인터리브된 수신심볼은 버퍼(163)를 통하여 비교기(162)에 공급된다. 비교기(1620는 재부호화된 심볼과 수신심볼을 비교한다. 버퍼(163)는 비터비디코더(139)와 재부호화회로(161)의 처리시각에 응하여 수신심볼을 지연하는 버퍼이다. 비교결과가 양 심볼이 서로 일치하지 않는 것을 나타내면, 비교기(162)는 양 심볼이 서로 일치하지 않는 것을 나타내는 데이터를 출력한다. 심볼에러카운터(164)는 양 심볼이 서로 일치하지 않는것을 나타내는 데이터의 수를 세어서 소정 시간에 얻어진 카운트값으로부터 심볼에러발생율을 판단함으로써 심볼에러추정치(E)로서 감산기(142)에 결정된 값을 공급한다(도 16참조).

회로품질추정치(Q)와 심볼에러추정치(E)가 상기와 같이 계산되고, 도 16에 나타낸 회로가 파워제어비트를 발생하므로, 회로품질을 일정하게 자세하게 결정하는 것이 가능하다. 특히, 도 18에 나타낸 회로품질추정회로(150)에 의해 검출된 회로품질추정치(Q)는 실제의 회로품질과 같은 변화를 가지는 데이터가 되고, 실제전송통로상태에 따라서 실제회로품질과 차이를 가진다. 실제전송선상태가 심볼에러추정치(E)로부터 추정의 결과에 의거하여 추정되므로, 실제회로품질과 추정된 회로품질사이의 차이를 정정하는 처리가 실행되고 실제 회로품질의 변화에 대응하는 정확한 파워제어비트가 발생될수 있다.

도 20은 지금까지 설명된 처리의 타이밍을 나타낸다. 먼저, 1 시간 슬롯의 데이터는 수신 시스템의 타이밍(R11)에서 수신되고, 수신과 동시에 수신된 데이터는 아날로그 디지털 변환기(20)에 의해 디지털 데이터로 변환되고 그리고나서 버스트 버퍼(131)에 저장된다. 저장된 수신 데이터는 다음 타이밍(R12)에서 시간 파형과의 곱셈, 고속 푸리에 변환, 역랜덤 위상 이동 데이터와의 곱셈, 차동 복조, 비터비 복조 등와 같은 복조 처리가 된다. 이후에, 복조는 다음 타이밍(R13)에서 데이터 처리에 의해 수행된다.

그러면, 타이밍(R11)후에 6 시간 슬롯인 타이밍(R21)에서 타이밍(R23)까지, 타이밍(R11 내지 R13)의 처리와 같은 처리가 수행된다. 이후에, 상기와 같은 처리가 반복된다.

송신 방식에서, 송신은 수신의 타이밍에 대해 3 시간 슬롯만큼 이동된 타이밍에서 수행된다. 즉, 송신 데이터는 소정의 타이밍(T11)에서 부호화되고 이 부호화된 데이터는 변조 처리되고 이에 의해 상기 데이터는 다음 타이밍(T12)에서 1버스트 양만큼의 송신 데이터로 변환되고, 상기 데이터는 송신 시스템의 버스트 버퍼(108)에 일단 저장된다. 그리고나서, 수신 타이밍(R11)으로부터 3시간 슬롯 뒤인 타이밍(T13)에서, 버스트 버퍼(108)에 저장된 송신 데이터는 디지털 아날로그 변환기(43)에 의해 변환되어서 송신 처리되고 안테나(11)로부터 전송된다. 그리고나서, 타이밍(T11)의 6 시간 슬롯 후인 타이밍(T21)으로부터, 타이밍(T23)까지 타이밍(T11 내지 T13)의 처리와 같은 처리가 수행된다. 이후에, 상기와 동일한 처리가 반복된다.

이런 식으로, 수신 및 송신 처리가 시분할식으로 간헐적으로 수행된다. 본 예에서, 송신 데이터에 가산된 송신 출력의 제어 데이터(제어 비트), 즉 도 11을 참고로 설명된 바와같이 송신 시에 송신 출력의 제어 데이터는 가산기(109)에 의해 부호화 처리가 송신을 위해 완료되는 마지막 타이밍에 가산된다. 따라서, 수신 데이터의 상태는 송신될 제어 데이터에 신속하게 반영될 수 있다. 다시 말해, 예를 들어 타이밍(R11)에서 수신된 버스트 신호의 수신 상태는 타이밍(R12)에서 복조 중에 검출되고, 통화의 상대방(기지국)에 통지될 송신 출력의 제어 상태가 판단된다(즉, 도 20은 제어 비트 연산을 나타내는 타이밍에서의 처리를 나타낸다). 제어 비트가 계산될 때, 이 연산의 결과는 단자(122)에서 선택기(121)로 보내지고, 여기에서 상기 연산 결과는 버스트 버퍼(108)에 저장된 송신 데이터에 해당하는 제어 데이터에 가산되고, 타이밍(T13)에서 송신될 버스트 신호는 상태를 나타내는 마지막 수신 데이터에 따라 송신 출력의

제어 데이터에 가산된다.

통화를 수행하는 상대자(기지국)는 타이밍(T13)에서 송신된 제어 데이터를 판단하여서 상기 상대자는 버스트 신호가 다음 타이밍(R21)에서 기지국으로부터 송신될 때 송신 출력을 해당 상태로 제어한다. 이 결과, 다음에 송신될 버스트 신호는 앞의 순환에서 송신된 버스트 신호의 수신 상태에 따라 그것의 송신 출력에서 제어된다. 따라서, 송신 출력은 버스트 신호가 송신되는 매 1 사이클마다 확실하게 제어되고, 이에 의해 실질적으로 단말 장치와 하나의 기지국 사이의 복수의 경로를 통해 동시에 송신된 송신 신호의 송신출력을 일정하게 하는 것이 가능하다.

만약 본 예에서처럼, 가산 처리가 미리 수행되도록 송신 출력의 제어 데이터가 메모리에서 준비되는 처리가 수행되지 않으면 이에 따른 결과는 예를들어 도 20의 예에서 발생할 것이다. 즉, 타이밍(R11)에서 수신된 결과는 타이밍(R12)의 복조 처리에서 판단되고, 이후에 제어 데이터는 타이밍(T21)에서 부호화되고 타이밍(T22)에서 복조되고, 타이밍(R11)의 수신 결과에 따른 제어 데이터는 타이밍(T23)에서 송신된 버스트 신호에 응답하여 송신된다. 따라서, 모든 사이클에서 송신 출력을 제어하기는 불가능하다. 지금까지는 기지국의 송신 출력을 제어하는데 유용한 단말 장치측에서 발생시키는 경우에 대해 설명한 반면, 단말 장치의 송신 출력을 발생시키는데 유용한 데이터를 또한 기지국에서 발생시키는 것도 가능함은 물론이다.

이하에서는 도 21~도 23를 참조하여 기지국의 구성이 설명될 것이다. 송신 및 수신을 수행하는 기지국의 구성은 기본적으로 단말장치측의 구성과 동일하다. 그러나 기지국은 복수의 단말 장치에 동시에 접근 가능하게 하는 다원 접근 방식에서 단말 장치와 다르다.

먼저, 도 13에 나타난 수신 시스템의 구성이 설명될 것이다. 송수신을 하는 안테나(211) 는 안테나 공용기(212)에 접속된다. 안테나 공용기(212)는 대역 통과 필터(213), 수신 증폭기(214), 믹서(215)에 그것의 수신 신호 출력측에 직렬로 접속된다. 대역 통과 필터(213)는 2.2 GHz 대역을 추출한다. 믹서(215)는 추출된 신호를 주파수 합성기(231)에서 출력된 1.9 GHz의 주파수 신호와 혼합하여 수신 신호는 300MHz 대역의 중간 신호로 변환된다. 주파수 합성기(231)는 PLL(Phase Locked Loop회로)회로로 형성된다. 주파수 합성기는 온도 보상형 기준 발진기(TCXO)(232)에서 출력된 19.2MHz의 신호를 1/128 주파수 분할기(233)의 주파수 분할에 의해 발생된 150kHz의 신호에 따라 150kHz의 간격(즉, 1 대역 슬롯 간격)으로 1.9GHz의 신호를 발생시키는 합성기이다. 후술될, 기지국에서 사용된 다른 합성기들도 동일하게 PLL회로로 형성된다.

믹서(215)에서 출력된 중간 주파수 신호는 대역 통과 필터(216) 및 수신 증폭기(217)를 통해 복조에 사용되는 두 믹서(218I, 218Q)로 공급된다. 주파수 합성기(234)에서 출력된 300MHz의 주파수 신호는 이상기(235)에 의해 위상이 서로 90도만큼 이동된 두 시스템의 신호로 변환된다. 두 시스템 주파수 신호 중 하나는 믹서(218I)로 공급되고 다른 하나는 믹서(218Q)로 공급되어 이들은 각각 중간 주파수 신호와 혼합된다. 따라서, 수신 데이터에 포함된 I성분 및 Q성분이 추출된다. 주파수 합성기(234)는 1/128 주파수분할기(233)의 주파수 분할에 의해 발생된 150kHz의 신호에 따라 300MHz의 신호를 발생시키는 합성기이다.

상기 추출된 I성분은 저역 통과 필터(219I)를 통해 아날로그 디지털 변환기(220I)로 공급되어 상기 성분은 디지털 I 데이터로 변환된다. 상기 추출된 Q성분은 저역 통과 필터(219Q)를 통해 아날로그 디지털 변환기(220Q)로 공급되어 상기 성분은 디지털 Q 데이터로 변환된다. 상기 각 아날로그 디지털 변환기(220I, 220Q)는 변환용 클럭으로서 1/3 주파수 분할기(236)에 의해 TCXO(232)에서 출력된 19.2MHz의 신호를 주파수 분할하므로써 발생된 6.4MHz의 신호를 사용한다.

그러면, 아날로그 디지털 변환기(220I, 220Q)에서 출력된 디지털 I 데이터 및 디지털 Q 데이터는 복조부(221)로 공급되고 복조된 데이터는 디멀티플렉서(Demultiplexer)(222)로 공급되어 상기 공급된 데이터는 각 단말 장치로부터의 데이터로 분류되고 상기 분류된 데이터는 분리되어 디코더(223a, 223b, …, 223n)로 공급되는데 디코더의 수는 동시에 접근 가능한 단말 장치의 수(1 대역 슬롯당 6단자)에 대응한다. 복조부(221), 디멀티플렉서(222), 디코더(223a, 223b, …, 223n)에는 클럭으로서 TCXO(32)에서 출력된 19.2MHz의 신호가 그 자체로 공급되고, 또한 1/3 주파수 분할기(236)에서 출력된 6.4MHz의 신호를 슬롯 타이밍 데이터로서 주파수분할기(237)에 의해 주파수 분할하므로써 발생된 5kHz의 신호가 공급된다.

다음으로, 기지국의 송신 시스템의 구성이 설명될 것이다. 멀티플렉서(242)는 동시에 통화할 수 있는 각 상대자(단말 장치)를 위해 준비된 부호기(241a, 241b, …, 241n)에 의해 분리되어 송신 데이터를 합성한다. 멀티플렉서(242)의 출력은 변조부(243)으로 공급되어 송신을 위한 변조 처리가 수행되고, 이에 의해 송신용 디지털 I 데이터 및 디지털 Q 데이터가 발생된다. 각 부호기(241a 내지 241n), 멀티플렉서(242), 변조부(243)는 클럭으로서 TCXO(32)에서 출력된 19.2MHz의 신호가 그대로 공급되고, 또한 클럭으로서 1/1280 주파수 분할기(237)에서 출력된 5kHz 신호가 공급된다.

변조부(243)에서 출력된 디지털 I 데이터 및 디지털 Q 데이터는 디지털 아날로그 변환기(244I 및 244Q)로 공급되고 디지털 데이터는 아날로그 I 신호 및 아날로그 Q 신호로 변환된다. 상기 변환된 I 신호 및 Q 신호는 저역 통과 필터(245I 및 245Q)를 통해 믹서(246I 및 246Q)로 공급된다. 또한 주파수 합성기(238)에서 출력된 100MHz의 주파수 신호는 이상기(239)에 의해 위상이 서로 90도 만큼 이동된 두 시스템 신호로 변환된다. 두 시스템 주파수 신호 중 하나는 믹서(246I)로 공급되는 반면, 다른하나는 믹서(246Q)로 공급되고, 이에 의해 주파수 신호는 I 신호 및 Q 신호와 각각 혼합되어서, 300MHz 대역 내의 신호를 형성한다. 상기 두 신호 모두 가산기(247)로 공급되어 수직 변조를 수행하여 이들은 단일 시스템 신호로 통합한다. 주파수 합성기(238)는 1/ 128 주파수 분할기(233)의 주파수분할에 의해 발생된 150kHz의 신호에 따라 100MHz의 신호를 발생시키는 합성기이다

그리고나서, 가산기(247)에서 출력된 100MHz 대역의 신호로 변조된 신호는 송신 증폭기(248) 및 대역 통과 필터(249)를 통해 믹서(250)로 공급되어 주파수 합성기(231)에서 출력된 1.9GHz의 주파수 신호와 합성되고 이 신호는 2.0GHz 대역의 송신 주파수의 신호로 변환된다. 송신 주파수로 주파수 변환된 송신 신호는 송신 증폭기(251) 및 대역 통과 필터(252)를 통해 안테나 공용기(212)로 공급되어서 안테나 공용기

(212)로 접속된 안테나(211)로부터 무선 방식으로 송신된다.

또한, TCXO(232)에서 출력된 19.2MHz의 신호는 1/2400 주파수 분할기(240)로 공급되고 이 신호는 8kHz의 신호로 변환되어 이 8kHz의 신호는 음성 처리 시스템(도시되지 않음)의 회로로 공급된다. 즉, 본 예의 기지국은 단말 장치와 기지국 사이에 송신된 음성 신호를 8kHz의 비율로 표본화(또는 이 주파수의 정수배의 비율로 오버샘플링)하도록 구성되어서, 1/2400 주파수 분할기(240)는 음성 신호의 아날로그 디지털 변환기 및 디지털 아날로그 변환기나 음성 데이터 등에 압축 및 확장을 위한 처리를 하는 디지털 신호 처리기(DSP)와 같은 음성 데이터처리 회로에 필요한 클럭을 발생한다.

다음으로, 송신 데이터를 부호화 및 변조하기 위한 기지국의 구성이 도 22를 참고로 상세하게 설명될 것이다. 이 경우에, N(N은 임의의 수이다)단말 장치(사용자)는 동시에 다원 접근을 수행한다고 가정한다. 따라서, 단말 장치의 각 사용자로의 송신 신호(U0, U1, …, UN)는 각각 콘벌루션 부호기(311a, 311b, …, 311n)로 공급되고, 각각에서 콘벌루션 부호화된다. 콘벌루션 부호화는 예를들어, 제한 길이 k = 7 과 부호화율 R = 1/3로 수행된다.

그리고나서, 각 시스템에 의해 콘벌루션 부호화된 데이터는 4프레임 인터리브 버퍼(312a, 312b, …, 312n)로 각각 공급되고, 이 각각에서 4프레임(20msec)에 걸쳐 데이터의 인터리브가 수행된다. 각 인터리브 버퍼(312a, 312b, … 312n)의 출력은 각각 DQPSK 부호기(320a, 320b, …, 320n)로 공급되고, 이 각각에서 DQPSK 변조가 수행된다. 특히, DQPSK 기호 발생 회로(321a, 321b, …,321n)는 공급된 데이터에 따라 해당 기호를 발생시킨다. 상기 기호는 곱셈기(322a, 322b, …, 322n)의 한 입력으로 공급되고, 곱셈기(322a, 322b, …, 322n)의 곱해진 출력은 각 지연회로(323a, 323b, …, 323n)로 공급되고, 이 각각에서 기호는 한 기호양만큼 지연되고 다른 입력으로 복귀된다. 따라서, DQPSK 변조가 수행된다. 그리고나서, DQPSK 변조된 데이터는 각각 곱셈기(313a, 313b, …, 313n)로 공급되고, 여기에서 랜덤 위상 이동 데이터 발생 회로(314a, 314b, …, 314n)에서 분리 출력된 랜덤 위상 이동 데이터는 변조 데이터와 곱해진다. 따라서, 각 데이터는 분명하게 임의의 위상으로 변화된다.

각 곱셈기(313a, 313b, …, 313n)의 출력은 다른 곱셈기(315a, 315b, …, 315n)로 공급되고, 이 각각에서 출력은 모든 시스템에 제공된 송신 파워 제어 회로(316a, 316b, …, 316n)에서 출력된 제어 데이터와 곱해진다. 따라서, 송신 출력이 조절된다. 이 송신 출력의 조절은 각 시스템에 접속된 단말 장치에서 송신된 버스트 신호에 포함된 출력 제어 데이터에 따라 수행된다. 제어데이터는 도 10을 참고로 상세하게 설명되었다. 즉, 만약 (I, Q)데이터의 (0, 0) 및 (1, 1)의 제어 데이터가 수신 데이터에서 판정되면, 송신 출력은 그대로 유지되고 만약 (0, 1)의 제어 데이터가 수신 데이터에서 판정되면, 송신 출력은 증가되고 만약 (1, 0)의 제어 데이터가 수신 데이터에서 판정되면 송신 출력은 저하된다.

(1, 1)의 제어 데이터는 실제로 송신 측에 없는 데이터이다. 그런데, 데이터 (1, 1)이 수신측에서 판정되면, 출력의 저하가 방지된다. 상기 설정 때문에, 만약 제어 데이터 (1, 0)(즉, 출력을 저하시키는 데이터)이 어떤 이유로 인해 90도만큼 위상이 편향되어 수신측에 데이터 (1, 1) 또는 (0, 0)으로 잘못 판단되면, 출력을 증가시키는 역방향으로의 상기 잘못된 처리는 적어도 피할 수 있다. 마찬가지로, 만약 (0, 1)의 제어 데이터(즉, 출력을 증가시키는 데이터)가 어떤 이유로 인해 위상이 90도만큼 편향되어 수신측에 데이터 (1, 1) 또는 (0, 0)으로 잘못 판단되면 적어도 출력의 오처리는 피할 수 있다.

도 22에 나타난 구성이 다시 설명될 것이다. 각 곱셈기(315a, 315b, …, 315n)에서 출력된 송신 데이터는 멀티플렉서(242)로 공급되고 이에 의해 합성된다. 송신 데이터가 본 실시예에 따라 멀티플렉서(242)에 의해 합성되면, 송 신데이터가 합성된 주파수는 150kHz의 단위로 전환될 수 있다. 이 전환 제어에 의해, 각 단말장치로 공급된 버스트 신호의 주파수는 전환된다. 특히, 본 실시예에서, 도 2a 내지 2g 등을 참고로 설명되었듯이, 주파수 호핑이라고 하는 1 대역 슬롯 단위만큼의 주파수 전환 작동이 수행되고, 이 주파수 전환 작동은 합성 작동 시에 멀티플렉서(242)의 전환 처리에 의해 실현된다.

멀티플렉서(242)에 의해 합성된 데이터는 IFFT회로(332)로 공급되어 상기 데이터에 대해 고속 역푸리에 변환을 수행하고, 그리고나서 1 대역 슬롯당 매 6.25kHz마다 주파수를 가지는 22 부반송파를 갖도록 변조되고 실시간(Real time)으로 변환된 일명 다중반송파 데이터를 얻는다. 그리고나서, 상기 고속 푸리에 역변환에 의해 실시간 신호로 변환된 데이터는 곱셈기(333)로 공급되고, 이것은 윈도 데이터 발생 회로(334)에서 출력된 시간 파형과 곱해진다. 도 8a에 나타난 것처럼, 예를들어, 시간 파형이 한 파형의 길이(T_U)가 약 200μsecond(즉, 1 시간 슬롯 간격)인 파형이다. 그런데, 이의 양 끝부분(T_{TR})의 각각에서(약 15μsecond), 파형의 레벨은 매끄럽게 변화된다. 상기 파형이 도 8b에 나타난 것처럼 시간 파형과 곱해질 때, 인접한 시간 파형은 서로 부분적으로 겹쳐진다.

그러면, 곱셈기(333)에 의해 시간 파형과 곱해진 신호는 버스트 버퍼(335)를 통해 디지털/아날로그 변환기(244)(도 15에 도시된 변환기(244I, 244Q)에 해당)로 공급되어 아날로그 I신호 및 아날로그 Q신호로 변환된다. 그리고나서, 이 아날로그 신호는 도 15에 나타난 구성으로 송신을 위해 처리된다.

본 실시예에 의한 기지국에서, 주파수 호핑이라고 하는 대역슬롯 전환 처리가 상기한 바와같이 변조 처리 중에 멀티플렉서(242)에 의해 수행되므로, 송신 시스템의 구성을 간소화할 수 있다. 특히, 기지국이 본 실시예에서 설명되었듯이 복수의 신호의 경로를 동시에 처리할 때, 각 경로의 신호의 주파수를 대응하는 대역 슬롯(채널)의 주파수로 변환하여 이 신호들을 합성하는 것이 필요하므로, 이에 의해 송신 시스템에서, 도 11에 나타난 믹서(250)까지의 회로의 세트는 경로만큼 많이 필요하게 된다. 반면, 본 실시예의 기지국에서는, 멀티플렉서(242) 이후의 회로에서는 회로의 한 시스템만으로 충분하고, 이에 따라 기지국의 구성도 그만큼 간단하게 될 수 있다.

데이터를 복호하기 위해 기지국에서 수신된 데이터를 복조하기 위한 구성이 도 23을 참고로 상세하게 설명될 것이다. 상기 아날로그/디지털 변환기(220)(도 18에서 아날로그/디지털 변환기(220I 및 220Q)에 해당)에 의해 변환된 디지털 I데이터 및 디지털 Q데이터는 버스트 버퍼(341)를 통해 곱셈기(342)로 공급된다. 상기 곱셈기는 상기 데이터들을 역윈도 데이터 발생 회로(343)에서 출력된 시간 파형과 곱한다. 시간 파형은 도 7a 및 7b에 나타난 형태를 갖는 시간 파형이고 또한 송신 시에 사용된 것보다 짧은 160μsec의 길이(T_M)를 갖는 시간 파형이다.

상기 시간 파형과 곱해진 수신된 데이터는 FFT회로(344)로 공급되고 이에 의해 고속 푸리에 변환되어 주파수축을 시간축으로 변환하는 처리를 수행한다. 따라서, 1 대역 슬롯당 6.25kHz 간격의 22부반송파 형태로 변환 후에 각각 송신된 데이터는 실시간 신호로부터 얻어진다. 그리고나서, 상기 고속 푸리에 변환된 데이터는 디멀티플렉서(222)로 공급되고 기지국으로 동시에 다중 접근이 허락된 단말 장치와 같은 수의 데이터로 분할된다. 상기 데이터가 본 실시예에 의한 디멀티플렉서(222)에 의해 분할될 때, 상기 분할에 사용된 주파수는 150kHz 단위로 전환되고, 이 전환 작동은 제어되고, 이에 의해 각 단말 장치로부터 송신된 버스트 신호의 주파수는 전환된다. 특히, 본 실시예에서, 도 6등을 참고로 설명되었듯이, 주파수 호핑이라고하는 대역 슬롯의 주파수의 전환 작동은 주기적으로 수행되고, 수신 측에 의해 수행된 주파수 전환 작동은 수신 데이터의 수신 시에 디멀티플렉서(222)의 분할 처리에 의해 실현된다.

디멀티플렉서(222)에 의해 분할된 각 수신 데이터는 기지국으로 동시 다중 접근이 허락된 수(N)의 단말 장치와 같은 수로 설치된 곱셈기(351a, 351b, …, 351n)로 독립적으로 공급된다. 곱셈기(351a, 351b, …, 351n)는 각각 분할된 데이터를 역랜덤 위상 이동 데이터발생 회로(352a, 352b, …, 352n)에서 출력된 역랜덤 위상 이동 데이터(상기 데이터는 송신측의 랜덤 위상 이동 데이터와 동시에 변화한다)와 곱하고 상기 수신 분할 데이터를 각 시스템에서 원래 위상을 갖는 데이터로 복귀시킨다.

역랜덤 위상 이동 데이터 발생 회로로부터의 각 데이터는 지연 검출 회로(353a, 353b, …, 353n)로 공급되고 이에 의해 지연 검출(차동 복조)된다. 상기 지연 검출 회로는 상기 지연 검출 데이터를 4 프레임 인터리브 버퍼(354a, 354b,…, 354n)로 공급하여 송신 시에 4 프레임 인터리브된 데이터를 상기 원래 데이터 구성의 데이터로 복귀시킨다. 4 프레임 인터리브 버퍼는 디인터리브된 데이터를 비터비 복호하기 위해 비터비 디코더(355a, 355b, …, 355n)로 공급한다. 디코더는 수신 데이터로서 비터비 복호된 데이터를 다음 단계에서 수신 데이터 처리 회로(도시되지 않음)로 공급한다.

본 실시예의 기지국에 의하면, 주파수 호핑이라고하는 대역 슬롯 전환 처리를 포함하는 데이터 분할 처리가 복조 처리 중에 설치된 디멀티플렉서(222)에 의해 수행되므로, 송신 시스템과 마찬가지로 수신 시스템의 구성을 간소화할 수 있다. 특히, 기지국이 동시에 본 실시예에 설명된 것처럼 복수의 경로의 신호를 처리할 때, 종래 기술에서는, 경로의 각 신호에 대응하는 대역 슬롯(채널)의 신호의 주파수를 중간 주파수 신호로 변환하고, 그리고나서 상기 신호들을 각 곱셈기(351a 내지 351n)로 공급하기 위해 고속 푸리에 변환까지의 처리를 수행하는 것이 필요하고, 이에 의해 수신 시스템에서, 도 15에 도시된 믹서(215)에서 복조부(221)까지의 경로의 수만큼의 회로의 세트가 필요하게 된다. 반면, 본 실시예에 의한 기지국이 디멀티플렉서(222) 앞의 송신 시스템에서 단 하나의 회로시스템만이 필요하므로, 기지국의 구성을 그만큼 간소화할 수 있다.

본 실시예에서, 전송출력의 제어데이터는 단말장치로부터 기지국으로 전송된 신호에 중첩되는 전송출력을 지시하는 제어데이터와 같이 전송되는 반면(도 11에서 가산기(109)에 가산을 실행하는 구조), 기지국에서 단말장치로 전송된 신호는 기지국측에서의 처리와 유사하게 전송신호에 중첩된 전송출력을 지시하는 제어데이터와 같이 전송되는 것은 말한 것도 없다.

전송출력의 제어데이터로서 3종류데이터, 즉 전송출력을 유지하기 위하여 사용되는 데이터(0데이터), 전송출력을 증가하기 위하여 사용되는 데이터(+1데이터), 전송출력을 감소하기 위하여 사용되는 데이터(-1데이터)가 설정되는 반면, 제어데이터는 미세하게 설정된다. 특히, 얼마나 전송출력이 증가되었는가를 나타내기 위하여 제어데이터가 설정된다. 교대로, 제어데이터는 2종류의 데이터 즉, 전송출력을 증가시키기위하여 사용되는 데이터와 전송출력을 감소시키기위하여 사용되는 데이터를 가진다.

전송출력을 지시하는 제어데이터이외의 제어데이터가 유사한 구조로 전송될수 있다. 본 발명의 실시예는 주파수호핑이 주어지는 다중캐리어로 다원접속이 실행되는 소위 BDMA전송방식에 적용되는 반면, 본 발명이 다른 통신방법을 사용하고, 전송출력커맨드를 통신하는 측에 발하는 통신장치에 적용될수 있는 것은 말할 필요도 없다.

더구나, 주파수의 값, 시각, 부호화율등을 예를 통하여 본 실시예에서 서술하였으므로, 본 발명은 상기 실시예에 한정되는 것은 아니다. 본 발명은 변조방식을 고려하여 DQPSK변조이외의 변조처리에 적용할 수 있다고 하는 것은 말할 필요도 없다.

발명의 효과

본 발명의 통신방법에 따르면, 실제 수신상태에 의거하여 파워를 정확하게 제어할수 있다. 특히, 수신 심볼에러추정치와 미리 설정된 기준치와의 차가 수신상태에 따라서 가변으로 설정된 기준치로서 산출되고, 차이값은 기준치로서 사용되고, 실제 수신심볼에러와 실제 회로품질에 의거하여 실시간 기본으로 정확한 수신상태를 판단하는 것이 가능하고, 실제 수신상태의 변화에 따라서 파워를 정확하게 제어하는 것이 가능하다.

본 발명의 기지국에 따라서, 실제 수신상태에 의거하여 단말장치의 파워를 정확히 제어하는 것이 가능하다. 특히, 수신심볼에러추정치와 미리 설정된 기준치와의 차가 수신상태에 따라서 가변으로 설정된 기준치로서 산출되고, 차이값은 기준치로서 사용되고, 실제 수신심볼에러와 실제 회로품질에 의거하여 실시간 기본으로 정확한 수신상태를 판단하는 것이 가능하고, 실제 수신상태의 변화에 따라서 파워를 정확하게 제어하는 것이 가능하다.

본 발명의 단말장치에 따라서, 실제 수신상태에 의거하여 기지국의 파워를 정확히 제어하는 것이 가능하다. 특히, 수신심볼에러추정치와 미리 설정된 기준치와의 차가 수신상태에 따라서 가변으로 설정된 기준치로서 산출되고, 차이값은 기준치로서 사용되고, 실제 수신심볼에러와 실제 회로품질에 의거하여 실시간 기본으로 정확한 수신상태를 판단하는 것이 가능하고, 실제 수신상태의 변화에 따라서 파워를 정확하게 제어하는 것이 가능하다.

상기 각각의 경우에서, 수신심볼에러추정치와 미리 설정된 기준치와의 차가 작은 이득으로 적분되어 기준치를 얻고, 전송선의 상태의 변화에 따라서 변화된 만족스러운 기준치를 얻는 것이 가능하므로, 파워를

보다 만족스럽게 제어할수 있다.

도면을 참조하여 본 발명의 상기 실시예를 설명하였지만, 본 발명은 상기 실시예에만 한정되는 것은 아니고, 뒤의 청구범위에 정의되어 있는 것같이 본 발명의 취지나 범위를 일탈하지 않고 기술에서 숙련된 자가 여러가지 변화와 조정을 할수 있다.

(57) 청구의 범위

청구항 1

전송파워제어를 위하여 제 1국과 제 2국사이에서 전이중방식으로 통신을 행하는 통신방법에 있어서,

상기 제 1국에서 전송된 신호를 수신하는 상기 제 2국에서의 수신단계와,

상기 수신단계다음의 제 1과정을 처리하는 상기 제 2국에서의 제 1처리단계와,

상기 제 1처리단계에서의 출력치와 수신상태에 따라서 설정된 가변 기준치를 비교하는 제 2과정을 처리하는 상기 제 2국에서의 제 2처리단계와,

상기 제 2처리단계에서 생성된 파워제어정보를 상기 제 1국으로 전송하는 상기 제 2국에서 전송단계와,

그리고, 상기 파워제어정보에 의해 전송파워를 제어하는 상기 제 1국에서의 파워제어단계를 포함하여 구성되어 있는 것을 특징으로 하는 통신방법.

청구항 2

제 1항에 있어서,

상기 제 1처리단계는 수신신호의 상태로부터 통신통로의 품질을 추정하는 과정인 것을 특징으로 하는 통신방법.

청구항 3

제 2항에 있어서,

상기 제 2처리단계에서 수신상태에 따라서 설정된 상기 가변 기준치가 복호된 수신신호의 추정된 에러값과 미리 설정된 기준치와의 차인 것을 특징으로 하는 통신방법.

청구항 4

제 3항에 있어서,

상기 제 2처리단계에서 수신상태에 따라서 설정된 상기 가변 기준치가 복호된 수신신호의 추정된 에러값과 미리 설정된 기준치와의 차의 적분인 것을 특징으로 하는 통신방법.

청구항 5

전이중방식으로 전송파워제어를 하는 통신장치에 있어서,

정보를 수신하는 수신수단과,

상기 수신수단의 출력신호에 대하여 제 1과정을 처리하는 제 1처리수단과,

상기 제 1처리수단에서의 출력치와 수신상태에 따라서 설정된 가변 기준치를 비교하는 제 2과정을 처리하는 제 2처리수단과,

상기 제 2처리수단에서의 출력신호를 파워제어정보로서 전송하는 전송수단을 포함하여 구성되어 있는 것을 특징으로 하는 통신장치.

청구항 6

제 5항에 있어서,

상기 제 1처리수단에서의 상기 제 1처리는 수신신호의 상태로부터 통신통로의 품질을 추정하는 과정인 것을 특징으로 하는 통신장치.

청구항 7

제 6항에 있어서,

상기 제 2처리단계에서 수신상태에 따라서 설정된 상기 가변 기준치가 복호된 수신신호의 추정된 에러값과 미리 설정된 기준치와의 차인 것을 특징으로 하는 통신장치.

청구항 8

제 7항에 있어서,

상기 제 2처리단계에서 수신상태에 따라서 설정된 상기 가변 기준치가 복호된 수신신호의 추정된 에러값과 미리 설정된 기준치와의 차의 적분인 것을 특징으로 하는 통신장치.

청구항 9

제 6항에 있어서,

상기 제 1처리수단에서 통신통로의 품질을 추정하는 상기 과정은 적분된 노이즈파워와 적분된 수신파워의 비를 산출하는 과정인 것을 특징으로 하는 통신장치.

청구항 10

제 7항에 있어서,

상기 제 2처리수단에서 복호된 신호의 추정된 에러값을 얻는 상기 과정은 미리 복호된 부호와 복호다음의 재부호화된 부호를 비교하는 과정인 것을 특징으로 하는 통신장치.

청구항 11

제 5항에 있어서,

상기 통신장치는 감산기를 포함하고, 상기 수신수단은 기지국으로부터 전송된 신호를 수신하고, 상기 전송수단은 정보를 상기 기지국으로 전송하는 것을 특징으로 하는 통신장치.

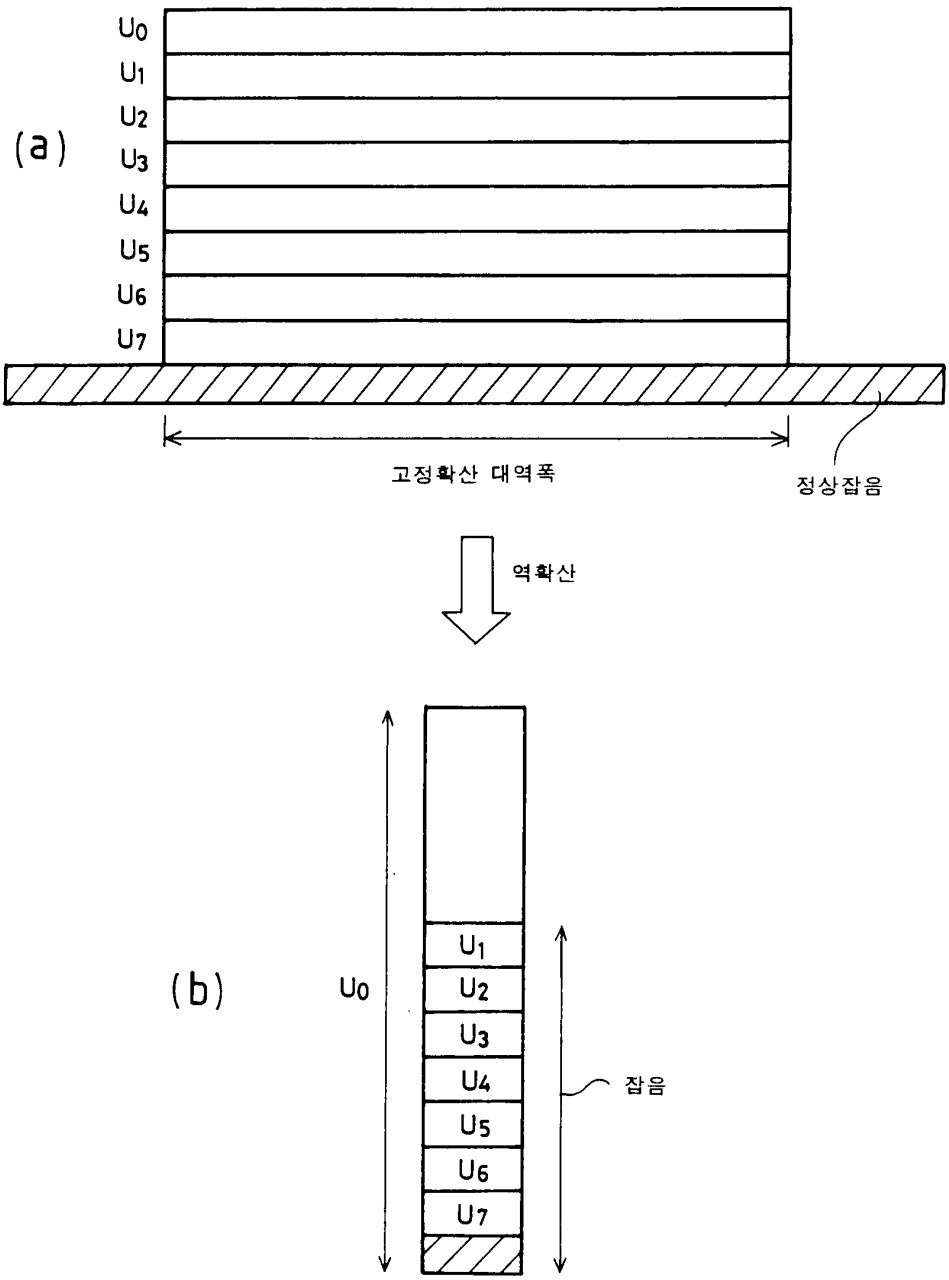
청구항 12

제 5항에 있어서,

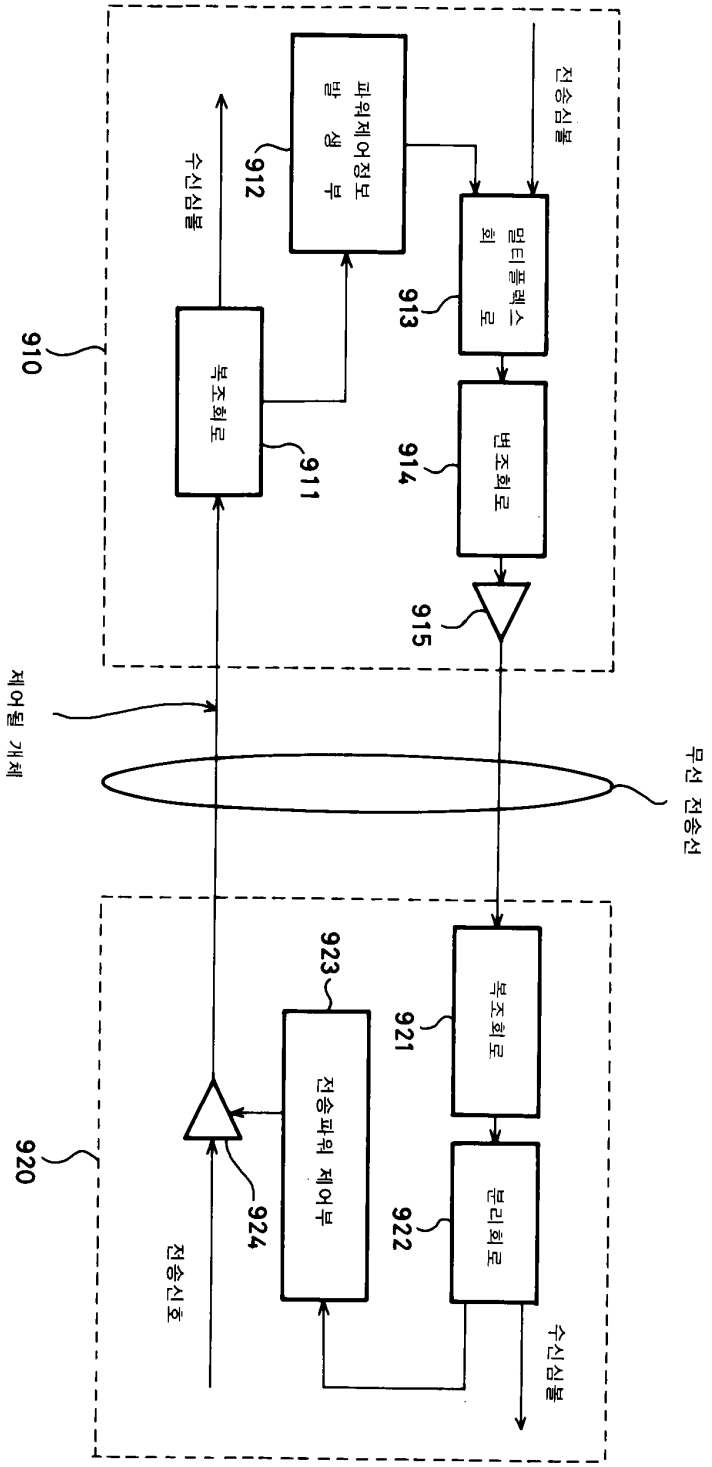
상기 통신장치는 기지국을 포함하고, 상기 수신수단은 다수의 감산기로부터 전송된 신호를 수신하고, 상기 전송수단은 정보를 상기 다수의 감산기로 전송하는 것을 특징으로 하는 통신장치.

도면

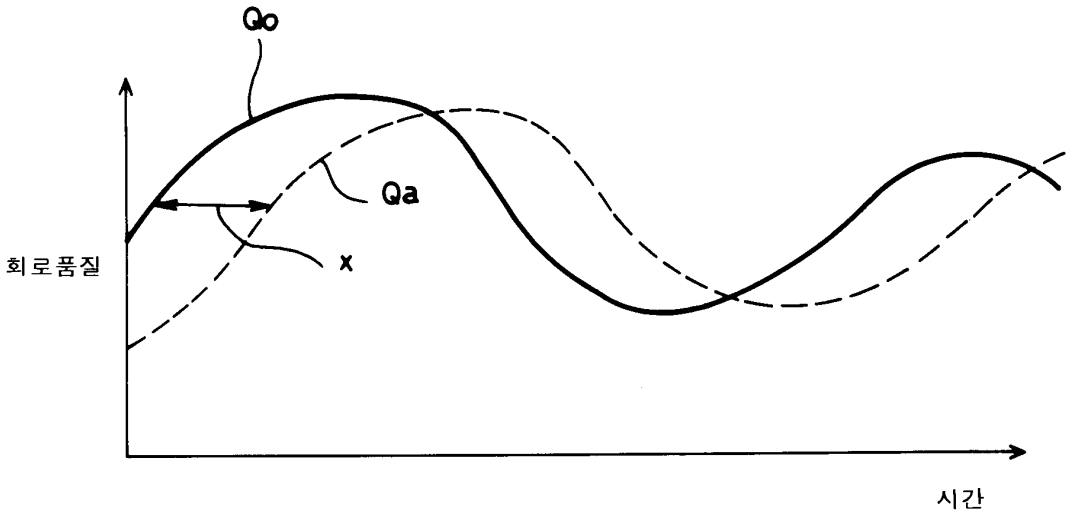
도면1


(a)
U0
U1
U2
U3
U4
U5
U6
U7
고정확산 대역폭
정상잡음
역확산
(b)
U0
U1
U2
U3
U4
U5
U6
U7
잡음

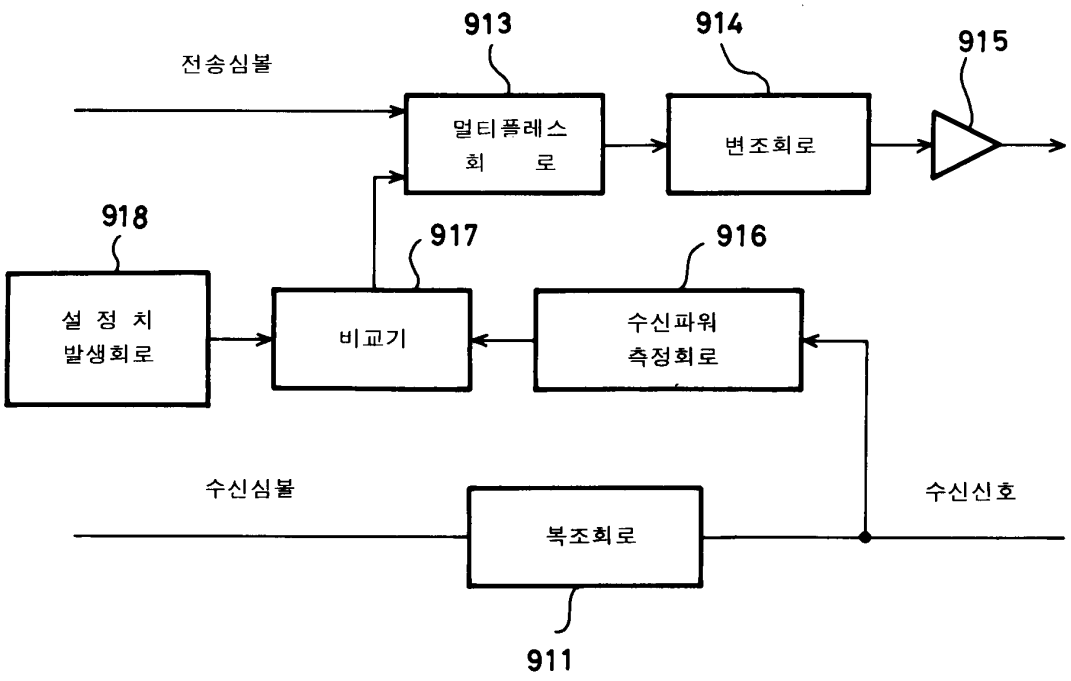
도면2


910
912
파워제어정보 발생부
913
멀티플렉서
914
변조회로
915
911
복조회로
수신심볼
전송심볼
제어될 개체
무선 전송선
920
923
924
921
922
복조회로
전송파워 제어부
분리회로
전송신호
수신심볼

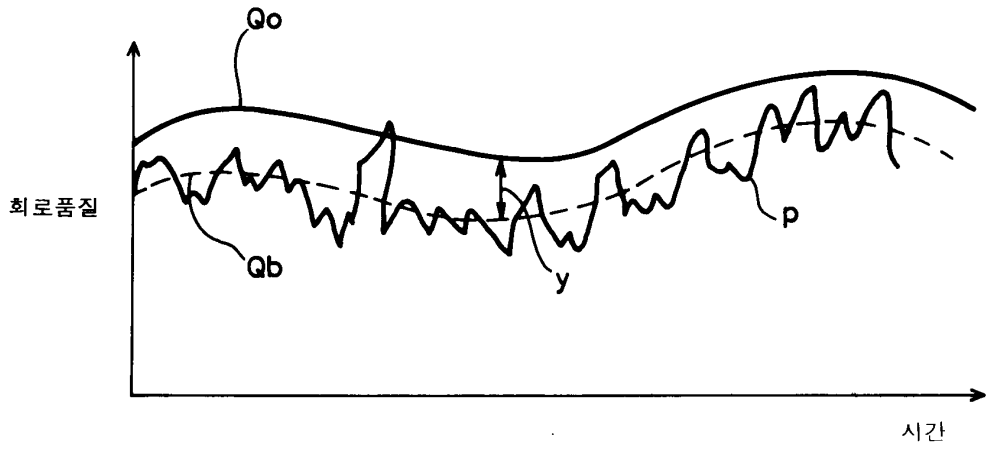
도면3


Qo
Qa
x
회로품질
시간

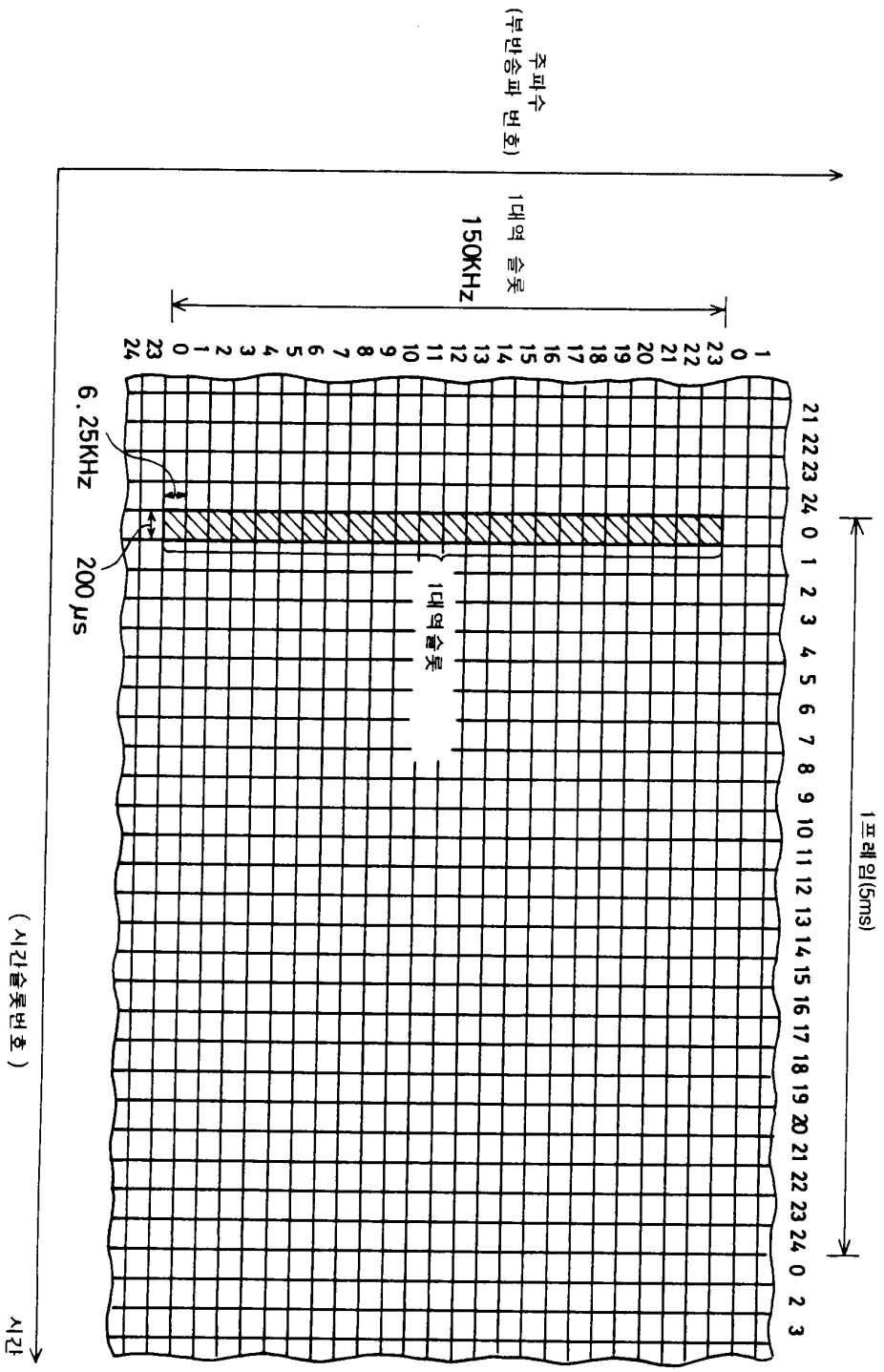
도면4


913
914
915
전송심볼
멀티플레스
회 로
변조회로
918
917
916
설 정 치
발생회로
비교기
수신파워
측정회로
수신심볼
수신신호
복조회로
911

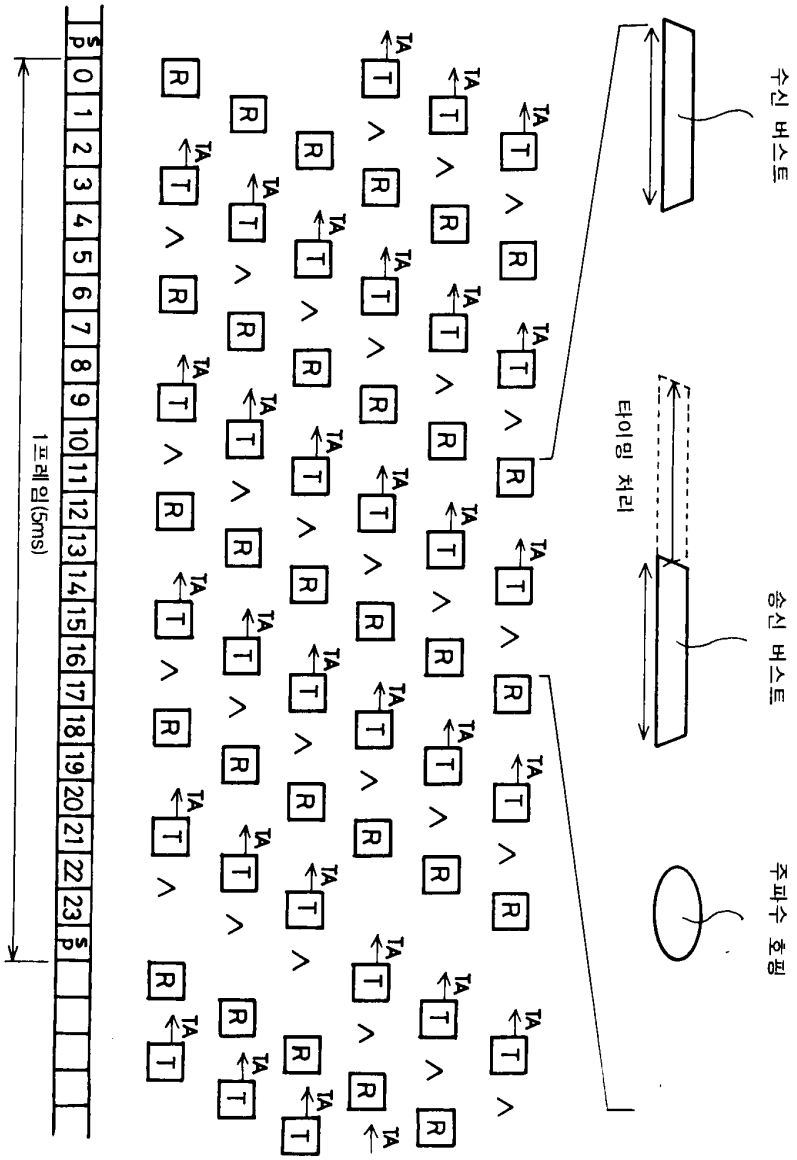
도면5



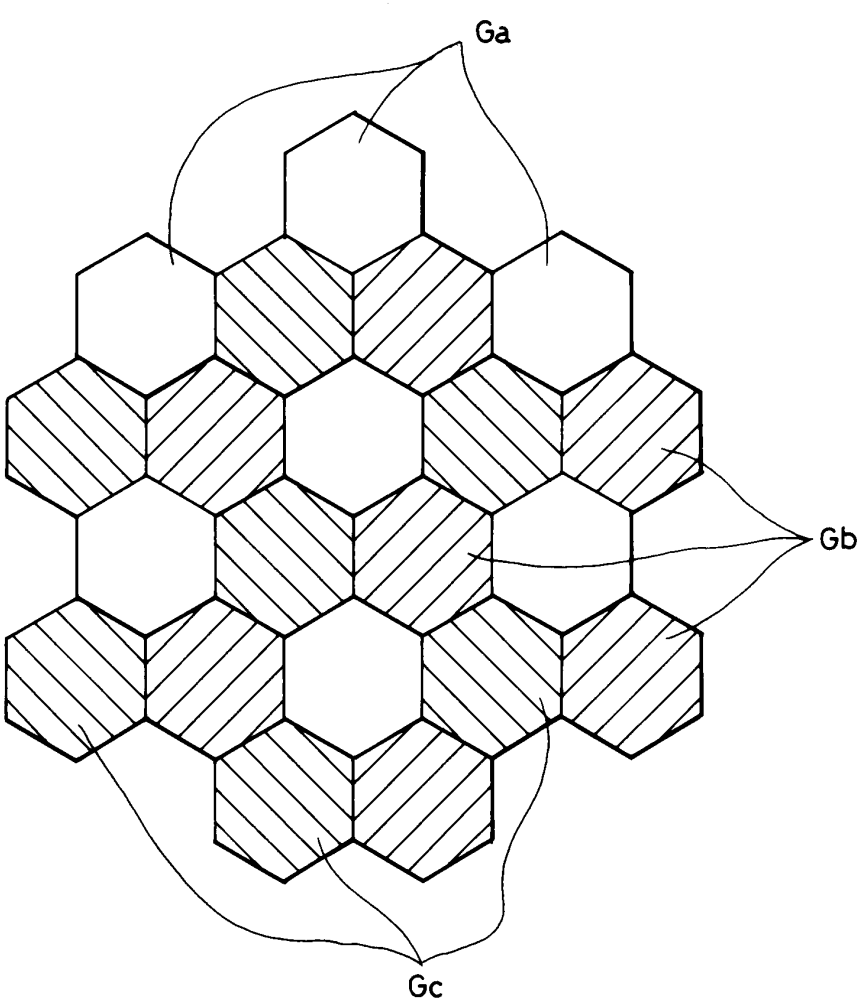
도면6


주파수
(부반송파 번호)
1대역 슬롯
150KHz
1 0 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 23 24
6.25KHz
200 μs
1대역슬롯
21 22 23 24 0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 0 2 3
1 프레임(5ms)
시간
(시간슬롯번호)

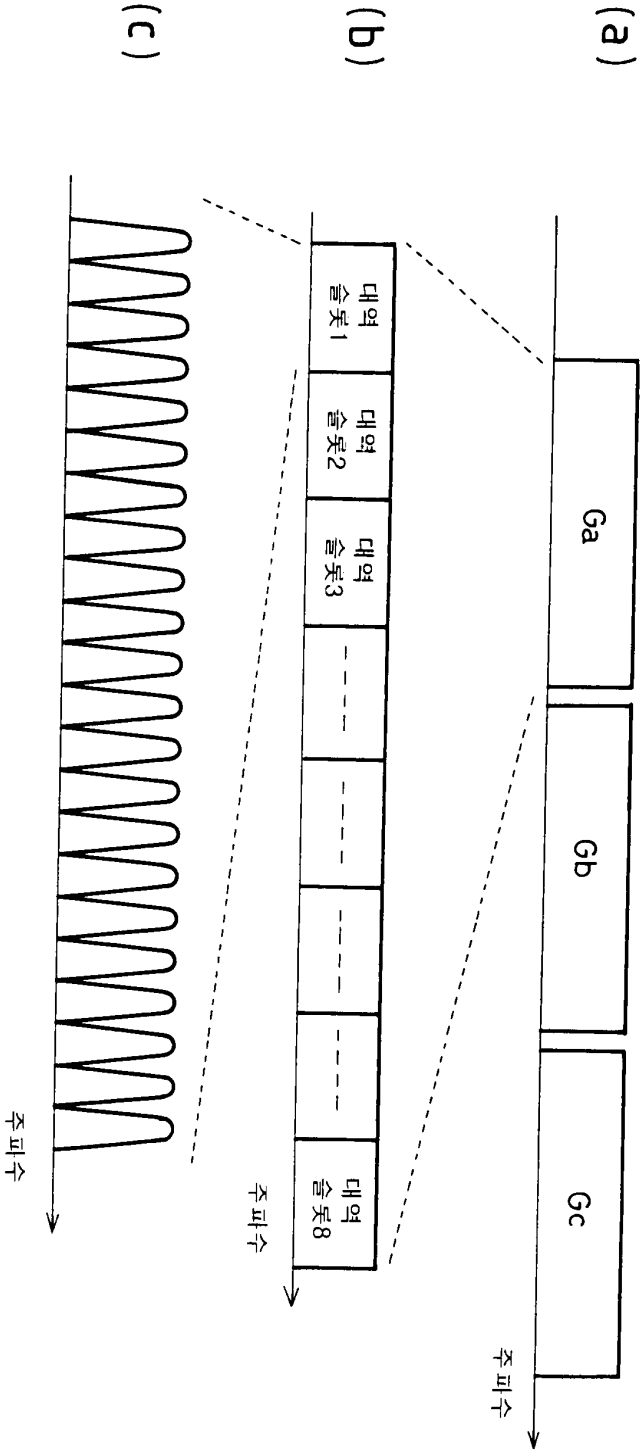
도면7


(a) 기지국 프레임 타이밍
(b) U0 타이밍
(c) U1 타이밍
(d) U2 타이밍
(e) U3 타이밍
(f) U4 타이밍
(g) U5 타이밍
수신 버스트
송신 버스트
타이밍 처리
주파수 호핑
1프레임(5ms)

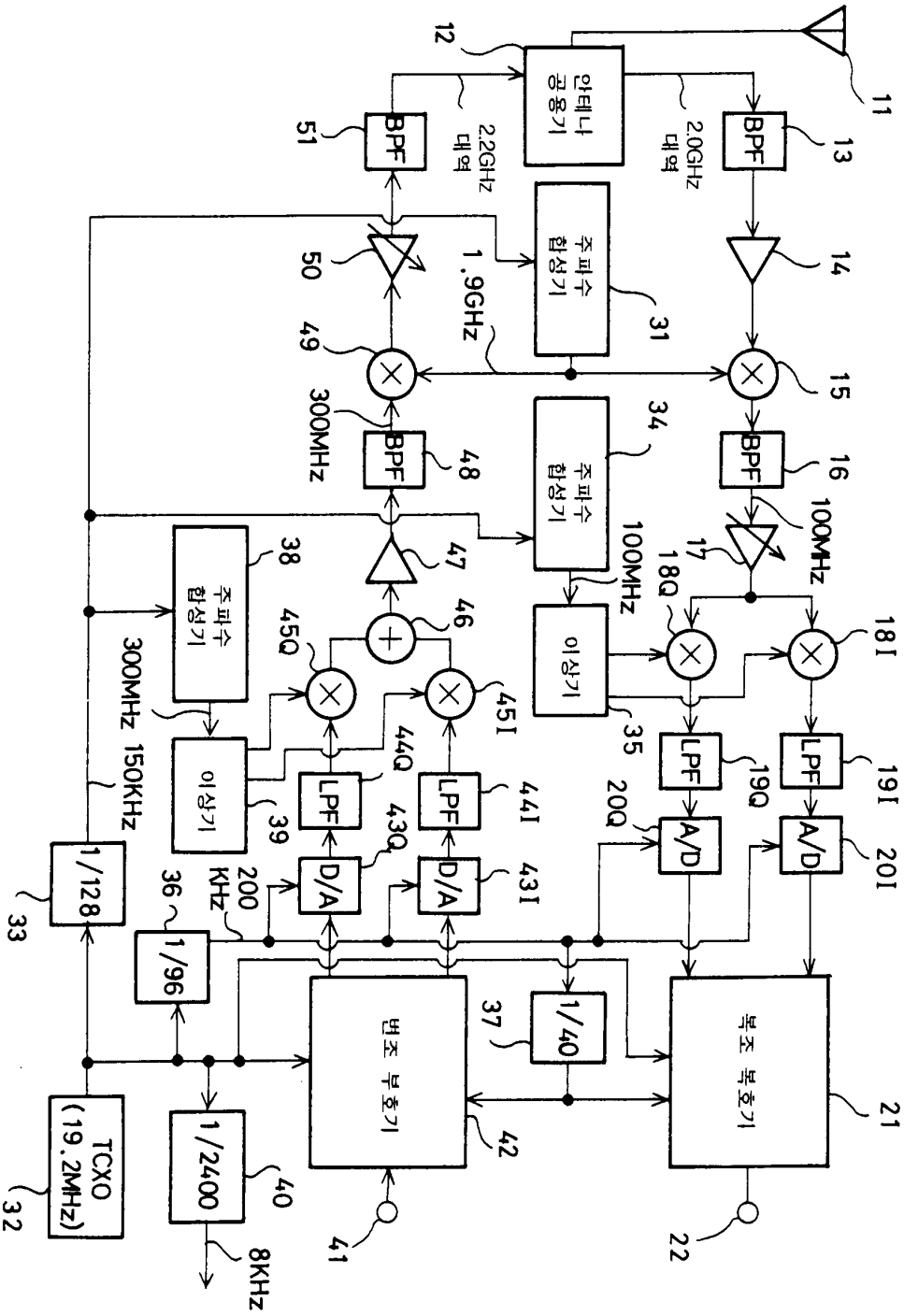
도면8



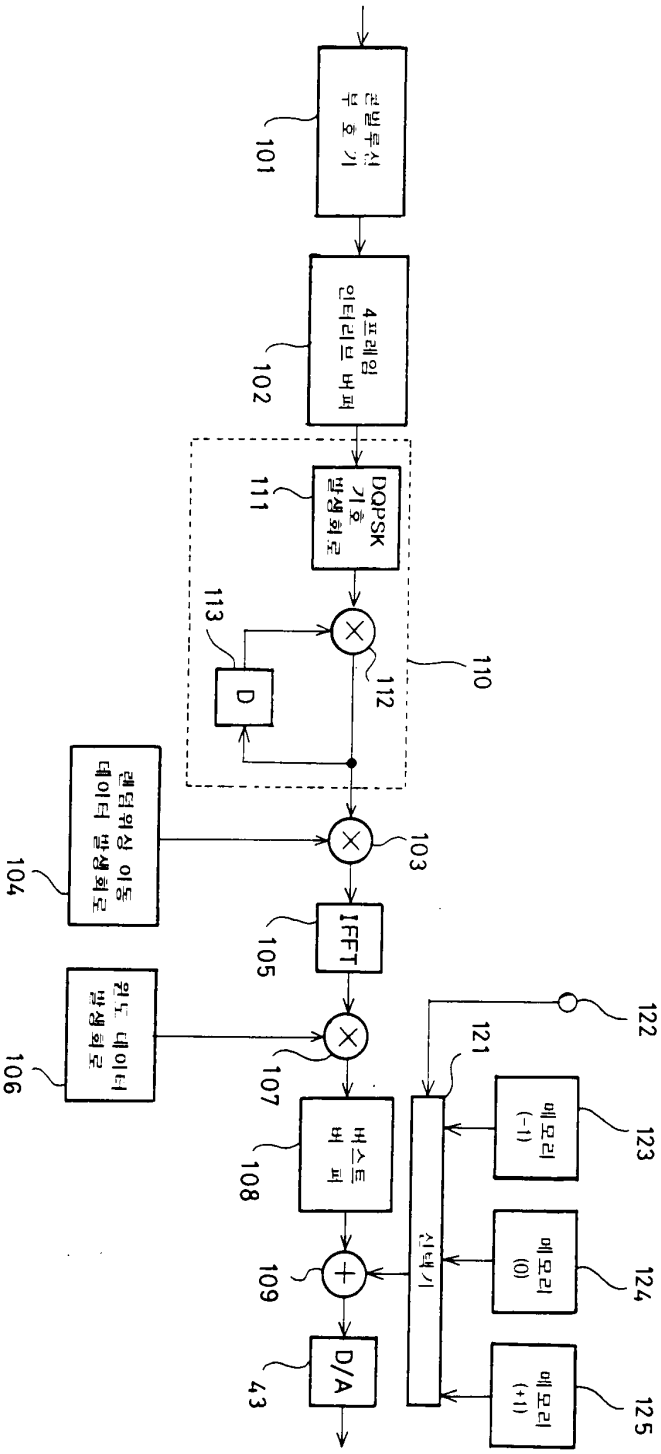
도면9



도면10

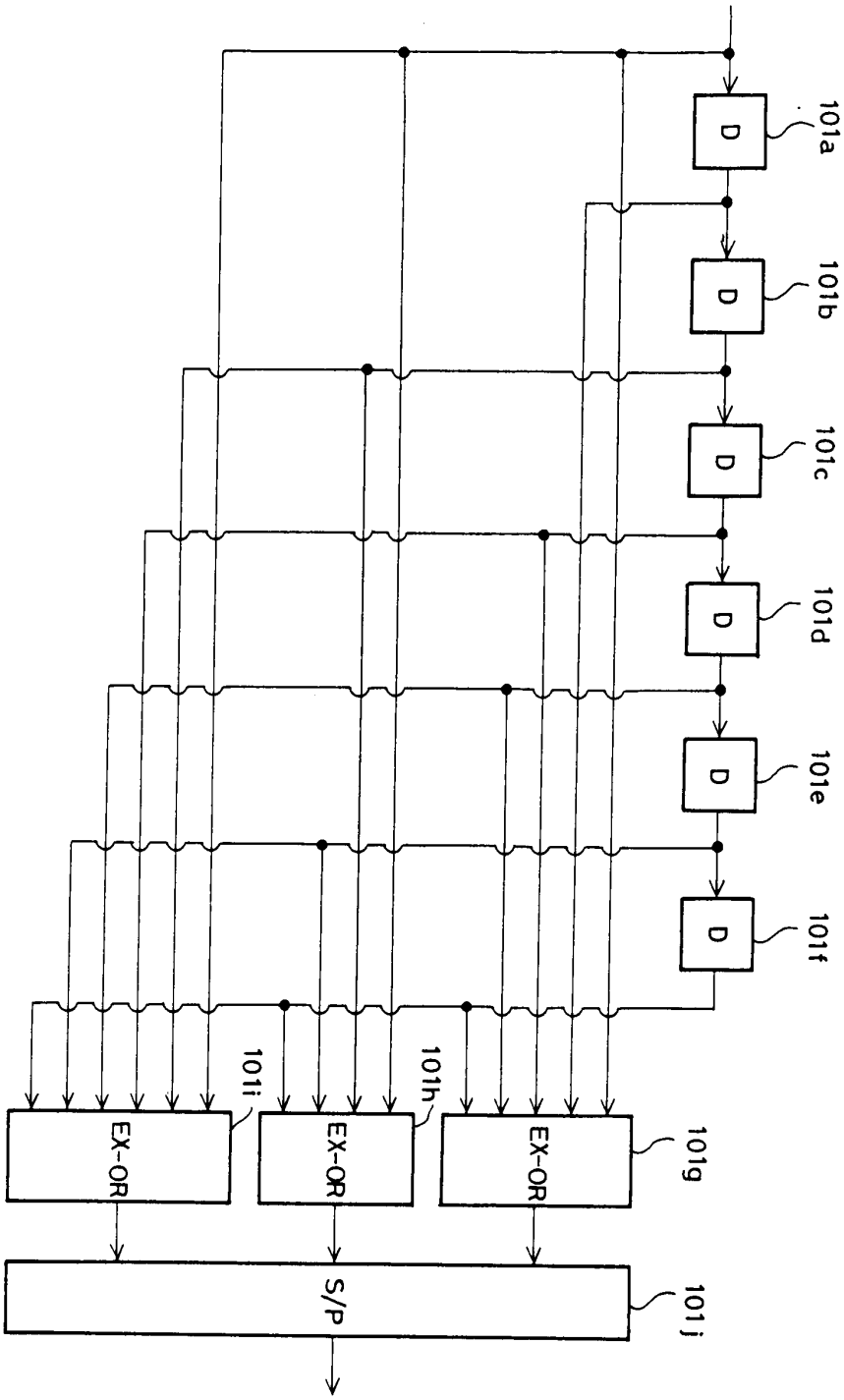

11
12
안테나 공용기
2.2GHz 대역
2.0GHz 대역
BPF
13
14
15
16
17
18Q
18I
19Q
19I
20Q
20I
LPF
A/D
주파수 합성기
31
1.9GHz
34
100MHz
35
이상기
BPF
48
300MHz
49
50
51
47
46
45Q
45I
44Q
44I
43Q
43I
D/A
LPF
38
주파수 합성기
39
이상기
300MHz
150KHz
1/128
33
36
1/96
200 KHz
37
1/40
변조 부호기
42
41
복조 복호기
21
22
1/2400
40
8KHz
TCXO (19.2MHz)
32

도면11

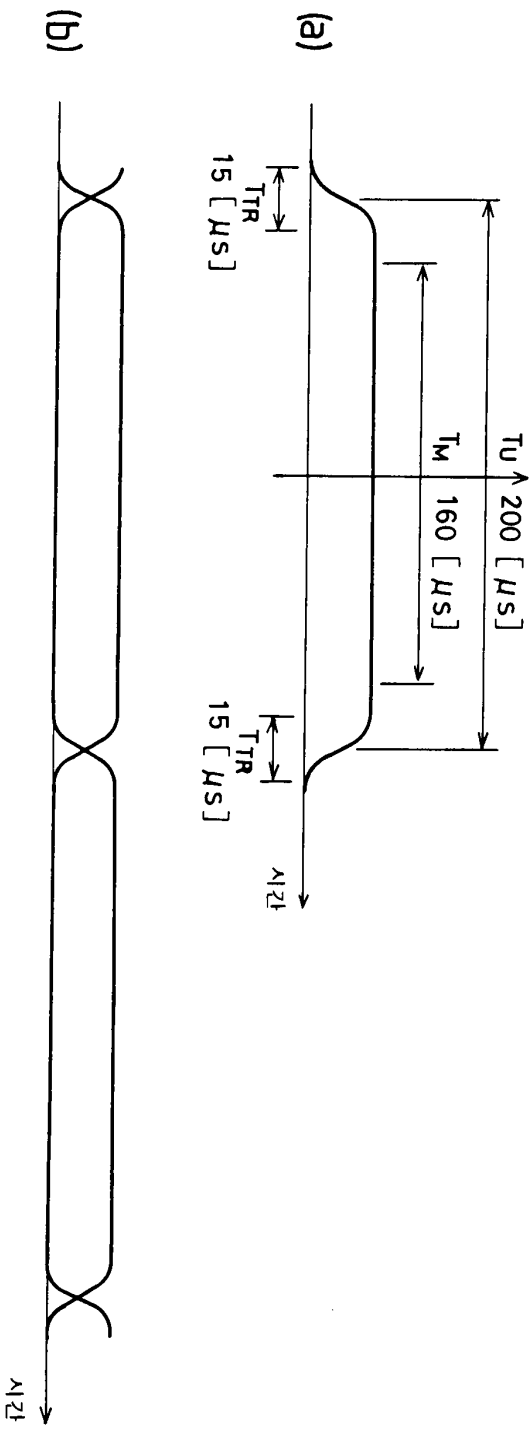


101
102
111
DQPSK 기호 발생회로
113
D
112
110
104
103
105
IFFT
106
107
108
109
D/A
43
121
122
123
124
125

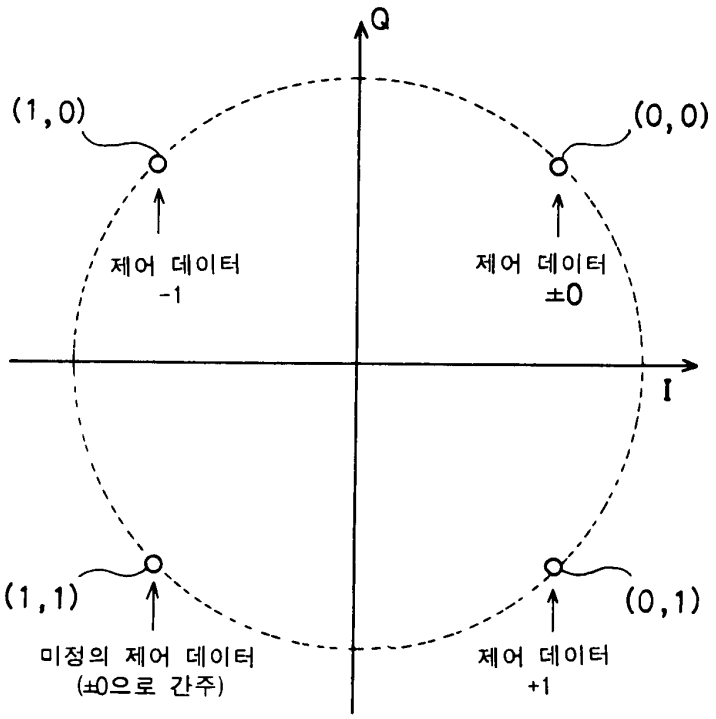
도면12


D
101a
D
101b
D
101c
D
101d
D
101e
D
101f
101i
101h
EX-OR
EX-OR
EX-OR
101g
S/P
101j

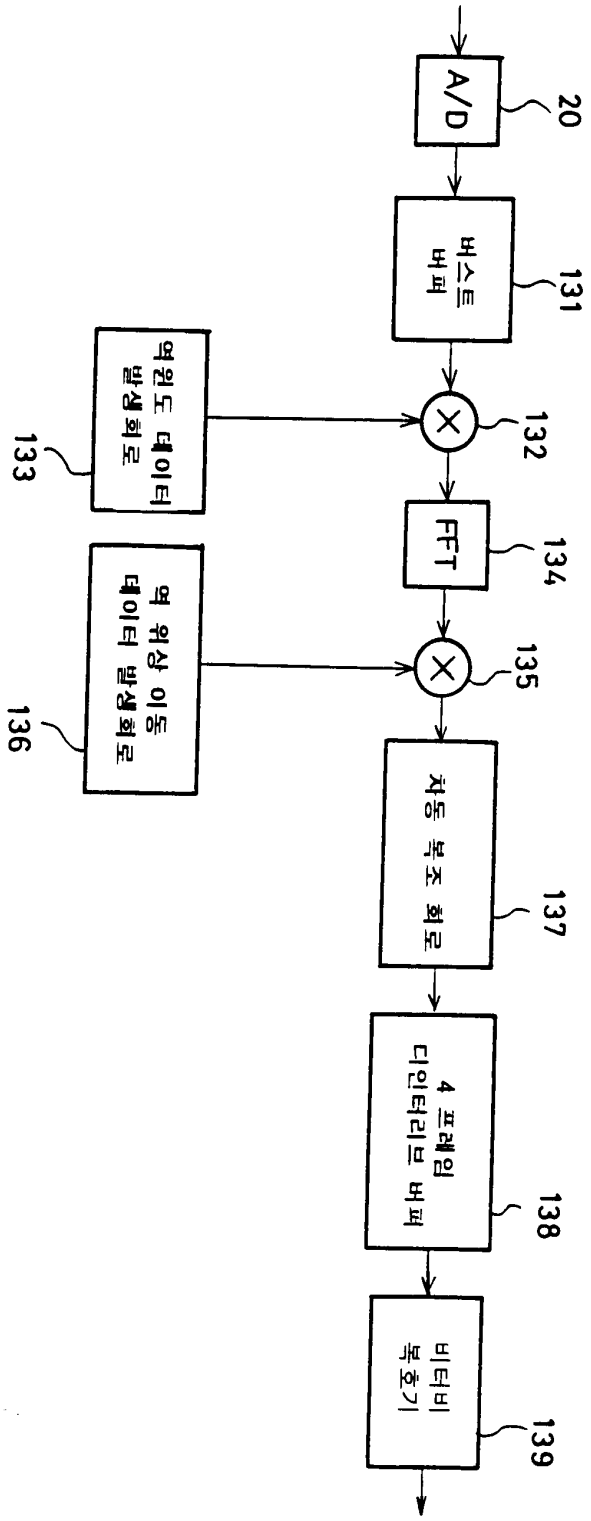
도면13



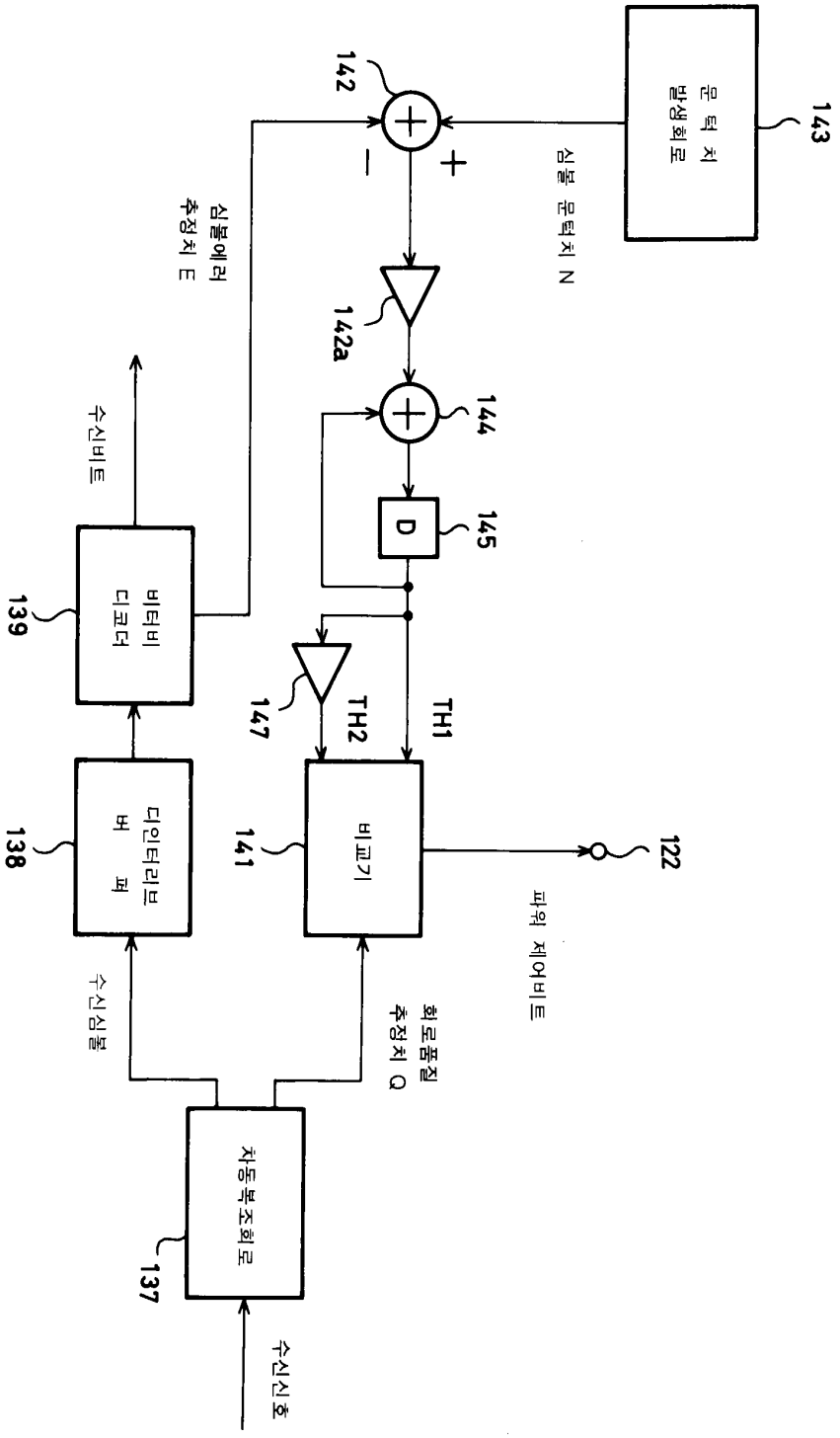
도면14



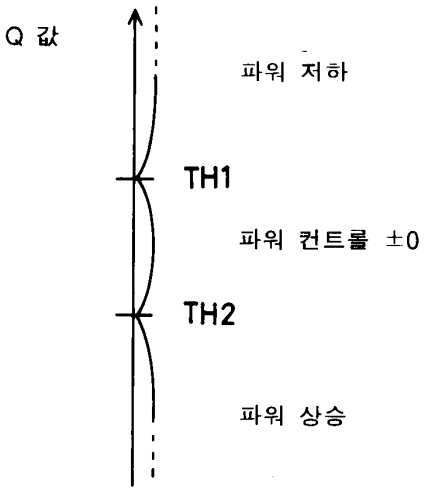
도면15


A/D
20
버스트 버퍼
131
역원도 데이터 발생회로
133
132
FFT
134
역 위상 이동 데이터 발생회로
136
135
차동 복조 회로
137
4 프레임 디인터리브 버퍼
138
비터비 복호기
139

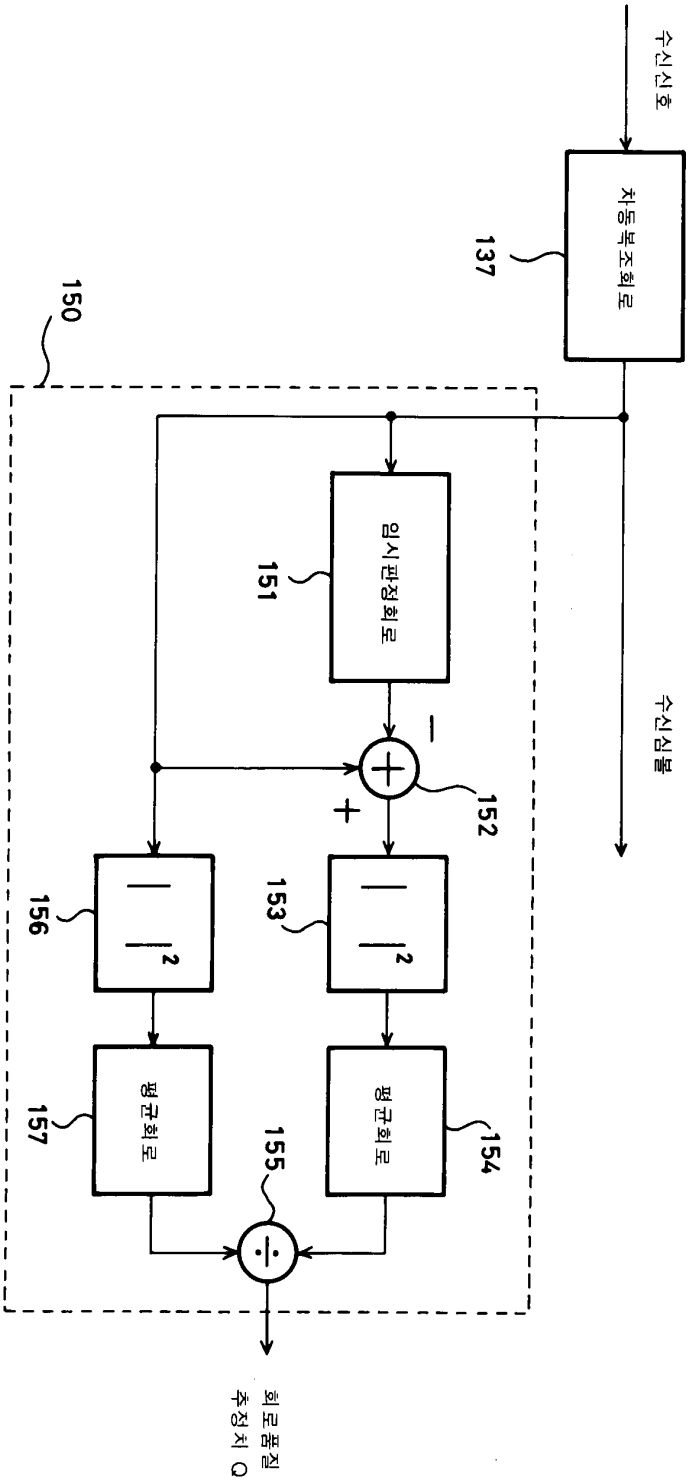
도면16


143
문턱치 발생회로
142
+
−
심볼 문턱치 N
심볼에러 추정치 E
142a
144
145
D
수신비트
139
비터비 디코더
147
TH2
TH1
138
디인터리브 버퍼
141
비교기
122
파워 제어비트
수신심볼
회로품질 추정치 Q
137
차동복조회로
수신신호

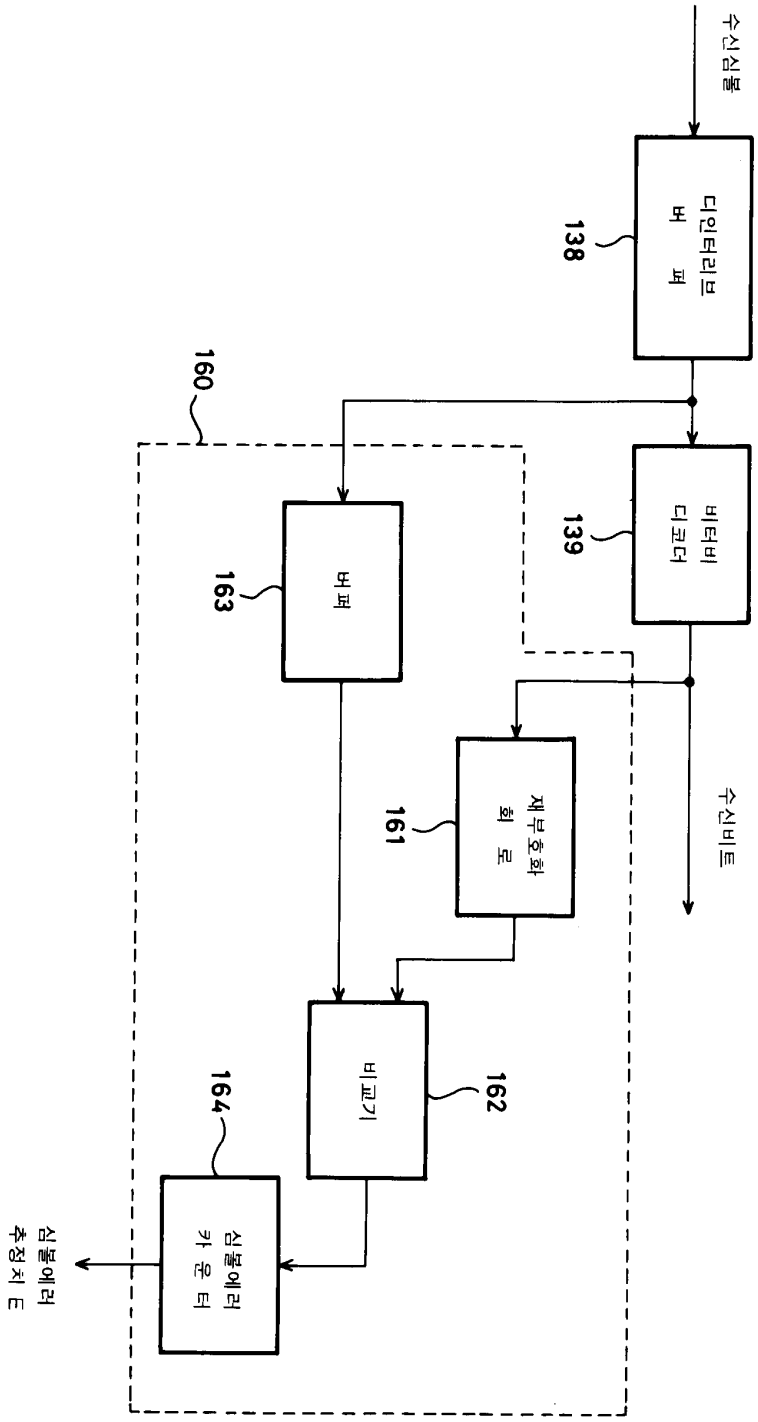
도면17



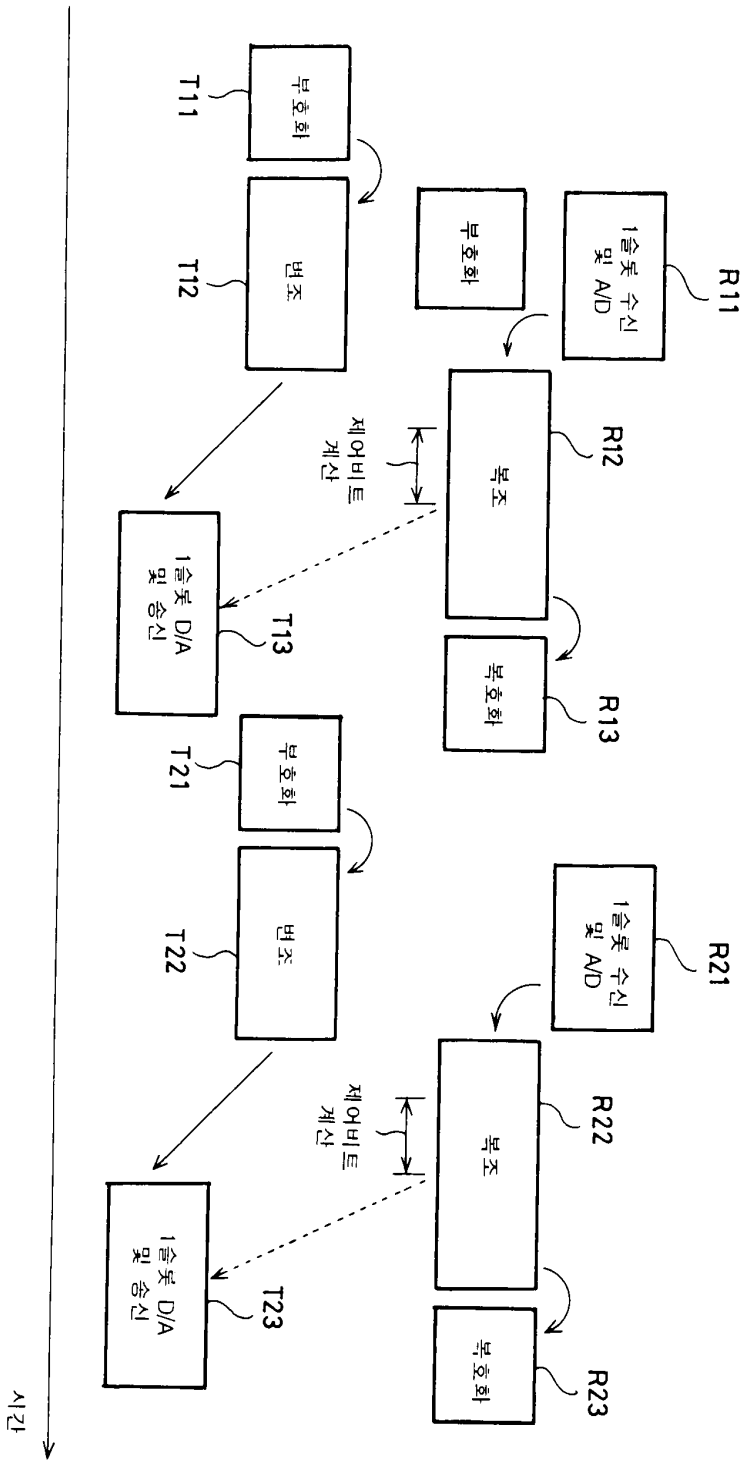
도면18


수신신호
137
차동복조회로
150
151
임시판정회로
수신심볼
152
156
153
154
157
155
평균회로
평균회로
회로품질
추정치 Q

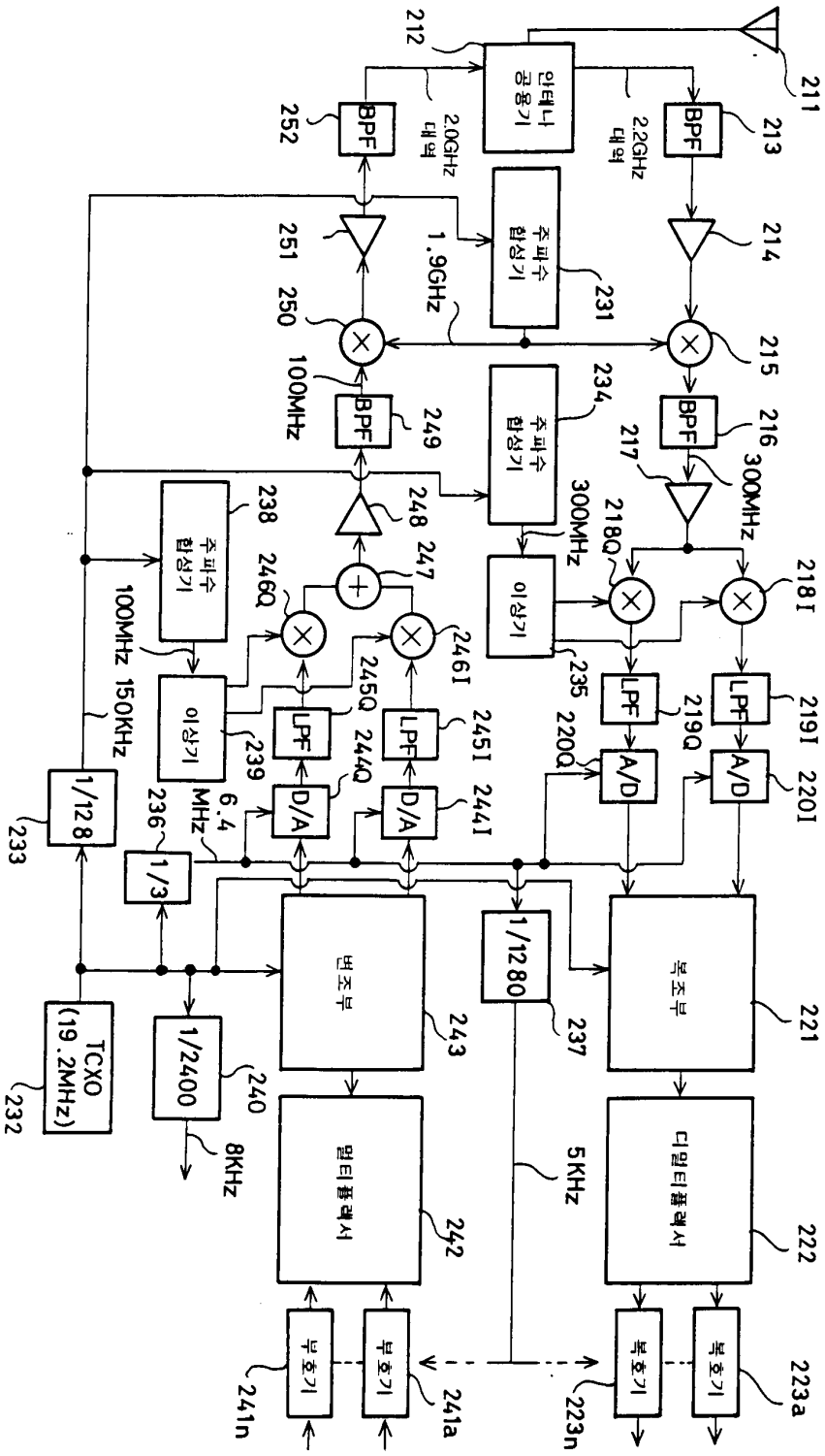
도면19


수신심볼
디인터리브 버퍼
138
160
비터비 디코더
139
버퍼
163
재부호화 회로
161
수신비트
비교기
162
164
심볼에러 카운터
심볼에러 추정치 E

도면20

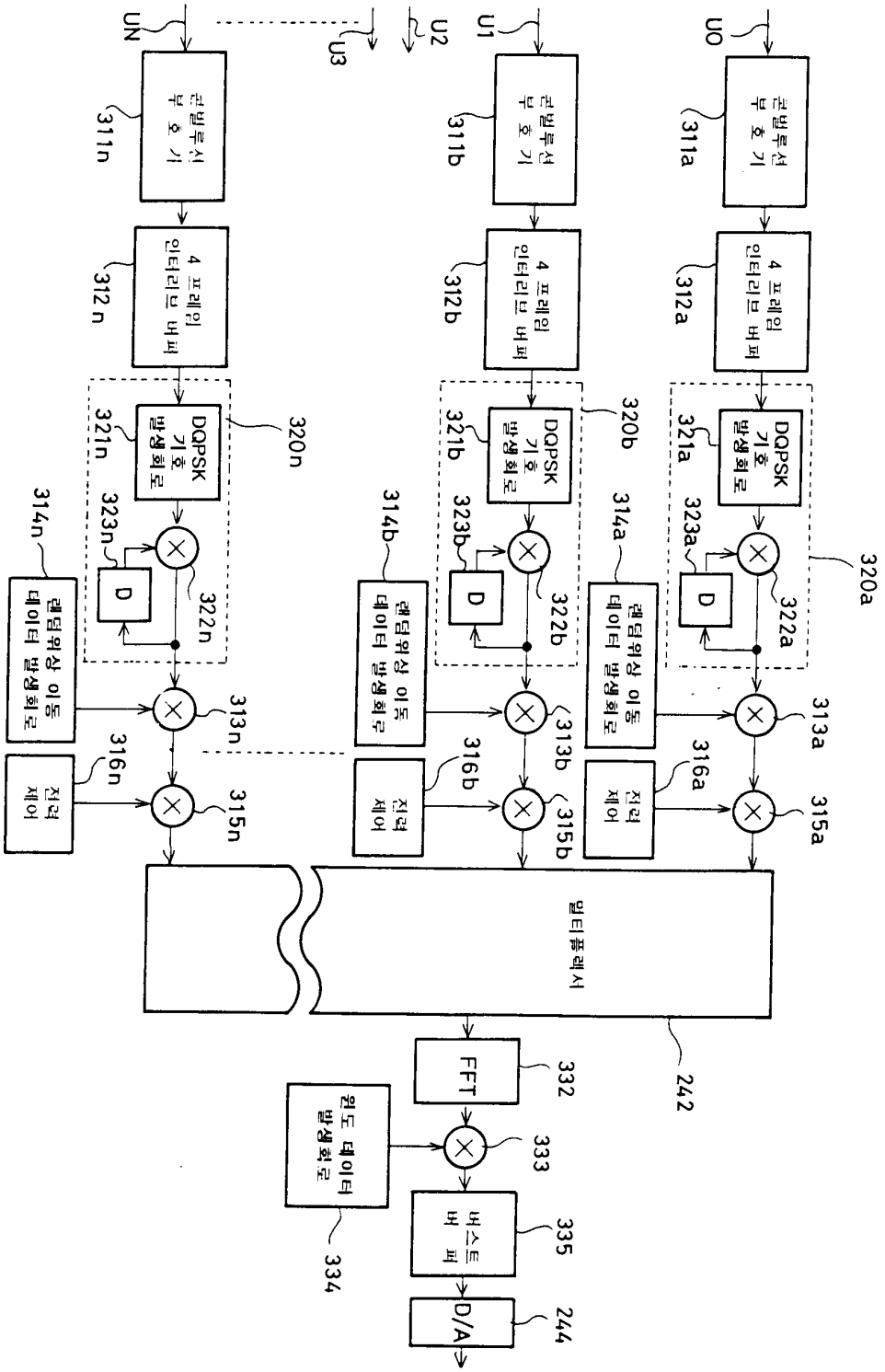

시간
T11
부호화
T12
변조
T13
1슬롯 D/A 및 송신
제어비트 계산
R11
1슬롯 수신 및 A/D
부호화
R12
복조
R13
복호화
T21
부호화
T22
변조
T23
1슬롯 D/A 및 송신
제어비트 계산
R21
1슬롯 수신 및 A/D
R22
복조
R23
복호화

도면21

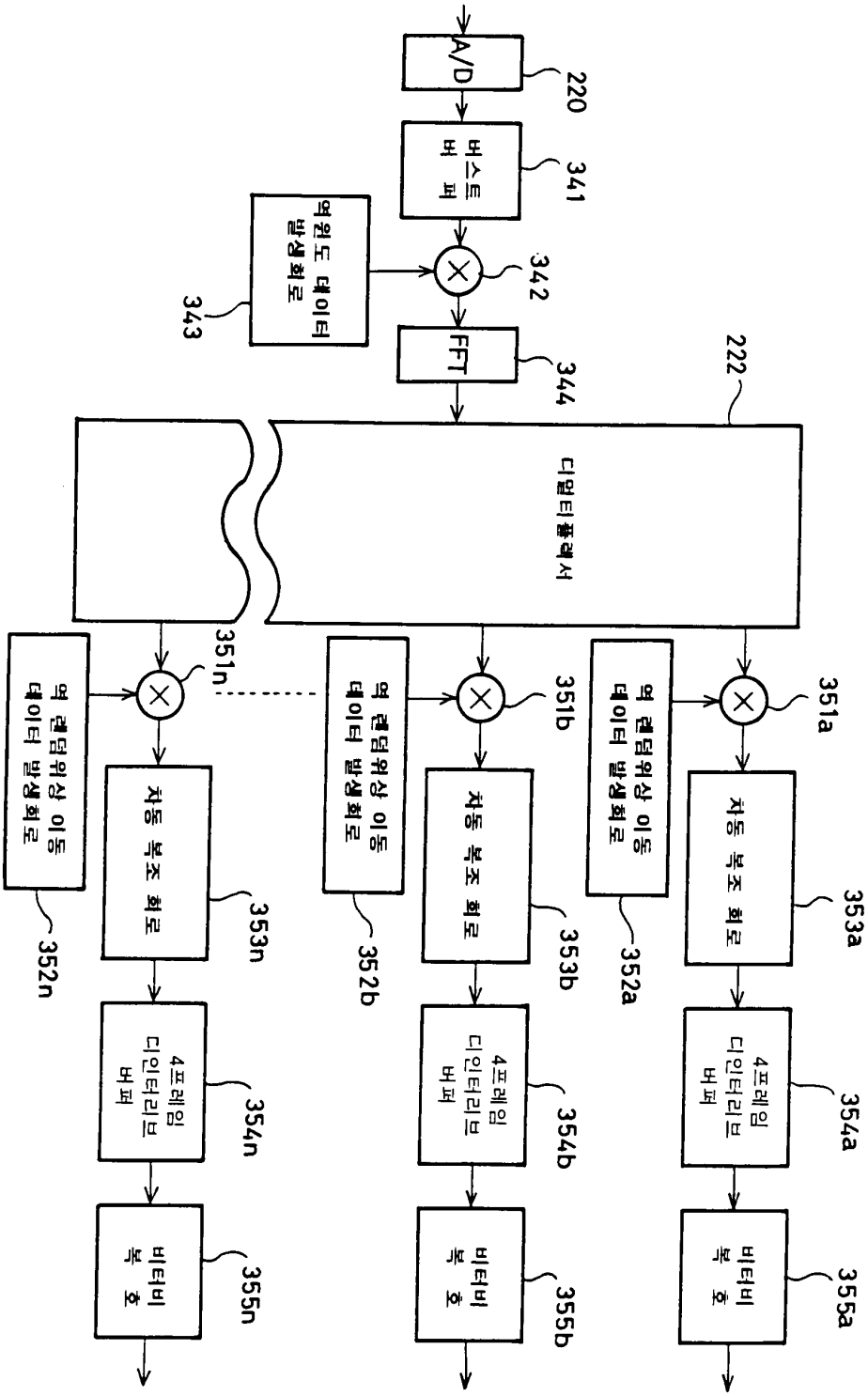


안테나 공용기
2.0GHz 대역
2.2GHz 대역
BPF
주파수 합성기
1.9GHz
100MHz
300MHz
이상기
LPF
A/D
D/A
1/128
1/3
6.4 MHz
150KHz
TCXO (19.2MHz)
1/2400
8KHz
변조부
1/1280
5KHz
복조부
멀티플렉서
디멀티플렉서
부호기

도면22


U0
U1
U2
U3
UN
콘벌루션 부호기
311a
311b
311n
4 프레임 인터리브 버퍼
312a
312b
312n
DQPSK 기호 발생회로
321a
321b
321n
320a
320b
320n
323a
323b
323n
D
322a
322b
322n
314a
314b
314n
렌덤위상 이동 데이터 발생회로
313a
313b
313n
316a
316b
316n
전력 제어
315a
315b
315n
멀티플렉서
242
FFT
332
윈도 데이터 발생회로
333
334
버스트 버퍼
335
D/A
244

도면23


A/D
220
버스트 버퍼
341
역윈도 데이터 발생 회로
343
342
FFT
344
222
디멀티플렉서
351n
351b
351a
역 레덤위상 이동 데이터 발생 회로
352n
352b
352a
차동 복조 회로
353n
353b
353a
4프레임 디인터리브 버퍼
354n
354b
354a
비터비 복호
355n
355b
355a