

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月2日(02.01.2025)



(10) 国際公開番号

WO 2025/004736 A1

(51) 国際特許分類:
H10B 10/00 (2023.01)

二丁目 10 番 23 株式会社ソシオネクスト内 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2024/020654

(22) 国際出願日: 2024年6月6日(06.06.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-104374 2023年6月26日(26.06.2023) JP

(71) 出願人:株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目 10 番 23 Kanagawa (JP).

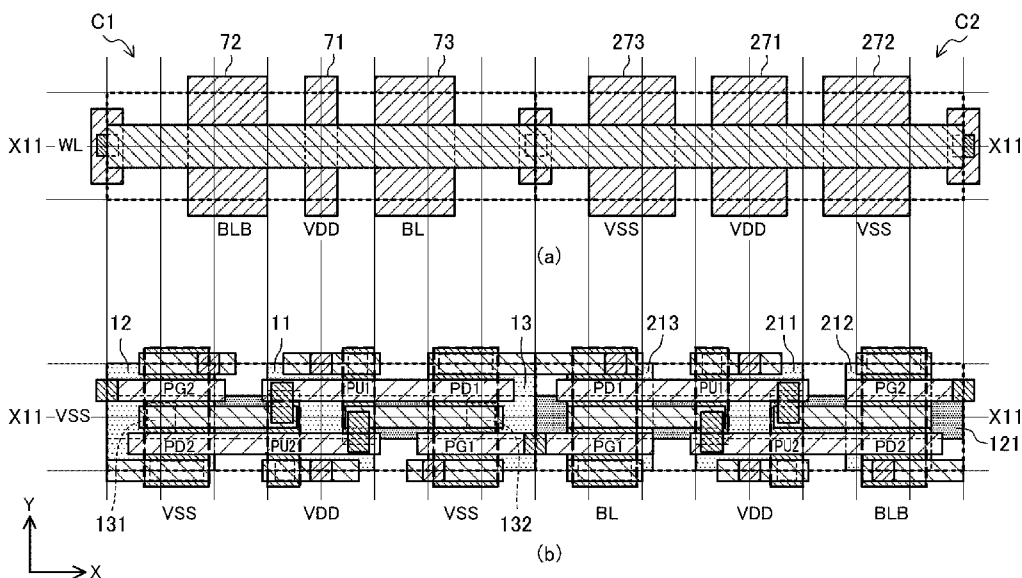
(72) 発明者: 廣瀬 雅庸 (HIROSE Masanobu); 〒2220033 神奈川県横浜市港北区新横浜

(74) 代理人: 弁理士法人前田特許事務所(MAEDA & PARTNERS); 〒5300004 大阪府大阪市北区堂島浜 1 丁目 2 番 1 号 新ダイビル 23 階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: SEMICONDUCTOR MEMORY DEVICE

(54) 発明の名称: 半導体記憶装置



(57) Abstract: In this semiconductor memory device, a plurality of SRAM cells include a first SRAM cell (C1) and a second SRAM cell (C2) disposed side by side with the first SRAM cell (C1) in a first direction. In the first SRAM cell (C1), wires (72, 73) respectively corresponding to bit lines BLB, BL are formed in an M1 wiring layer, which is a metal wiring layer. In the second SRAM cell (C2), wires (212, 213) respectively corresponding to the bit lines BLB, BL are formed in a BM0 wiring layer, which is a wiring layer on the back surface of a transistor.

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約: 複数のSRAMセルは、第1SRAMセル(C1)と、第1SRAMセル(C1)と第1方向に並んで配置された第2SRAMセル(C2)とを含む。第1SRAMセル(C1)では、ビット線BLB、BLにそれぞれ相当する配線(72, 73)が、メタル配線層であるM1配線層に形成されている。第2SRAMセル(C2)では、ビット線BLB、BLにそれぞれ相当する配線(212, 213)が、トランジスタの背面の配線層であるBM0配線層に形成されている。

明 細 書

発明の名称：半導体記憶装置

技術分野

[0001] 本開示は、半導体記憶装置に関し、特にS R A M (Static Random Access Memory) セル（以下、適宜、単にセルともいう）のレイアウト構造に関する。

背景技術

[0002] S R A Mは半導体集積回路において広く用いられている。

[0003] また、L S Iの基本構成要素であるトランジスタは、ゲート長の縮小（スケーリング）により、集積度の向上、動作電圧の低減、および動作速度の向上を実現してきた。しかし、近年、過度なスケーリングによるオフ電流と、それによる消費電力の著しい増大が問題となっている。この問題を解決するため、トランジスタ構造を従来の平面型から立体型に変更した立体構造トランジスタが盛んに研究されている。立体構造トランジスタの一例として、ナノシートF E T (Field Effect Transistor) がある。

[0004] 特許文献1では、トランジスタの直下の基板背面に配線層を設け、ビット線対の一方を背面側の配線層に設け、ビット線対の他方を表面側の配線層に設けたS R A Mセルのレイアウト構造が開示されている。

先行技術文献

非特許文献

[0005] 特許文献1：米国特許出願公開第2021／0343332号明細書の図9

発明の概要

発明が解決しようとする課題

[0006] ここで、特許文献1の技術では、ビット線対を異なる配線層に設けているため、ビット線対間で特性のアンバランスが生じる。また、ビット線対を異なる配線層に設けていることから、ビット線対の配線のプロセスばらつきが互いに独立して発生するため、特性のアンバランスがさらに大きくなる。こ

れにより、S R A Mセルの歩留まり低下および信頼性低下が生じるおそれがある。これを避けるためには、設計マージンを大きくとる必要があり、半導体記憶装置の動作速度低下などの性能低下が生じるおそれがある。

[0007] 本開示は、トランジスタの背面側に配線を設けたS R A Mセルのレイアウト構造において、半導体記憶装置の性能低下を抑止することを目的とする。

課題を解決するための手段

[0008] 本開示では、複数のS R A Mセルを含む半導体記憶装置であって、前記S R A Mセルは、ソースが第1電源電圧を供給する第1電源に、ドレインが第1ノードに、ゲートが第2ノードにそれぞれ接続された第1トランジスタと、ソースが前記第1電源に、ドレインが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第2トランジスタと、ソースが前記第1電源電圧と異なる第2電源電圧を供給する第2電源に、ドレインが前記第1ノードに、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと、ソースが前記第2電源に、ドレインが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第4トランジスタと、ソースが第1ビット線に、ドレインが前記第1ノードに、ゲートがワード線にそれぞれ接続された第5トランジスタと、ソースが前記第1ビット線と相補ビット線対を構成する第2ビット線に、ドレインが前記第2ノードに、ゲートが前記ワード線にそれぞれ接続された第6トランジスタとを備え、前記複数のS R A Mセルは、第1S R A Mセルと、前記第1S R A Mセルと第1方向に並んで配置された第2S R A Mセルとを含み、前記第1S R A Mセルの前記第1ビット線は、前記第1～第6トランジスタよりも上層のメタル配線層に形成されており、第2方向に延びる第1配線を含み、前記第1S R A Mセルの前記第2ビット線は、前記メタル配線層に形成されており、前記第2方向に延びる第2配線を含み、前記第1S R A Mセルは、前記第1S R A Mセルの前記第3トランジスタのチャンネル、ソースおよびドレインを構成しており、当該チャンネルとして、前記第2方向に延びているナノシートを含む第1アクティブ領域と、前記第1S R A Mセルの前記第4トランジスタのチャンネル、ソースおよびド

レインを構成しており、当該チャネルとして、前記第2方向に延びているナノシートを含む第2アクティブ領域と、前記第1～第6トランジスタの背面側の第1背面配線層に形成されており、前記第2方向に延びており、前記第2電源に接続されている第1電源配線と、前記第1背面配線層に形成されており、前記第2方向に延びており、前記第2電源に接続されている第2電源配線と、前記第1アクティブ領域における前記第3トランジスタのソースを構成する第1領域と、前記第1電源配線とが重なる位置に形成されており、前記第1領域と前記第1電源配線とを接続する第1ビアと、前記第2アクティブ領域における前記第4トランジスタのソースを構成する第2領域と、前記第2電源配線とが重なる位置に形成されており、前記第2領域と前記第2電源配線とを接続する第2ビアとを備え、前記第2SRAMセルの前記第1ビット線は、前記第1背面配線層に形成されており、前記第2方向に延びる第3配線を含み、前記第2SRAMセルの前記第2ビット線は、前記第1背面配線層に形成されており、前記第2方向に延びる第4配線を含み、前記第2SRAMセルは、前記第2SRAMセルの前記第3トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第2方向に延びているナノシートを含む第3アクティブ領域と、前記第2SRAMセルの前記第4トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第2方向に延びているナノシートを含む第4アクティブ領域と、前記第3アクティブ領域における前記第3トランジスタのソースを構成する第3領域と、前記第3配線とが重なる位置に形成されており、前記第3領域と前記第3配線とを接続する第3ビアと、前記第4アクティブ領域における前記第4トランジスタのソースを構成する第4領域と、前記第4配線とが重なる位置に形成されており、前記第4領域と前記第4配線とを接続する第4ビアと、前記メタル配線層に形成されており、前記第2方向に延びており、前記第2電源に接続されている第3電源配線とを備える。

[0009] 本開示によると、第1SRAMセルでは、第1および第2ビット線にそれ

ぞれ相当する第1および第2配線が、トランジスタよりも上層のメタル配線層に形成されている。第2SRAMセルC2では、第1および第2ビット線BLB、BLにそれぞれ相当する第3および第4配線が、トランジスタの背面側の配線層である第1背面配線層に形成されている。これにより、第1SRAMセル内および第2SRAMセル内では、ビット線対を構成する第1および第2ビット線が同一の配線層に形成されるため、ビット線対間での特性のアンバランスが生じにくくなる。また、第1および第2ビット線が同一の配線層に形成されることから、ビット線対の配線のプロセスばらつきが互いに独立して発生することはない。したがって、SRAMセルの歩留まり低下および信頼性低下が生じにくくなり、設計マージンを大きくとる必要がなくなるため、半導体記憶装置の動作速度低下などの性能低下を抑止することができる。

発明の効果

[0010] 本開示によると、トランジスタの背面側に配線を設けたSRAMセルのレイアウト構造において、半導体記憶装置の性能低下を抑止することができる。

図面の簡単な説明

[0011] [図1]実施形態に係る第1SRAMセルのレイアウト構造の例を示す平面図。
[図2]実施形態に係る第1SRAMセルのレイアウト構造の例を示す断面図。
[図3]実施形態に係る第1SRAMセルのレイアウト構造の例を示す断面図。
[図4]実施形態に係るSRAMセルの構成を示す回路図。
[図5]実施形態に係る第2SRAMセルのレイアウト構造の例を示す平面図。
[図6]実施形態に係る第2SRAMセルのレイアウト構造の例を示す断面図。
[図7]実施形態に係る第2SRAMセルのレイアウト構造の例を示す断面図。
[図8]実施形態に係る半導体集積回路装置が備える回路ブロックのレイアウトの例を示す平面図。
[図9]実施形態に係る半導体集積回路装置が備える回路ブロックのレイアウトの例を示す平面図。

[図10]図9における領域S1の平面図。

[図11]図9における領域S1の断面図。

[図12]実施形態に係る半導体集積回路装置の他の構成例。

[図13]実施形態に係る第1SRAMセルのレイアウト構造の他の例を示す平面図。

[図14]実施形態に係る第2SRAMセルのレイアウト構造の他の例を示す平面図。

[図15]実施形態に係る第1SRAMセルのレイアウト構造の他の例を示す平面図。

[図16]実施形態に係る第2SRAMセルのレイアウト構造の他の例を示す平面図。

発明を実施するための形態

[0012] 以下、実施の形態について、図面を参照して説明する。以下の実施の形態では、半導体記憶装置は複数のSRAMセルを備えており、この複数のSRAMセルのうち少なくとも一部は、ナノシートFETを備えるものとする。ナノシートFETとは、電流が流れる薄いシート（ナノシート）を用いたFETである。ナノシートは例えばシリコンによって形成されている。なお、本開示では、SRAMセルが備えるトランジスタは、ナノシートFETに限定されない。

[0013] また、本明細書では、「VDD」「VSS」は、電源電圧または電源自体を示す。また、本明細書において、「同一配線幅」等のように、幅等が同じであることを意味する表現は、製造上のばらつき範囲を含んでいるものとする。

[0014] （実施形態）

本実施形態に係る半導体記憶装置は、第1SRAMセルC1および第2SRAMセルC2を含む。

[0015] （第1SRAMセルの構成）

図1～図3は本実施形態に係る第1SRAMセルのレイアウト構造の例を

示す図であり、図 1 (a), (b) は平面図、図 2 (a) ~ (c) および図 3 (a), (b) は平面視横方向における断面図である。具体的には、図 1 (a) は、M1, M2 配線層である、セル上部を示し、図 1 (b) は M1, M2 配線層よりも下層であり、ナノシート FET を含む部分である、セル下部を示す。図 2 (a) は線 X1 - X1' の断面、図 2 (b) は線 X2 - X2' の断面、図 2 (c) は線 X3 - X3' の断面、図 3 (a) は線 X4 - X4' の断面、図 3 (b) は線 X5 - X5' の断面である。

[0016] なお、以下の説明では、図 1 等の平面図において、図面横方向を X 方向（第 1 方向）、図面縦方向を Y 方向（第 2 方向）、基板面に垂直な方向を Z 方向としている。

[0017] 図 4 は本実施形態に係る S RAMセルの構成を示す回路図である。第 1 S RAMセル C1 および第 2 S RAMセル C2 には、それぞれ、図 4 の S RAM回路が構成されている。

[0018] 図 4 に示すように、S RAMセル（第 1 S RAMセル C1 および第 2 S RAMセル C2）には、ロードトランジスタ PU1, PU2、ドライブトランジスタ PD1, PD2、および、アクセストランジスタ PG1, PG2 により S RAM回路が構成されている。ロードトランジスタ PU1, PU2 は、P 型 FET であり、ドライブトランジスタ PD1, PD2 およびアクセストランジスタ PG1, PG2 は、N 型 FET である。

[0019] ロードトランジスタ PU1 は、電源 VDD と第 1 ノード NA との間に設けられており、ドライブトランジスタ PD1 は、第 1 ノード NA と電源 VSS との間に設けられている。ロードトランジスタ PU1 およびドライブトランジスタ PD1 は、ゲートが第 2 ノード NB に接続されており、インバータ INV1 を構成している。ロードトランジスタ PU2 は、電源 VDD と第 2 ノード NB との間に設けられており、ドライブトランジスタ PD2 は、第 2 ノード NB と電源 VSS との間に設けられている。ロードトランジスタ PU2 およびドライブトランジスタ PD2 は、ゲートが第 1 ノード NA に接続されており、インバータ INV2 を構成している。すなわち、一方のインバータ

の出力は他方のインバータの入力に接続されており、これにより、ラッチが構成されている。

[0020] アクセストランジスタPG1は、ビット線BLと第1ノードNAとの間に設けられており、ゲートがワード線WLに接続されている。アクセストランジスタPG2は、ビット線BLBと第2ノードNBとの間に設けられており、ゲートがワード線WLに接続されている。なお、ビット線BL、BLBは、相補ビット線対を構成する。

[0021] SRAM回路では、相補ビット線対を構成するビット線BL、BLBを、ハイレベルおよびローレベルにそれぞれ駆動し、ワード線WLをハイレベルに駆動すると、第1ノードNAにハイレベルが書き込まれ、第2ノードNBにローレベルが書き込まれる。一方、ビット線BL、BLBを、ローレベルおよびハイレベルにそれぞれ駆動し、ワード線WLをハイレベルに駆動すると、第1ノードNAにローレベルが書き込まれ、第2ノードNBにハイレベルが書き込まれる。そして、第1および第2ノードNA、NBにデータがそれぞれ書き込まれている状態で、ワード線WLをローレベルに駆動すると、ラッチ状態が確定し、第1および第2ノードNA、NBに書き込まれているデータが保持される。

[0022] また、ビット線BL、BLBを予めハイレベルにプリチャージしておき、ワード線WLをハイレベルに駆動すると、第1および第2ノードNA、NBに書き込まれたデータに応じてビット線BL、BLBの状態がそれぞれ確定するため、SRAMセルからのデータの読み出しを行うことができる。具体的に、第1ノードNAがハイレベルであり、第2ノードNBがローレベルであれば、ビット線BLはハイレベルを保持し、ビット線BLBはローレベルにディスチャージされる。一方、第1ノードNAがローレベルであり、第2ノードNBがハイレベルであれば、ビット線BLはローレベルにディスチャージされ、ビット線BLBはハイレベルを保持する。

[0023] 以上に説明したように、SRAMセルは、ビット線BL、BLBおよびワード線WLを制御することによって、SRAMセルへのデータ書き込み、デ

ータ保持およびSRAMセルからのデータ読み出し機能を有する。

[0024] なお、以下の説明では、図1等の平面図において縦横に走る実線、および、図2等の断面図において縦に走る実線は、設計時に部品配置を行うために用いるグリッドを示す。グリッドは、X方向において等間隔に配置されており、またY方向において等間隔に配置されている。なお、グリッド間隔は、X方向とY方向とにおいて同じであってもよいし異なってもよい。また、グリッド間隔は、層ごとに異なってもかまわない。さらに、各部品は必ずしもグリッド上に配置される必要はない。

[0025] また、図1等の平面図においてセルを取り囲むように表示された点線は、SRAMセルのセル枠（SRAMセルの外縁）を示す。SRAMセルは、セル枠が、X方向またはY方向に隣接するセルのセル枠と接するように配置される。

[0026] 図1（b）に示すように、トランジスタが形成される半導体チップの背面には、配線層であるBM0（Backside Metal 0）配線層およびBM1（Backside Metal 1）配線層が形成されている。BM1配線層は、BM0配線層の下層、すなわち、トランジスタからみて遠い方にある。なお、BM0配線層が第1背面配線層に相当し、BM1配線層が第2背面配線層に相当する。

[0027] BM0配線層には、セル上下両端にかけてY方向に延びる電源配線11～13が形成されている。電源配線11は、電源電圧VDDを供給する。電源配線12、13は、電源電圧VSSを供給する。

[0028] BM1配線層には、セル左右両端にかけてX方向に延びる電源配線121が形成されている。電源配線121は、電源電圧VSSを供給する。電源配線121は、ビア（via）131を介して電源配線12と接続されており、ビア132を介して電源配線13と接続されている。

[0029] P型基板（PSub）上（図示省略）のN型トランジスタ領域に、N型トランジスタのチャネル、ソースおよびドレインを構成する複数のアクティブ領域が形成されている。具体的に、N型トランジスタ領域には、アクティブ領域N1、N2が形成されている。アクティブ領域N1、N2は、平面視で、電

源配線 1 2, 1 3 とそれぞれ重なっている。

- [0030] N型トランジスタ領域では、アクセストランジスタ P G 2、ドライブトランジスタ P D 1、ドライブトランジスタ P D 2 およびアクセストランジスタ P G 1 が形成されている。アクセストランジスタ P G 2、ドライブトランジスタ P D 1、ドライブトランジスタ P D 2 およびアクセストランジスタ P G 1 は、チャンネルとして、平面視で重なる 3 枚のシート構造からなり、Y 方向に延びるナノシート 2 1 ~ 2 4 をそれぞれ有する。すなわち、アクセストランジスタ P G 2、ドライブトランジスタ P D 1、ドライブトランジスタ P D 2 およびアクセストランジスタ P G 1 はナノシート F E T である。
- [0031] アクティブ領域 N 1 において、ドライブトランジスタ P D 2 のソースとなる部分（領域 4 2）は、電源配線 1 2 と平面視で重なる位置に設けられたビア（via）1 1 1 を介して、電源配線 1 2 と接続されている。アクティブ領域 N 2 において、ドライブトランジスタ P D 1 のソースとなる部分（領域 4 3）は、電源配線 1 3 と平面視で重なる位置に設けられたビア 1 1 2 を介して、電源配線 1 3 と接続されている。
- [0032] N型ウェル（NWell）上（図示省略）の P 型トランジスタ領域に、P 型トランジスタのチャンネル、ソースおよびドレインを構成する複数のアクティブ領域が形成されている。具体的に、P 型トランジスタ領域には、アクティブ領域 P 1, P 2 が形成されている。アクティブ領域 P 1, P 2 は、平面視で、電源配線 1 1 と重なっている。
- [0033] P 型トランジスタ領域では、ロードトランジスタ P U 1, P U 2 が形成されている。ロードトランジスタ P U 1, P U 2 は、チャンネルとして、平面視で重なる 3 枚のシート構造からなり、Y 方向に延びるナノシート 2 5, 2 6 をそれぞれ有する。すなわち、ロードトランジスタ P U 1, P U 2 はナノシート F E T である。なお、ナノシート 2 1 ~ 2 4 の X 方向の幅は、ナノシート 2 5, 2 6 の X 方向の幅の 2 倍となっている。
- [0034] アクティブ領域 P 1 において、ロードトランジスタ P U 1 のソースとなる部分（領域 4 6）は、電源配線 1 1 と平面視で重なる位置に設けられたビア

1 1 3 を介して、電源配線 1 1 と接続されている。アクティブ領域 P 2 において、ロードトランジスタ P U 2 のソースとなる部分（領域 4 9）は、電源配線 1 2 と平面視で重なる位置に設けられたビア 1 1 4 を介して、電源配線 1 2 と接続されている。

[0035] 図 1（b）に示すように、X 方向に延びるゲート配線（Gate）3 1～3 4 が形成されている。ゲート配線 3 1 は、ナノシート 2 1 の X 方向および Z 方向における外周を囲んでいる。ゲート配線 3 2 は、ナノシート 2 5，2 2 の X 方向および Z 方向における外周を囲んでいる。ゲート配線 3 3 は、ナノシート 2 3，2 6 の X 方向および Z 方向における外周を囲んでいる。ゲート配線 3 4 は、ナノシート 2 4 の X 方向および Z 方向における外周を囲んでいる。ゲート配線 3 1 は、アクセストランジスタ P G 2 のゲートに対応する。ゲート配線 3 2 は、ロードトランジスタ P U 1 およびドライブトランジスタ P D 1 のゲートに対応する。ゲート配線 3 3 は、ドライブトランジスタ P D 2 およびロードトランジスタ P U 2 のゲートに対応する。ゲート配線 3 4 は、アクセストランジスタ P G 1 のゲートに対応する。

[0036] ローカル配線層には、X 方向に延びるローカル配線 5 1～5 8 が形成されている。ローカル配線 5 1 は、アクティブ領域 N 1 における領域 4 0 と接続されている。ローカル配線 5 2 は、アクティブ領域 P 1 における領域 4 6 と接続されている。ローカル配線 5 3 は、アクティブ領域 N 2 における領域 4 3 と接続されている。ローカル配線 5 4 は、アクティブ領域 N 1 における領域 4 1 およびアクティブ領域 P 2 における領域 4 8 と接続されている。ローカル配線 5 5 は、アクティブ領域 P 1 における領域 4 7 およびアクティブ領域 N 2 における領域 4 4 と接続されている。ローカル配線 5 6 は、アクティブ領域 N 1 における領域 4 2 と接続されている。ローカル配線 5 7 は、アクティブ領域 P 2 における領域 4 9 と接続されている。ローカル配線 5 8 は、アクティブ領域 N 2 における領域 4 5 と接続されている。

[0037] 領域 4 0 は、アクティブ領域 N 1 におけるアクセストランジスタ P G 2 のソースとなる部分である。領域 4 1 は、アクティブ領域 N 1 における、アク

セストランジスタPG2のドレインおよびドライブトランジスタPD2のドレインとなる部分である。領域42は、アクティブ領域N1におけるドライブトランジスタPD2のソースとなる部分である。領域43は、アクティブ領域N2におけるドライブトランジスタPD1のソースとなる部分である。領域44は、アクティブ領域N2における、ドライブトランジスタPD1のドレインおよびアクセストランジスタPG1のドレインとなる部分である。領域45は、アクティブ領域N2におけるアクセストランジスタPG1のソースとなる部分である。領域46は、アクティブ領域P1におけるロードトランジスタPU1のソースとなる部分である。領域47は、アクティブ領域P1におけるロードトランジスタPU1のドレインとなる部分である。領域48は、アクティブ領域P2におけるロードトランジスタPU2のドレインとなる部分である。領域49は、アクティブ領域P2におけるロードトランジスタPU2のソースとなる部分である。

[0038] ローカル配線54は、シェアードコンタクト(Shared-contact)61を介して、ゲート配線32と接続されている。ローカル配線55は、シェアードコンタクト62を介して、ゲート配線33と接続されている。なお、ゲート配線33、ローカル配線55およびシェアードコンタクト62が第1ノードNAに相当する。ゲート配線32、ローカル配線54およびシェアードコンタクト61が第2ノードNBに相当する。

[0039] 図1(a)に示すように、ローカル配線層の上層にあるメタル配線層であるM1配線層に、セルの図面上下両端にかけてY方向に延びる電源配線71および配線72, 73が形成されている。また、配線74, 75が形成されている。電源配線71は、電源電圧VDDを供給する。配線72, 73が、ビット線BLB, BLに相当する。電源配線71は、電源配線11と重なりを有する。配線72は、平面視で、アクティブ領域N1および電源配線12と重なりを有する。配線73は、平面視で、アクティブ領域N2および電源配線13と重なりを有する。

[0040] 電源配線71は、ビア81を介してローカル配線52と接続されており、

ビア82を介してローカル配線57と接続されている。配線72は、ビア83を介してローカル配線51と接続されている。配線73は、ビア84を介して、ローカル配線58と接続されている。配線74は、コンタクト（Gate-contact）85を介して、ゲート配線31と接続されている。配線75は、コンタクト86を介して、ゲート配線34と接続されている。

[0041] M1配線層の上層であるM2配線層に、セルの図面左右両端にかけてX方向に延びる配線91が形成されている。配線91が、ワード線WLに相当する。配線91は、ビア101を介して配線74と接続されており、ビア102を介して配線75と接続されている。

[0042] 以上の構成により、トランジスタの背面の配線層であるBM0配線層に、電源電圧VSSを供給する電源配線12, 13が形成されている。これにより、メタル配線層であるM1配線層に電源電圧VSSを供給する電源配線を形成する必要がなくなるため、ビット線BLB, BLにそれぞれ相当する配線72, 73の配線幅を大きくすることができる。これにより、ビット線の配線抵抗を抑えることができるため、半導体記憶装置の動作速度の低下を抑止することができる。

[0043] また、M1配線層に、ビット線BLB, BLにそれぞれ相当する配線72, 73が形成されている。BM0配線層に、電源電圧VSSを供給する電源配線12, 13が形成されている。これにより、BM0配線層にビット線BLB, BLにそれぞれ相当する配線を形成する必要がなくなるため、BM0配線層における、電源電圧VSSを供給する電源配線12, 13の配線幅を大きくすることができる。これにより、電源配線の配線抵抗を抑えることができるため、電源電圧の変動が抑制され、半導体記憶装置の動作速度の低下を抑制できるとともに、動作の安定性を向上することができる。

[0044] また、BM0配線層およびM1配線層に、電源電圧VDDを供給する電源配線11, 71がそれぞれ形成されている。これにより、BM0配線層に形成された電源配線11の配線幅を小さくすることができ、電源電圧VSSを供給する電源配線12, 13の配線幅を大きくすることができるため、電源

配線の配線抵抗を抑えることができる。したがって、電源電圧の変動が抑制されるため、半導体記憶装置の動作速度の低下を抑制できるとともに、動作の安定性を向上することができる。

[0045] また、電源電圧VDDを供給する電源配線71が、配線72と配線73との間に形成されている。これにより、ビット線BLB、BLにそれぞれ相当する配線72、73間のクロストークノイズが抑制されるため、半導体記憶装置の性能の劣化および信頼性の低下を抑止することができる。

[0046] (第2SRAMセル)

図5～図7は本実施形態に係る第2SRAMセルのレイアウト構造の例を示す図である。具体的には、図5(a)は、セル上部を示し、図5(b)はセル下部を示す。図6(a)は線X6-X6'の断面、図6(b)は線X7-X7'の断面、図6(c)は線X8-X8'の断面、図7(a)は線X9-X9'の断面、図7(b)は線X10-X10'の断面である。

[0047] 上述したように、第2SRAMセルC2には、図4のSRAM回路が構成されている。

[0048] 図5(b)に示すように、BM0配線層に、セル上下両端にかけてY方向に延びる電源配線211および配線212、213が形成されている。電源配線211は、電源電圧VDDを供給する。配線212、213は、ビット線BLB、BLにそれぞれ相当する。

[0049] BM1配線層には、セル左右両端にかけてX方向に延びる電源配線121が形成されている。電源配線121は、電源電圧VSSを供給する。なお、電源配線121は、第2SRAMセルC2内の他の配線、トランジスタ等と接続されていない。

[0050] P型基板上(図示省略)のN型トランジスタ領域に、N型トランジスタのチャネル、ソースおよびドレインを構成する複数のアクティブ領域が形成されている。具体的に、N型トランジスタ領域には、アクティブ領域N3、N4が形成されている。アクティブ領域N3、N4は、平面視で、配線212、213とそれぞれ重なっている。

- [0051] N型トランジスタ領域では、アクセストランジスタPG2、ドライブトランジスタPD1、ドライブトランジスタPD2およびアクセストランジスタPG1が形成されている。アクセストランジスタPG2、ドライブトランジスタPD1、ドライブトランジスタPD2およびアクセストランジスタPG1は、チャンネルとして、平面視で重なる3枚のシート構造からなり、Y方向に延びるナノシート221～224をそれぞれ有する。すなわち、アクセストランジスタPG2、ドライブトランジスタPD1、ドライブトランジスタPD2およびアクセストランジスタPG1はナノシートFETである。
- [0052] アクティブ領域N3において、アクセストランジスタPG2のソースとなる部分（領域240）は、配線212と平面視で重なる位置に設けられたビア（via）311を介して、配線212と接続されている。アクティブ領域N4において、アクセストランジスタPG1のソースとなる部分（領域245）は、配線213と平面視で重なる位置に設けられたビア312を介して、配線213と接続されている。
- [0053] N型ウェル上（図示省略）のP型トランジスタ領域に、P型トランジスタのチャンネル、ソースおよびドレインを構成する複数のアクティブ領域が形成されている。具体的に、P型トランジスタ領域には、アクティブ領域P3、P4が形成されている。アクティブ領域P3、P4は、平面視で、電源配線211と重なっている。
- [0054] P型トランジスタ領域では、ロードトランジスタPU1、PU2が形成されている。ロードトランジスタPU1、PU2は、チャンネルとして、平面視で重なる3枚のシート構造からなり、Y方向に延びるナノシート225、226をそれぞれ有する。すなわち、ロードトランジスタPU1、PU2はナノシートFETである。なお、ナノシート221～224のX方向の幅は、ナノシート225、226のX方向の幅の2倍となっている。
- [0055] 図5（b）に示すように、X方向に延びるゲート配線（Gate）231～234が形成されている。ゲート配線231は、ナノシート221のX方向およびZ方向における外周を囲んでいる。ゲート配線232は、ナノシート2

25, 222のX方向およびZ方向における外周を囲んでいる。ゲート配線233は、ナノシート223, 226のX方向およびZ方向における外周を囲んでいる。ゲート配線234は、ナノシート224のX方向およびZ方向における外周を囲んでいる。ゲート配線231は、アクセストランジスタPG2のゲートに対応する。ゲート配線232は、ロードトランジスタPU1およびドライブトランジスタPD1のゲートに対応する。ゲート配線233は、ドライブトランジスタPD2およびロードトランジスタPU2のゲートに対応する。ゲート配線234は、アクセストランジスタPG1のゲートに対応する。

[0056] ローカル配線層には、X方向に延びるローカル配線251～258が形成されている。ローカル配線251は、アクティブ領域N3における領域240と接続されている。ローカル配線252は、アクティブ領域P3における領域246と接続されている。ローカル配線253は、アクティブ領域N4における領域243と接続されている。ローカル配線254は、アクティブ領域N3における領域241およびアクティブ領域P4における領域248と接続されている。ローカル配線255は、アクティブ領域P3における領域247およびアクティブ領域N4における領域244と接続されている。ローカル配線256は、アクティブ領域N3における領域242と接続されている。ローカル配線257は、アクティブ領域P4における領域249と接続されている。ローカル配線258は、アクティブ領域N4における領域245と接続されている。

[0057] 領域240は、アクティブ領域N3におけるアクセストランジスタPG2のソースとなる部分である。領域241は、アクティブ領域N3における、アクセストランジスタPG2のドレインおよびドライブトランジスタPD2のドレインとなる部分である。領域242は、アクティブ領域N3におけるドライブトランジスタPD2のソースとなる部分である。領域243は、アクティブ領域N4におけるドライブトランジスタPD1のソースとなる部分である。領域244は、アクティブ領域N4における、ドライブトランジスタ

タPD1のドレインおよびアクセストランジスタPG1のドレインとなる部分である。領域245は、アクティブ領域N4におけるアクセストランジスタPG1のソースとなる部分である。領域246は、アクティブ領域P3におけるロードトランジスタPU1のソースとなる部分である。領域247は、アクティブ領域P3におけるロードトランジスタPU1のドレインとなる部分である。領域248は、アクティブ領域P4におけるロードトランジスタPU2のドレインとなる部分である。領域249は、アクティブ領域P4におけるロードトランジスタPU2のソースとなる部分である。

[0058] ローカル配線254は、シェアードコンタクト(Shared-contact)261を介して、ゲート配線232と接続されている。ローカル配線255は、シェアードコンタクト262を介して、ゲート配線233と接続されている。なお、ゲート配線233、ローカル配線255およびシェアードコンタクト262が第1ノードNAに相当する。ゲート配線232、ローカル配線254およびシェアードコンタクト261が第2ノードNBに相当する。

[0059] 図5(a)に示すように、M1配線層に、セルの図面上下両端にかけてY方向に延びる電源配線271~273が形成されている。また、配線274, 275が形成されている。電源配線271は、電源電圧VDDを供給する。電源配線272, 273は、電源電圧VSSを供給する。電源配線271は、平面視で、アクティブ領域P3, P4および電源配線211と重なっている。電源配線272は、平面視で、アクティブ領域N3および配線212と重なっている。電源配線273は、平面視で、アクティブ領域N4および配線213と重なっている。

[0060] 電源配線271は、ビア281を介してローカル配線252と接続されており、ビア282を介してローカル配線257と接続されている。電源配線272は、ビア283を介して、ローカル配線256と接続されている。電源配線273は、ビア284を介して、ローカル配線253と接続されている。配線274は、コンタクト285を介して、ゲート配線231と接続されている。配線275は、コンタクト286を介して、ゲート配線234と

接続されている。

[0061] M2配線層に、セルの図面左右両端にかけてX方向に延びる配線291が形成されている。配線291が、ワード線WLに相当する。配線291は、ビア301を介して配線274と接続されており、ビア302を介して配線275と接続されている。

[0062] 以上の構成により、メタル配線層であるM1配線層に、電源電圧VSSを供給する電源配線272, 273が形成されている。これにより、トランジスタの背面の配線層であるBM0配線層に電源電圧VSSを供給する電源配線を形成する必要がなくなるため、ビット線BLB, BLにそれぞれ相当する配線212, 213の配線幅を大きくすることができる。これにより、ビット線の配線抵抗を抑えることができるため、半導体記憶装置の動作速度の低下を抑止することができる。

[0063] また、M1配線層に、電源電圧VSSを供給する電源配線272, 273が形成されている。BM0配線層に、ビット線BLB, BLにそれぞれ相当する配線212, 213が形成されている。これにより、M1配線層にビット線BLB, BLにそれぞれ相当する配線を形成する必要がなくなるため、M1配線層における、電源電圧VSSを供給する電源配線272, 273の配線幅を大きくすることができる。これにより、電源配線の配線抵抗を抑えることができるため、電源電圧の変動が抑制され、半導体記憶装置の動作速度の低下を抑制できるとともに、動作の安定性を向上することができる。

[0064] また、BM0配線層およびM1配線層に、電源電圧VDDを供給する電源配線211, 271がそれぞれ形成されている。これにより、M1配線層に形成された電源配線271の配線幅を小さくすることができ、電源電圧VSSを供給する電源配線272, 273の配線幅を大きくすることができるため、電源配線の配線抵抗を抑えることができる。したがって、電源電圧の変動が抑制されるため、半導体記憶装置の動作速度の低下を抑制できるとともに、動作の安定性を向上することができる。

[0065] また、電源電圧VDDを供給する電源配線211が、配線212と配線2

1 3 との間に形成されている。これにより、ビット線 B L B, B L にそれぞれ相当する配線 2 1 2, 2 1 3 間のクロストークノイズが抑制されるため、半導体記憶装置の性能の劣化および信頼性の低下を抑止することができる。

[0066] (回路ブロックの構成)

図 8 ～図 1 1 は本実施形態に係る半導体集積回路装置が備える回路ブロックのレイアウトの例を示す図である。具体的には、図 8 は回路ブロックにおける M 1 配線層の平面図であり、図 9 は回路ブロックにおける B M 0 配線層および B M 1 配線層の平面図である。図 1 0 (a) は図 8 および図 9 における領域 S 1 のセル上部の平面図であり、図 1 0 (b) は図 8 および図 9 における領域 S 1 のセル下部の平面図であり、図 1 1 は図 1 0 の X 1 1 - X 1 1 ' 断面である。なお、図 8 では、S R A M セルのセル枠と、M 1 配線層に形成された配線のみを図示しており、図 9 では、S R A M セルのセル枠と、B M 0 配線層および B M 1 配線層に形成された配線のみを図示している。

[0067] 図 8 および図 9 の回路ブロックには、メモリセルアレイ A 1 が形成されている。メモリセルアレイ A 1 には、セル列 C R 1 とセル列 C R 2 とが X 方向に交互に並んで配置されている。セル列 C R 1 は、Y 方向に並んだ複数の第 1 S R A M セル C 1 で構成されている。セル列 C R 2 は、Y 方向に並んだ複数の第 2 S R A M セル C 2 で構成されている。なお、図 8 および図 9 では、セル列 C R 2 には、図 5 の第 2 S R A M セル C 2 が X 方向に反転されたものが配置されている。

[0068] 図 8 に示すように、セル列 C R 1 では、M 1 配線層において、Y 方向に並んだ複数の第 1 S R A M セル C 1 が、Y 方向に延びる電源配線 7 1 (電源電圧 V D D を供給する電源配線) および配線 7 2, 7 3 (ビット線 B L B, B L) に共通に接続される。セル列 C R 2 では、M 1 配線層において、Y 方向に並んだ複数の第 2 S R A M セル C 2 が、Y 方向に延びる電源配線 2 7 1 (電源電圧 V D D を供給する電源配線) および電源配線 2 7 2, 2 7 3 (電源電圧 V S S を供給する電源配線) に共通に接続される。

[0069] また、図 8 および図 1 0 (a) に示すように、M 1 配線層における配線は

、図面左側から図面右側に掛けて、配線 7 2、電源配線 7 1、配線 7 3、電源配線 2 7 3、電源配線 2 7 1、電源配線 2 7 2 の順に X 方向に並んで配置されている。

[0070] 図 9 に示すように、セル列 C R 1 では、B M 0 配線層において、Y 方向に並んだ複数の第 1 S R A M セル C 1 が、Y 方向に延びる電源配線 1 1（電源電圧 V D D を供給する電源配線）および電源配線 1 2，1 3（電源電圧 V S S を供給する電源配線）に共通に接続される。セル列 C R 2 では、B M 0 配線層において、Y 方向に並んだ複数の第 2 S R A M セル C 2 が、Y 方向に延びる電源配線 2 1 1（電源電圧 V D D を供給する配線）および配線 2 1 2，2 1 3（ビット線 B L B，B L）に共通に接続される。また、B M 1 配線層において、X 方向に延びている複数の電源配線 1 2 1（電源電圧 V S S を供給する電源配線）が Y 方向に並んで配置されており、各電源配線 1 2 1 がビア 1 3 1，1 3 2（図 9 では図示省略）をそれぞれ介して、B M 0 配線層における電源配線 1 2，1 3 と接続されている。

[0071] また、図 9 および図 1 0（b）に示すように、B M 1 配線層における配線は、図面左側から図面右側に掛けて、電源配線 1 2、電源配線 1 1、電源配線 1 3、配線 2 1 3、電源配線 2 1 1、配線 2 1 2 の順に X 方向に並んで配置されている。

[0072] 以上の構成により、本実施形態に係る回路ブロックは、第 1 S R A M セル C 1 では、ビット線 B L B，B L にそれぞれ相当する配線 7 2，7 3 が、メタル配線層である M 1 配線層に形成されている。第 2 S R A M セル C 2 では、ビット線 B L B，B L にそれぞれ相当する配線 2 1 2，2 1 3 が、トランジスタの背面の配線層である B M 0 配線層に形成されている。これにより、第 1 S R A M セル C 1 内および第 2 S R A M セル C 2 内では、ビット線対を構成するビット線 B L，B L B が同一の配線層に形成されるため、ビット線対間での特性のアンバランスが生じにくくなる。また、ビット線 B L B，B L が同一の配線層に形成されることから、ビット線対の配線のプロセスばらつきが互いに独立して発生することはない。したがって、S R A M セルの歩

留まり低下および信頼性低下が生じにくくなり、設計マージンを大きくとる必要がなくなるため、半導体記憶装置の動作速度低下などの性能低下を抑止することができる。

[0073] また、第1SRAMセルC1では、M1配線層において、電源電圧VDDを供給する電源配線71が、ビット線BLB、BLにそれぞれ相当する配線72、73間に形成されている。第2SRAMセルC2では、BM0配線層において、電源電圧VDDを供給する電源配線211が、ビット線BLB、BLにそれぞれ相当する配線212、213間に形成されている。これにより、第1SRAMセルC1内および第2SRAMセルC2内において、ビット線BLB、BLにそれぞれ相当する配線間のクロストークノイズが抑制されるため、半導体記憶装置の性能の劣化および信頼性の低下を抑止することができる。

[0074] また、BM0配線層には、Y方向に延びており、電源電圧VSSを供給する複数の電源配線12、13が形成されている。BM1配線層には、X方向に延びており、電源電圧VSSを供給する複数の電源配線121が形成されている。電源配線12、13は、電源配線121と接続されている。これにより、BM0配線層およびBM1配線層には、電源電圧VSSを供給する電源配線がメッシュ状に形成されるため、電源電圧を供給する配線の配線抵抗が小さくなり、電源電圧の変動が抑制されるため、半導体記憶装置の動作速度の低下を抑止できるとともに、動作の安定性を向上することができる。

また、BM1配線層における配線は、図面左側から図面右側に掛けて、電源配線12、電源配線11、電源配線13、配線213、電源配線211、配線212の順にX方向に並んで配置されている。これにより、ビット線BLB、BLにそれぞれ相当する配線212、213が、SRAMセル内および隣接するSRAMセル同士の間において、隣接して配置されないため、ビット線BLB、BLにそれぞれ相当する配線間のクロストークノイズが抑制され、半導体記憶装置の性能の劣化および信頼性の低下を抑止することができる。

- [0075] また、M1配線層における配線は、図面左側から図面右側に掛けて、配線72、電源配線71、配線73、電源配線273、電源配線271、電源配線272の順にX方向に並んで配置されている。これにより、ビット線BLB、BLにそれぞれ相当する配線72、73が、SRAMセル内および隣接するSRAMセル同士の間において、隣接して配置されないため、ビット線BLB、BLにそれぞれ相当する配線間のクロストークノイズが抑制され、半導体記憶装置の性能の劣化および信頼性の低下を抑止することができる。
- [0076] なお、上述した、トランジスタの背面側に形成された電源配線は、トランジスタが構成される半導体チップとは別の半導体チップを用いて構成してもかまわない。
- [0077] 図12(a)は実施形態に係る半導体集積回路装置の他の構成例である。図12(a)に示す半導体集積回路装置400は、第1半導体チップ401(チップA)と、第2半導体チップ402(チップB)とが、積層されることによって構成されている。チップAは、上述したSRAMセル等が配置されている。チップBは、表面に設けられた配線層に電源配線が形成されている。チップBは、チップAの背面側に、バンプ等を用いて張り合わされている。
- [0078] 図12(b)は本構成例における、図1の第1SRAMセルC1の線X1-X1'の断面を示す。図12(b)に示すように、チップBの表面に設けられた配線層に、VDDを供給する電源配線11と、VSSを供給する電源配線12、13とが形成されている。電源配線11は、チップAの領域46と、電源配線11と平面視で重なる位置に設けられたビア113を介して接続されている。電源配線13は、チップAの領域43と、電源配線13と平面視で重なる位置に設けられたビア112を介して接続される。なお、図示は省略しているが、電源配線12は、チップAの領域42と、電源配線12と平面視で重なる位置に設けられたビア111を介して接続される。また、この場合、図示は省略するが、第2SRAMセルC2の電源配線211および配線212、213も第1SRAMセルC1の電源配線11~13と同様

にチップBの表面に設けられた配線層に形成される。

[0079] (変形例1)

図13は実施形態に係る第1SRAMセルのレイアウト構造の他の例を示す平面図であり、図14は実施形態に係る第2SRAMセルのレイアウト構造の他の例を示す平面図である。具体的は、図13は第1SRAMセルC1のセル下部であり、図14は第2SRAMセルC2のセル下部である。なお、本変形例では、図13の第1SRAMセルC1の上部は図1(a)と同じであり、図14の第2SRAMセルC2の上部は図5(a)と同じである。

[0080] 図13および図14では、図1および図5とそれぞれ比較すると、BM1配線層に、電源配線121に代えて、電源配線122が形成されている。

[0081] 具体的には、BM1配線層には、X方向に延びる電源配線122が形成されている。電源配線122は、電源電圧VDDを供給する。図13の第1SRAMセルC1では、電源配線122は、ビア133を介して、BM0配線層における電源配線11と接続されている。図14の第2SRAMセルC2では、電源配線122は、ビア331を介して、BM0配線層における電源配線211と接続されている。

[0082] 図8および図9の回路ブロックに、図13の第1SRAMセルC1および図14の第2SRAMセルC2が配置された場合、BM1配線層において、複数の電源配線122が、Y方向に並んで配置されることとなる。

[0083] 本変形例よれば、第1SRAMセルC1および第2SRAMセルC2に供給される電源電圧VDDを強化することができる。

[0084] その他、図1および図5と同様の効果を得ることができる。

[0085] なお、図8および図9の回路ブロックにおいて、図1の第1SRAMセルC1および図5の第2SRAMセルC2の一部または全部に代えて、図13の第1SRAMセルC1および図14の第2SRAMセルC2を配置してもよい。この場合、例えば、Y方向において、N行(Nは2以上の整数)ごとに、図1の第1SRAMセルC1および図5の第2SRAMセルC2に代えて、図13の第1SRAMセルC1および図14の第2SRAMセルC2を

配置してもよい。

[0086] (変形例2)

図15は実施形態に係る第1SRAMセルのレイアウト構造の他の例を示す平面図であり、図16は実施形態に係る第2SRAMセルのレイアウト構造の他の例を示す平面図である。具体的には、図15は第1SRAMセルC1のセル下部であり、図16は第2SRAMセルC2のセル下部である。なお、本変形例では、図15の第1SRAMセルC1の上部は図1(a)と同じであり、図16の第2SRAMセルC2の上部は図5(a)と同じである。

[0087] 図15および図16では、図1および図5とそれぞれ比較すると、BM1配線層に、電源配線121に代えて、電源配線123, 124が形成されている。

[0088] 具体的には、BM1配線層には、X方向に延びる電源配線123, 124が形成されている。電源配線123は、図面上端に形成されており、電源電圧VDDを供給する。電源配線124は、図面下端に形成されており、電源電圧VSSを供給する。図15の第1SRAMセルC1では、電源配線123は、ビア134を介して、BM0配線層における電源配線11と接続されている。図15の第1SRAMセルC1では、電源配線124は、ビア135を介してBM0配線層における電源配線12と接続されており、ビア136を介してBM0配線層における電源配線13と接続されている。図16の第2SRAMセルC2では、電源配線123は、ビア332を介して、BM0配線層における電源配線211と接続されている。

[0089] 図8および図9の回路ブロックに、図15の第1SRAMセルC1および図16の第2SRAMセルC2が配置された場合、BM1配線層において、電源配線123, 124が、Y方向に交互に並んで配置されることとなる。

[0090] 本変形例によれば、第1SRAMセルC1および第2SRAMセルC2に供給される電源電圧VDD, VSSを強化することができる。

[0091] その他、図1および図5と同様の効果を得ることができる。

[0092] なお、図 1 5 および図 1 6 では、電源配線 1 2 3, 1 2 4 が図面上端および図面下端に形成されているが、これに限られない。また、電源配線 1 2 3, 1 2 4 の配線幅は同じであってもよいし、異なってもよい。

[0093] なお、上述の各実施形態および変形例における第 1 S R A M セル C 1 は、B M O 配線層および M 1 配線層に、電源電圧 V D D を供給する電源配線 1 1, 7 1 がそれぞれ形成されているが、電源配線 1 1, 7 1 の少なくともいずれか一方が形成されていればよい。例えば、M 1 配線層の電源配線 7 1 のみを形成した場合、B M O 配線層における、電源電圧 V S S を供給する電源配線 1 2, 1 3 の配線幅を大きくすることができるため、第 1 S R A M セル C 1 に供給される電源電圧 V S S を強化することができる。一方、B M O 配線層の電源配線 1 1 のみを形成した場合、M 1 配線層における、ビット線 B L B, B L に相当する配線 7 2, 7 3 の配線幅を大きくすることができるため、ビット線の配線抵抗を抑えることができるため、半導体記憶装置の動作速度の低下を抑止することができる。

[0094] また、上述の各実施形態および変形例における第 2 S R A M セル C 2 は、B M O 配線層および M 1 配線層に、電源電圧 V D D を供給する電源配線 2 1 1, 2 7 1 がそれぞれ形成されているが、電源配線 2 1 1, 2 7 1 の少なくともいずれか一方が形成されていればよい。例えば、B M O 配線層の電源配線 2 1 1 のみを形成した場合、M 1 配線層における、電源電圧 V S S を供給する電源配線 2 7 2, 2 7 3 の配線幅を大きくすることができるため、第 2 S R A M セル C 2 に供給される電源電圧 V S S を強化することができる。一方、M 1 配線層の電源配線 2 7 1 のみを形成した場合、B M O 配線層における、ビット線 B L B, B L に相当する配線 2 1 2, 2 1 3 の配線幅を大きくすることができるため、ビット線の配線抵抗を抑えることができるため、半導体記憶装置の動作速度の低下を抑止することができる。

[0095] また、上述の各実施形態および変形例では、各トランジスタはそれぞれ 3 枚のナノシートを備えるものとしたが、トランジスタの一部または全部は、1 枚、2 枚または 4 枚以上のナノシートを備えてもよい。

- [0096] また、上述の各実施形態および変形例では、ナノシートの断面形状は長方形としているが、これに限られるものではない。例えば、正方形、円形、楕円形等であってもよい。
- [0097] また、上述の各実施形態および変形例では、ナノシート 21～24 の X 方向の幅はナノシート 25, 26 の X 方向の幅の 2 倍であるが、これに限られない。ナノシート 21～26 のそれぞれの X 方向の幅は、SRAM 回路の動作安定性等を考慮して決定すればよい。
- [0098] また、上述の各実施形態および変形例では、シェアードコンタクト 61, 62 はコンタクト (Gate-Contact) やローカル配線と同プロセス工程で製造されてもよいし、別プロセス工程にて製造されてもよい。
- [0099] また、上述の各実施形態および変形例では、第 1 SRAM セル C1 におけるロードトランジスタ PU1, PU2 のソース (領域 46, 49)、および、第 2 SRAM セル C2 におけるロードトランジスタ PU1, PU2 のソース (領域 246, 249) に電源電圧 VDD を供給する電源は、半導体集積回路の外部から供給される電源に限られず、半導体集積回路の内部で生成される電源であったり、半導体記憶装置の内部で生成される電源などであってもよい。

産業上の利用可能性

- [0100] 本開示では、トランジスタの背面側に配線を設けた SRAM セルのレイアウト構造において、半導体記憶装置の性能低下を抑止することができる。

符号の説明

- [0101] 11～13, 71, 121～124, 211, 271～273 電源配線
111～114, 311～314 ビア
21～26 ナノシート
31～34 ゲート配線
40～49, 240～249 領域
72, 73, 212, 213 配線
C1 第 1 SRAM セル

C 2 第 2 S R A M セル

P U 1 , P U 2 ロードトランジスタ

P D 1 , P D 2 ドライブトランジスタ

P G 1 , P G 2 アクセストランジスタ

B L , B L B ビット線

W L ワード線

請求の範囲

[請求項1]

複数のSRAMセルを含む半導体記憶装置であって、

前記SRAMセルは、

ソースが第1電源電圧を供給する第1電源に、ドレインが第1ノードに、ゲートが第2ノードにそれぞれ接続された第1トランジスタと、

ソースが前記第1電源に、ドレインが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第2トランジスタと、

ソースが前記第1電源電圧と異なる第2電源電圧を供給する第2電源に、ドレインが前記第1ノードに、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと、

ソースが前記第2電源に、ドレインが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第4トランジスタと、

ソースが第1ビット線に、ドレインが前記第1ノードに、ゲートがワード線にそれぞれ接続された第5トランジスタと、

ソースが前記第1ビット線と相補ビット線対を構成する第2ビット線に、ドレインが前記第2ノードに、ゲートが前記ワード線にそれぞれ接続された第6トランジスタと

を備え、

前記複数のSRAMセルは、

第1SRAMセルと、

前記第1SRAMセルと第1方向に並んで配置された第2SRAMセルとを含み、

前記第1SRAMセルの前記第1ビット線は、前記第1～第6トランジスタよりも上層のメタル配線層に形成されており、第2方向に延びる第1配線を含み、

前記第1SRAMセルの前記第2ビット線は、前記メタル配線層に形成されており、前記第2方向に延びる第2配線を含み、

前記第1SRAMセルは、

前記第1SRAMセルの前記第3トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第2方向に延びているナノシートを含む第1アクティブ領域と、

前記第1SRAMセルの前記第4トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第2方向に延びているナノシートを含む第2アクティブ領域と、

前記第1～第6トランジスタの背面側の第1背面配線層に形成されており、前記第2方向に延びており、前記第2電源に接続されている第1電源配線と、

前記第1背面配線層に形成されており、前記第2方向に延びており、前記第2電源に接続されている第2電源配線と、

前記第1アクティブ領域における前記第3トランジスタのソースを構成する第1領域と、前記第1電源配線とが重なる位置に形成されており、前記第1領域と前記第1電源配線とを接続する第1ビアと、

前記第2アクティブ領域における前記第4トランジスタのソースを構成する第2領域と、前記第2電源配線とが重なる位置に形成されており、前記第2領域と前記第2電源配線とを接続する第2ビアとを備え、

前記第2SRAMセルの前記第1ビット線は、前記第1背面配線層に形成されており、前記第2方向に延びる第3配線を含み、

前記第2SRAMセルの前記第2ビット線は、前記第1背面配線層に形成されており、前記第2方向に延びる第4配線を含み、

前記第2SRAMセルは、

前記第2SRAMセルの前記第3トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第2方向に延びているナノシートを含む第3アクティブ領域と、

前記第2SRAMセルの前記第4トランジスタのチャネル、ソース

およびドレインを構成しており、当該チャネルとして、前記第2方向に延びているナノシートを含む第4アクティブ領域と、

前記第3アクティブ領域における前記第3トランジスタのソースを構成する第3領域と、前記第3配線とが重なる位置に形成されており、前記第3領域と前記第3配線とを接続する第3ビアと、

前記第4アクティブ領域における前記第4トランジスタのソースを構成する第4領域と、前記第4配線とが重なる位置に形成されており、前記第4領域と前記第4配線とを接続する第4ビアと、

前記メタル配線層に形成されており、前記第2方向に延びており、前記第2電源に接続されている第3電源配線とを備えることを特徴とする半導体記憶装置。

[請求項2] 請求項1記載の半導体記憶装置において、

前記第1SRAMセルは、前記メタル配線層に形成されており、前記第2方向に延びており、前記第1および第2配線の間に形成されており、前記第1電源と接続されている第4電源配線をさらに備えることを特徴とする半導体記憶装置。

[請求項3] 請求項1記載の半導体記憶装置において、

前記第1SRAMセルは、

前記第1SRAMセルの前記第1トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第2方向に延びているナノシートを含む第5アクティブ領域と、

前記第1SRAMセルの前記第2トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第2方向に延びているナノシートを含む第6アクティブ領域と、

前記第1背面配線層に形成されており、前記第2方向に延びており、前記第1電源に接続されている第5電源配線と、

前記第5アクティブ領域における前記第1トランジスタのソースを構成する第5領域と、前記第5電源配線とが重なる位置に形成されて

おり、前記第5領域と前記第5電源配線とを接続する第5ビアと、

前記第6アクティブ領域における前記第2トランジスタのソースを構成する第6領域と、前記第5電源配線とが重なる位置に形成されており、前記第6領域と前記第5電源配線とを接続する第6ビアとをさらに備えることを特徴とする半導体記憶装置。

[請求項4]

請求項1記載の半導体記憶装置において、

前記第2SRAMセルは、

前記メタル配線層に形成されており、前記第2方向に延びており、前記第2電源に接続されている第6電源配線と、

前記メタル配線層に形成されており、前記第2方向に延びており、前記第3および第6電源配線の間に形成されており、前記第1電源と接続されている第7電源配線とをさらに備えることを特徴とする半導体記憶装置。

[請求項5]

請求項1記載の半導体記憶装置において、

前記第2SRAMセルは、

前記第2SRAMセルの前記第1トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第2方向に延びているナノシートを含む第7アクティブ領域と、

前記第2SRAMセルの前記第2トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第2方向に延びているナノシートを含む第8アクティブ領域と、

前記第1背面配線層に形成されており、前記第2方向に延びており、前記第1電源に接続されている第8電源配線と、

前記第7アクティブ領域における前記第1トランジスタのソースを構成する第7領域と、前記第8電源配線とが重なる位置に形成されており、前記第7領域と前記第8電源配線とを接続する第7ビアと、

前記第8アクティブ領域における前記第2トランジスタのソースを構成する第8領域と、前記第8電源配線とが重なる位置に形成されて

おり、前記第8領域と前記第8電源配線とを接続する第8ビアとをさらに備えることを特徴とする半導体記憶装置。

[請求項6]

請求項1記載の半導体記憶装置において、

前記複数のSRAMセルは、前記第1背面配線層の下層の第2背面配線層に形成されており、前記第1方向に延びており、前記第1および第2電源配線と接続されている第9電源配線をさらに備えることを特徴とする半導体記憶装置。

[請求項7]

請求項1記載の半導体記憶装置において、

前記第1SRAMセルは、前記メタル配線層に形成されており、前記第2方向に延びており、前記第1および第2配線の間に形成されており、前記第1電源と接続されている第4電源配線をさらに備え、

前記第2SRAMセルは、

前記メタル配線層に形成されており、前記第2方向に延びており、前記第2電源に接続されている第6電源配線と、

前記メタル配線層に形成されており、前記第2方向に延びており、前記第3および第6電源配線の間に形成されており、前記第1電源と接続されている第7電源配線とをさらに備え、

前記複数のSRAMセルにおいて、前記第2方向に並んだ複数の前記第1SRAMセルを含む第1セル列と、前記第2方向に並んだ複数の前記第2SRAMセルを含む第2セル列とが、前記第1方向に交互に並んで配置されており、

前記第1セル列において、前記複数の第1SRAMセルは、同一の前記第1配線、同一の前記第2配線、および、同一の前記第4電源配線に共通に接続されており、

前記第2セル列において、前記複数の第2SRAMセルは、同一の前記第3電源配線、同一の前記第6電源配線、および、同一の前記第7電源配線に共通に接続されていることを特徴とする半導体記憶装置。

。

[請求項8]

請求項1記載の半導体記憶装置において、

前記第1SRAMセルは、

前記第1SRAMセルの前記第1トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第2方向に延びているナノシートを含む第5アクティブ領域と、

前記第1SRAMセルの前記第2トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第2方向に延びているナノシートを含む第6アクティブ領域と、

前記第1背面配線層に形成されており、前記第2方向に延びており、前記第1電源に接続されている第5電源配線と、

前記第5アクティブ領域における前記第1トランジスタのソースを構成する第5領域と、前記第5電源配線とが重なる位置に形成されており、前記第5領域と前記第5電源配線とを接続する第5ビアと、

前記第6アクティブ領域における前記第2トランジスタのソースを構成する第6領域と、前記第5電源配線とが重なる位置に形成されており、前記第6領域と前記第5電源配線とを接続する第6ビアとをさらに備え、

前記第2SRAMセルは、

前記第2SRAMセルの前記第1トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第2方向に延びているナノシートを含む第7アクティブ領域と、

前記第2SRAMセルの前記第2トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第2方向に延びているナノシートを含む第8アクティブ領域と、

前記第1背面配線層に形成されており、前記第2方向に延びており、前記第1電源に接続されている第8電源配線と、

前記第7アクティブ領域における前記第1トランジスタのソースを構成する第7領域と、前記第8電源配線とが重なる位置に形成されて

おり、前記第7領域と前記第8電源配線とを接続する第7ビアと、

前記第8アクティブ領域における前記第2トランジスタのソースを構成する第8領域と、前記第8電源配線とが重なる位置に形成されており、前記第8領域と前記第8電源配線とを接続する第8ビアとをさらに備え、

前記複数のSRAMセルにおいて、前記第2方向に並んだ複数の前記第1SRAMセルを含む第1セル列と、前記第2方向に並んだ複数の前記第2SRAMセルを含む第2セル列とが、前記第1方向に交互に並んで配置されており、

前記第1セル列において、前記複数の第1SRAMセルは、同一の前記第1電源配線、同一の前記第2電源配線、および、同一の前記第5電源配線に共通に接続されており、

前記第2セル列において、前記複数の第2SRAMセルは、同一の前記第3配線、同一の前記第4配線、および、同一の前記第8電源配線に共通に接続されていることを特徴とする半導体記憶装置。

[請求項9]

請求項8に記載の半導体記憶装置において、

前記複数のSRAMセルは、

前記第1背面配線層の下層の第2背面配線層に形成されており、前記第1方向に延びており、前記第2電源と接続されている複数の第9電源配線を備え、

前記第1方向に並んで配置された前記第1SRAMセルにおける前記第1および第2電源配線は、同一の前記第9電源配線に共通に接続されていることを特徴とする半導体記憶装置。

[請求項10]

請求項1に記載の半導体記憶装置において、

前記第1SRAMセルは、

前記第1SRAMセルの前記第1トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第2方向に延びているナノシートを含む第5アクティブ領域と、

前記第1SRAMセルの前記第2トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第2方向に延びているナノシートを含む第6アクティブ領域と、

前記第1背面配線層に形成されており、前記第2方向に延びており、前記第1電源に接続されている第5電源配線と、

前記第5アクティブ領域における前記第1トランジスタのソースを構成する第5領域と、前記第5電源配線とが重なる位置に形成されており、前記第5領域と前記第5電源配線とを接続する第5ビアと、

前記第6アクティブ領域における前記第2トランジスタのソースを構成する第6領域と、前記第5電源配線とが重なる位置に形成されており、前記第6領域と前記第5電源配線とを接続する第6ビアとをさらに備え、

前記第2SRAMセルは、

前記第2SRAMセルの前記第1トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第2方向に延びているナノシートを含む第7アクティブ領域と、

前記第2SRAMセルの前記第2トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第2方向に延びているナノシートを含む第8アクティブ領域と、

前記第1背面配線層に形成されており、前記第2方向に延びており、前記第1電源に接続されている第8電源配線と、

前記第7アクティブ領域における前記第1トランジスタのソースを構成する第7領域と、前記第8電源配線とが重なる位置に形成されており、前記第7領域と前記第8電源配線とを接続する第7ビアと、

前記第8アクティブ領域における前記第2トランジスタのソースを構成する第8領域と、前記第8電源配線とが重なる位置に形成されており、前記第8領域と前記第8電源配線とを接続する第8ビアとをさらに備え、

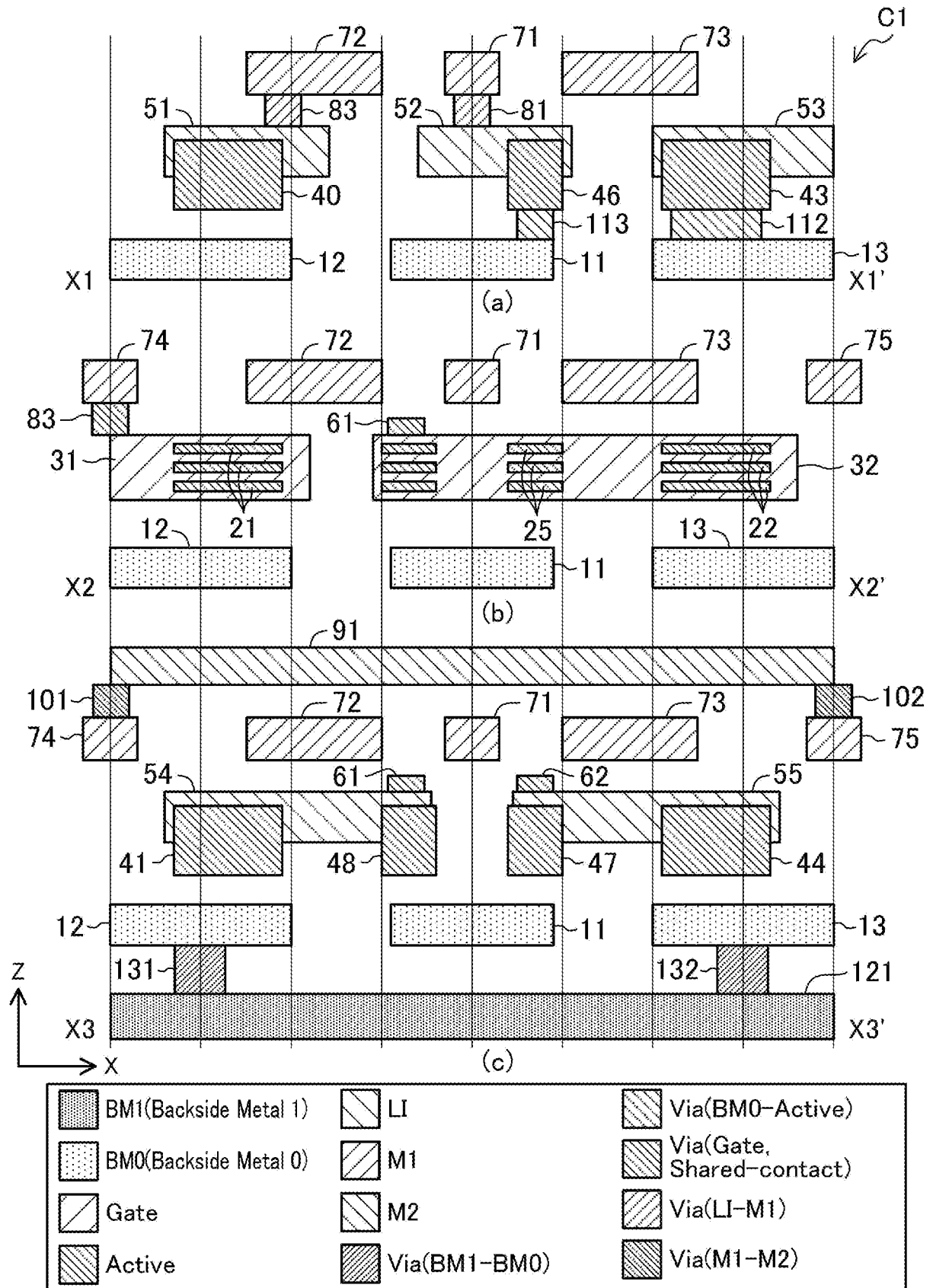
前記複数のSRAMセルは、前記第1背面配線層の下層の第2背面配線層に形成されており、前記第1方向に延びており、前記第5および第8電源配線に接続されている第10電源配線をさらに備えることを特徴とする半導体記憶装置。

[請求項11]

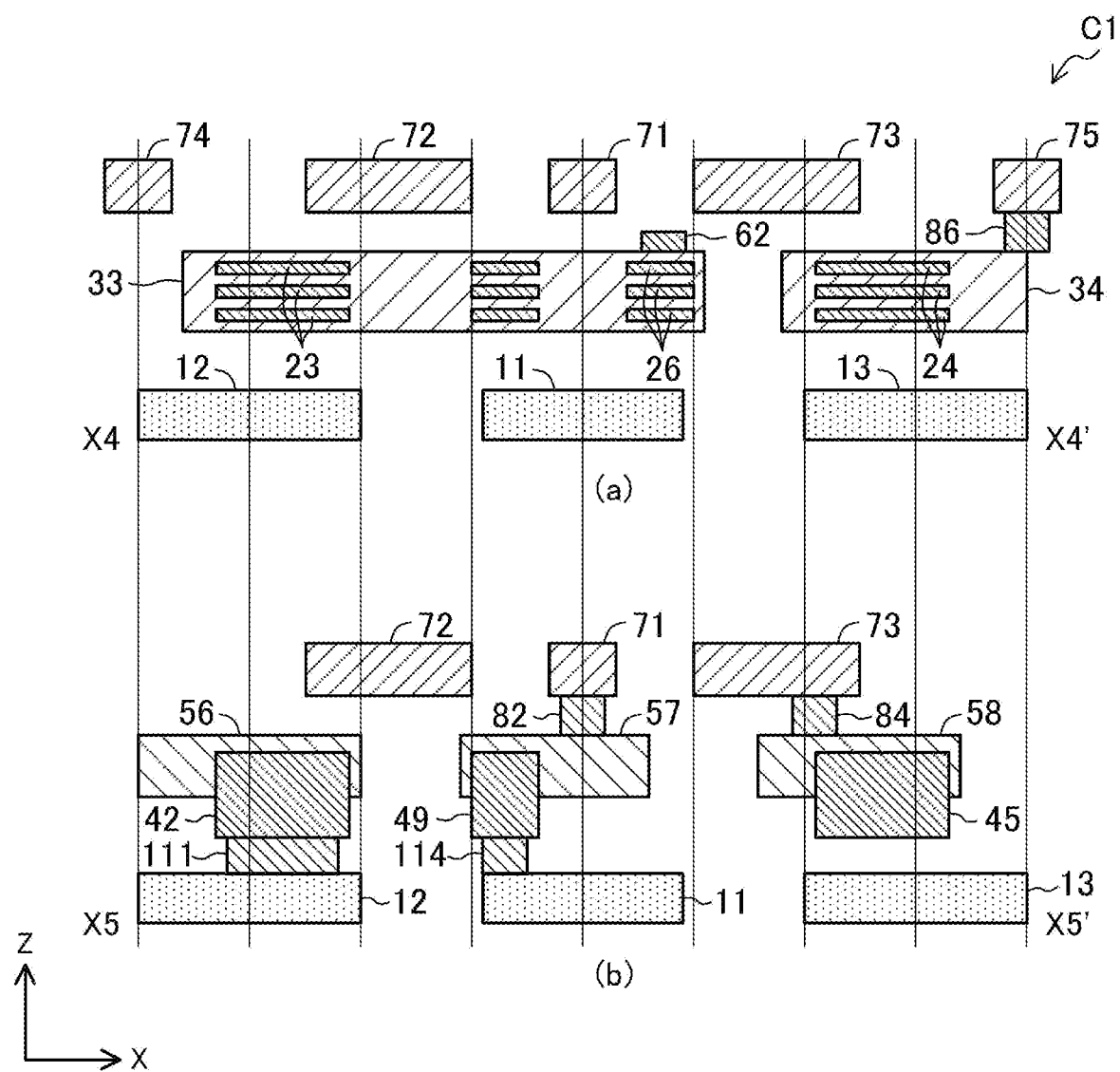
請求項10に記載の半導体記憶装置において、

前記複数のSRAMセルは、前記第2背面配線層に形成されており、前記第1方向に延びており、前記第1および第2電源配線と接続されている第9電源配線をさらに備えることを特徴とする半導体記憶装置。

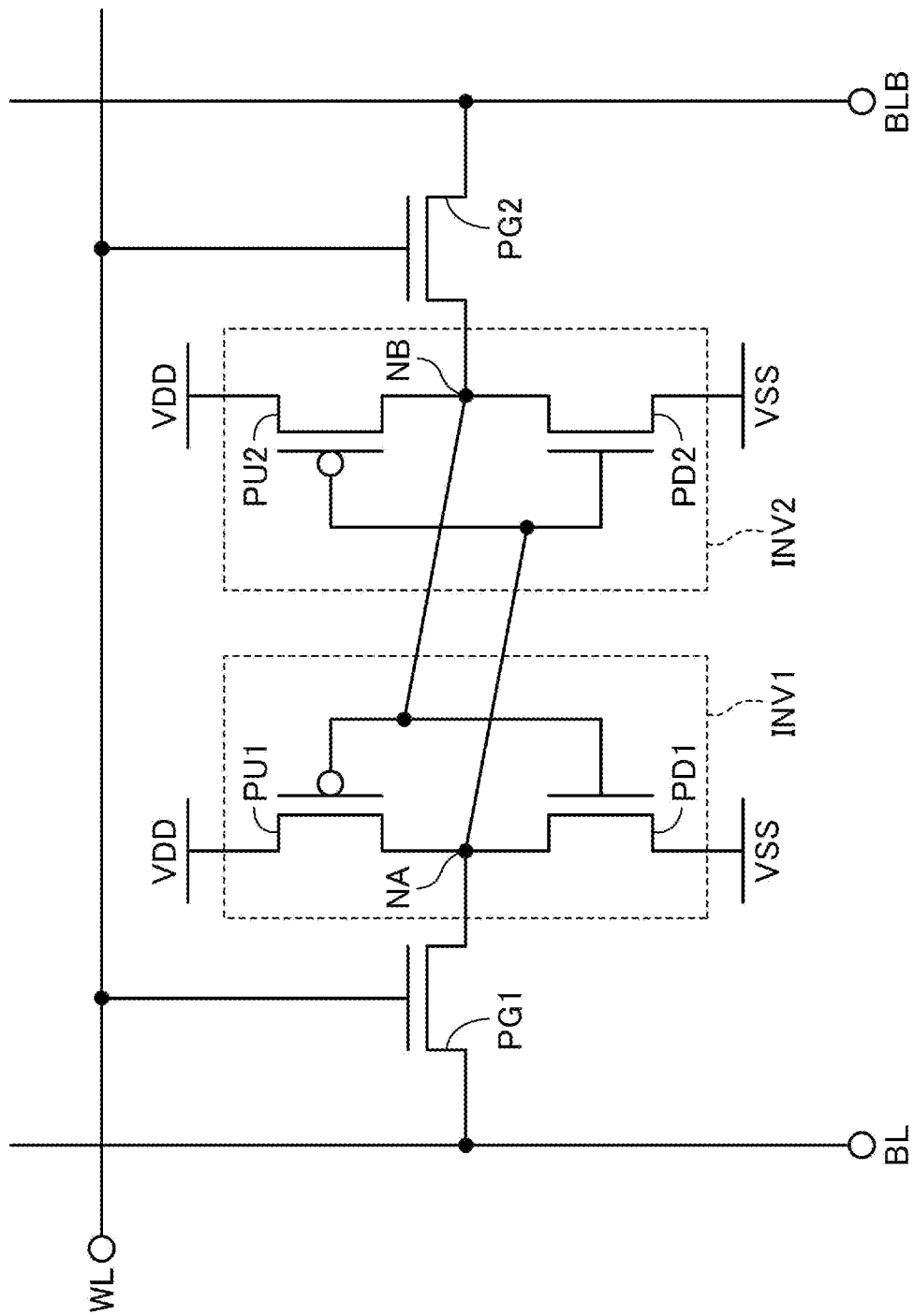
[図2]



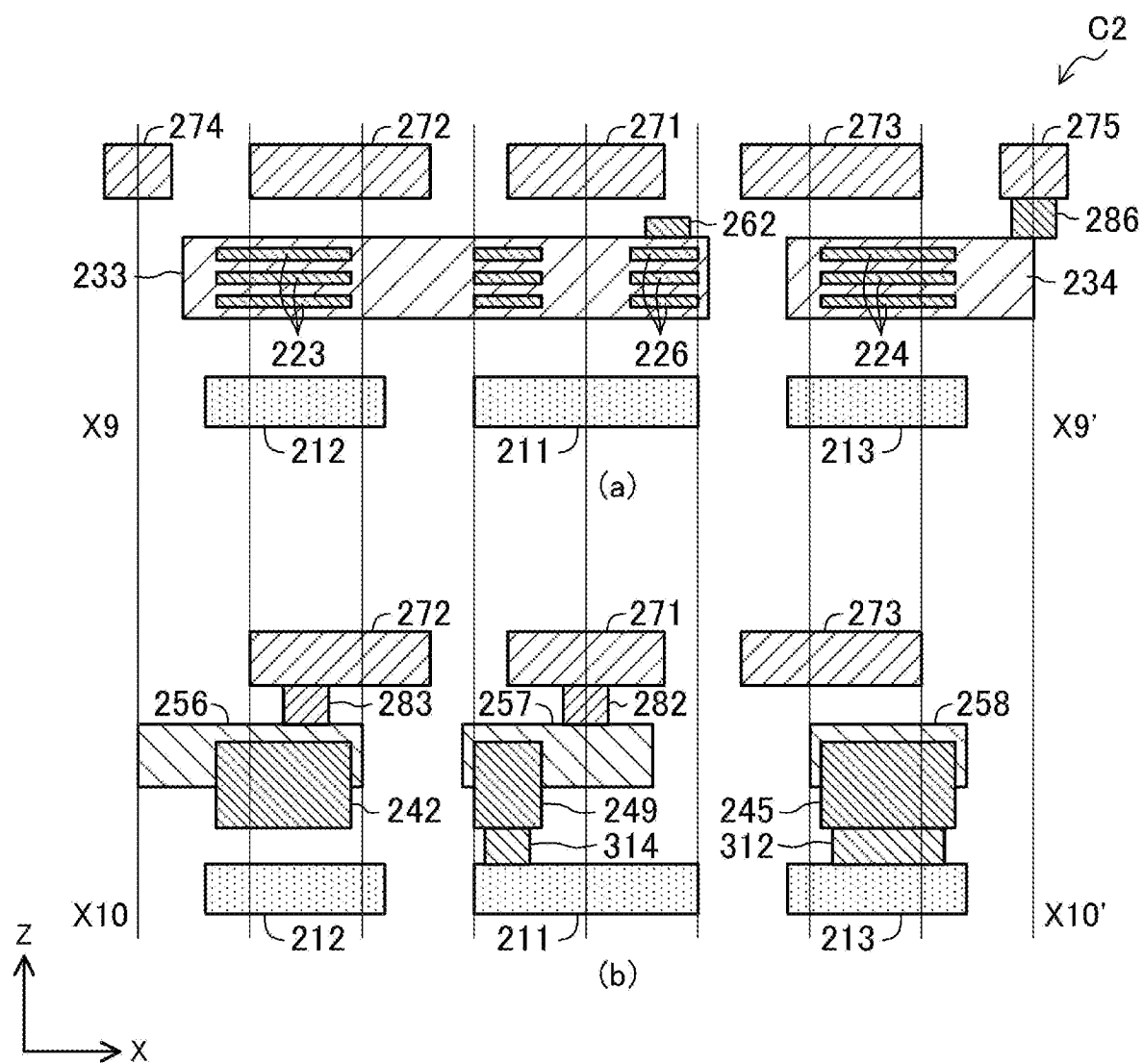
[図3]



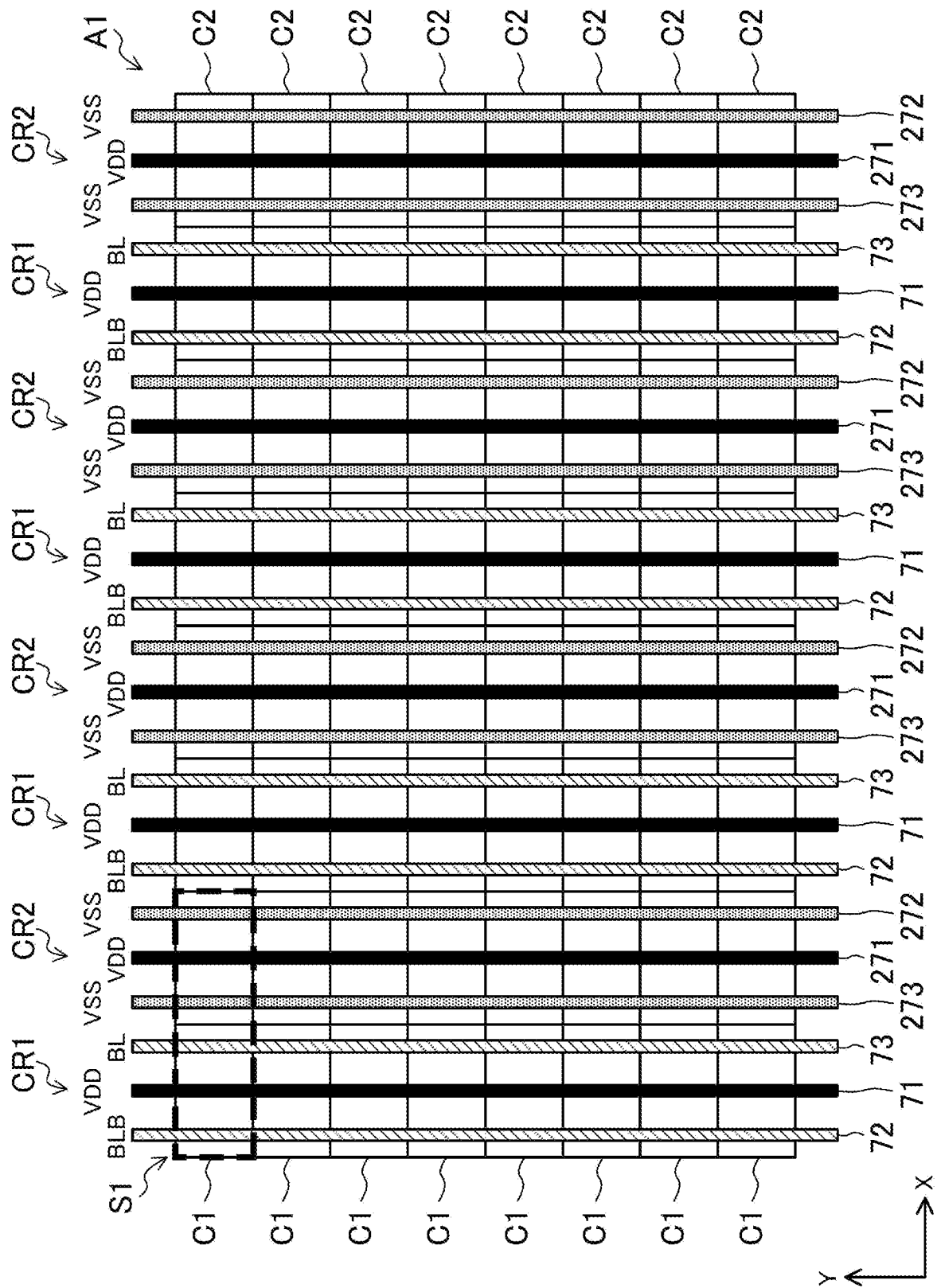
[図4]



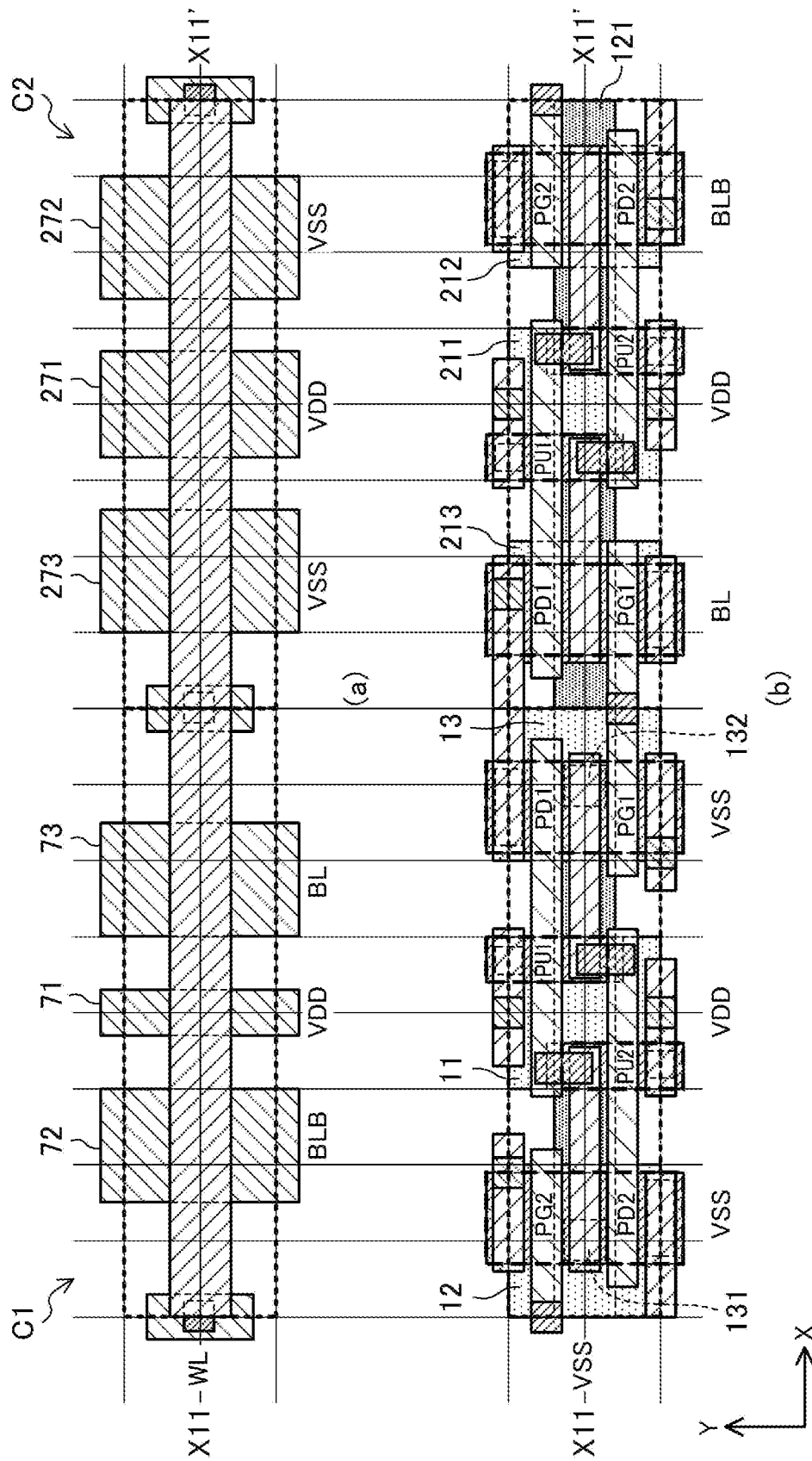
[図7]



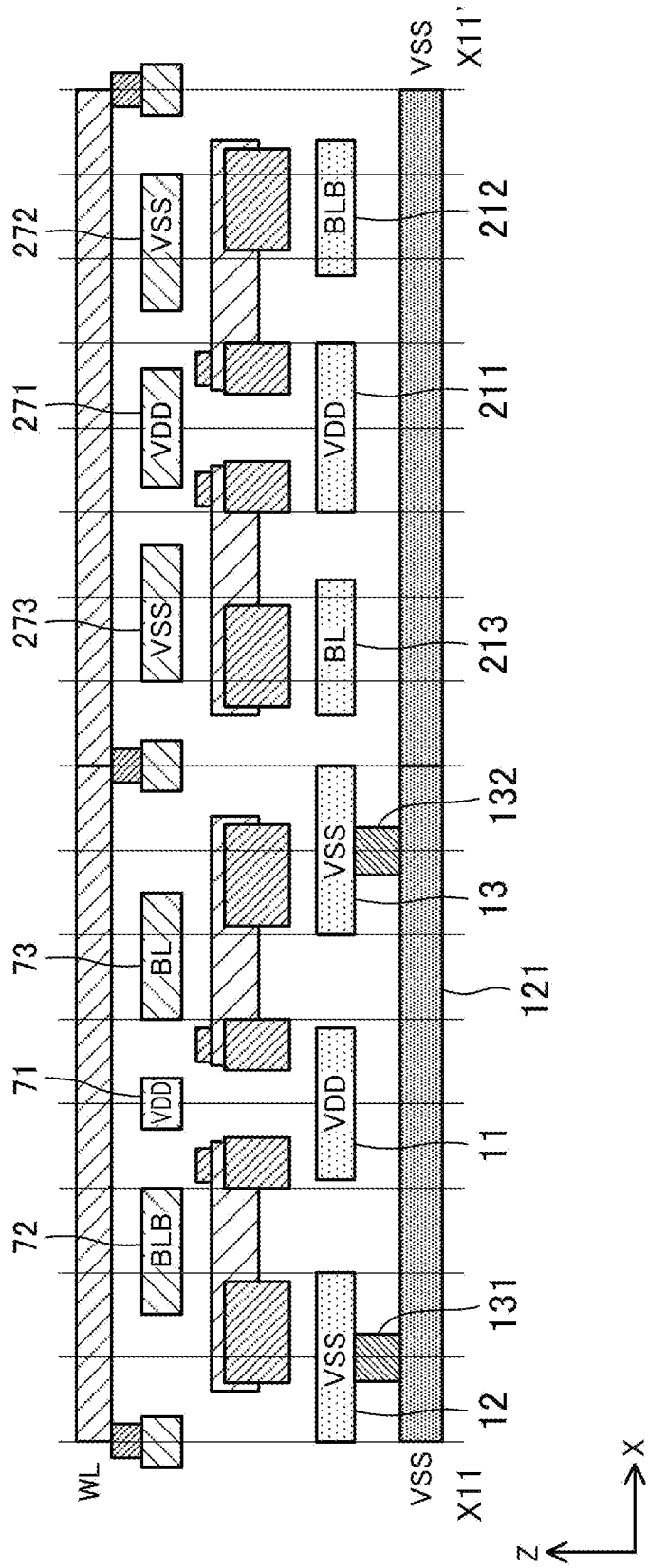
[図8]



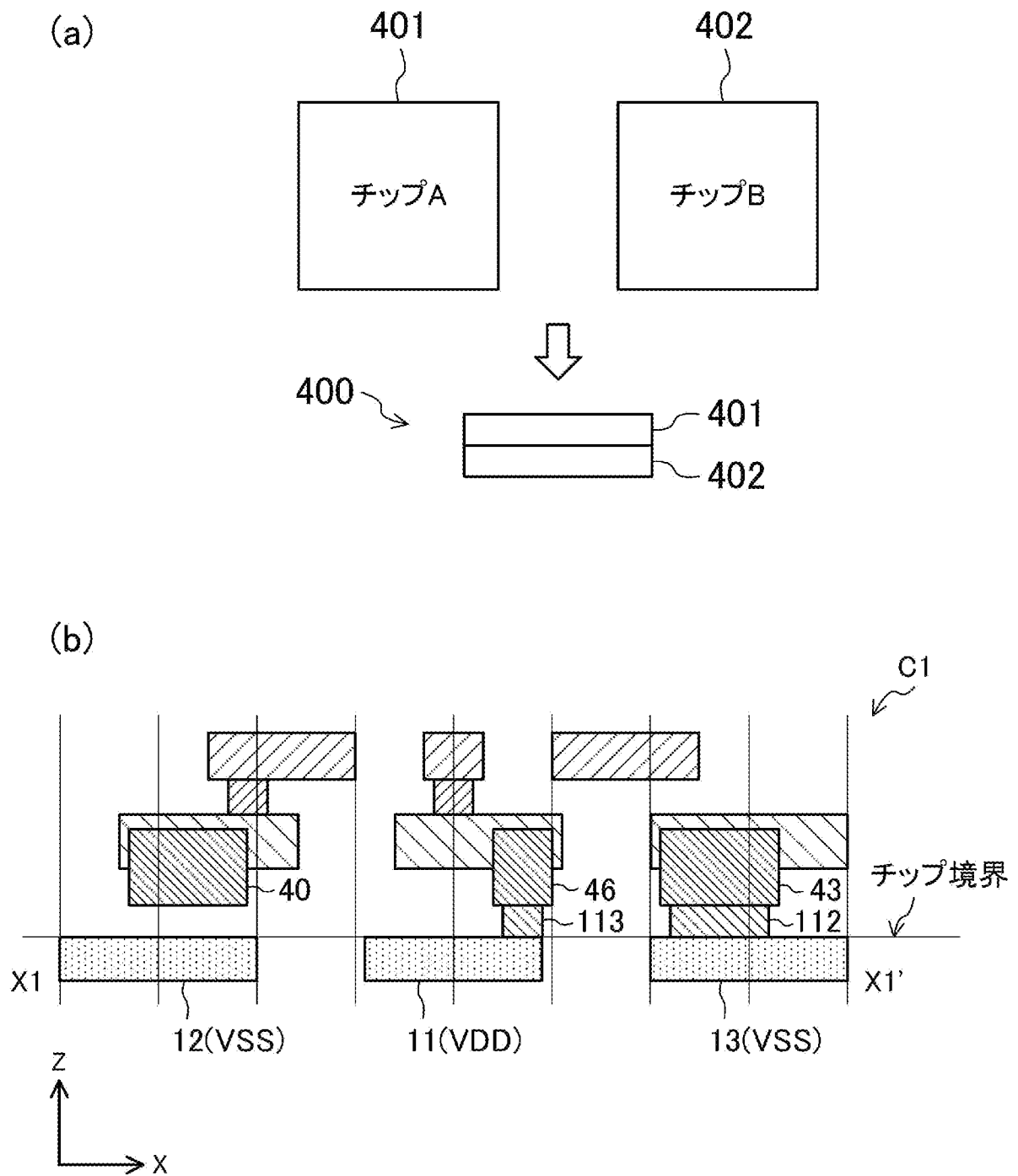
[図10]

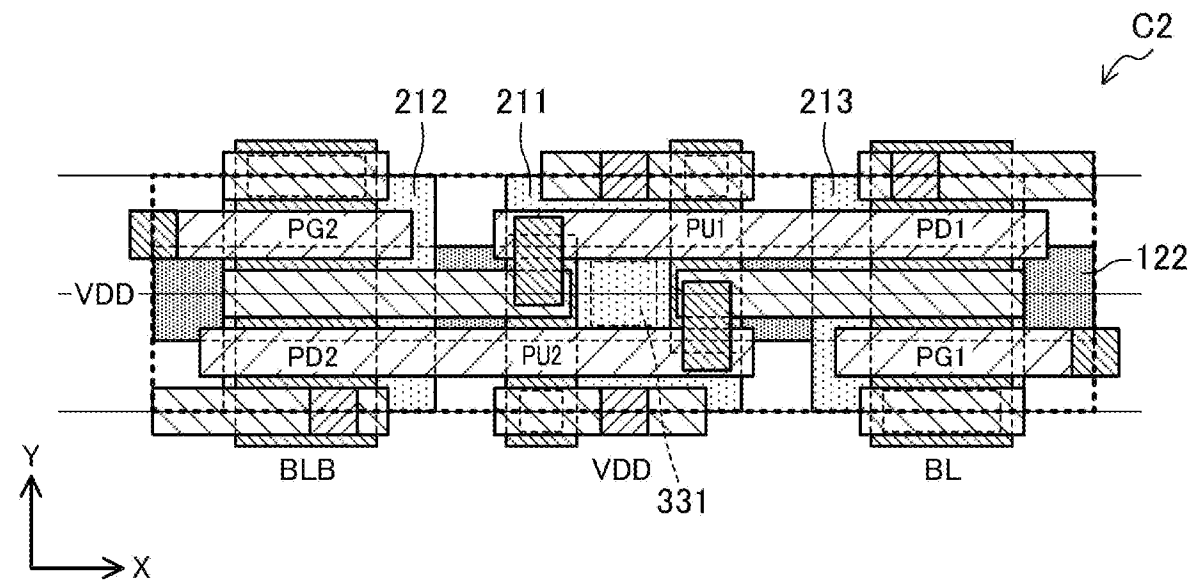
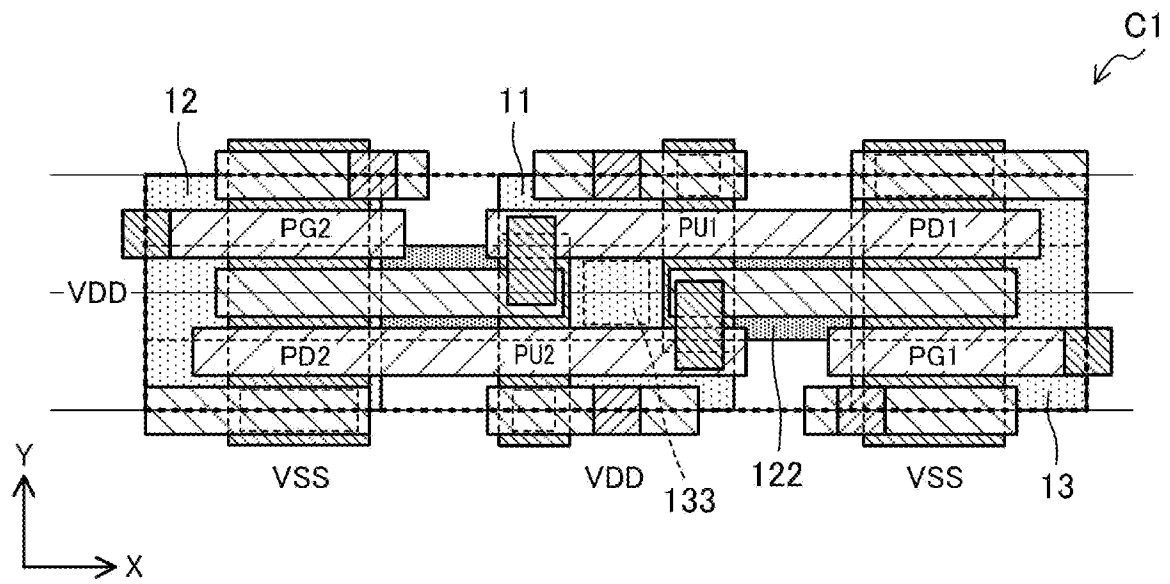


[図11]

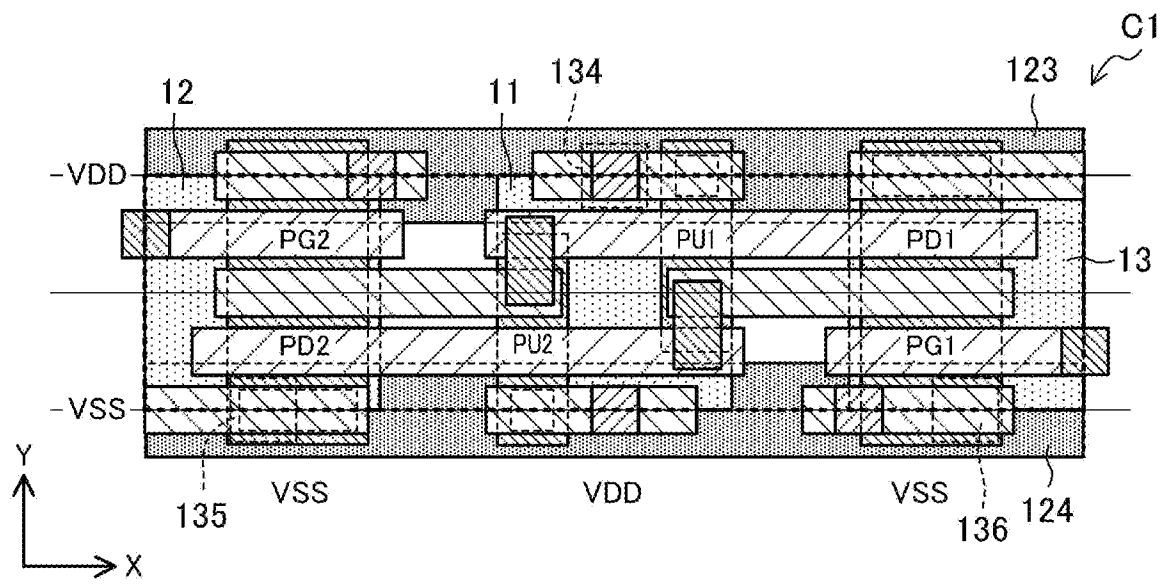


[図12]

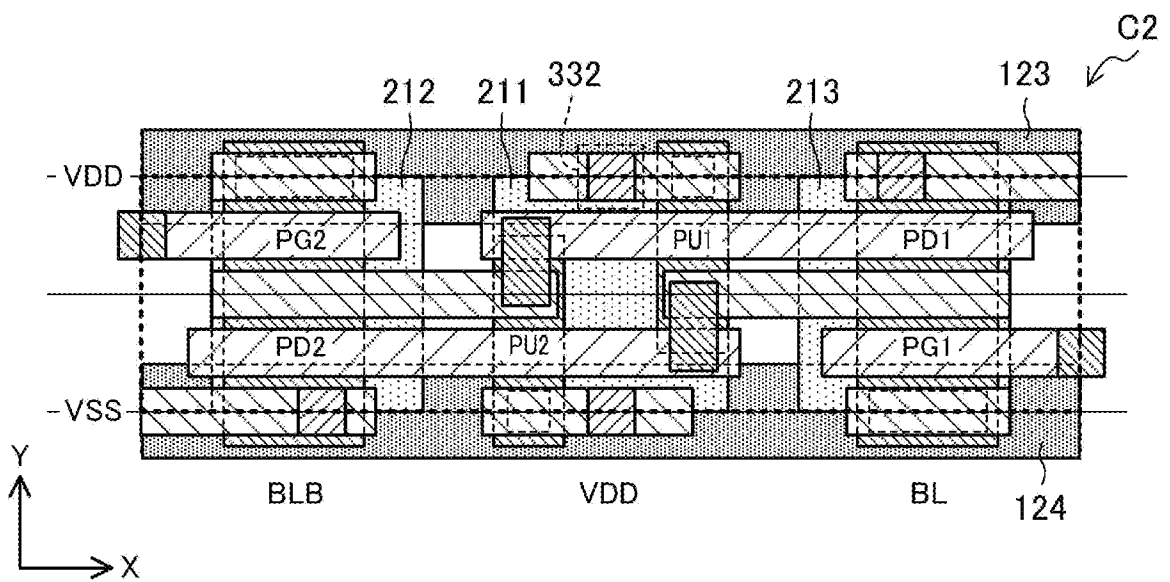




[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/020654

A. CLASSIFICATION OF SUBJECT MATTER H10B 10/00 (2023.01)i FI: H10B10/00 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H10B10/00 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2020/255801 A1 (SOCIONEXT INC.) 24 December 2020 (2020-12-24) paragraphs [0035]-[0067], fig. 1-17	1-11
A	US 2023/0102877 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 30 March 2023 (2023-03-30) paragraphs [0025]-[0079], fig. 1-14	1-11
A	US 2021/0305262 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 30 September 2021 (2021-09-30) paragraphs [0013]-[0069], fig. 1-8	1-11
A	US 2022/0223514 A1 (ARM LIMITED) 14 July 2022 (2022-07-14) paragraphs [0008]-[0055], fig. 1-8	1-11
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 06 August 2024		Date of mailing of the international search report 20 August 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/020654

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2020/255801	A1	24 December 2020	US 2022/0108992 A1 paragraphs [0035]-[0083], fig. 1-17	
US	2023/0102877	A1	30 March 2023	(Family: none)	
US	2021/0305262	A1	30 September 2021	(Family: none)	
US	2022/0223514	A1	14 July 2022	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

H10B 10/00(2023.01)i

FI: H10B10/00

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H10B10/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922-1996年

日本国公開実用新案公報

1971-2024年

日本国実用新案登録公報

1996-2024年

日本国登録実用新案公報

1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2020/255801 A1 (株式会社ソシオネクスト) 24.12.2020 (2020 - 12 - 24) 段落0035-0067, 図1-17	1-11
A	US 2023/0102877 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 30.03.2023 (2023 - 03 - 30) 段落0025-0079, 図1-14	1-11
A	US 2021/0305262 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 30.09.2021 (2021 - 09 - 30) 段落0013-0069, 図1-8	1-11
A	US 2022/0223514 A1 (ARM LIMITED) 14.07.2022 (2022 - 07 - 14) 段落0008-0055, 図1-8	1-11

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

06.08.2024

国際調査報告の発送日

20.08.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

小山 満 5F 9458

電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/020654

引用文献			公表日	パテントファミリー文献	公表日
WO	2020/255801	A1	24.12.2020	US 2022/0108992 A1 段落0035-0083, 図1-17	
US	2023/0102877	A1	30.03.2023	(ファミリーなし)	
US	2021/0305262	A1	30.09.2021	(ファミリーなし)	
US	2022/0223514	A1	14.07.2022	(ファミリーなし)	