



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년03월11일
(11) 등록번호 10-2087186
(24) 등록일자 2020년03월04일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) G09G 3/36 (2006.01)
(21) 출원번호 10-2014-0002059
(22) 출원일자 2014년01월07일
심사청구일자 2018년07월23일
(65) 공개번호 10-2015-0081996
(43) 공개일자 2015년07월15일
(56) 선행기술조사문헌
JP2008152076 A*
KR100855995 B1*
KR1020020009489 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김형태
경기도 화성시 동탄반석로 232, 133동 1104호(석우동, 예당마을신일유토빌아파트)
리 빅
대만 타오위안 카운티 룡탄 타운쉽 중정 로드 레인 112 넘버 29 7에프
(뒷면에 계속)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 9 항

심사관 : 신영교

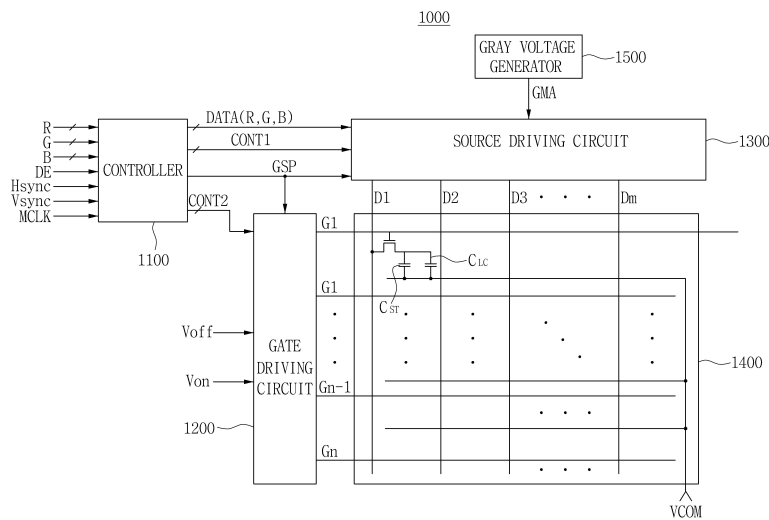
(54) 발명의 명칭 증폭기 오프셋 보상 기능을 갖는 소스 구동 회로 및 이를 포함하는 디스플레이 장치

(57) 요약

게이트 스타트 펄스를 이용하여 증폭기 오프셋을 감소시킬 수 있는 디스플레이 장치가 개시된다. 디스플레이 장치는 디스플레이 패널, 제어 회로, 게이트 구동 회로 및 소스 구동 회로를 포함한다. 소스 구동 회로는 복수의 소스 구동 칩으로 구성되고, 게이트 스타트 펄스 신호(GSP)에 응답하여 증폭기 오프셋을 보상하고, 소스 제어신호에 응답하여 계조전압들을 이용하여 상기 제어 회로로부터 수신되는 데이터(DATA)를 디지털-아날로그(D/A) 변환하고 소스 라인들에 제공한다.

따라서, 디스플레이 장치의 소스 구동 회로는 출력 전압의 편차가 작고, 고해상도의 디스플레이 장치에 적용할 수 있다.

대표도



(72) 발명자

관 줄리어스

대만 타이페이 시타 네이후 디스트릭트 루이구양
로드 레인 253 넘버 21 9에프

치요우 유웬

대만 300 신추 시타 이스트 디스트릭트 관신 로드
레인 19 넘버 26 8에프

명세서

청구범위

청구항 1

복수의 게이트 라인과 상기 복수의 게이트 라인과 수직으로 배열된 복수의 소스 라인을 포함하는 디스플레이 패널;

소스 제어신호, 게이트 제어신호 및 게이트 스타트 펄스 신호(GSP)를 발생시키고 데이터(DATA)를 상기 디스플레이 패널의 동작조건에 맞게 적절히 처리한 후 출력하는 제어 회로;

복수의 게이트 구동 칩으로 구성되고, 상기 게이트 스타트 펄스 신호(GSP) 및 상기 게이트 제어신호에 응답하여, 온 전압(Von)과 오프 전압(Voff)의 조합으로 이루어진 게이트 신호들을 발생하여 상기 게이트 라인들에 인가하는 게이트 구동 회로;

복수의 소스 구동 칩으로 구성되고, 상기 게이트 스타트 펄스 신호(GSP)에 응답하여 증폭기 윗셋을 보상하고, 상기 소스 제어신호에 응답하여 계조전압들을 이용하여 상기 제어 회로로부터 수신되는 데이터(DATA)를 디지털-아날로그(D/A) 변환하고 상기 소스 라인들에 제공하는 소스 구동 회로를 포함하되,

상기 소스 구동 회로는:

상기 게이트 스타트 펄스 신호 및 상기 소스 제어신호에 포함된 입출력 제어신호를 결합(combine)하여 제 1 신호를 발생하는 제 1 소스 구동 칩의 입력 회로;

상기 제 1 신호에 대해 복조(demodulation)를 수행하여 제 1 내부 게이트 스타트 펄스 신호 및 제 1 내부 입출력 제어신호를 발생하는 제 1 소스 구동 칩의 복조기;

상기 제 1 소스 구동 칩의 입력 회로로부터 상기 제 1 신호를 수신하고, 상기 제 1 신호를 출력하는 제 2 소스 구동 칩의 입력 회로; 및

상기 제 2 소스 구동 칩의 입력 회로로부터 상기 제 1 신호를 수신하고, 상기 제 1 신호에 대해 복조를 수행하여 제 2 내부 게이트 스타트 펄스 신호 및 제 2 내부 입출력 제어신호를 발생하는 제 2 소스 구동 칩의 복조기를 포함하는 디스플레이 장치.

청구항 2

제 1 항에 있어서, 상기 소스 구동 회로는

상기 복수의 소스 구동 칩 중에서, 제 1 소스 구동 칩은 상기 게이트 스타트 펄스 신호(GSP)를 상기 제어 회로로부터 직접 수신하고, 나머지 소스 구동 칩들은 상기 제 1 소스 구동 칩에 의해 발생된 상기 게이트 스타트 펄스 신호(GSP)의 정보를 갖는 신호를 수신하는 것을 특징으로 하는 디스플레이 장치.

청구항 3

제 1 항에 있어서, 상기 복수의 소스 구동 칩은

각각 대응하는 연성 회로 기판(Flexible Printed Circuit: FPC) 상에 장착되는 것을 특징으로 하는 디스플레이 장치.

청구항 4

제 3 항에 있어서,

상기 게이트 스타트 펄스 신호(GSP)는 상기 복수의 소스 구동 칩 중에서 제 1 소스 구동 칩이 장착된 연성 회로 기판에 배치된 도전 라인을 통해 상기 제 1 소스 구동 칩에 전기적으로 연결되는 것을 특징으로 하는 디스플레이 장치.

청구항 5

제 3 항에 있어서,

상기 게이트 스타트 펄스 신호(GSP)는 상기 복수의 소스 구동 칩 중에서 제 1 소스 구동 칩이 장착된 연성 회로 기판에 배치된 도전 라인을 통해 상기 제 1 소스 구동 칩을 통과하여 상기 게이트 구동 회로에 제공되는 것을 특징으로 하는 디스플레이 장치.

청구항 6

삭제

청구항 7

제 1 항에 있어서,

상기 제 1 신호는 상기 게이트 스타트 펄스 신호(GSP)의 정보를 갖는 신호인 것을 특징으로 하는 디스플레이 장치.

청구항 8

제 1 항에 있어서, 상기 제 1 소스 구동 칩의 입력 회로는

상기 게이트 스타트 펄스 신호를 일정 시간 지연시키는 지연기;

상기 지연기의 출력신호와 상기 게이트 스타트 펄스 신호에 대해 배타적 비논리합 연산을 수행하는 XNOR 게이트; 및

상기 XNOR 게이트의 출력신호와 상기 입출력 제어신호를 선택하여 상기 제 1신호를 발생하는 멀티플렉서를 포함하는 것을 특징으로 하는 디스플레이 장치.

청구항 9

제 1 항에 있어서, 상기 소스 구동 회로는

상기 제어 회로로부터 상기 게이트 스타트 펄스 신호를 수신하고, 상기 게이트 스타트 펄스 신호(GSP)에 기초하여 게이트 스타트 펄스 신호(GSP)의 정보를 갖는 제 1 신호 및 제 1 내부 게이트 스타트 펄스 신호를 발생하는 제 1 소스 구동 칩; 및

상기 제 1 소스 구동 칩으로부터 상기 게이트 스타트 펄스 신호(GSP)의 정보를 갖는 제 1 신호를 수신하고, 상기 제 1 신호에 기초하여 제 2 내부 게이트 스타트 펄스 신호를 발생하는 제 2 소스 구동 칩을 포함하는 것을 특징으로 하는 디스플레이 장치.

청구항 10

제 1 항에 있어서, 상기 소스 구동 회로는

게이트 스타트 펄스 신호(GSP)와 입출력 제어신호(DIO)를 수신하고, 상기 게이트 스타트 펄스 신호(GSP)와 상기 입출력 제어신호(DIO)에 기초하여 게이트 스타트 펄스 신호(GSP)에 대응하는 제 1 신호, 및 입출력 제어신호(DIO)에 대응하는 제 2 신호를 발생하는 입력 버퍼 회로;

클럭신호와 상기 제 2 신호에 기초하여 펄스 신호를 발생하는 쉬프트 레지스터;

상기 쉬프트 레지스터의 쉬프트 순서에 따라 데이터를 래치하고, 로드신호에 응답하여 상기 데이터를 디지털 입력신호들로서 출력하는 데이터 래치 회로;

계조전압을 사용하여, 상기 디지털 입력신호들에 대응하는 입력 전압신호들을 발생하는 디지털-아날로그 변환기; 및

복수의 채널 증폭기를 포함하고, 상기 제 1 신호에 응답하여 상기 채널 증폭기들 각각의 증폭기 오프셋(offset)을 보상하고, 상기 입력 전압신호들을 버퍼링하여 소스 신호들을 발생하는 출력 버퍼 회로를 포함하는 것을 특징으로 하는 디스플레이 장치.

발명의 설명

기술분야

[0001] 본 발명은 디스플레이 장치에 관한 것으로, 특히 디스플레이 장치의 소스 구동회로에 관한 것이다.

배경기술

[0002] LCD 장치 등 디스플레이 장치는 패널을 구동하는 소스 구동 회로와 게이트 구동 회로를 포함한다. 소스 구동 회로는 데이터를 출력하는 회로로서 증폭기들로 구성된 출력 버퍼 회로를 포함한다.

[0003] 고해상도의 디스플레이 장치에 적용하려면, 소스 구동 회로의 출력 편차가 작아야 한다. 출력 버퍼 회로를 구성하는 증폭기들의 오프셋 전압이 작을수록 소스 구동 회로의 출력 편차가 작아진다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 게이트 스타트 펄스 신호를 이용하여 증폭기 오프셋을 감소시킬 수 있는 디스플레이 장치를 제공하는 것이다.

[0005] 본 발명의 다른 목적은 게이트 스타트 펄스 신호를 이용하여 증폭기 오프셋을 감소시킬 수 있는 디스플레이 장치의 소스 구동 회로를 제공하는 것이다.

과제의 해결 수단

[0006] 상기 목적을 달성하기 위하여 본 발명의 하나의 실시형태에 따른 디스플레이 장치는 복수의 게이트 라인과 상기 복수의 게이트 라인과 수직으로 배열된 복수의 소스 라인을 포함하는 디스플레이 패널, 제어 회로, 게이트 구동 회로 및 소스 구동 회로를 포함한다.

[0007] 제어 회로는 소스 제어신호, 게이트 제어신호 및 게이트 스타트 펄스 신호(GSP)를 발생시키고 데이터(DATA)를 상기 디스플레이 패널의 동작조건에 맞게 적절히 처리한 후 출력한다. 게이트 구동 회로는 복수의 게이트 구동 칩으로 구성되고, 상기 게이트 스타트 펄스 신호(GSP) 및 상기 게이트 제어신호에 응답하여, 온 전압(Von)과 오프 전압(Voff)의 조합으로 이루어진 게이트 신호들을 발생하여 상기 게이트 라인들에 인가한다. 소스 구동 회로는 복수의 소스 구동 칩으로 구성되고, 상기 게이트 스타트 펄스 신호(GSP)에 응답하여 증폭기 오프셋을 보상하고, 상기 소스 제어신호에 응답하여 계조전압들을 이용하여 상기 제어 회로로부터 수신되는 데이터(DAT A)를 디지털-아날로그(D/A) 변환하고 상기 소스 라인들에 제공한다.

[0008] 본 발명의 하나의 실시예에 의하면, 상기 소스 구동 회로는 상기 복수의 소스 구동 칩 중에서, 제 1 소스 구동 칩은 상기 게이트 스타트 펄스 신호(GSP)를 상기 제어 회로로부터 직접 수신하고, 나머지 소스 구동 칩들은 상기 제 1 소스 구동 칩에 의해 발생된 상기 게이트 스타트 펄스 신호(GSP)의 정보를 갖는 신호를 수신한다.

[0009] 본 발명의 하나의 실시예에 의하면, 상기 복수의 소스 구동 칩은 각각 대응하는 연성 회로 기판(Flexible Printed Circuit: FPC) 상에 장착될 수 있다.

[0010] 본 발명의 하나의 실시예에 의하면, 상기 게이트 스타트 펄스 신호(GSP)는 상기 복수의 소스 구동 칩 중에서 제 1 소스 구동 칩이 장착된 연성 회로 기판에 배치된 도전 라인을 통해 상기 제 1 소스 구동 칩에 전기적으로 연결될 수 있다.

[0011] 본 발명의 하나의 실시예에 의하면, 상기 게이트 스타트 펄스 신호(GSP)는 상기 복수의 소스 구동 칩 중에서 제 1 소스 구동 칩이 장착된 연성 회로 기판에 배치된 도전 라인을 통해 상기 제 1 소스 구동 칩을 통과하여 상기 게이트 구동 회로에 제공될 수 있다.

[0012] 본 발명의 하나의 실시예에 의하면, 상기 소스 구동 회로는 제 1 소스 구동 칩의 입력 회로, 제 1 소스 구동 칩의 복조기(demodulator), 제 2 소스 구동 칩의 입력 회로, 및 제 2 소스 구동 칩의 복조기를 포함할 수 있다.

[0013] 제 1 소스 구동 칩의 입력 회로는 상기 게이트 스타트 펄스 신호 및 상기 소스 제어신호에 포함된 입출력 제어 신호를 결합(combine)하여 제 1 신호를 발생한다. 제 1 소스 구동 칩의 복조기는 상기 제 1 신호에 대해 복조(demodulation)를 수행하여 제 1 내부 게이트 스타트 펄스 신호 및 제 1 내부 입출력 제어신호를 발생한다. 제 2 소스 구동 칩의 입력 회로는 상기 제 1 소스 구동 칩의 입력 회로로부터 상기 제 1 신호를 수신하고, 상기 제 1 신호를 출력한다. 제 2 소스 구동 칩의 복조기는 상기 제 2 소스 구동 칩의 입력 회로로부터 상기 제 1 신호

를 수신하고, 상기 제 1 신호에 대해 복조를 수행하여 제 2 내부 게이트 스타트 펄스 신호 및 제 2 내부 입출력 제어신호를 발생한다.

- [0014] 본 발명의 하나의 실시예에 의하면, 상기 제 1 신호는 상기 게이트 스타트 펄스 신호(GSP)의 정보를 갖는 신호일 수 있다.
- [0015] 본 발명의 하나의 실시예에 의하면, 상기 제 1 소스 구동 칩의 입력 회로는 상기 게이트 스타트 펄스 신호를 일정 시간 지연시키는 지연기, 상기 지연기의 출력신호와 상기 게이트 스타트 펄스 신호에 대해 배타적 비논리합 연산을 수행하는 XNOR 게이트, 및 상기 XNOR 게이트의 출력신호와 상기 입출력 제어신호를 선택하여 상기 제 1 신호를 발생하는 멀티플렉서를 포함할 수 있다.
- [0016] 본 발명의 하나의 실시예에 의하면, 상기 지연기는 직렬 연결된 짝수의 인버터를 포함할 수 있다.
- [0017] 본 발명의 하나의 실시예에 의하면, 상기 소스 구동 회로는 제 1 소스 구동 칩의 입력 회로, 제 1 소스 구동 칩의 복조기, 제 2 소스 구동 칩의 입력 회로, 제 2 소스 구동 칩의 복조기, 제 3 소스 구동 칩의 입력 회로, 제 3 소스 구동 칩의 복조기, 제 4 소스 구동 칩의 입력 회로, 및 제 4 소스 구동 칩의 복조기를 포함할 수 있다.
- [0018] 제 1 소스 구동 칩의 입력 회로는 상기 게이트 스타트 펄스 신호 및 상기 소스 제어신호에 포함된 입출력 제어신호를 결합(combine)하여 제 1 신호를 발생한다. 제 1 소스 구동 칩의 복조기는 상기 제 1 신호에 대해 복조(demodulation)를 수행하여 제 1 내부 게이트 스타트 펄스 신호 및 제 1 내부 입출력 제어신호를 발생한다. 제 2 소스 구동 칩의 입력 회로는 상기 제 1 소스 구동 칩의 입력 회로로부터 상기 제 1 신호를 수신하고, 상기 제 1 신호를 출력한다. 제 2 소스 구동 칩의 복조기는 상기 제 2 소스 구동 칩의 입력 회로로부터 상기 제 1 신호를 수신하고, 상기 제 1 신호에 대해 복조를 수행하여 제 2 내부 게이트 스타트 펄스 신호 및 제 2 내부 입출력 제어신호를 발생한다. 제 3 소스 구동 칩의 입력 회로는 상기 제 2 소스 구동 칩의 입력 회로로부터 상기 제 1 신호를 수신하고, 상기 제 1 신호를 출력한다. 제 3 소스 구동 칩의 복조기는 상기 제 3 소스 구동 칩의 입력 회로로부터 상기 제 1 신호를 수신하고, 상기 제 1 신호에 대해 복조를 수행하여 제 3 내부 게이트 스타트 펄스 신호 및 제 3 내부 입출력 제어신호를 발생한다. 제 4 소스 구동 칩의 입력 회로는 상기 제 3 소스 구동 칩의 입력 회로로부터 상기 제 1 신호를 수신하고, 상기 제 1 신호를 출력한다. 제 4 소스 구동 칩의 복조기는 상기 제 4 소스 구동 칩의 입력 회로로부터 상기 제 1 신호를 수신하고, 상기 제 1 신호에 대해 복조를 수행하여 제 4 내부 게이트 스타트 펄스 신호 및 제 4 내부 입출력 제어신호를 발생한다.
- [0019] 본 발명의 하나의 실시예에 의하면, 상기 소스 구동 회로는 제 1 소스 구동 칩 및 제 2 소스 구동 칩을 포함할 수 있다.
- [0020] 제 1 소스 구동 칩은 상기 제어 회로로부터 상기 게이트 스타트 펄스 신호를 수신하고, 상기 게이트 스타트 펄스 신호(GSP)에 기초하여 게이트 스타트 펄스 신호(GSP)의 정보를 갖는 제 1 신호 및 제 1 내부 게이트 스타트 펄스 신호를 발생한다. 제 2 소스 구동 칩은 상기 제 1 소스 구동 칩으로부터 상기 게이트 스타트 펄스 신호(GSP)의 정보를 갖는 제 1 신호를 수신하고, 상기 제 1 신호에 기초하여 제 2 내부 게이트 스타트 펄스 신호를 발생한다.
- [0021] 본 발명의 하나의 실시예에 의하면, 상기 소스 구동 회로는 입력 버퍼 회로, 쉬프트 레지스터, 데이터 래치 회로, 디지털-아날로그 변환기 및 출력 버퍼 회로를 포함할 수 있다.
- [0022] 입력 버퍼 회로는 게이트 스타트 펄스 신호(GSP)와 입출력 제어신호(DIO)를 수신하고, 상기 게이트 스타트 펄스 신호(GSP)와 상기 입출력 제어신호(DIO)에 기초하여 게이트 스타트 펄스 신호(GSP)에 대응하는 제 1 신호, 및 입출력 제어신호(DIO)에 대응하는 제 2 신호를 발생한다. 쉬프트 레지스터는 클럭신호와 상기 제 2 신호에 기초하여 펄스 신호를 발생한다. 데이터 래치 회로는 상기 쉬프트 레지스터의 쉬프트 순서에 따라 데이터를 래치하고, 로드신호에 응답하여 상기 데이터를 디지털 입력신호들로서 출력한다. 디지털-아날로그 변환기는 계조 전압을 사용하여, 상기 디지털 입력신호들에 대응하는 입력 전압신호들을 발생한다. 출력 버퍼 회로는 복수의 채널 증폭기를 포함하고, 상기 제 1 신호에 응답하여 상기 채널 증폭기들 각각의 증폭기 오프셋(offset)을 보상하고, 상기 입력 전압신호들을 버퍼링하여 소스 신호들을 발생한다.
- [0023] 본 발명의 하나의 실시예에 의하면, 상기 입력 버퍼 회로는 입력 회로 및 복조기(demodulator)를 포함할 수 있다.
- [0024] 입력 회로는 상기 게이트 스타트 펄스 신호 및 상기 소스 제어신호에 포함된 입출력 제어신호를 결합(combine)하여 제 1 신호를 발생한다. 복조기는 상기 제 1 신호에 대해 복조(demodulation)를 수행하여 제 1 내부 게이트

스타트 펄스 신호 및 내부 입출력 제어신호를 발생한다.

- [0025] 본 발명의 하나의 실시예에 의하면, 상기 출력 버퍼 회로는 상기 채널 증폭기들 각각의 차동 입력부의 비반전 입력 단자와 반전 입력 단자를 전기적으로 연결한 상태에서 상기 채널 증폭기들 각각의 출력 전압신호를 측정하고, 상기 출력 전압신호가 천이되는 시점의 오프 셋 정보를 이용하여 증폭기 오프셋을 보상할 수 있다.
- [0026] 본 발명의 하나의 실시예에 따른 디스플레이 장치의 소스 구동 회로는 입력 버퍼 회로, 쉬프트 레지스터, 데이터 래치 회로, 디지털-아날로그 변환기, 및 출력 버퍼 회로를 포함한다.
- [0027] 입력 버퍼 회로는 게이트 스타트 펄스 신호(GSP)와 입출력 제어신호(DIO)를 수신하고, 상기 게이트 스타트 펄스 신호(GSP)와 상기 입출력 제어신호(DIO)에 기초하여 게이트 스타트 펄스 신호(GSP)에 대응하는 제 1 신호, 및 입출력 제어신호(DIO)에 대응하는 제 2 신호를 발생한다. 쉬프트 레지스터는 클럭신호와 상기 제 2 신호에 기초하여 펄스 신호를 발생한다. 데이터 래치 회로는 상기 쉬프트 레지스터의 쉬프트 순서에 따라 데이터를 래치하고, 로드신호에 응답하여 상기 데이터를 디지털 입력신호들로서 출력한다. 디지털-아날로그 변환기는 계조전압을 사용하여, 상기 디지털 입력신호들에 대응하는 입력 전압신호들을 발생한다. 출력 버퍼 회로는 복수의 채널 증폭기를 포함하고, 상기 제 1 신호에 응답하여 상기 채널 증폭기들 각각의 증폭기 오프셋(offset)을 보상하고, 상기 입력 전압신호들을 버퍼링하여 소스 신호들을 발생한다.

발명의 효과

- [0028] 본 발명의 실시예들에 따른 디스플레이 장치의 소스 구동 회로는 게이트 스타트 펄스 신호를 이용하여 증폭기 오프셋을 감소시킬 수 있다. 따라서, 디스플레이 장치의 소스 구동 회로의 출력 전압의 편차가 감소할 수 있다. 따라서, 디스플레이 장치의 소스 구동 회로는 고 해상도의 디스플레이 장치에 사용 가능하다.

도면의 간단한 설명

- [0029] 도 1은 본 발명의 하나의 실시예에 따른 디스플레이 장치를 나타내는 회로도이다.
- 도 2는 도 1의 디스플레이 장치에 포함된 소스 구동 회로의 하나의 예를 나타내는 블록도이다.
- 도 3은 도 2의 소스 구동 회로에 포함된 디지털-아날로그 변환기의 하나의 예를 나타내는 회로도이다.
- 도 4는 도 2의 소스 구동 회로에 포함된 출력 버퍼 회로의 하나의 예를 나타내는 회로도이다.
- 도 5는 도 2의 소스 구동 회로의 소스 구동 칩들에 포함된 입력 버퍼 회로들의 구성의 하나의 예를 나타내는 회로도이다.
- 도 6은 도 2의 소스 구동 회로에 포함된 제 1 소스 구동 칩의 입력 회로의 하나의 예를 나타내는 회로도이다.
- 도 7은 도 6의 회로에 인가되는 게이트 스타트 펄스 신호(GSP)와 입출력 제어신호(DIO)의 하나의 예를 나타내는 도면이다.
- 도 8은 도 4의 출력 버퍼 회로에 포함된 채널 증폭기의 구성의 하나의 예를 나타내는 회로도이다.
- 도 9는 본 발명의 다른 하나의 실시예에 따른 디스플레이 장치를 나타내는 회로도이다.
- 도 10은 도 9의 디스플레이 장치에 포함된 COF 구조의 하나의 예를 나타내는도면이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안 된다.
- [0031] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0032] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수

있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

- [0033] 어떤 구성요소가 다른 구성요소에 "연결되어" 있거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0034] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 개시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0035] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0036] 한편, 어떤 실시예가 달리 구현 가능한 경우에 특정 블록 내에 명기된 기능 또는 동작이 순서도에 명기된 순서와 다르게 일어날 수도 있다. 예를 들어, 연속하는 두 블록이 실제로는 실질적으로 동시에 수행될 수도 있고, 관련된 기능 또는 동작에 따라서는 상기 블록들이 거꾸로 수행될 수도 있다.
- [0037] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.
- [0038] 도 1은 본 발명의 하나의 실시예에 따른 디스플레이 장치(1000)를 나타내는 회로도이다.
- [0039] 도 1을 참조하면, 디스플레이 장치(1000)는 제어 회로(1100), 게이트 구동회로(1200), 소스 구동회로(1300), 디스플레이 패널(1400), 및 제조전압 발생 회로(1500)를 구비할 수 있다.
- [0040] 디스플레이 패널(1400)은 매트릭스의 각 교차점에 있는 TFT(Thin Film Transistor)를 가진다. TFT의 소스는 소스 신호("데이터 신호"라고도 함)를 수신하고, TFT의 게이트는 게이트 신호("주사 신호"라고도 함)를 수신한다. TFT의 드레인 단자와 공통전압(VCOM) 사이에 스토리지 커패시터(storage capacitor)(CST)와 액정 커패시터(CLC)가 연결되어 있다. 디스플레이 패널(1400)은 게이트 라인(G1 ~ Gn)을 통해 게이트 신호를 수신하고, 소스 라인(D1 ~ Dm)을 통해 소스 신호를 수신한다. 게이트 구동 회로(1200)는 온 전압(Von)과 오프 전압(Voff)의 조합으로 이루어진 게이트 신호들을 게이트 라인들(G1 ~ Gn)에 인가한다.
- [0041] 제조전압 발생 회로(1500)는 디스플레이 장치(1000)의 휘도와 관련된 정극성과 부극성의 제조전압들(GMA)을 발생시킨다.
- [0042] 소스 구동 회로(1300)는 제조전압 발생 회로(1500)의 출력인 제조전압들(GMA)을 이용하여 제어 회로(1100)로부터 수신되는 데이터(DATA)를 D/A 변환하고 소스 라인들(D1 ~ Dm)에 인가한다.
- [0043] 제어 회로(1100)는 RGB 영상신호(R, G, B), 및 수직동기 신호(Vsync), 수평동기 신호(Hsync), 메인 클럭신호(MCLK), 데이터 인에이블 신호(DE) 등의 제어신호들을 수신한다. 제어 회로(1100)는 이들 제어신호들에 기초하여 소스 제어신호(CONT1), 게이트 제어신호(CONT2) 및 게이트 스타트 펄스 신호(GSP)를 발생시키고 영상신호들(DATA(R, G, B))을 디스플레이 패널(1400)의 동작조건에 맞게 적절히 처리한 후, 게이트 스타트 펄스 신호(GSP)와 게이트 제어신호(CONT2)를 게이트 구동부(1200)에 전송하고, 소스 제어신호(CONT1), 게이트 스타트 펄스 신호(GSP)와 영상신호(DATA(R, G, B))를 소스 구동부(1300)에 전송한다.
- [0044] 게이트 구동 회로(1200)와 소스 구동 회로(1300)는 각각 복수의 게이트 구동칩과 복수의 소스 구동 칩을 구비할 수 있다(미도시). 데이터(DATA)는 각 픽셀에 대한 제조 레벨(gray level)을 결정한다. 소스 구동 회로(1300)는 소스 신호들을 디스플레이 패널(1400)상에 배열되어 있는 소스 라인에 인가하고, 게이트 구동 회로(1200)는 게이트 신호들을 디스플레이 패널(1400) 상에 배열되어 있는 게이트 라인에 인가한다.
- [0045] 도 1의 디스플레이 장치(1000)에 포함된 소스 구동 회로(1300)는 상기 게이트 스타트 펄스 신호(GSP)에 응답하

여 증폭기 오프셋을 보상하고, 상기 소스 제어신호에 응답하여 계조전압들을 이용하여 상기 제어 회로로부터 수신되는 데이터(DATA)를 디지털-아날로그(D/A) 변환하고 상기 소스 라인들에 제공한다. 소스 구동 회로(1300)를 구성하는 복수의 소스 구동 칩 중에서, 제 1 소스 구동 칩은 상기 게이트 스타트 펄스 신호(GSP)를 상기 제어 회로로부터 직접 수신하고, 나머지 소스 구동 칩들은 상기 제 1 소스 구동 칩에 의해 발생된 상기 게이트 스타트 펄스 신호(GSP)의 정보를 갖는 신호를 수신한다. 상기 복수의 소스 구동 칩은 각각 대응하는 연성 회로 기판(Flexible Printed Circuit: FPC) 상에 장착될 수 있다. 상기 게이트 스타트 펄스 신호(GSP)는 상기 복수의 소스 구동 칩 중에서 제 1 소스 구동 칩이 장착된 연성 회로 기판에 배치된 도선 라인을 통해 상기 제 1 소스 구동 칩에 전기적으로 연결될 수 있다. 게이트 스타트 펄스 신호(GSP)는 복수의 소스 구동 칩 중에서 제 1 소스 구동 칩이 장착된 연성 회로 기판에 배치된 도선 라인을 통해 상기 제 1 소스 구동 칩을 통과하여 상기 게이트 구동 회로에 제공될 수 있다.

- [0046] 도 2는 도 1의 디스플레이 장치(1000)에 포함된 소스 구동 회로(1300)의 하나의 예를 나타내는 블록도이다.
- [0047] 도 2를 참조하면, 소스 구동 회로(1300)는 쉬프트 레지스터(1310), 데이터 래치 회로(1320), D/A 컨버터(digital to analog converter)(1330), 출력 버퍼 회로(1340) 및 입력 버퍼 회로(1350)를 포함할 수 있다.
- [0048] 입력 버퍼 회로(1350)는 게이트 스타트 펄스 신호(GSP)와 입출력 제어신호(DIO)를 수신하고, 상기 게이트 스타트 펄스 신호(GSP)와 상기 입출력 제어신호(DIO)에 기초하여 게이트 스타트 펄스 신호(GSP)에 대응하는 제 1 신호(GSPi), 및 입출력 제어신호(DIO)에 대응하는 제 2 신호(DIOi)를 발생한다. 입출력 제어신호(DIO)는 소스 제어신호(CONT1)에 포함될 수 있다. 쉬프트 레지스터(1310)는 클럭신호(CLK)와 제 2 신호(DIOi)를 수신하고, 일정수의 클럭신호마다 펄스신호를 발생시킨다. 데이터 래치 회로(1320)는 데이터(DATA)와 로드신호(TP)를 수신한다. 데이터 래치 회로(1320)는 쉬프트 레지스터(1310)의 쉬프트 순서에 따라 데이터(DATA)를 래치하고, 로드신호(TP)가 인가되면 데이터(DATA)를 출력한다. D/A 컨버터(1330)는 계조전압(GMA)을 사용하여, 데이터 래치 회로(1320)의 출력신호들(D1 ~ Dn)에 대응하는 아날로그 신호인 입력 전압신호들(VIN1 ~ VINn)을 발생시킨다.
- [0049] 출력 버퍼 회로(1340)는 복수의 채널 증폭기를 포함하고, 제 1 신호(GSPi)에 응답하여 상기 채널 증폭기들 각각의 증폭기 오프셋(offset)을 보상하고, 입력 전압신호들(VIN1 ~ VINn)을 버퍼링하여 소스 신호들을 발생한다. 소스 신호들(Y1 ~ Yn)은 데이터 래치 회로(1320)에 인가되는 데이터(DATA)의 순서에 따라서 각 소스라인들에 출력된다.
- [0050] 도 3은 도 2의 소스 구동 회로에 포함된 디지털-아날로그 변환기(1330)의 하나의 예를 나타내는 회로도이다.
- [0051] 도 3을 참조하면, 디지털-아날로그 변환기(1330)는 저항 스트링(1332) 및 스위칭 회로(1334)를 포함할 수 있다.
- [0052] 저항 스트링(1332)은 제 1 기준전압(VREF_H)과 제 2 기준전압(VREF_L) 사이에 결합되어 있고, 서로 직렬 연결된 저항들(R1~R18)을 포함하며, 감마 전압들(VGMA1~VGMA18)을 출력한다. 예를 들어, 디지털 입력신호(D1, D2, ..., Dn)가 4 비트의 데이터라면, $16(=2^4)$ 개의 감마 전압들을 출력할 수 있다.
- [0053] 스위칭 회로(1334)는 디지털 입력신호(D1, D2, ..., Dn)에 대응하는 감마 전압들(VGMA1~VGMA18)을 입력 전압신호들(VIN1 ~ VINn)로서 출력할 수 있다.
- [0054] 도 4는 도 2의 소스 구동 회로(1000)에 포함된 출력 버퍼 회로(1340)의 하나의 예를 나타내는 회로도이다.
- [0055] 도 4를 참조하면, 출력 버퍼 회로(1340)는 입력 전압신호들(VIN1 ~ VINn)에 대해 버퍼링을 수행하여 출력 전압신호(Y1~Yn)를 발생한다. 채널 증폭 회로(1341)는 출력 전압신호들(Y1~Yn)을 발생하는 채널 증폭기들(OP_CH1, OP_CH2, OP_CH3)을 포함할 수 있다. 채널 증폭 회로(1341)에는 바이어스 전압(VB), 제 1 신호(GSPi) 및 제 2 신호(DIOi)가 인가될 수 있다. 상기한 바와 같이, 제 1 신호(GSPi)는 게이트 스타트 펄스 신호(GSP)의 정보를 갖고 있는 신호이며, 제 2 신호(DIOi)는 입출력 제어신호(DIO)의 정보를 갖고 있는 신호이다.
- [0056] 도 5는 도 2의 소스 구동 회로(1300)의 소스 구동 칩들에 포함된 입력 버퍼 회로들의 구성의 하나의 예를 나타내는 회로도이다.
- [0057] 도 5를 참조하면, 소스 구동 회로(1300)는 제 1 소스 구동 칩의 입력 회로(1351), 제 1 소스 구동 칩의 복조기(1355), 제 2 소스 구동 칩의 입력 회로(1352), 제 2 소스 구동 칩의 복조기(1356), 제 3 소스 구동 칩의 입력 회로(1353), 제 3 소스 구동 칩의 복조기(1357), 제 4 소스 구동 칩의 입력 회로(1354), 및 제 4 소스 구동 칩의 복조기(1358)를 포함할 수 있다.

- [0058] 제 1 소스 구동 칩의 입력 회로(1351)는 상기 게이트 스타트 펄스 신호 및 상기 소스 제어신호에 포함된 입출력 제어신호를 결합(combine)하여 제 1 신호(GSP+DIO)를 발생한다. 제 1 소스 구동 칩의 복조기(1355)는 제 1 신호(GSP+DIO)에 대해 복조(demodulation)를 수행하여 제 1 내부 게이트 스타트 펄스 신호(GSP1) 및 제 1 내부 입출력 제어신호(DIO1)를 발생한다. 제 2 소스 구동 칩의 입력 회로(1352)는 상기 제 1 소스 구동 칩의 입력 회로로부터 제 1 신호(GSP+DIO)를 수신하고, 상기 제 1 신호를 출력한다. 제 2 소스 구동 칩의 복조기(1356)는 상기 제 2 소스 구동 칩의 입력 회로로부터 제 1 신호(GSP+DIO)를 수신하고, 제 1 신호(GSP+DIO)에 대해 복조를 수행하여 제 2 내부 게이트 스타트 펄스 신호(GSP2) 및 제 2 내부 입출력 제어신호(DIO2)를 발생한다. 제 3 소스 구동 칩의 입력 회로(1353)는 상기 제 2 소스 구동 칩의 입력 회로로부터 제 1 신호(GSP+DIO)를 수신하고, 제 1 신호(GSP+DIO)를 출력한다. 제 3 소스 구동 칩의 복조기(1357)는 상기 제 3 소스 구동 칩의 입력 회로로부터 제 1 신호(GSP+DIO)를 수신하고, 제 1 신호(GSP+DIO)에 대해 복조를 수행하여 제 3 내부 게이트 스타트 펄스 신호(GSP3) 및 제 3 내부 입출력 제어신호(DIO3)를 발생한다. 제 4 소스 구동 칩의 입력 회로(1354)는 상기 제 3 소스 구동 칩의 입력 회로로부터 제 1 신호(GSP+DIO)를 수신하고, 제 1 신호(GSP+DIO)를 출력한다. 제 4 소스 구동 칩의 복조기(1358)는 상기 제 4 소스 구동 칩의 입력 회로로부터 제 1 신호(GSP+DIO)를 수신하고, 제 1 신호(GSP+DIO)에 대해 복조를 수행하여 제 4 내부 게이트 스타트 펄스 신호(GSP4) 및 제 4 내부 입출력 제어신호(DIO4)를 발생한다.
- [0059] 상기에서는, 4 개의 소스 구동 칩으로 구성된 소스 구동 회로의 입력 버퍼 회로들에 대해 기술하였지만, 소스 구동 회로는 두 개 이상의 소스 구동 칩을 구비할 수 있다.
- [0060] 도 6은 도 2의 소스 구동 회로(1300)에 포함된 제 1 소스 구동 칩의 입력 회로(1351)의 하나의 예를 나타내는 회로도이다.
- [0061] 도 6을 참조하면, 제 1 소스 구동 칩의 입력 회로(1351)는 게이트 스타트 펄스 신호(GSP)를 일정 시간 지연시키는 지연기, 상기 지연기의 출력신호와 게이트 스타트 펄스 신호(GSP)에 대해 배타적 비논리합 연산을 수행하는 XNOR 게이트(XNOR1), 및 XNOR 게이트(XNOR1)의 출력신호와 입출력 제어신호(DIO)를 선택하여 제 1 신호(GSP+DIO)를 발생하는 멀티플렉서(MUX1)를 포함할 수 있다. 지연기는 직렬 연결된 인버터들(INV1, INV2)을 포함할 수 있다.
- [0062] 도 7은 도 6의 회로에 인가되는 게이트 스타트 펄스 신호(GSP)와 입출력 제어신호(DIO)의 하나의 예를 나타내는 도면이다.
- [0063] 도 7을 참조하면, 입출력 제어신호(DIO)의 펄스 폭은 게이트 스타트 펄스 신호(GSP)의 펄스 폭보다 크며, 하나의 게이트 스타트 펄스 신호(GSP)의 펄스가 유지되는 동안, 입출력 제어신호(DIO)의 펄스는 2 개가 발생하고 있음을 알 수 있다.
- [0064] 도 8은 도 4의 출력 버퍼 회로(1340)에 포함된 채널 증폭기의 구성의 하나의 예를 나타내는 회로도이다.
- [0065] 도 8을 참조하면, 채널 증폭기(1341)는 차동 입력부(1342), PMOS 트랜지스터(MPB)로 구성된 상부 바이어스 회로, NMOS 트랜지스터(MNB)로 구성된 하부 바이어스 회로, 부하 단(load stage)(1344), 출력단(output stage)(1345) 및 스위치 제어신호발생 회로(1348)를 포함할 수 있다. PMOS 트랜지스터(MPB)에는 바이어스 전압(VB1)이 인가되고, NMOS 트랜지스터(MNB)에는 바이어스 전압(VB2)이 인가될 수 있다.
- [0066] 차동 입력부(1342)는 P형 차동 입력부와 N형 차동 입력부를 포함하고, 입력 전압신호(VINP) 및 출력 전압신호(VOUT)를 차동 모드로 수신하고, 스위치 제어신호(SWC1, SWC1B, SWC2, SWC2B, SWC3, SWC3B)에 응답하여 증폭기 오프셋을 보상한다. 도 8에는 차동 입력부(1342)가 제 1 입력 전압신호(VINP)와 제 2 입력 전압신호(VINP)를 수신하는 것으로 도시되어 있다. 반전 입력 단자는 출력 노드에 연결되어 있으므로, 제 2 입력 전압신호(VINN)는 출력 전압신호(VOUT)와 같다.
- [0067] P형 차동 입력부는 PMOS 트랜지스터들(MP1, MP2)을 포함하고, N형 차동 입력부는 NMOS 트랜지스터들(MN11, MN12, MN13, MN14, MN15, MN16, MN17) 및 증폭기 오프셋 보상 회로(1343)를 포함한다. NMOS 트랜지스터(MN11)는 차동 입력부(1342)의 비반전 입력 단자에 연결된 게이트를 갖는다. NMOS 트랜지스터들(MN12, MN13, MN14)는 NMOS 트랜지스터(MN11)에 병렬 연결된다. NMOS 트랜지스터(MN15)는 상기 차동 입력부의 반전 입력 단자에 연결된 게이트를 갖는다. NMOS 트랜지스터들(MN16, MN17)은 NMOS 트랜지스터(MN15)에 병렬 연결된다. 증폭기 오프셋 보상 회로(1343)는 NMOS 트랜지스터(MN15)에 병렬 연결되고, 스위치 제어신호(SWC1, SWC1B, SWC2, SWC2B, SWC3, SWC3B)에 응답하여 상기 반전 입력 단자에 연결된 전류 경로를 통해 흐르는 전류의 크기를 조절한다.

- [0068] 증폭기 오프셋 보상 회로(1343)는 NMOS 트랜지스터(MN15)에 병렬 연결된 NMOS 트랜지스터들(MN18, MN19, MN20), NMOS 트랜지스터(MN15)의 게이트와 NMOS 트랜지스터(MN18)의 게이트 사이에 연결된 제 1 스위치(SW1), NMOS 트랜지스터(MN18)의 게이트와 접지전압 사이에 연결된 제 2 스위치(SW2), NMOS 트랜지스터(MN15)의 게이트와 NMOS 트랜지스터(MN19)의 게이트 사이에 연결된 제 3 스위치(SW3), NMOS 트랜지스터(MN19)의 게이트와 접지전압 사이에 연결된 제 4 스위치(SW4), NMOS 트랜지스터(MN15)의 게이트와 NMOS 트랜지스터(MN20)의 게이트 사이에 연결된 제 5 스위치(SW5), NMOS 트랜지스터(MN20)의 게이트와 접지전압 사이에 연결된 제 6 스위치(SW6)를 포함할 수 있다.
- [0069] 도 8의 회로에서, N형 차동 입력부에서 반전 입력 단자에 연결된 전류 경로는 부하 단(1344)과 NMOS 트랜지스터(MNB)로 구성된 하부 바이어스 회로 사이에 있는 NMOS 트랜지스터들(MN15, MN16, MN17), 증폭기 오프셋 보상 회로(1343)를 구성하는 NMOS 트랜지스터들(MN18, MN19, MN20)일 수 있다.
- [0070] 스위치 제어신호발생 회로(1348)는 오프셋 정보(INFO_OFF)에 기초하여 스위치 제어신호(SWC1, SWC1B, SWC2, SWC2B, SWC3, SWC3B)를 발생한다. 오프셋 정보(INFO_OFF)는 채널 증폭기(1341)의 차동 입력부의 비반전 입력 단자와 반전 입력 단자를 전기적으로 연결한 상태에서 측정된 채널 증폭기(1341)의 출력 전압신호(VOUT)에 대응하는 신호일 수 있다.
- [0071] 이하, 도 8의 채널 증폭기(1341)의 동작에 대해 설명한다.
- [0072] 스위치 제어신호(SWC1, SWC1B, SWC2, SWC2B, SWC3, SWC3B)는 오프셋 정보(INFO_OFF), 게이트 스타트 펄스 신호(GSP)에 대응하는 제 1 신호(GSPi), 및 입출력 제어신호(DIO)에 대응하는 제 2 신호(DIOi)에 기초하여 스위치 제어신호발생 회로(1348)에 의해 발생될 수 있다. 상기한 바와 같이, 오프셋 정보(INFO_OFF)는 채널 증폭기(1341)의 차동 입력부의 비반전 입력 단자와 반전 입력 단자를 전기적으로 연결한 상태에서 측정된 채널 증폭기(1341)의 출력 전압신호(VOUT)에 대응하는 신호일 수 있다. 채널 증폭기(1341)의 반전 입력 단자에 연결된 증폭기 오프셋 보상 회로(1343)는 스위치 제어신호(SWC1, SWC1B, SWC2, SWC2B, SWC3, SWC3B)에 응답하여 증폭기 오프셋 보상 회로(1343)에 포함된 MOS 트랜지스터들(MN18, MN19, MN20)을 온 또는 오프시킴으로써, 반전 입력 단자에 연결된 전류 경로에 흐르는 전류의 크기를 조절할 수 있다. 예를 들어, 제 1 스위치(SW1)가 온 상태이고 제 2 스위치(SW2)가 오프 상태이면 MOS 트랜지스터(MN18)는 온 상태가 되어 반전 입력 단자에 연결된 전류 경로에 흐르는 전류의 크기가 증가한다. 반대로, 제 1 스위치(SW1)가 오프 상태이고 제 2 스위치(SW2)가 온 상태이면 MOS 트랜지스터(MN18)는 오프 상태가 되어 반전 입력 단자에 연결된 전류 경로에 흐르는 전류의 크기가 감소한다. 또한, 제 3 스위치(SW3)가 온 상태이고 제 4 스위치(SW4)가 오프 상태이면 MOS 트랜지스터(MN19)는 온 상태가 되어 반전 입력 단자에 연결된 전류 경로에 흐르는 전류의 크기가 증가한다. 반대로, 제 3 스위치(SW3)가 오프 상태이고 제 4 스위치(SW4)가 온 상태이면 MOS 트랜지스터(MN19)는 오프 상태가 되어 반전 입력 단자에 연결된 전류 경로에 흐르는 전류의 크기가 감소한다. 또한, 제 5 스위치(SW5)가 온 상태이고 제 6 스위치(SW6)가 오프 상태이면 MOS 트랜지스터(MN20)는 온 상태가 되어 반전 입력 단자에 연결된 전류 경로에 흐르는 전류의 크기가 증가한다. 반대로, 제 5 스위치(SW5)가 오프 상태이고 제 6 스위치(SW6)가 온 상태이면 MOS 트랜지스터(MN20)는 오프 상태가 되어 반전 입력 단자에 연결된 전류 경로에 흐르는 전류의 크기가 감소한다.
- [0073] 예를 들어, 차동 입력부(1342)의 비반전 입력 단자와 반전 입력 단자를 전기적으로 연결한 상태에서 측정된 채널 증폭기(1341)의 출력 전압신호(VOUT)가 로우 상태에서 하이 상태로 천이하였다면, 증폭기 오프셋이 존재한다고 볼 수 있다. 이 경우, 비반전 입력 단자에 연결된 전류 경로를 통해 흐르는 전류가 반전 입력 단자에 연결된 전류 경로를 통해 흐르는 전류보다 큰 값을 가질 수 있다. 이 때, 제 1 스위치(SW1)를 온 시키고 제 2 스위치(SW2)를 오프 시키면 MOS 트랜지스터(MN18)가 온 상태가 되어 반전 입력 단자에 연결된 전류 경로에 흐르는 전류의 크기가 증가한다. 따라서, 증폭기 오프 셋은 줄어들 수 있다. 다시, 차동 입력부(1342)의 비반전 입력 단자와 반전 입력 단자를 전기적으로 연결한 상태에서 채널 증폭기(1341)의 출력 전압신호(VOUT)를 측정할 결과, 채널 증폭기(1341)의 출력 전압신호(VOUT)가 여전히 로우 상태에서 하이 상태로 천이하였다면, 여전히 증폭기 오프셋이 존재한다고 볼 수 있다. 이 때, MOS 트랜지스터(MN18)가 온 상태에서, 제 3 스위치(SW3)를 온 시키고 제 4 스위치(SW4)를 오프 시키면 MOS 트랜지스터(MN19)가 온 상태가 되어 반전 입력 단자에 연결된 전류 경로에 흐르는 전류의 크기가 더욱 증가한다. 따라서, 증폭기 오프 셋은 더 줄어들 수 있다. 다시, 차동 입력부(1342)의 비반전 입력 단자와 반전 입력 단자를 전기적으로 연결한 상태에서 채널 증폭기(1341)의 출력 전압신호(VOUT)를 측정할 결과, 채널 증폭기(131b)의 출력 전압신호(VOUT)가 여전히 로우 상태에서 하이 상태로 천이하였다면, 여전히 증폭기 오프셋이 존재한다고 볼 수 있다. 이 때, MOS 트랜지스터(MN19)가 온 상태에서, 제 5 스위치(SW5)를 온 시키고 제 6 스위치(SW6)를 오프 시키면 MOS 트랜지스터(MN20)가 온 상태가 되어 반전 입력 단

자에 연결된 전류 경로에 흐르는 전류의 크기가 더욱 증가한다. 따라서, 증폭기 오프 셋은 더 줄어들 수 있다.

[0074] 다시, 차동 입력부(1342)의 비반전 입력 단자와 반전 입력 단자를 전기적으로 연결한 상태에서 채널 증폭기(1341)의 출력 전압신호(VOUT)를 측정된 결과, 채널 증폭기(1341)의 출력 전압신호(VOUT)가 로직 상태를 천이하지 않는다면 증폭기 오프셋이 충분히 감소한 것이라 볼 수 있다. 따라서, 채널 증폭기(1341)는 증폭기 오프셋 보상 회로(1343)를 포함함으로써, 증폭기 오프셋을 감소시킬 수 있다.

[0075] 도 9는 본 발명의 다른 하나의 실시예에 따른 디스플레이 장치(2000)를 나타내는 회로도이다.

[0076] 도 9를 참조하면, 디스플레이 장치(2000)는 기관(2100) 상에 장착된 제어 회로(2110), 디스플레이 패널(2300), 연성 인쇄회로 기판들(flexible printed circuit; FPC), 연성 인쇄회로 기판들(2415, 2425, 2435, 2445) 상에 장착된 소스 구동 칩들(2410, 2420, 2430, 2440), 연성 인쇄회로 기판들(2515, 2525), 및 연성 인쇄회로 기판들(2515, 2525) 상에 장착된 게이트 구동 칩들(2510, 2520)을 포함한다.

[0077] 게이트 스타트 펄스 신호(GSP)는 상기 복수의 소스 구동 칩 중에서 제 1 소스 구동 칩(2410)이 장착된 연성 회로 기판(2415)에 배치된 도전 라인을 통해 제 1 소스 구동 칩(2410)을 통과하여 게이트 구동 회로의 게이트 구동 칩들(2510, 2520)에 제공된다. 제 1 소스 구동 칩(2410)은 게이트 스타트 펄스 신호(GSP)를 제어 회로(2110)로부터 직접 수신하고, 나머지 소스 구동 칩들(2420, 2430, 2440)은 제 1 소스 구동 칩(2410)에 의해 발생된 게이트 스타트 펄스 신호(GSP)의 정보를 갖는 신호를 수신한다.

[0078] 도 10은 도 9의 디스플레이 장치에 포함된 COF(Chip On Flexible Circuit) 구조의 하나의 예를 나타내는 도면이다.

[0079] 도 10을 참조하면, COF는 연성 인쇄회로 기판(FPC)(2415) 상에 장착된 소스 구동 칩(2410)을 포함한다. 게이트 스타트 펄스 신호(GSP)는 복수의 소스 구동 칩 중에서 제 1 소스 구동 칩(2410)이 장착된 연성 회로 기판에 배치된 도전 라인을 통해 상기 제 1 소스 구동 칩의 패드(2417)에 전기적으로 연결될 수 있다. 상기한 바와 같이, 게이트 스타트 펄스 신호(GSP)는 상기 복수의 소스 구동 칩 중에서 제 1 소스 구동 칩(2410)이 장착된 연성 회로 기판(2415)에 배치된 도전 라인을 통해 제 1 소스 구동 칩(2410)을 통과하여 게이트 구동 회로의 게이트 구동 칩들에 제공될 수 있다.

[0080] 본 발명은 LCD 장치뿐만 아니라 PDP(Plasma Display Panel), OLED(Organic Light Emitting Diode) 등 일반적인 표시 장치(display device)에 적용이 가능하다.

산업상 이용가능성

[0081] 본 발명은 소스 구동회로 및 이를 포함하는 디스플레이 장치에 적용이 가능하다.

[0082] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

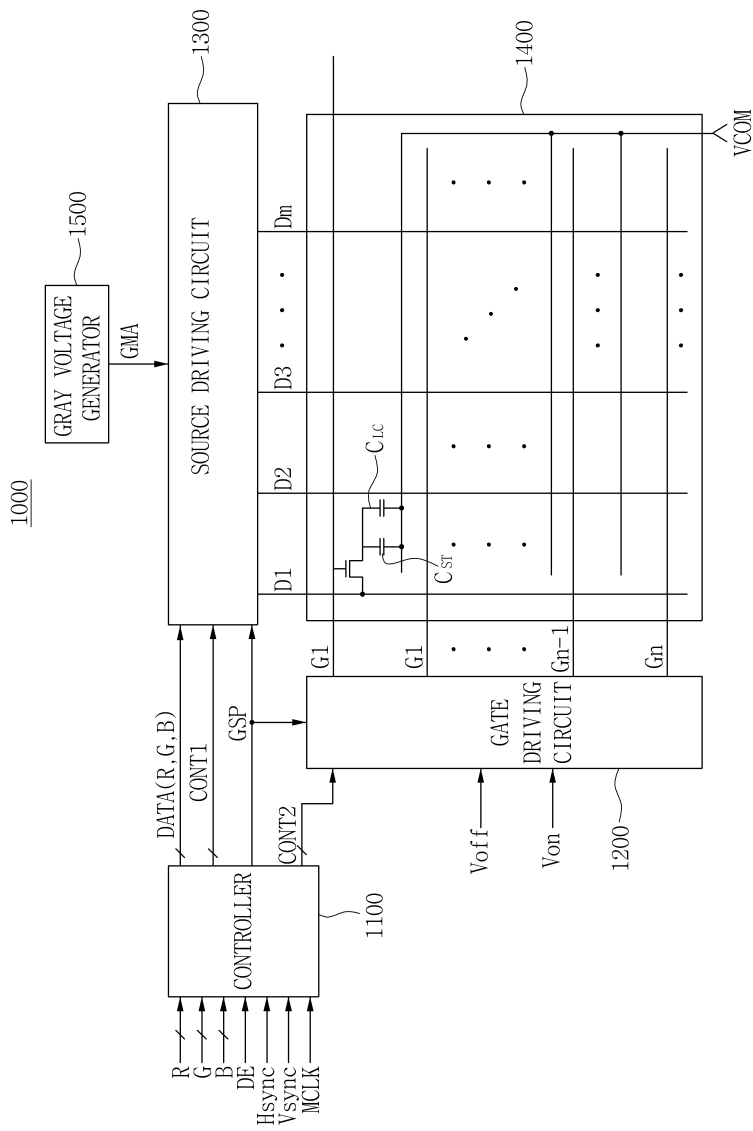
부호의 설명

[0083]

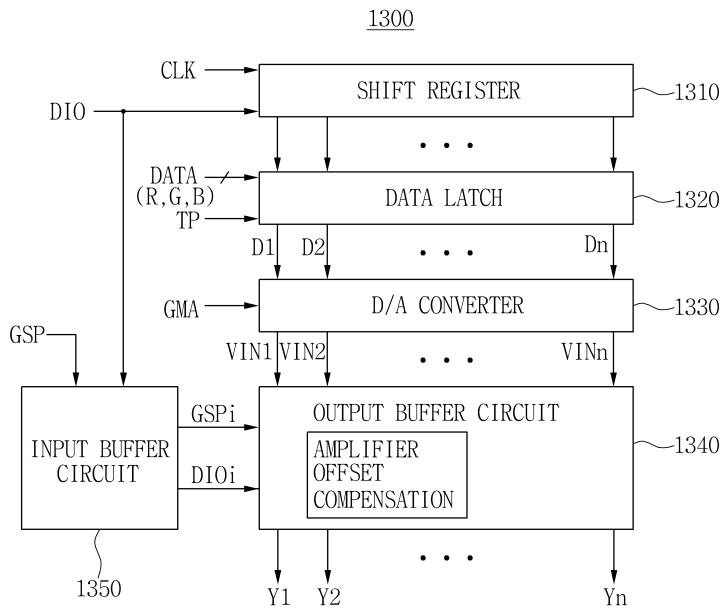
1300: 소스 구동 회로	1310: 쉬프트 레지스터
1320: 래치 회로	1330: D/A 컨버터
1340: 출력 버퍼 회로	1341: 채널 증폭기
1342: 차동 입력부	1344: 부하 단
1345: 출력 단	1348: 스위치 제어신호 발생회로
1000: 디스플레이 장치	

도면

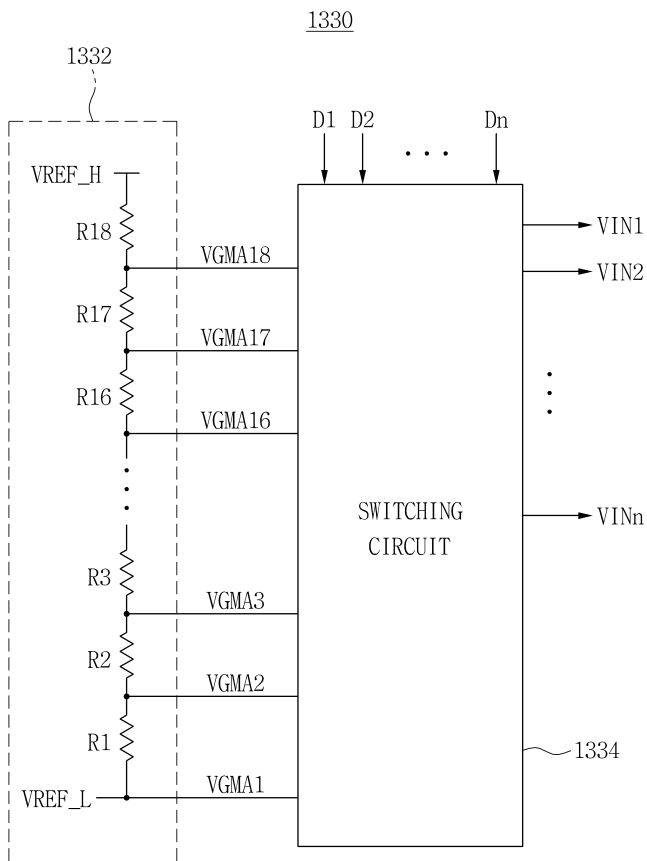
도면1



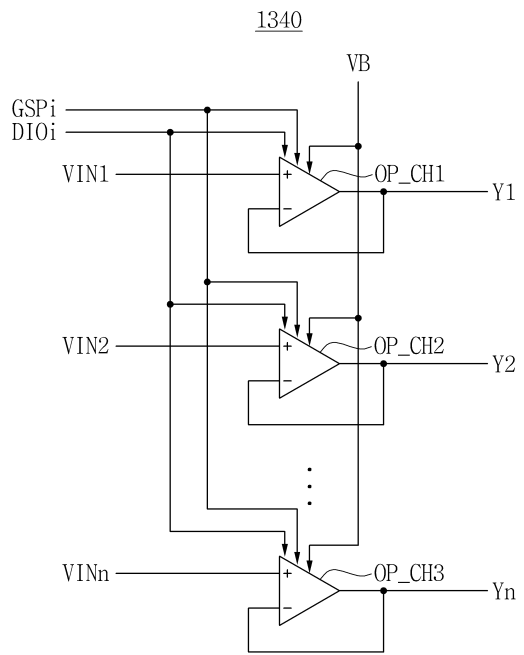
도면2



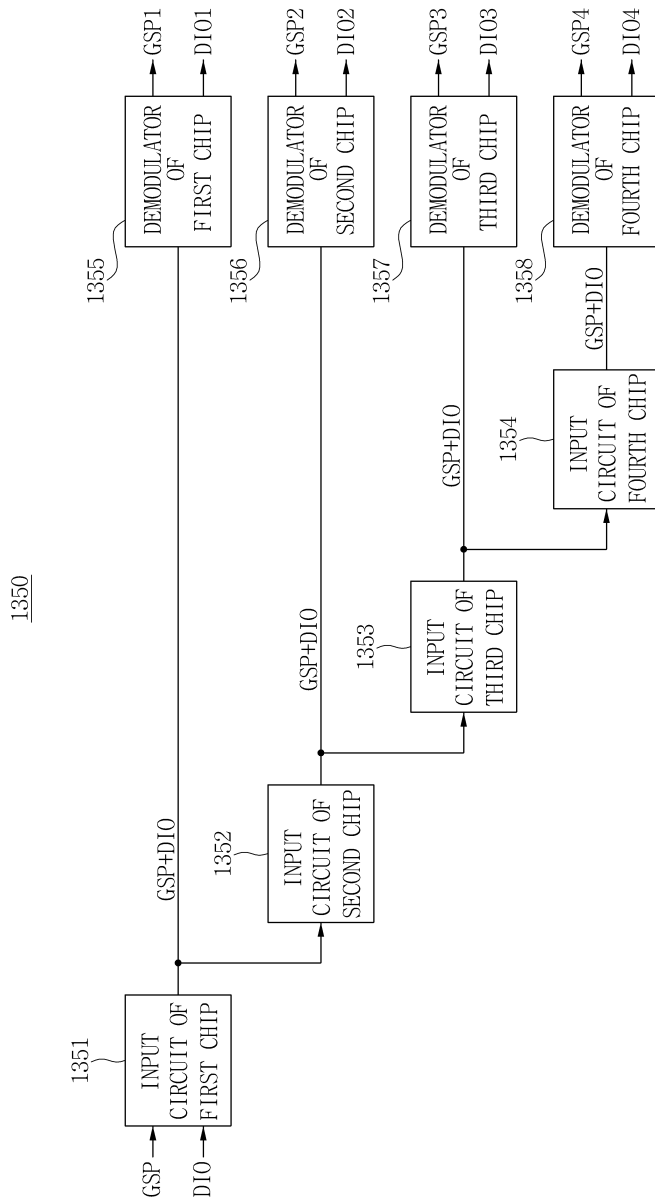
도면3



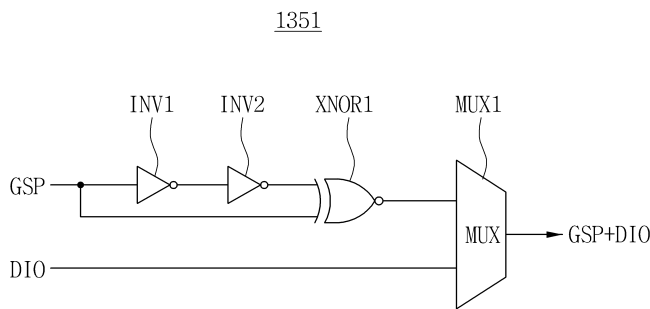
도면4



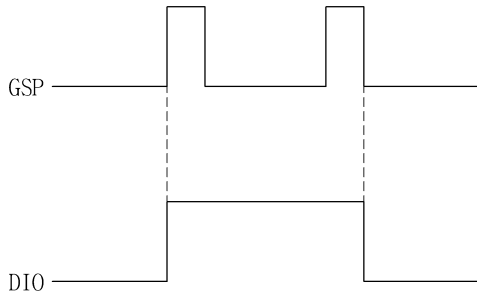
도면5



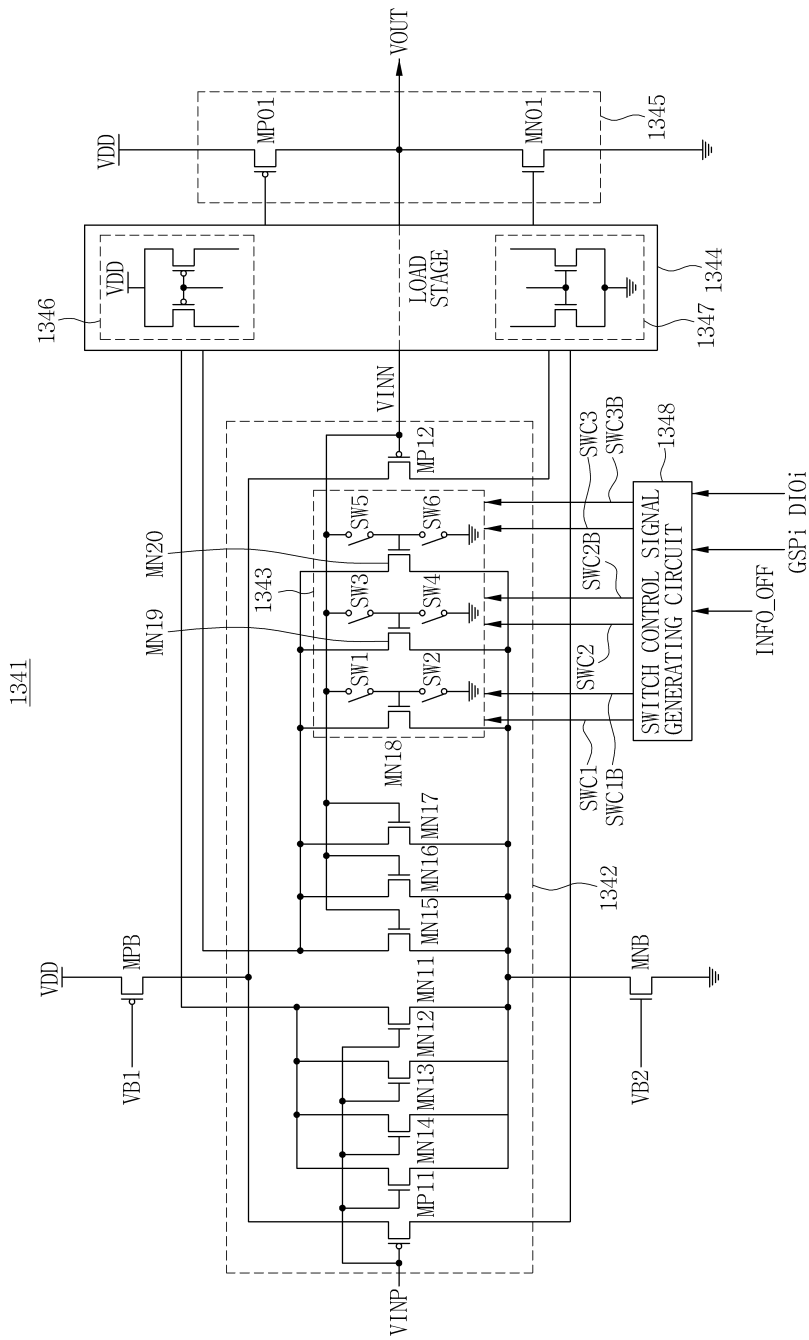
도면6



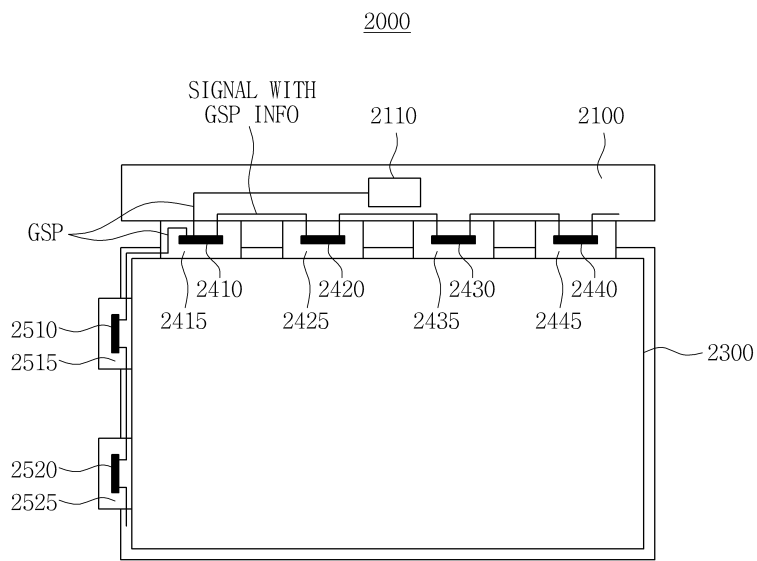
도면7



도면8



도면9



도면10

