



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년08월06일
(11) 등록번호 10-1426646
(24) 등록일자 2014년07월29일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/336 (2006.01)
- (21) 출원번호 10-2013-0021646
(22) 출원일자 2013년02월28일
심사청구일자 2013년02월28일
- (56) 선행기술조사문헌
KR100857398 B1
KR100666888 B1
KR1020090057257 A
KR100832873 B1
- (73) 특허권자
충남대학교산학협력단
대전광역시 유성구 대학로 99 (궁동, 충남대학교)
- (72) 발명자
이가원
대전 유성구 배울2로 42, 503동 1603호 (관평동, 신동아파밀리에)
이상윤
경북 구미시 백산로 183, 8동 209호 (송정동, 우방1차아파트)
(뒷면에 계속)
- (74) 대리인
맹성재

전체 청구항 수 : 총 5 항

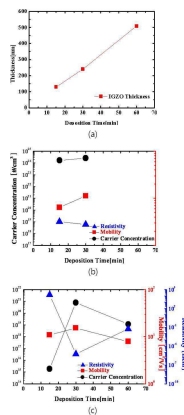
심사관 : 설관식

(54) 발명의 명칭 박막 트랜지스터의 제조방법

(57) 요약

본 발명은 박막 트랜지스터 제조 방법에 관한 것으로서, 더욱 상세하게는 자기정렬 채널 형성방법, 동일 평면 게이트 형성기술, 바디 금속접촉 형성기술 및 반도체/금속 집합을 제어하는 중간층 형성기술을 이용한 박막 트랜지스터 제조방법에 관한 것이다.

대표도 - 도6



(72) 발명자

정광석

대전 서구 도솔로 76, 102호 (도마동, 배재연립)

김유미

대전 유성구 계룡로 55, 101동 2302호 (봉명동, 유성자이)

남동현

대전 동구 대전로 646, 103동 803호 (효동, 효동현대아파트)

이 발명을 지원한 국가연구개발사업

과제고유번호 2012-B-0012-0101

부처명 교육과학기술부

연구사업명 산학협력선도대학(LINC)육성사업

연구과제명 산학협력선도대학(LINC)육성사업

기 여 율 50/100

주관기관 산학협력선도대학(LINC)육성사업단

연구기간 2012.04.01 ~ 2013.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호 2012-0764

부처명 한국연구재단

연구사업명 산학협력선도대학(LINC)육성사업

연구과제명 차세대 OLED 디스플레이 구동용 고성능 박막트랜지스터 개발

기 여 율 50/100

주관기관 충남대학교 산학협력단

연구기간 2012.05.01 ~ 2013.04.30

특허청구의 범위

청구항 1

박막 트랜지스터 제조방법에 있어서,

마스크 수를 줄이기 위하여 자기정렬 채널 형성방법으로 소스, 드레인 및 채널층을 동시에 형성하는 단계 및 컨덕턴스 및 문턱전압 제어를 위하여 상기 채널층을 산소 분위기하에서 후속 열처리하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터 제조방법.

청구항 2

제1항에 있어서,

상기 자기정렬 채널 형성방법은 기판상에 소스와 드레인 패턴이 형성된 섀도우(shadow) 마스크를 스페이서로 소정 간격으로 띄워 놓고 스퍼터링(sputtering) 방법으로 박막을 증착하여, 개방된 소스와 드레인 패턴이 슬릿으로 작용하고 증착물질이 산란 또는 회절되어 가려진 채널 패턴 밑에 증착물질이 얇게 형성되어 상기 채널층을 형성하는 것을 특징으로 하는 박막 트랜지스터 제조방법.

청구항 3

제1항에 있어서,

상기 자기정렬 채널을 형성하는 단계 전에,

기판상에 전도층(32b)을 형성하는 단계 및

상기 전도층(32b)상에 게이트 절연층(32a)을 형성하는 단계를 포함하여,

게이트를 동일 평면상에 형성하는 것을 특징으로 하는 박막 트랜지스터 제조방법.

청구항 4

제1항 또는 제3항에 있어서,

상기 채널의 표면상에 바디 단자로 금속접합을 형성하는 것을 특징으로 하는 박막 트랜지스터 제조방법.

청구항 5

제4항에 있어서,

상기 채널과 금속 사이의 중간층을 그래핀으로 형성한 것을 특징으로 하는 박막 트랜지스터 제조방법.

명세서

기술 분야

[0001] 본 발명은 박막 트랜지스터 제조 방법에 관한 것으로서, 더욱 상세하게는 자기정렬 채널 형성방법, 동일 평면 게이트 형성방법, 바디 금속접촉 형성방법 및 반도체/금속 접합을 제어하는 중간층 형성방법을 이용한 박막 트랜지스터 제조방법에 관한 것이다.

배경 기술

[0002] 박막 트랜지스터(thin film transistor, TFT)는 평판 디스플레이의 셀(cell)소자 및 SOI (System On Chip)의 논리소자, 기억소자 등으로 활발하게 연구되어지고 있으며 Si 박막과 일부 산화물 박막 소자의 경우 이미 양산화되고 있다.

[0003] 박막 트랜지스터의 채널층으로 다양한 소재가 사용 가능하여 투명전자소자, 유연(flexible) 전자소자, 일회용

(disposable) 전자소자의 핵심 요소로 앞으로 더욱 주목받게 될 것으로 보인다. 현재 주목받고 있는 박막트랜지스터의 재료로 기존의 단결정 실리콘(Si), 다결정 실리콘(poly-Si), 비정질 실리콘과 산화물 박막 및 유기물 박막 등이 있다.

- [0004] 실리콘의 경우 고온 공정을 통해 제작되기 때문에 유연 전자소자 제작 및 저가화가 어려운 문제점이 있으며, 유기물의 경우 현재 연구 단계에서는 안정된 특성 확보가 어려워 실제 전자소자 구동 소자로 제작이 어려운 상황이다.
- [0005] 산화물 박막의 경우 저온 공정에서도 우수한 특성 확보가 가능해서 유연 기판에 적용이 가능하며 밴드갭이 커서 투명전자소자으로도 제작 가능하기 때문에 차세대 OLED 및 투명, 유연 디스플레이의 핵심적인 구동소자 재료로 대두되고 있다.
- [0006] MOSFET형 박막 트랜지스터는 소스와 드레인 사이의 채널을 게이트 전압으로 조절하여 스위칭 및 증폭 기능을 하는 것으로서, 리소그래피 공정을 이용하여 적층과 식각을 반복하여 채널층, 전극 및 배선을 하게 된다. 이때 사용되는 것이 패터닝 마스크로서 사용되는 마스크의 수에 따라 생산단가가 좌우되므로 저가화를 이루기 위해서는 마스크의 숫자를 줄여 공정 스텝(공수)을 줄이는 제작 공정의 단순화가 필요하다.
- [0007] 그러나 마스크 수를 줄여 제조비용을 줄이면 성능저하가 수반될 수 있다. 특히 산화물 반도체를 이용할 경우 비정질 또는 다결정으로 형성되어 상대적으로 낮은 전자 이동도와 구동전류를 갖게 되며, 표면 또는 계면 상태의 불완전성으로 문턱전압이 변화하는 특성을 갖고 있어 산화물 반도체에 다른 물질을 첨가하거나 액티브층의 증착 방법을 달리하는 방법을 사용하였으나 한계가 있고 추가적인 비용이 발생한다.
- [0008] 박막 트랜지스터의 성능을 개선하는 종래의 기술로 특허문헌 1에 액티브층과 쇼트키 접합 또는 오믹 접합을 이루는 금속층을 제시하였으나, 공수에 의한 제조비용 문제는 여전히 남아 있다.

선행기술문헌

특허문헌

- [0009] (특허문헌 0001) 1. 한국 공개특허 제10-2012-0015963호

발명의 내용

해결하려는 과제

- [0010] 상기와 같은 문제점을 해결하고자 본 발명에서는 박막 트랜지스터 제조공정의 스텝을 줄여 공정을 단순화 하고, 성능 개선을 위한 표면 또는 계면 상태를 제어하여 저가의 고성능 박막 트랜지스터를 제공하고자 한다.

과제의 해결 수단

- [0011] 상기와 같은 과제를 위한 해결하기 위한 본 발명에 따른 박막 트랜지스터 제조방법은, 자기정렬 채널 형성방법으로 소스, 드레인 및 채널층을 동시에 형성하는 단계 및 상기 채널층의 컨덕턴스 제어를 위하여 산소 분위기하에서 후속 열처리(post annealing)하는 단계를 포함하는 것을 특징으로 한다.
- [0012] 본 발명의 바람직한 실시예로서, 상기 자기정렬 채널 형성방법은 기판상에 소스와 드레인 패턴이 형성된 섀도우(shadow) 마스크를 스페이서로 소정 간격으로 띄워 놓고 스퍼터링(sputtering) 방법으로 박막을 증착하여, 개방된 소스와 드레인 패턴이 슬릿(slits)으로 작용하고 증착물질이 산란 또는 회절현상(diffraction)이 일어나 가려진 채널 패턴 밑에 증착물질이 얇게 형성되어 채널 박막층을 형성하는 것을 특징으로 한다.
- [0013] 본 발명의 일 실시예로서, 상기 자기정렬 채널을 형성하는 단계 전에,
- [0014] 상기 기판상에 전도층을 형성하는 단계 및 상기 전도층상에 게이트 절연층을 형성하는 단계를 수행한 후, 자기정렬 채널을 형성방법으로 게이트를 동일 평면상에 형성하는 것을 특징으로 한다.
- [0015] 본 발명의 일 실시예로서, 상기 채널의 표면상에 바디 단자로 금속접합을 형성하며, 상기 채널과 금속 사이의 중간층을 그래핀(graphene)으로 형성한 것을 특징으로 한다.

발명의 효과

- [0016] 본 발명에 따른 자기정렬 채널 형성방법과 동일 평면 게이트 형성 기술을 접목시켜 하나의 마스크로 게이트, 채널, 소스/드레인을 한꺼번에 형성시킴으로써 소자 제작 공정을 단순화하여 제조비용을 낮출 수 있다. 현재 OLED 패널의 경우 전체 투자비 중에서 TFT 기판 제조 부분이 60~70%를 차지하며 TFT 제작 방식에 따라 설비 투자 규모가 크게 달라질 수 있음을 고려할 때 이러한 공정 단순화 연구는 산업적으로 소자 제조비용을 크게 낮출 수 있는 효과가 기대된다.
- [0017] 또한, 본 발명의 중간층 및 바디 형성기술로서 저가의 고성능 박막트랜지스터 제작이 가능하며 이로써 디스플레이 이외의 새로운 산업 창출의 기반이 될 수 있을 것으로 기대된다.

도면의 간단한 설명

- [0018] 도 1은 본 발명에 따른 자기정렬 채널(self-aligned channel) 형성방법.
- 도 2는 종래의 기술에 따른 바이아스 인가 시 IGZO(In, Ga, Zn Oxide)의 표면층에서 양전하(Zn^{2+})의 이동(electro-migration)현상을 설명하는 그림.
- 도 3은 본 발명에 따른 하부 게이트 박막 트랜지스터 구조.
- 도 4는 본 발명에 따른 상부 게이트 박막 트랜지스터 구조.
- 도 5는 본 발명에 따른 동일 평면 게이트 박막 트랜지스터 구조.
- 도 6은 (a) Sputter를 이용하여 IGZO 박막을 증착할 때 시간에 따른 두께 (b) 두께를 달리했을 때의 캐리어의 농도, 전계효과이동도, 비저항을 Hall effect를 통해 추출한 결과 (c) 산소 분위기에서 열처리(post-annealing)를 진행한 후의 캐리어 농도 및 전계효과이동도, 비저항 추출한 결과.
- 도 7은 종래의 ZnO TFT와 본 발명에 따른 구조의 IV 특성 곡선 비교 실험 결과.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하 본 발명의 실시를 위한 구체적인 실시예를 도면을 참고하여 설명한다. 본 발명의 실시예는 하나의 발명을 설명하기 위한 것으로서 권리범위는 실시예에 한정되지 않고, 예시된 도면은 발명의 명확성을 위하여 핵심적인 내용만 확대 도시하고 부수적인 것은 생략하였으므로 도면에 한정하여 해석하여서는 아니 된다.
- [0020] 도 1은 본 발명에 따른 자기정렬 채널(self-aligned channel) 형성기술의 개념 단면도로서, 절연층(2)이 증착된 기판(1) 상에 소스와 드레인 패턴이 형성된 섀도우(shadow) 마스크(4)를 스페이스(spacer, 3)로 소정 간격으로 띄워 놓고 스퍼터링(sputtering) 등의 방법으로 박막을 증착하면, 개방된 소스와 드레인 패턴이 슬릿(slit)으로 작용하고 증착물질의 산란 또는 회절현상(diffraction)으로 가려진 채널 패턴 밑에 증착물질이 얇게 형성되어 채널 박막층을 형성하게 된다. 즉, 자기정렬 채널형성기술을 사용하면 소스/드레인 및 채널이 한꺼번에 형성되어 공정이 단순화된다. 본 발명에는 일반적으로 사용되는 2~3장의 마스크를 1장으로 줄여 공수를 줄이는 효과가 있다. 통상적으로 스페이스(3) 높이는 채널폭에 따라 달라지나 50~100 um 정도 범위이다.
- [0021] 일반적으로 산화물의 경우 증착된 박막의 두께에 증가하면 캐리어수가 많아지면서 컨덕턴스가 좋아지는 특성을 보이는데, 얇게 형성된 박막층이 비저항이 높기 때문에 박막트랜지스터의 채널로서 효과적이다. 비저항이 높으면 누설전류를 최소화 할 수 있으며 문턱전압의 제어가 용이하다.
- [0022] 종래의 박막 트랜지스터 게이트는 채널의 상부 혹은 하부에 형성되지만, 본 발명에서는 게이트가 소스/드레인과 동일 평면상(in-plane)에 형성되는 것이 특징이다. 동일 평면 게이트(in-plane gate)는 기판과 절연층 사이에 ITO와 같은 전도층이 있어 게이트 밑의 전위와 채널 밑의 전위가 동일하여 절연층을 통하여 걸리는 접압으로 채널을 제어할 수 있는 것이다.
- [0023] 본 발명에 따른 핵심적인 특징은 바디(body) 금속접촉 형성기술이다. 도 2는 산화물 반도체인 IGZO(In, Ga, Zn Oxide)를 사용하여 하부 게이트(bottom gate) 구조를 구현한 종래의 기술로서, 바이아스 인가 시 IGZO의 표면층에서 양전하(Zn^{2+})의 이동(electro-migration)이 일어나 문턱전압의 변동을 가져온다. 즉, 채널전류의 주통로(path(1))외에 표면에서 electro-migration에 의한 기생적인 표면전류 통로(path(2))가 발생하여 문턱전압이 매우 작아지거나(음으로 커짐) 문턱전압이 바뀌는 불안정성이 야기된다.

[0024] 이러한 문제점을 해결하기 위하여 본 발명에서는 MESFET의 작용원리를 적용하여 채널 표면상에 바디 단자인 금속접합을 형성하여 쇼트키(Schottky) 게이트로 작용하도록 한다. 즉, 쇼트키 게이트에 의하여 off 상태에서는 누설전류를 차단하고, on상태에서는 구동전류를 증가시킬 수 있다.

[0025] 본 발명의 또 다른 특징은 반도체/금속 접합을 제어하는 중간층 형성기술이다. 반도체 표면은 결정구조의 불완전성으로 땀글링 본드(dangling bond)에 의한 표면 국소 전위가 존재하고, 특히 산화물 반도체는 비정질 또는 다결정질로 많은 결함과 결정립계면 등이 존재하여 전하의 트랩으로 작용하는 표면상태(surface state)를 형성하여 페르미 레벨을 고정(fermi level pinning)시킨다. 이러한 페르미 레벨 고정은 전위장벽이 금속의 일함수(work function)와 비례관계를 형성하지 않는 비이상적인 현상으로 쇼트키 특성을 향상시키는데 한계로 작용한다.

[0026] 본 발명에서는 쇼트키 특성을 향상시키기 위하여 금속과 반도체 사이에 그래핀(graphene)층을 형성함으로써 전하의 트랩으로 작용하는 표면상태를 보상하고 균일한 전위를 형성하여 electro-migration 현상을 방지하고자 한다.

실시예 1

[0027] 도 3은 본 발명의 일 실시예로서, 자기정렬 채널 형성방법, 바디 금속접촉 형성기술 및 반도체/금속 접합을 제어하는 중간층 형성기술을 적용한 하부 게이트(bottom gate) 구조(10)를 보여준다.

[0028] 본 발명에 따른 하부 게이트 구조 박막 트랜지스터(10) 형성방법은, 기판(11)위에 절연층(12)을 형성하는 단계, 상기 절연층(12)상에 게이트 물질을 증착하고 패터닝하여 게이트(15)를 형성하는 단계, 상기 게이트(15)가 형성된 기판 전면에 게이트 절연층(12a)을 형성하는 단계, 상기 게이트 절연층(12a)상에 자기정렬 채널 형성방법으로 소스(16), 드레인(18) 및 채널(17)을 동시에 형성하는 단계, 증착된 채널(17)층을 열처리하는 단계, 중간층(14)인 그래핀을 증착하고 그 위에 금속을 증착하는 단계, 게이트(15) 패터닝의 중간층(14)과 금속을 남기고 식각하여 바디(13)를 형성하는 단계를 포함한다.

[0029] 본 발명에 사용되는 기판(11)은 일반적으로 사용되는 유리 기판이나 ITO(Indium Tin Oxide) 글래스 기판을 사용하고, 절연층(12)은 PECVD로 증착한 SiO₂로 4 um 정도의 두께로 증착한다.

[0030] 채널(17)층으로 사용된 산화물 반도체는 처음에는 ZnO계의 재료가 연구되었지만 2004년 말에 IGZO를 사용하여 TFT를 제작하여 우수한 트랜지스터 특성이 실현될 수 있는 것을 보여준 이래 IGZO가 주류가 되었는데 본 발명에서는 ZnO와 IGZO 모두를 적용하였다. IGZO는 비정질 반도체이면서, 비정질 실리콘(a-Si) TFT보다도 10배 이상의 높은 이동도를 나타내는 새로운 재료이다. 얻어진 TFT의 전자 이동도는 10cm²/V.s 정도가 일반적이지만 이것보다도 높은 값도 보고되고 있다. IGZO-TFT가 가진 본질적인 특징의 하나로서 TFT의 인접 간 특성의 분산이 적은 것을 들 수 있다. 이것은 다결정 실리콘(p-Si)에 보여지는 결정립과 입계의 영향이 없는 것에 기인한다고 할 수 있다

[0031] 소스(16), 드레인(18) 및 채널층(17)은 RF 스퍼터링으로 ZnO나 IGZO를 RF 스퍼터링하여 자기정렬 채널 형성방법으로 증착한다. 채널 부분의 두께는 스페이서(3)의 높이에 따라 달라지나 50 um 정도의 스페이서 높이에서 채널층은 30 nm ~150 nm 내외로 증착된다. 소스(16)/드레인(18)이 150 nm 증착된다면 채널층의 소스/드레인 쪽은 150 nm 정도로 증착되고 가장 얇은 중앙은 30 nm 정도로 증착된다.

[0032] 증착된 ZnO 또는 IGZO 채널층은 산소 공공(oxygen vacancy)가 존재하여 사용조건 및 분위기에 따라 비저항이 달라지고 표면전류에 의하여 문턱전압이 불안정할 수 있다. 이러한 문제점을 해결하고자 본 발명에서는 채널층을 증착한 다음 산소분위기하에서 열처리를 하여 산소 공공의 농도를 줄여 안정화시키는 작업을 하였다. 본 발명에 사용된 후속 열처리 조건은 산소분위기(7sccm)에서 300℃에서 60분 동안 열처리하였다.

실시예 2

[0033] 도 4는 본 발명의 일 실시예로서, 자기정렬 채널 형성방법, 바디 금속접촉 형성기술 및 반도체/금속 접합을 제어하는 중간층 형성기술을 적용한 상부 게이트(top gate) 구조(20)를 보여준다.

[0034] 본 발명에 따른 상부 게이트 박막 트랜지스터(20) 형성방법은, 기판(21)위에 절연층(22)을 형성하는 단계, 금속을 증착하고 그 위에 중간층(24)인 그래핀을 증착하는 단계, 패터닝하고 식각하여 바디(23)를 형성하는 단계, 상기 바디(23)가 형성된 기판상에 자기정렬 채널 형성방법으로 소스(26), 드레인(28) 및 채널(27)을 동시에 형

성하는 단계, 증착된 채널(27)층을 열처리하는 단계, 게이트 물질을 증착하고 바디 패터닝과 일치하도록 패터닝하여 게이트(25)를 형성하는 단계를 포함한다.

[0035] 본 발명에 사용되는 기판(21)은 일반적으로 사용되는 유리 기판이나 ITO(Indium Tin Oxide) 글래스 기판을 사용하고, 절연층(22)은 PECVD로 증착한 SiO_2 로 4 μm 정도의 두께로 증착한다.

[0036] 채널(27)층으로 사용된 산화물 반도체는 처음에는 ZnO계의 재료가 연구되었지만 2004년 말에 IGZO를 사용하여 TFT를 제작하여 우수한 트랜지스터 특성이 실현될 수 있는 것을 보여준 이래 IGZO가 주류가 되었는데 본 발명에서는 ZnO와 IGZO 모두를 적용하였다. IGZO는 비정질 반도체이면서, 비정질 실리콘(a-Si) TFT보다도 10배 이상의 높은 이동도를 나타내는 새로운 재료이다. 얻어진 TFT의 전자 이동도는 $10\text{cm}^2/\text{V}\cdot\text{s}$ 정도가 일반적이지만 이것보다도 높은 값도 보고되고 있다. IGZO-TFT가 가진 본질적인 특징의 하나로서 TFT의 인접 간 특성의 분산이 적은 것을 들 수 있다. 이것은 다결정 실리콘(p-Si)에 보여지는 결정립과 입계의 영향이 없는 것에 기인한다고 할 수 있다

[0037] 소스(26), 드레인(28) 및 채널층(27)은 RF 스퍼터링으로 ZnO나 IGZO를 RF 스퍼터링하여 자기정렬 채널 형성방법으로 증착한다. 채널 부분의 두께는 스페이서(3)의 높이에 따라 달라지나 50 μm 정도의 스페이서 높이에서 채널층은 30 nm ~150 nm 내외로 증착된다. 소스(26)/드레인(28)이 150 nm 증착된다면 채널층의 소스/드레인 쪽은 150 nm 정도로 증착되고 가장 얇은 중앙은 30 nm 정도로 증착된다.

[0038] 증착된 ZnO 또는 IGZO 채널층은 산소 공공(oxygen vacancy)가 존재하여 사용조건 및 분위기에 따라 비저항이 달라지고 표면전류에 의하여 문턱전압이 불안정할 수 있다. 이러한 문제점을 해결하고자 본 발명에서는 채널층을 증착한 다음 산소분위하에서 열처리를 하여 산소 공공의 농도를 줄여 안정화시키는 작업을 하였다. 본 발명에 사용된 후속 열처리 조건은 산소분위기(7sccm)에서 300℃에서 60분 동안 열처리하였다.

실시예 3

[0039] 도 5는 본 발명의 일 실시예로서, 자기정렬 채널 형성방법, 동일 평면 게이트 형성방법, 바디 금속접촉 형성기술 및 반도체/금속 접합을 제어하는 중간층 형성기술을 적용한 동일 평면 게이트(in-plane gate) 구조(30)를 보여준다.

[0040] 본 발명에 따른 동일 평면 게이트 박막 트랜지스터 형성방법은, 기판(31)위에 전도층(32b)을 형성하는 단계, 상기 전도층(32b)상에 게이트 절연층(32a)을 형성하는 단계, 상기 절연층(32a)상에 자기정렬 채널 형성방법으로 소스(36), 드레인(38) 및 채널(37)을 동시에 형성하는 단계, 증착된 채널(37)층을 열처리하는 단계, 중간층(34)인 그래핀을 증착하고 그 위에 금속을 증착하는 단계, 패터닝하고 식각하여 바디(33)를 형성하는 단계를 포함한다.

[0041] 본 발명에 사용되는 기판(21)은 일반적으로 사용되는 유리 기판이나 ITO(Indium Tin Oxide) 글래스 기판을 사용하고, 절연층(32a)은 PECVD로 증착한 SiO_2 로 4 μm 정도의 두께로 증착한다.

[0042] 채널(37)층으로 사용된 산화물 반도체는 처음에는 ZnO계의 재료가 연구되었지만 2004년 말에 IGZO를 사용하여 TFT를 제작하여 우수한 트랜지스터 특성이 실현될 수 있는 것을 보여준 이래 IGZO가 주류가 되었는데 본 발명에서는 ZnO와 IGZO 모두를 적용하였다. IGZO는 비정질 반도체이면서, 비정질 실리콘(a-Si) TFT보다도 10배 이상의 높은 이동도를 나타내는 새로운 재료이다. 얻어진 TFT의 전자 이동도는 $10\text{cm}^2/\text{V}\cdot\text{s}$ 정도가 일반적이지만 이것보다도 높은 값도 보고되고 있다. IGZO-TFT가 가진 본질적인 특징의 하나로서 TFT의 인접 간 특성의 분산이 적은 것을 들 수 있다. 이것은 다결정 실리콘(p-Si)에 보여지는 결정립과 입계의 영향이 없는 것에 기인한다고 할 수 있다

[0043] 소스(36), 드레인(38) 및 채널(37)층은 RF 스퍼터링으로 ZnO나 IGZO를 RF 스퍼터링하여 자기정렬 채널 형성방법으로 증착한다. 채널 부분의 두께는 스페이서(3)의 높이에 따라 달라지나 50 μm 정도의 스페이서 높이에서 채널층은 30 nm ~150 nm 내외로 증착된다. 소스(36)/드레인(38)이 150 nm 증착된다면 채널(37)층의 소스/드레인 쪽은 150 nm 정도로 증착되고 가장 얇은 중앙은 30 nm 정도로 증착된다.

[0044] 증착된 ZnO 또는 IGZO 채널층은 산소 공공(oxygen vacancy)가 존재하여 사용조건 및 분위기에 따라 비저항이 달라지고 표면전류에 의하여 문턱전압이 불안정할 수 있다. 이러한 문제점을 해결하고자 본 발명에서는 채널층을 증착한 다음 산소분위하에서 열처리를 하여 산소 공공의 농도를 줄여 안정화시키는 작업을 하였다. 본 발명에

사용된 후속 열처리 조건은 산소분위기(7sccm)에서 300℃에서 60분 동안 열처리하였다.

[실험예 1]

도 6은 본 발명에 따른 자기정렬 채널의 실험예로서, 채널 두께에 따른 컨덕턴스 변화를 측정한 것이다. 도 6의 (a)는 스퍼터를 이용하여 IGZO 박막을 증착할 때 시간에 따른 두께, (b)는 두께를 달리했을 때의 캐리어의 농도, 전계효과이동도, 비저항을 Hall effect를 통해 추출한 결과, (c)는 산소 분위기에서 열처리(post-annealing)를 진행한 후의 캐리어 농도 및 전계효과이동도, 비저항 추출한 결과를 보여준다.

본 발명에 사용된 후속 열처리 조건은 산소분위기(7sccm)에서 300℃에서 60분 동안 열처리하였다. 이러한 결과는 채널의 두께에 의해 컨덕턴스(conductance)가 바뀌고 또한 산소 분위기에서 열처리를 진행함으로써 증착 직후의 컨덕턴스가 바뀔 수 있음을 알 수 있다.

[실험예 2]

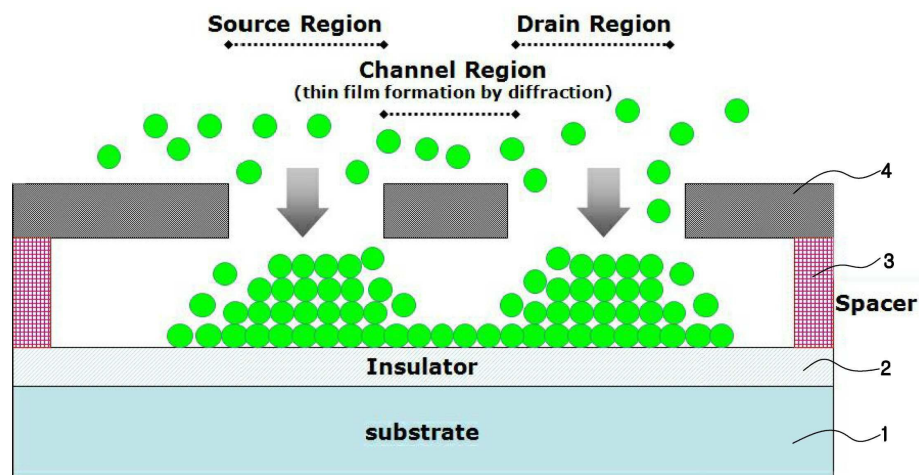
도 7은 본 발명에 따른 하부 게이트 구조에서 바디를 형성시켜 소자 특성을 개선시킨 실험 결과이다. 문턱 전압 제어와 함께 구동 전류도 함께 증가하고 IV 전달 곡선에서 나타나는 히스테리시스(hysteresis) 및 스트레스 인가 후 문턱 전압 변동성이 줄어 안정성이 크게 개선되는 것을 알 수 있다.

부호의 설명

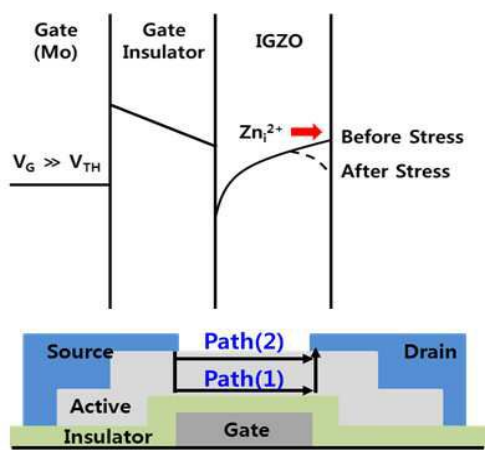
1, 11, 21, 31: 기판	2, 12, 22: 절연막
13, 23, 33: 바디	14, 24, 34: 중간층
15, 25, 35: 게이트	16, 26, 36: 소스
17, 27, 37: 채널	18, 28, 38: 드레인

도면

도면1

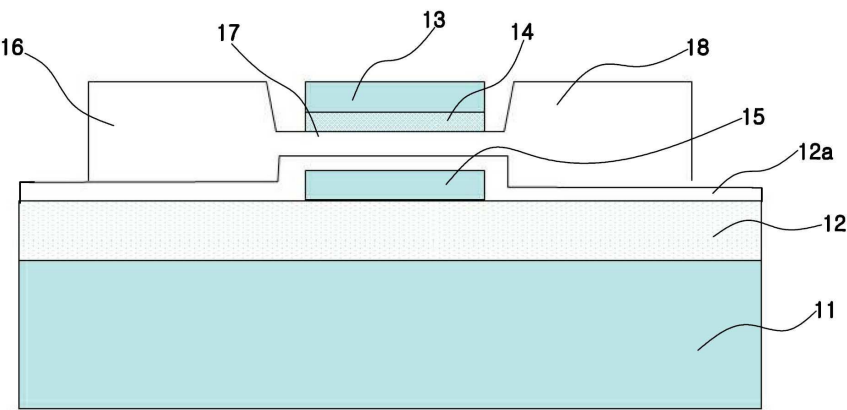


도면2



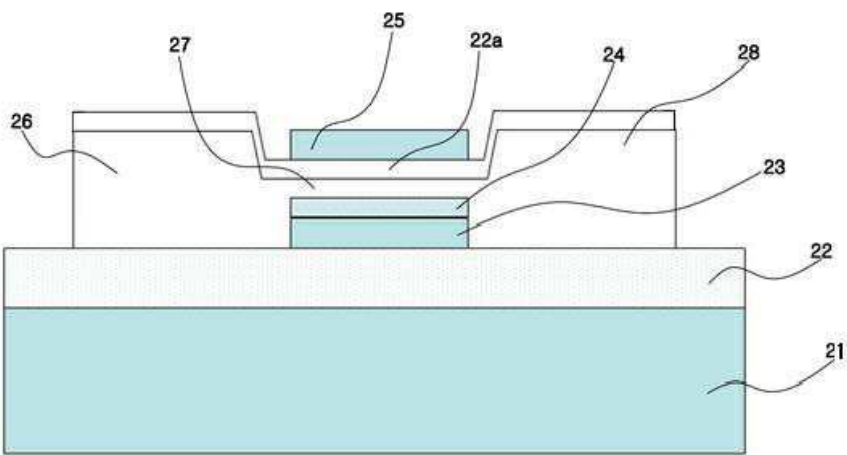
도면3

10



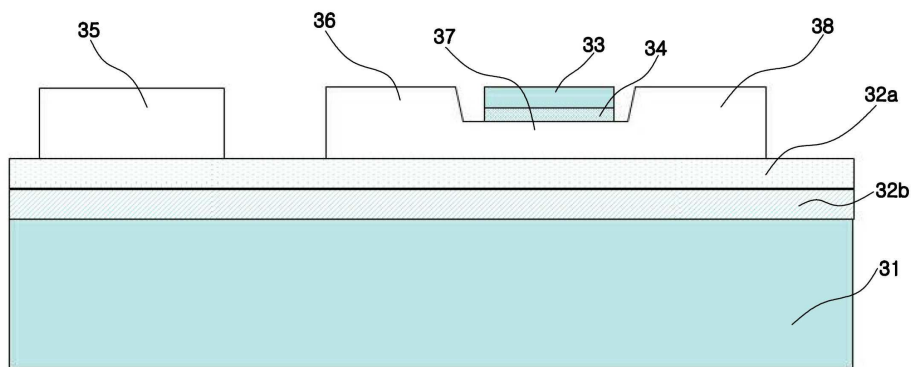
도면4

20

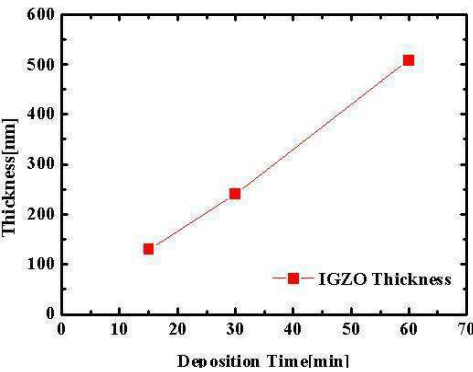


도면5

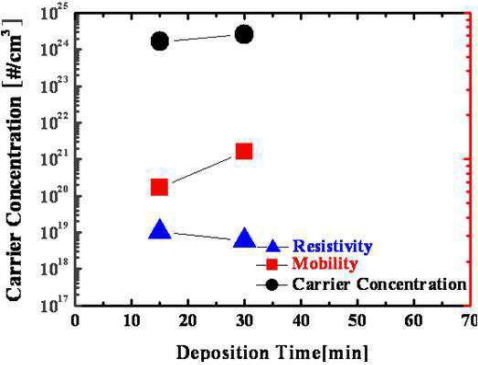
30



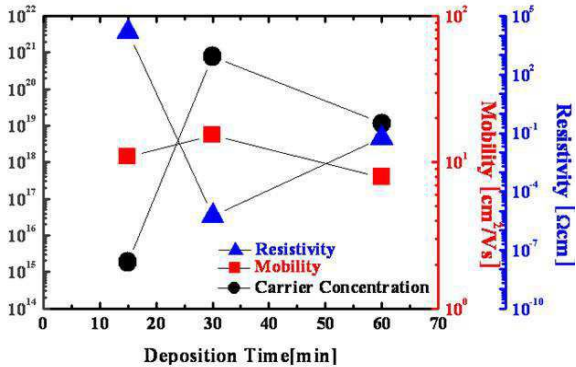
도면6



(a)



(b)



(c)

도면7

