

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7581205号
(P7581205)

(45)発行日 令和6年11月12日(2024.11.12)

(24)登録日 令和6年11月1日(2024.11.1)

(51)国際特許分類	F I			
H 0 1 L 21/336(2006.01)	H 0 1 L	29/78	6 1 9 A	
H 0 1 L 29/786(2006.01)	H 0 1 L	27/06	1 0 2 A	
H 0 1 L 21/8234(2006.01)	H 0 1 L	27/088	E	
H 0 1 L 27/06(2006.01)	H 0 1 L	27/088	3 3 1 E	
H 0 1 L 27/088(2006.01)	H 0 1 L	29/78	6 1 7 T	
請求項の数 6 (全129頁) 最終頁に続く				

(21)出願番号	特願2021-536436(P2021-536436)	(73)特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(86)(22)出願日	令和2年7月13日(2020.7.13)	(72)発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
(86)国際出願番号	PCT/IB2020/056540	(72)発明者	笹川 慎也 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
(87)国際公開番号	WO2021/019334	(72)発明者	方堂 涼太 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
(87)国際公開日	令和3年2月4日(2021.2.4)	(72)発明者	廣瀬 貴史 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
審査請求日	令和5年7月13日(2023.7.13)		
(31)優先権主張番号	特願2019-138038(P2019-138038)		
(32)優先日	令和1年7月26日(2019.7.26)		
(33)優先権主張国・地域又は機関	日本国(JP)		
(31)優先権主張番号	特願2019-141556(P2019-141556)		
(32)優先日	令和1年7月31日(2019.7.31)		
(33)優先権主張国・地域又は機関	日本国(JP)		
(31)優先権主張番号	特願2019-170999(P2019-170999)		
	最終頁に続く		最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

酸化物半導体と、
前記酸化物半導体上の、第1の導電体、および第2の導電体と、
前記第1の導電体の上面に接する、第1の絶縁体と、
前記第2の導電体の上面に接する、第2の絶縁体と、
前記第1の絶縁体および前記第2の絶縁体を覆い、前記第1の導電体と前記第2の導電体との間の領域に重畳して開口が形成された、第3の絶縁体と、
前記第3の絶縁体の上に配置され、前記第1の導電体と前記第2の導電体との間の領域に重畳して開口が形成された、第4の絶縁体と、
前記酸化物半導体上、かつ、前記第1の導電体と前記第2の導電体との間の領域に配置された第5の絶縁体と、
前記第5の絶縁体上の第3の導電体と、
前記酸化物半導体の下の、第6の絶縁体と、
前記第4の絶縁体、および前記第3の導電体の上面に接する第7の絶縁体と、
前記第7の絶縁体を覆い、かつ、前記第5の絶縁体と重畳しない領域において、前記第6の絶縁体の上面に接する、第8の絶縁体と、を有し、
前記第1の絶縁体、前記第2の絶縁体、および前記第3の絶縁体は、金属酸化物であり、
前記第6の絶縁体、および前記第7の絶縁体は金属酸化物であり、
前記第8の絶縁体は金属酸化物である、半導体装置。

【請求項 2】

請求項 1 において、

前記第 6 の絶縁体の下面に接する第 9 の絶縁体と、

前記第 8 の絶縁体の上面に接する第 10 の絶縁体と、を有し、

前記第 9 の絶縁体、および前記第 10 の絶縁体は、窒化シリコンである、半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、

誘電体と、第 4 の導電体と、を有し、

前記第 2 の絶縁体、前記第 3 の絶縁体、および前記第 4 の絶縁体に、前記第 2 の導電体に達する開口が形成され、

前記誘電体は、当該開口の中に配置され、前記第 2 の導電体の上面、前記第 2 の絶縁体の側面、前記第 3 の絶縁体の側面、および前記第 4 の絶縁体の側面に接し、

前記第 4 の導電体は、当該開口の中に配置され、前記誘電体の上面に接する、半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記第 1 の絶縁体と前記第 3 の絶縁体の間に配置された第 1 の窒化物絶縁体と、

前記第 2 の絶縁体と前記第 3 の絶縁体の間に配置された第 2 の窒化物絶縁体と、を有し、

前記第 1 の窒化物絶縁体、および前記第 2 の窒化物絶縁体は、窒化シリコンである、半導体装置。

【請求項 5】

請求項 1 乃至請求項 3 のいずれか一項において、

前記第 1 の絶縁体の上面、および前記第 2 の絶縁体の上面は、前記第 3 の絶縁体に接する、半導体装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

前記金属酸化物は、 AlO_x (x は 0 より大きい任意数) である、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、トランジスタ、半導体装置、および電子機器に関する。または、本発明の一態様は、半導体装置の作製方法に関する。または、本発明の一態様は、半導体ウエハ、およびモジュールに関する。

【0002】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器などは、半導体装置を有すると言える場合がある。

【0003】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

【背景技術】

【0004】

近年、半導体装置の開発が進められ、特に LSI (Large Scale Integrated Circuit) や CPU (Central Processing Unit) やメモリの開発が顕著に進められている。CPU は、半導体ウエハから切り離された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形

10

20

30

40

50

成された半導体素子の集合体である。

【0005】

LSIやCPUやメモリなどの半導体回路（ICチップ）は、回路基板、例えばプリント配線板に実装され、様々な電子機器の部品の一つとして用いられる。

【0006】

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC（Integrated Circuit））や画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

10

【0007】

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力のCPUなどが開示されている（特許文献1参照。）。また、例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用して、長期にわたり記憶内容を保持することができる記憶装置などが、開示されている（特許文献2参照。）。

【0008】

また、近年では電子機器の小型化、軽量化に伴い、集積回路のさらなる高密度化への要求が高まっている。また、集積回路を含む半導体装置の生産性の向上が求められている。

20

【先行技術文献】

【特許文献】

【0009】

【文献】特開2012-257187号公報

【文献】特開2011-151383号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

本発明の一態様は、トランジスタ特性のばらつきが少ない半導体装置を提供することを課題の一つとする。または、本発明の一態様は、信頼性が良好な半導体装置を提供することを課題の一つとする。または、本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一つとする。または、本発明の一態様は、オン電流が大きい半導体装置を提供することを課題の一つとする。または、本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一つとする。または、本発明の一態様は、低消費電力の半導体装置を提供することを課題の一つとする。

30

【0011】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

40

【課題を解決するための手段】

【0012】

本発明の一態様は、酸化物半導体と、酸化物半導体上の、第1の導電体、および第2の導電体と、第1の導電体の上面に接する、第1の絶縁体と、第2の導電体の上面に接する、第2の絶縁体と、第1の絶縁体および第2の絶縁体の上に配置され、第1の導電体と第2の導電体の間の領域に重畳して開口が形成された、第3の絶縁体と、酸化物半導体上、かつ、第1の導電体と第2の導電体の間の領域に配置された第4の絶縁体と、第4の絶縁体上の第3の導電体と、を有し、第1の絶縁体、および第2の絶縁体は、アモルファス構造を有する金属酸化物である、半導体装置である。

【0013】

50

本発明の一態様は、酸化物半導体と、酸化物半導体上の、第1の導電体、および第2の導電体と、第1の導電体および第2の導電体を覆い、第1の導電体と第2の導電体の間の領域に重畳して開口が形成された、第1の絶縁体と、第1の絶縁体の上に配置され、第1の導電体と第2の導電体の間の領域に重畳して開口が形成された、第2の絶縁体と、酸化物半導体上、かつ、第1の導電体と第2の導電体の間の領域に配置された第3の絶縁体と、第3の絶縁体上の第3の導電体と、を有し、第1の絶縁体は、アモルファス構造を有する金属酸化物である、半導体装置である。

【0014】

本発明の一態様は、酸化物半導体と、酸化物半導体上の、第1の導電体、および第2の導電体と、第1の導電体の上面に接する、第1の絶縁体と、第2の導電体の上面に接する、第2の絶縁体と、第1の絶縁体および第2の絶縁体を覆い、第1の導電体と第2の導電体の間の領域に重畳して開口が形成された、第3の絶縁体と、第3の絶縁体の上に配置され、第1の導電体と第2の導電体の間の領域に重畳して開口が形成された、第4の絶縁体と、酸化物半導体上、かつ、第1の導電体と第2の導電体の間の領域に配置された第5の絶縁体と、第5の絶縁体上の第3の導電体と、を有し、第1の絶縁体、第2の絶縁体、および第3の絶縁体は、アモルファス構造を有する金属酸化物である、半導体装置である。

10

【0015】

上記において、半導体装置は、酸化物半導体の下の、第6の絶縁体と、第4の絶縁体、および第3の導電体の上面に接する第7の絶縁体と、を有し、第6の絶縁体、および第7の絶縁体は、アモルファス構造を有する金属酸化物である、ことが好ましい。

20

【0016】

上記において、半導体装置は、第7の絶縁体を覆い、かつ、第5の絶縁体と重畳しない領域において、第6の絶縁体の上面に接する、第8の絶縁体を有し、第8の絶縁体は、アモルファス構造を有する金属酸化物である、ことが好ましい。

【0017】

上記において、半導体装置は、第6の絶縁体の下面に接する第9の絶縁体と、第7の絶縁体の上面に接する第10の絶縁体と、を有し、第9の絶縁体、および第10の絶縁体は、窒化シリコンである、ことが好ましい。

【0018】

上記において、半導体装置は、誘電体と、第4の導電体と、を有し、第2の絶縁体、第3の絶縁体、および第4の絶縁体に、第2の導電体に達する開口が形成され、誘電体は、当該開口の中に配置され、第2の導電体の上面、第2の絶縁体の側面、第3の絶縁体の側面、および第4の絶縁体の側面に接し、第4の導電体は、当該開口の中に配置され、誘電体の上面に接する、ことが好ましい。

30

【0019】

上記において、半導体装置は、第1の絶縁体と第3の絶縁体の間に配置された第1の窒化物絶縁体と、第2の絶縁体と第3の絶縁体の間に配置された第2の窒化物絶縁体と、を有し、第1の窒化物絶縁体、および第2の窒化物絶縁体は、窒化シリコンである、ことが好ましい。

【0020】

上記において、半導体装置は、第1の絶縁体の上面、および第2の絶縁体の上面は、第3の絶縁体に接することが好ましい。

40

【0021】

上記において、アモルファス構造を有する金属酸化物は、 AlO_x (x は0より大きい任意数)である、ことが好ましい。

【発明の効果】

【0022】

本発明の一態様により、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。または、本発明の一態様により、信頼性が良好な半導体装置を提供することができる。または、本発明の一態様により、良好な電気特性を有する半導体装置を提供す

50

ることができる。または、本発明の一態様により、オン電流が大きい半導体装置を提供することができる。または、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、低消費電力の半導体装置を提供することができる。

【 0 0 2 3 】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【 図面の簡単な説明 】

【 0 0 2 4 】

図 1 A は本発明の一態様である半導体装置の上面図である。図 1 B 乃至図 1 D 本発明の一態様である半導体装置の断面図である。

図 2 は本発明の一態様である半導体装置の断面図である。

図 3 A は I G Z O の結晶構造の分類を説明する図である。図 3 B は C A A C - I G Z O 膜の X R D スペクトルを説明する図である。図 3 C は C A A C - I G Z O 膜の極微電子線回折パターンを説明する図である。

図 4 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 4 B 乃至図 4 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 5 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 5 B 乃至図 5 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 6 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 6 B 乃至図 6 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 7 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 7 B 乃至図 7 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 8 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 8 B 乃至図 8 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 9 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 9 B 乃至図 9 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 0 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 1 0 B 乃至図 1 0 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 1 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 1 1 B 乃至図 1 1 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 2 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 1 2 B 乃至図 1 2 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 3 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 1 3 B 乃至図 1 3 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 4 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 1 4 B 乃至図 1 4 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 5 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 1 5 B 乃至図 1 5 D 本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 6 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 1 6 B 乃至図 1 6 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 7 は本発明の一態様に係るマイクロ波処理装置を説明する上面図である。

図 1 8 は本発明の一態様に係るマイクロ波処理装置を説明する断面図である。

図 1 9 は本発明の一態様に係るマイクロ波処理装置を説明する断面図である。

図 2 0 A は本発明の一態様である半導体装置の上面図である。図 2 0 B 乃至図 2 0 D は本発明の一態様である半導体装置の断面図である。

図 2 1 A は本発明の一態様である半導体装置の上面図である。図 2 1 B 乃至図 2 1 D は本発明の一態様である半導体装置の断面図である。

10

20

30

40

50

図 2 2 A は本発明の一態様である半導体装置の上面図である。図 2 2 B 乃至図 2 2 D は本発明の一態様である半導体装置の断面図である。

図 2 3 A は本発明の一態様である半導体装置の上面図である。図 2 3 B 乃至図 2 3 D は本発明の一態様である半導体装置の断面図である。

図 2 4 A および図 2 4 B は本発明の一態様に係る半導体装置の断面図である。

図 2 5 は本発明の一態様に係る記憶装置の構成を示す断面図である。

図 2 6 は本発明の一態様に係る記憶装置の構成を示す断面図である。

図 2 7 A および図 2 7 B は本発明の一態様に係る半導体装置の断面図である。

図 2 8 A および図 2 8 B は本発明の一態様に係る半導体装置の断面図である。

図 2 9 は本発明の一態様に係る半導体装置の断面図である。

10

図 3 0 は本発明の一態様に係る半導体装置の断面図である。

図 3 1 A は本発明の一態様に係る記憶装置の構成例を示すブロック図である。図 3 1 B は本発明の一態様に係る記憶装置の構成例を示す模式図である。

図 3 2 A 乃至図 3 2 H は本発明の一態様に係る記憶装置の構成例を示す回路図である。

図 3 3 は各種の記憶装置を階層ごとに示す図である。

図 3 4 A は本発明の一態様に係る半導体装置のブロック図である。図 3 4 B は本発明の一態様に係る半導体装置の模式図である。

図 3 5 A および図 3 5 B は電子部品の一例を説明する図である。

図 3 6 A 乃至図 3 6 E は本発明の一態様に係る記憶装置の模式図である。

図 3 7 A 乃至図 3 7 H は本発明の一態様に係る電子機器を示す図である。

20

図 3 8 A 乃至図 3 8 C は、本実施例に係る動作周波数の算出方法を説明する模式図である。

図 3 9 A は、本実施例に係るサンプルの電気特性を示す図である。図 3 9 B は、本実施例に係るサンプルの動作周波数を計算した結果を示す図である。

図 4 0 A および図 4 0 B は、本実施例に係る + G B T ストレス試験における $V_s h$ のストレス時間依存性を示す図である。

図 4 1 は、本実施例に係るサンプルの模式図である。

図 4 2 A は本実施例に係る T E M 像である。図 4 2 B は本実施例に係る F F T 像である。

図 4 3 A は本実施例に係る T E M 像である。図 4 3 B は本実施例に係る F F T 像である。

図 4 4 A は本実施例に係る T E M 像である。図 4 4 B は本実施例に係る F F T 像である。

図 4 5 は、本実施例に係るサンプルの重水素濃度を示す図である。

30

【発明を実施するための形態】

【0025】

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0026】

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお、図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層やレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするため、図に反映しないことがある。また、図面において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

40

【0027】

また、特に上面図（「平面図」ともいう。）や斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

【0028】

50

また、本明細書等において、第1、第2等として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

【0029】

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士の位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

10

【0030】

また、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接的に接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に開示されているものとする。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0031】

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネルが形成される領域（以下、チャンネル形成領域ともいう。）を有しており、チャンネル形成領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャンネル形成領域とは、電流が主として流れる領域をいう。

20

【0032】

また、明細書や図面などの記載と異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには、ソースとドレインのそれぞれの機能が互いに入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる場合がある。

30

【0033】

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネル形成領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

【0034】

チャンネル幅とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネル形成領域における、チャンネル長方向を基準として垂直方向のチャンネル形成領域の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

40

【0035】

なお、本明細書等において、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、「実効的なチャンネル幅」ともいう。）と、トランジ

50

スタの上面図において示されるチャネル幅（以下、「見かけ上のチャネル幅」ともいう。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャネル幅が、見かけ上のチャネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャネル幅よりも、実効的なチャネル幅の方が大きくなる。

【0036】

このような場合、実効的なチャネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャネル幅を正確に測定することは困難である。

10

【0037】

本明細書では、単にチャネル幅と記載した場合には、見かけ上のチャネル幅を指す場合がある。または、本明細書では、単にチャネル幅と記載した場合には、実効的なチャネル幅を指す場合がある。なお、チャネル長、チャネル幅、実効的なチャネル幅、見かけ上のチャネル幅などは、断面TEM像などを解析することなどによって、値を決定することができる。

【0038】

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。なお、水も不純物として機能する場合がある。また、例えば不純物の混入によって、酸化物半導体に酸素欠損（ V_O : oxygen vacancyともいう）が形成される場合がある。

20

【0039】

なお、本明細書等において、酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多いものである。例えば、酸化窒化シリコンは、その組成として、窒素よりも酸素の含有量が多い。また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多いものである。例えば、窒化酸化シリコンは、その組成として、酸素よりも窒素の含有量が多い。

30

【0040】

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

【0041】

また、本明細書等において、「平行」とは、二つの直線が-10度以上10度以下の角度で配置されている状態をいう。したがって、-5度以上5度以下の場合も含まれる。また、「概略平行」とは、二つの直線が-30度以上30度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が80度以上100度以下の角度で配置されている状態をいう。したがって、85度以上95度以下の場合も含まれる。また、「概略垂直」とは、二つの直線が60度以上120度以下の角度で配置されている状態をいう。

40

【0042】

本明細書等において、金属酸化物（metal oxide）とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む。）、酸化物半導体（Oxide Semiconductorまたは単にOSともいう。）などに分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当

50

該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OSトランジスタと記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。

【0043】

また、本明細書等において、ノーマリーオフとは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに流れるチャンネル幅1 μm あたりのドレイン電流が、室温において 1×10^{-20} A以下、85 $^{\circ}\text{C}$ において 1×10^{-18} A以下、または125 $^{\circ}\text{C}$ において 1×10^{-16} A以下であることをいう。

【0044】

(実施の形態1)

本実施の形態では、図1乃至図24を用いて、本発明の一態様に係るトランジスタ200を有する半導体装置の一例、およびその作製方法について説明する。

【0045】

<半導体装置の構成例>

図1A乃至図1Dを用いて、トランジスタ200を有する半導体装置の構成を説明する。図1Aは、当該半導体装置の上面図である。また、図1B乃至図1Dは、当該半導体装置の断面図である。ここで、図1Bは、図1AにA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200のチャンネル長方向の断面図でもある。また、図1Cは、図1AにA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200のチャンネル幅方向の断面図でもある。また、図1Dは、図1AにA5-A6の一点鎖線で示す部位の断面図である。なお、図1Aの上面図では、図の明瞭化のために一部の要素を省いている。

【0046】

本発明の一態様の半導体装置は、基板(図示せず)上の絶縁体212と、絶縁体212上の絶縁体214と、絶縁体214上のトランジスタ200と、トランジスタ200上の絶縁体280と、絶縁体280上の絶縁体282と、絶縁体282上の絶縁体283と、を有する。絶縁体212、絶縁体214、絶縁体280、絶縁体282、および絶縁体283は層間膜として機能する。また、トランジスタ200と電気的に接続し、プラグとして機能する導電体240(導電体240a、および導電体240b)を有する。なお、プラグとして機能する導電体240の側面に接して絶縁体241(絶縁体241a、および絶縁体241b)が設けられる。また、絶縁体283上、および導電体240上には、導電体240と電気的に接続し、配線として機能する導電体246(導電体246a、および導電体246b)が設けられる。また、導電体246上、および絶縁体283上には、絶縁体286が設けられる。

【0047】

絶縁体280、絶縁体282、および絶縁体283の開口の内壁に接して絶縁体241aが設けられ、絶縁体241aの側面に接して導電体240aの第1の導電体が設けられ、さらに内側に導電体240aの第2の導電体が設けられている。また、絶縁体280、絶縁体282、および絶縁体283の開口の内壁に接して絶縁体241bが設けられ、絶縁体241bの側面に接して導電体240bの第1の導電体が設けられ、さらに内側に導電体240bの第2の導電体が設けられている。ここで、導電体240の上面の高さと、導電体246と重なる領域の、絶縁体283の上面の高さと、は同程度にできる。なお、トランジスタ200では、導電体240の第1の導電体および導電体240の第2の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体240を単層、または3層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

【0048】

[トランジスタ200]

図1A乃至図1Dに示すように、トランジスタ200は、絶縁体214上の絶縁体216と、絶縁体216に埋め込まれるように配置された導電体205(導電体205a、導電体205b、および導電体205c)と、絶縁体216上、および導電体205上の絶

10

20

30

40

50

縁体 2 2 2 と、絶縁体 2 2 2 上の絶縁体 2 2 4 と、絶縁体 2 2 4 上の酸化物 2 3 0 a と、酸化物 2 3 0 a 上の酸化物 2 3 0 b と、酸化物 2 3 0 b 上の、酸化物 2 4 3 (酸化物 2 4 3 a、および酸化物 2 4 3 b) と、酸化物 2 4 3 a 上の導電体 2 4 2 a と、導電体 2 4 2 a 上の絶縁体 2 7 1 a と、絶縁体 2 7 1 a 上の絶縁体 2 7 3 a と、酸化物 2 4 3 b 上の導電体 2 4 2 b と、導電体 2 4 2 b 上の絶縁体 2 7 1 b と、絶縁体 2 7 1 b 上の絶縁体 2 7 3 b と、酸化物 2 3 0 b 上の絶縁体 2 5 0 と、絶縁体 2 5 0 上に位置し、酸化物 2 3 0 b の一部と重なる導電体 2 6 0 (導電体 2 6 0 a、および導電体 2 6 0 b) と、酸化物 2 3 0 b の側面、酸化物 2 4 3 a の側面および導電体 2 4 2 a の側面に接する絶縁体 2 7 2 a と、酸化物 2 3 0 b の側面、酸化物 2 4 3 b の側面および導電体 2 4 2 b の側面に接する絶縁体 2 7 2 b と、絶縁体 2 2 4、絶縁体 2 7 2 a、絶縁体 2 7 2 b、絶縁体 2 7 3 a、および絶縁体 2 7 3 b の上に配置される絶縁体 2 7 5 と、を有する。ここで、図 1 B および図 1 C に示すように、導電体 2 6 0 の上面は、絶縁体 2 5 0 の上面の少なくとも一部、および絶縁体 2 8 0 の上面の少なくとも一部と、高さが略一致するように配置される。また、絶縁体 2 8 2 は、導電体 2 6 0、絶縁体 2 5 0、および絶縁体 2 8 0 のそれぞれの上面の少なくとも一部と接する。

10

【 0 0 4 9 】

なお、以下において、酸化物 2 3 0 a と酸化物 2 3 0 b をまとめて酸化物 2 3 0 と呼ぶ場合がある。また、絶縁体 2 7 1 a と絶縁体 2 7 1 b をまとめて絶縁体 2 7 1 と呼ぶ場合がある。また、絶縁体 2 7 2 a と絶縁体 2 7 2 b をまとめて絶縁体 2 7 2 と呼ぶ場合がある。また、絶縁体 2 7 3 a と絶縁体 2 7 3 b をまとめて絶縁体 2 7 3 と呼ぶ場合がある。また、導電体 2 4 2 a と導電体 2 4 2 b をまとめて導電体 2 4 2 と呼ぶ場合がある。

20

【 0 0 5 0 】

絶縁体 2 8 0 および絶縁体 2 7 5 には、酸化物 2 3 0 b に達する開口が設けられる。当該開口内に、絶縁体 2 5 0、および導電体 2 6 0 が配置されている。また、トランジスタ 2 0 0 のチャンネル長方向において、絶縁体 2 7 1 a、絶縁体 2 7 3 a、導電体 2 4 2 a および酸化物 2 4 3 a と、絶縁体 2 7 1 b、絶縁体 2 7 3 b、導電体 2 4 2 b および酸化物 2 4 3 b と、の間に導電体 2 6 0、および絶縁体 2 5 0 が設けられている。絶縁体 2 5 0 は、導電体 2 6 0 の側面と接する領域と、導電体 2 6 0 の底面と接する領域と、を有する。

【 0 0 5 1 】

酸化物 2 3 0 は、絶縁体 2 2 4 の上に配置された酸化物 2 3 0 a と、酸化物 2 3 0 a の上に配置された酸化物 2 3 0 b と、を有することが好ましい。酸化物 2 3 0 b 下に酸化物 2 3 0 a を有することで、酸化物 2 3 0 a よりも下方に形成された構造物から、酸化物 2 3 0 b への不純物の拡散を抑制することができる。

30

【 0 0 5 2 】

なお、トランジスタ 2 0 0 では、酸化物 2 3 0 が、酸化物 2 3 0 a、および酸化物 2 3 0 b の 2 層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物 2 3 0 b の単層、または 3 層以上の積層構造を設ける構成にしてもよいし、酸化物 2 3 0 a、および酸化物 2 3 0 b のそれぞれが積層構造を有していてもよい。

【 0 0 5 3 】

導電体 2 6 0 は、第 1 のゲート (トップゲートともいう。) 電極として機能し、導電体 2 0 5 は、第 2 のゲート (バックゲートともいう。) 電極として機能する。また、絶縁体 2 5 0 は、第 1 のゲート絶縁体として機能し、絶縁体 2 2 4 は、第 2 のゲート絶縁体として機能する。また、導電体 2 4 2 a は、ソースまたはドレインの一方として機能し、導電体 2 4 2 b は、ソースまたはドレインの他方として機能する。また、酸化物 2 3 0 の導電体 2 6 0 と重畳する領域の少なくとも一部はチャンネル形成領域として機能する。

40

【 0 0 5 4 】

ここで、図 1 B におけるチャンネル形成領域近傍の拡大図を図 2 に示す。図 2 に示すように、酸化物 2 3 0 b は、トランジスタ 2 0 0 のチャンネル形成領域として機能する領域 2 3 0 b c と、領域 2 3 0 b c を挟むように設けられ、ソース領域またはドレイン領域として機能する領域 2 3 0 b a および領域 2 3 0 b b と、を有する。領域 2 3 0 b c は、少なく

50

とも一部が導電体 2 6 0 と重畳している。言い換えると、領域 2 3 0 b c は、導電体 2 4 2 a と導電体 2 4 2 b の間の領域に設けられている。領域 2 3 0 b a は、導電体 2 4 2 a に重畳して設けられており、領域 2 3 0 b b は、導電体 2 4 2 b に重畳して設けられている。

【 0 0 5 5 】

チャネル形成領域として機能する領域 2 3 0 b c は、領域 2 3 0 b a および領域 2 3 0 b b よりも、酸素欠損が少なく、または不純物濃度が低いため、キャリア濃度が低い高抵抗領域である。また、ソース領域またはドレイン領域として機能する領域 2 3 0 b a および領域 2 3 0 b b は、酸素欠損が多く、または水素や、窒素や、金属元素などの不純物濃度が高い、ことでキャリア濃度が増加し、低抵抗化した領域である。すなわち、領域 2 3 0 b a および領域 2 3 0 b b は、領域 2 3 0 b c と比較して、キャリア濃度が高く、低抵抗な領域である。

10

【 0 0 5 6 】

ここで、チャネル形成領域として機能する領域 2 3 0 b c のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域として機能する領域 2 3 0 b c のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

【 0 0 5 7 】

また、領域 2 3 0 b c と領域 2 3 0 b a または領域 2 3 0 b b との間に、キャリア濃度が、領域 2 3 0 b a および領域 2 3 0 b b のキャリア濃度と同等、またはそれよりも低く、領域 2 3 0 b c のキャリア濃度と同等、またはそれよりも高い、領域が形成されていてもよい。つまり、当該領域は、領域 2 3 0 b c と領域 2 3 0 b a または領域 2 3 0 b b との接合領域として機能する。当該接合領域は、水素濃度が、領域 2 3 0 b a および領域 2 3 0 b b の水素濃度と同等、またはそれよりも低く、領域 2 3 0 b c の水素濃度と同等、またはそれよりも高くなる場合がある。また、当該接合領域は、酸素欠損が、領域 2 3 0 b a および領域 2 3 0 b b の酸素欠損と同等、またはそれよりも少なく、領域 2 3 0 b c の酸素欠損と同等、またはそれよりも多くなる場合がある。

20

【 0 0 5 8 】

なお、図 2 では、領域 2 3 0 b a、領域 2 3 0 b b、および領域 2 3 0 b c が酸化物 2 3 0 b に形成される例について示しているが、本発明はこれに限られるものではない。例えば、上記の各領域が酸化物 2 3 0 b だけでなく、酸化物 2 3 0 a まで形成されてもよい。

30

【 0 0 5 9 】

また、酸化物 2 3 0 において、各領域の境界を明確に検出することが困難な場合がある。各領域内で検出される金属元素、ならびに水素、および窒素などの不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化していてもよい。つまり、チャネル形成領域に近い領域であるほど、金属元素、ならびに水素、および窒素などの不純物元素の濃度が減少していればよい。

【 0 0 6 0 】

トランジスタ 2 0 0 は、チャネル形成領域を含む酸化物 2 3 0 (酸化物 2 3 0 a、および酸化物 2 3 0 b) に、半導体として機能する金属酸化物 (以下、酸化物半導体ともいう。) を用いることが好ましい。

40

【 0 0 6 1 】

また、半導体として機能する金属酸化物は、バンドギャップが 2 e V 以上、好ましくは 2 . 5 e V 以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

【 0 0 6 2 】

酸化物 2 3 0 として、例えば、インジウム、元素 M および亜鉛を有する $\text{In} - \text{M} - \text{Zn}$ 酸化物 (元素 M は、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリ

50

リウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タンゲステン、またはマグネシウムなどから選ばれた一種、または複数種)等の金属酸化物を用いるとよい。また、酸化物230として、In-M酸化物、In-Ga酸化物、In-Zn酸化物、インジウム酸化物、M-Zn酸化物、元素Mの酸化物を用いてもよい。

【0063】

ここで、酸化物230bに用いる金属酸化物における、元素Mに対するInの原子数比が、酸化物230aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

【0064】

このように、酸化物230bの下に酸化物230aを配置することで、酸化物230aよりも下方に形成された構造物からの、酸化物230bに対する、不純物および酸素の拡散を抑制することができる。

【0065】

また、酸化物230aおよび酸化物230bが、酸素以外に共通の元素を有する(主成分とする)ことで、酸化物230aと酸化物230bの界面における欠陥準位密度が低くすることができる。酸化物230aと酸化物230bとの界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

【0066】

酸化物230bは、それぞれ結晶性を有することが好ましい。特に、酸化物230bとして、CAAC-OS(c-axis aligned crystalline oxide semiconductor)を用いることが好ましい。

【0067】

CAAC-OSは、結晶性の高い、緻密な構造を有しており、不純物や欠陥(例えば、酸素欠損(V_O)など)が少ない金属酸化物である。特に、金属酸化物の形成後に、金属酸化物が多結晶化しない程度の温度(例えば、400以上600以下)で加熱処理することで、CAAC-OSをより結晶性の高い、緻密な構造にすることができる。このようにして、CAAC-OSの密度をより高めることで、当該CAAC-OS中の不純物または酸素の拡散をより低減することができる。

【0068】

一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

【0069】

酸化物半導体を用いたトランジスタは、酸化物半導体中のチャンネルが形成される領域に不純物および酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥(以下、 V_OH と呼ぶ場合がある。)を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャンネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性(ゲート電極に電圧を印加しなくてもチャンネルが存在し、トランジスタに電流が流れる特性)となりやすい。したがって、酸化物半導体中のチャンネルが形成される領域では、不純物、酸素欠損、および V_OH はできる限り低減されていることが好ましい。言い換えると、酸化物半導体中のチャンネルが形成される領域は、キャリア濃度が低減され、i型(真性化)または実質的にi型であることが好ましい。

【0070】

これに対して、酸化物半導体の近傍に、加熱により脱離する酸素(以下、過剰酸素と呼ぶ場合がある。)を含む絶縁体を設け、熱処理を行うことで、当該絶縁体から酸化物半導体に酸素を供給し、酸素欠損、および V_OH を低減することができる。ただし、ソース領

10

20

30

40

50

域またはドレイン領域に過剰な量の酸素が供給されると、トランジスタ200のオン電流の低下、または電界効果移動度の低下を引き起こすおそれがある。さらに、ソース領域またはドレイン領域に供給される酸素が基板面内でばらつくことで、トランジスタを有する半導体装置の特性にばらつきが出ることになる。

【0071】

よって、酸化物半導体中において、チャネル形成領域として機能する領域230bcは、キャリア濃度が低減され、i型または実質的にi型であることが好ましいが、ソース領域またはドレイン領域として機能する領域230baおよび領域230bbは、キャリア濃度が高く、n型であることが好ましい。つまり、酸化物半導体の領域230bcの酸素欠損、および V_{OH} を低減し、領域230baおよび領域230bbには過剰な量の酸素が供給されないようにすることが好ましい。

10

【0072】

そこで、本実施の形態では、酸化物230b上に導電体242aおよび導電体242bを設けた状態で、酸素を含む雰囲気でもマイクロ波処理を行い、領域230bcの酸素欠損、および V_{OH} の低減を図る。ここで、マイクロ波処理とは、例えばマイクロ波を用いて高密度プラズマを発生させる電源を有する装置を用いた処理のことを指す。

【0073】

酸素を含む雰囲気でもマイクロ波処理を行うことで、マイクロ波、またはRF等の高周波を用いて酸素ガスをプラズマ化し、当該酸素プラズマを作用させることができる。このとき、マイクロ波、またはRF等の高周波を領域230bcに照射することもできる。プラズマ、マイクロ波などの作用により、領域230bcの V_{OH} を分断し、水素Hを領域230bcから除去し、酸素欠損 V_O を酸素で補填することができる。つまり、領域230bcにおいて、「 $V_{OH} \rightarrow H + V_O$ 」という反応が起きて、領域230bcの水素濃度を低減することができる。よって、領域230bc中の酸素欠損、および V_{OH} を低減し、キャリア濃度を低下させることができる。

20

【0074】

また、酸素を含む雰囲気でもマイクロ波処理を行う際、マイクロ波、またはRF等の高周波、酸素プラズマなどの作用は、導電体242aおよび導電体242bに遮蔽され、領域230baおよび領域230bbには及ばない。さらに、酸素プラズマの作用は、酸化物230b、および導電体242を覆って設けられている、絶縁体271、絶縁体273、絶縁体275、および絶縁体280によって、低減することができる。これにより、マイクロ波処理の際に、領域230baおよび領域230bbで、 V_{OH} の低減、および過剰な量の酸素供給が発生しないので、キャリア濃度の低下を防ぐことができる。

30

【0075】

このようにして、酸化物半導体の領域230bcで選択的に酸素欠損、および V_{OH} を除去して、領域230bcをi型または実質的にi型とすることができる。さらに、ソース領域またはドレイン領域として機能する領域230baおよび領域230bbに過剰な酸素が供給されるのを抑制し、n型を維持することができる。これにより、トランジスタ200の電気特性の変動を抑制し、基板面内でトランジスタ200の電気特性がばらつくのを抑制することができる。

40

【0076】

以上のような構成にすることで、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。また、信頼性が良好な半導体装置を提供することができる。また、良好な電気特性を有する半導体装置を提供することができる。

【0077】

なお、図1などにおいて、導電体260等を埋め込む開口の側面が、酸化物230bの溝部も含めて、酸化物230bの被形成面に対して概略垂直となっているが、本実施の形態はこれに限られるものではない。例えば、当該開口の底部が緩やかな曲面を有する、U字型の形状となってもよい。また、例えば、当該開口の側面が酸化物230bの被形成面に対して傾斜していてもよい。

50

【0078】

また、図1Cに示すように、トランジスタ200のチャネル幅方向の断面視において、酸化物230bの側面と酸化物230bの上面との間に、湾曲面を有してもよい。つまり、当該側面の端部と当該上面の端部は、湾曲してもよい(ラウンド状ともいう。)

【0079】

上記湾曲面での曲率半径は、0nmより大きく、導電体242と重なる領域の酸化物230bの膜厚より小さい、または、上記湾曲面を有さない領域の長さの半分より小さいことが好ましい。上記湾曲面での曲率半径は、具体的には、0nmより大きく20nm以下、好ましくは1nm以上15nm以下、さらに好ましくは2nm以上10nm以下とする。このような形状にすることで、絶縁体250および導電体260の、酸化物230bへの被覆性を高めることができる。

10

【0080】

酸化物230は、化学組成が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物230aに用いる金属酸化物において、主成分である金属元素に対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、主成分である金属元素に対する元素Mの原子数比より、大きいことが好ましい。また、酸化物230aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物230bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物230aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

20

【0081】

また、酸化物230bは、CAAC-Osなどの結晶性を有する酸化物であることが好ましい。CAAC-Osなどの結晶性を有する酸化物は、不純物や欠陥(酸素欠損など)が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、酸化物230bからの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物230bから酸素が引き抜かれることを低減できるので、トランジスタ200は、製造工程における高い温度(所謂サーマルバジェット)に対して安定である。

【0082】

ここで、酸化物230aと酸化物230bの接合部において、伝導帯下端はなだらかに変化する。換言すると、酸化物230aと酸化物230bの接合部における伝導帯下端は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物230aと酸化物230bとの界面に形成される混合層の欠陥準位密度を低くするとよい。

30

【0083】

具体的には、酸化物230aと酸化物230bが、酸素以外に共通の元素を主成分として有することで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物230bがIn-M-Zn酸化物の場合、酸化物230aとして、In-M-Zn酸化物、M-Zn酸化物、元素Mの酸化物、In-Zn酸化物、インジウム酸化物などを用いてもよい。

40

【0084】

具体的には、酸化物230aとして、In:M:Zn=1:3:4[原子数比]もしくはその近傍の組成、またはIn:M:Zn=1:1:0.5[原子数比]もしくはその近傍の組成の金属酸化物を用いればよい。また、酸化物230bとして、In:M:Zn=1:1:1[原子数比]もしくはその近傍の組成、またはIn:M:Zn=4:2:3[原子数比]もしくはその近傍の組成の金属酸化物を用いればよい。なお、近傍の組成とは、所望の原子数比の±30%の範囲を含む。また、元素Mとして、ガリウムを用いることが好ましい。

【0085】

50

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であってもよい。

【0086】

酸化物230aおよび酸化物230bを上述の構成とすることで、酸化物230aと酸化物230bとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ200は大きいオン電流、および高い周波数特性を得ることができる。

【0087】

絶縁体212、絶縁体214、絶縁体271、絶縁体272、絶縁体275、絶縁体282、絶縁体283、および絶縁体286の少なくとも一は、水、水素などの不純物が、基板側から、または、トランジスタ200の上方からトランジスタ200に拡散するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体212、絶縁体214、絶縁体271、絶縁体272、絶縁体275、絶縁体282、絶縁体283、および絶縁体286の少なくとも一は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい)絶縁性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する(上記酸素が透過しにくい)絶縁性材料を用いることが好ましい。

【0088】

なお、本明細書において、バリア絶縁膜とは、バリア性を有する絶縁膜のことを指す。本明細書において、バリア性とは、対応する物質の拡散を抑制する機能(透過性が低いともいう)のことを指す。または、対応する物質を、捕獲、および固着する(ゲッタリングともいう)機能のことを指す。

【0089】

絶縁体212、絶縁体214、絶縁体271、絶縁体272、絶縁体275、絶縁体282、絶縁体283、および絶縁体286としては、水、水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁体を用いることが好ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、または窒化酸化シリコンなどを用いることができる。例えば、絶縁体212、絶縁体272、絶縁体283、および絶縁体286として、より水素バリア性が高い、窒化シリコンなどを用いることが好ましい。また、例えば、絶縁体214、絶縁体271、絶縁体275、および絶縁体282として、水素を捕獲および水素を固着する機能が高い、酸化アルミニウムまたは酸化マグネシウムなどを用いることが好ましい。これにより、水、水素などの不純物が絶縁体212、および絶縁体214を介して、基板側からトランジスタ200側に拡散するのを抑制することができる。または、水、水素などの不純物が絶縁体286よりも外側に配置されている層間絶縁膜などから、トランジスタ200側に拡散するのを抑制することができる。または、絶縁体224などに含まれる酸素が、絶縁体212、および絶縁体214を介して基板側に、拡散するのを抑制することができる。または、絶縁体280などに含まれる酸素が、絶縁体282などを介してトランジスタ200より上方に、拡散するのを抑制することができる。この様に、トランジスタ200を、水、水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁体212、絶縁体214、絶縁体271、絶縁体272、絶縁体275、絶縁体282、絶縁体283、および絶縁体286で取り囲む構造とすることが好ましい。

【0090】

ここで、絶縁体212、絶縁体214、絶縁体271、絶縁体272、絶縁体275、絶縁体282、絶縁体283、および絶縁体286として、アモルファス構造を有する酸化物を用いることが好ましい。例えば、 AlO_x (x は0より大きい任意数)、または MgO_y (y は0より大きい任意数)などの金属酸化物を用いることが好ましい。このようなアモルファス構造を有する金属酸化物では、酸素原子がダングリングボンドを有してお

り、当該ダングリングボンドで水素を捕獲または固着する性質を有する場合がある。このようなアモルファス構造を有する金属酸化物をトランジスタ200の構成要素として用いる、またはトランジスタ200の周囲に設けることで、トランジスタ200に含まれる水素、またはトランジスタ200の周囲に存在する水素を捕獲または固着することができる。特にトランジスタ200のチャンネル形成領域に含まれる水素を捕獲または固着することが好ましい。アモルファス構造を有する金属酸化物をトランジスタ200の構成要素として用いる、またはトランジスタ200の周囲に設けることで、良好な特性を有し、信頼性の高いトランジスタ200、および半導体装置を作製することができる。

【0091】

また、絶縁体212、絶縁体214、絶縁体271、絶縁体272、絶縁体275、絶縁体282、絶縁体283、および絶縁体286は、アモルファス構造であることが好ましいが、一部に多結晶構造の領域が形成されていてもよい。また、絶縁体212、絶縁体214、絶縁体271、絶縁体272、絶縁体275、絶縁体282、絶縁体283、および絶縁体286は、アモルファス構造の層と、多結晶構造の層と、が積層された多層構造であってもよい。例えば、アモルファス構造の層の上に多結晶構造の層が形成された積層構造でもよい。

10

【0092】

絶縁体212、絶縁体214、絶縁体271、絶縁体272、絶縁体275、絶縁体282、絶縁体283、および絶縁体286の成膜は、例えば、スパッタリング法を用いて行えばよい。スパッタリング法は、成膜ガスに水素を用いなくてよいので、絶縁体212、絶縁体214、絶縁体271、絶縁体272、絶縁体275、絶縁体282、絶縁体283、および絶縁体286の水素濃度を低減することができる。なお、成膜方法は、スパッタリング法に限られるものではなく、化学気相成長(CVD: Chemical Vapor Deposition)法、分子線エピタキシー(MBE: Molecular Beam Epitaxy)法、パルスレーザ堆積(PLD: Pulsed Laser Deposition)法、原子層堆積(ALD: Atomic Layer Deposition)法などを適宜用いてもよい。

20

【0093】

また、絶縁体212、絶縁体283、および絶縁体286の抵抗率を低くすることが好ましい場合がある。例えば、絶縁体212、絶縁体283、および絶縁体286の抵抗率を概略 1×10^{13} cmとすることで、半導体装置作製工程のプラズマ等を用いる処理において、絶縁体212、絶縁体283、および絶縁体286が、導電体205、導電体242、導電体260、または導電体246のチャージアップを緩和することができる場合がある。絶縁体212、絶縁体283、および絶縁体286の抵抗率は、好ましくは、 1×10^{10} cm以上 1×10^{15} cm以下とする。

30

【0094】

また、絶縁体216、および絶縁体280は、絶縁体214よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体216、および絶縁体280として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを適宜用いればよい。

40

【0095】

導電体205は、酸化物230、および導電体260と、重なるように配置する。ここで、導電体205は、絶縁体216に形成された開口に埋め込まれて設けることが好ましい。なお、導電体205の一部が、絶縁体214に埋め込まれるように設けられてもよい。

【0096】

導電体205は、導電体205a、導電体205b、および導電体205cを有する。導電体205aは、当該開口の底面および側壁に接して設けられる。導電体205bは、導電体205aに形成された凹部に埋め込まれるように設けられる。ここで、導電体20

50

5 bの上面は、導電体205 aの上面および絶縁体216の上面より低くなる。導電体205 cは、導電体205 bの上面、および導電体205 aの側面に接して設けられる。ここで、導電体205 cの上面の高さは、導電体205 aの上面の高さおよび絶縁体216の上面の高さと略一致する。つまり、導電体205 bは、導電体205 aおよび導電体205 cに包み込まれる構成になる。

【0097】

ここで、導電体205 aおよび導電体205 cは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

10

【0098】

導電体205 aおよび導電体205 cに、水素の拡散を低減する機能を有する導電性材料を用いることにより、導電体205 bに含まれる水素などの不純物が、絶縁体224等を介して、酸化物230に拡散するのを防ぐことができる。また、導電体205 aおよび導電体205 cに、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体205 bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。したがって、導電体205 aとしては、上記導電性材料を単層または積層とすればよい。例えば、導電体205 aは、窒化チタンを用いればよい。

20

【0099】

また、導電体205 bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。例えば、導電体205 bは、タングステンをを用いればよい。

【0100】

導電体205は、第2のゲート電極として機能する場合がある。その場合、導電体205に印加する電位を、導電体260に印加する電位と、連動させず、独立して変化させることで、トランジスタ200のしきい値電圧(V_{th})を制御することができる。特に、導電体205に負の電位を印加することにより、トランジスタ200の V_{th} をより大きくし、オフ電流を低減することが可能となる。したがって、導電体205に負の電位を印加したほうが、印加しない場合よりも、導電体260に印加する電位が0Vのときのドレイン電流を小さくすることができる。

30

【0101】

また、導電体205の電気抵抗率は、上記の導電体205に印加する電位を考慮して設計され、導電体205の膜厚は当該電気抵抗率に合わせて設定される。また、絶縁体216の膜厚は、導電体205とほぼ同じになる。ここで、導電体205の設計が許す範囲で導電体205および絶縁体216の膜厚を薄くすることが好ましい。絶縁体216の膜厚を薄くすることで、絶縁体216中に含まれる水素などの不純物の絶対量を低減することができるので、当該不純物が酸化物230に拡散するのを低減することができる。

40

【0102】

なお、導電体205は、図1Aに示すように、酸化物230の導電体242 aおよび導電体242 bと重ならない領域の大きさよりも、大きく設けるとよい。特に、図1Cに示すように、導電体205は、酸化物230 aおよび酸化物230 bのチャンネル幅方向と交わる端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物230のチャンネル幅方向における側面の外側において、導電体205と、導電体260とは、絶縁体を介して重畳していることが好ましい。当該構成を有することで、第1のゲート電極として機能する導電体260の電界と、第2のゲート電極として機能する導電体205の電界によって、酸化物230のチャンネル形成領域を電氣的に取り囲むことができる。本明細書において、第1のゲート、および第2のゲートの電界によって、チャンネル形成領

50

域を電气的に取り囲むトランジスタの構造を、surrounded channel (S-channel) 構造とよぶ。

【0103】

なお、本明細書等において、S-channel 構造のトランジスタとは、一对のゲート電極の一方および他方の電界によって、チャンネル形成領域を電气的に取り囲むトランジスタの構造を表す。また、本明細書等で開示する S-channel 構造は、Fin 型構造およびプレーナ型構造とは異なる。S-channel 構造を採用することで、短チャンネル効果に対する耐性を高める、別言すると短チャンネル効果が発生し難いトランジスタとすることができる。

【0104】

また、図 1C に示すように、導電体 205 は延伸させて、配線としても機能させている。ただし、これに限られることなく、導電体 205 の下に、配線として機能する導電体を設ける構成にしてもよい。また、導電体 205 は、必ずしも各トランジスタに一個ずつ設ける必要はない。例えば、導電体 205 を複数のトランジスタで共有する構成にしてもよい。

【0105】

なお、トランジスタ 200 では、導電体 205 は、導電体 205 a、導電体 205 b、および導電体 205 c を積層する構成について示しているが、本発明はこれに限られるものではない。導電体 205 は、単層、2 層または 4 層以上の積層構造として設ける構成にしてもよい。例えば、導電体 205 a と導電体 205 b の 2 層構造にしてもよい。

【0106】

絶縁体 222、および絶縁体 224 は、ゲート絶縁体として機能する。

【0107】

絶縁体 222 は、水素（例えば、水素原子、水素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。また、絶縁体 222 は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体 222 は、絶縁体 224 よりも水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。

【0108】

絶縁体 222 は、絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体 222 を形成した場合、絶縁体 222 は、酸化物 230 から基板側への酸素の放出や、トランジスタ 200 の周辺部から酸化物 230 への水素等の不純物の拡散を抑制する層として機能する。よって、絶縁体 222 を設けることで、水素等の不純物が、トランジスタ 200 の内側へ拡散することを抑制し、酸化物 230 中の酸素欠損の生成を抑制することができる。また、導電体 205 が、絶縁体 224 や、酸化物 230 が有する酸素と反応することを抑制することができる。

【0109】

または、上記絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。または、これらの絶縁体を窒化処理してもよい。また、絶縁体 222 は、これらの絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

【0110】

また、絶縁体 222 は、例えば、酸化アルミニウム、酸化ハフニウム、酸化 tantalum、酸化ジルコニウム、チタン酸ジルコン酸鉛 (PZT)、チタン酸ストロンチウム (SrTiO₃)、(Ba, Sr)TiO₃ (BST) などのいわゆる high-k 材料を含む絶縁体を単層または積層で用いてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁

10

20

30

40

50

体として機能する絶縁体に high - k 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

【0111】

酸化物 230 と接する絶縁体 224 は、過剰酸素を含む（加熱により酸素を脱離する）ことが好ましい。例えば、絶縁体 224 は、酸化シリコン、酸化窒化シリコンなどを適宜用いればよい。酸素を含む絶縁体を酸化物 230 に接して設けることにより、酸化物 230 中の酸素欠損を低減し、トランジスタ 200 の信頼性を向上させることができる。

【0112】

絶縁体 224 として、具体的には、加熱により一部の酸素が脱離する酸化物材料、別言すると、過剰酸素領域を有する絶縁体材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素分子の脱離量が 1.0×10^{18} molecules / cm^3 以上、好ましくは 1.0×10^{19} molecules / cm^3 以上、さらに好ましくは 2.0×10^{19} molecules / cm^3 以上、または 3.0×10^{20} molecules / cm^3 以上である酸化膜である。なお、上記 TDS 分析時における膜の表面温度としては 100 以上 700 以下、または 100 以上 400 以下の範囲が好ましい。

10

【0113】

また、トランジスタ 200 の作製工程中において、酸化物 230 の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、100 以上 600 以下、より好ましくは 350 以上 550 以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを 10 ppm 以上、1% 以上、もしくは 10% 以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物 230 に酸素を供給して、酸素欠損 (V_O) の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気中で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを 10 ppm 以上、1% 以上、または 10% 以上含む雰囲気で行ってもよい。または、酸化性ガスを 10 ppm 以上、1% 以上、または 10% 以上含む雰囲気中で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気中で加熱処理を行っても良い。

20

【0114】

なお、酸化物 230 に加酸素化処理を行うことで、酸化物 230 中の酸素欠損を、供給された酸素により修復させる、別言すると「 $V_O + O \rightarrow \text{null}$ 」という反応を促進させることができる。さらに、酸化物 230 中に残存した水素に供給された酸素が反応することで、当該水素を H_2O として除去する（脱水化する）ことができる。これにより、酸化物 230 中に残存していた水素が酸素欠損に再結合して V_OH が形成されるのを抑制することができる。

30

【0115】

なお、絶縁体 222、および絶縁体 224 が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。また、絶縁体 224 は、酸化物 230 a と重畳して島状に形成してもよい。この場合、絶縁体 275 が、絶縁体 224 の側面および絶縁体 222 の上面に接する構成になる。

40

【0116】

酸化物 243 a、および酸化物 243 b が、酸化物 230 b 上に設けられる。酸化物 243 a と酸化物 243 b は、導電体 260 を挟んで隔離して設けられる。

【0117】

酸化物 243（酸化物 243 a、および酸化物 243 b）は、酸素の透過を抑制する機能を有することが好ましい。ソース電極やドレイン電極として機能する導電体 242 と酸化物 230 b との間に酸素の透過を抑制する機能を有する酸化物 243 を配置することで、導電体 242 と、酸化物 230 b との間の電気抵抗が低減されるので好ましい。このような構成とすることで、トランジスタ 200 の電気特性およびトランジスタ 200 の信頼性を向上させることができる。なお、導電体 242 と酸化物 230 b の間の電気抵抗を十

50

分低減できる場合、酸化物 2 4 3 を設けない構成にしてもよい。

【 0 1 1 8 】

酸化物 2 4 3 として、元素 M を有する金属酸化物を用いてもよい。特に、元素 M は、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。酸化物 2 4 3 は、酸化物 2 3 0 b よりも元素 M の濃度が高いことが好ましい。また、酸化物 2 4 3 として、酸化ガリウムを用いてもよい。また、酸化物 2 4 3 として、In - M - Zn 酸化物等の金属酸化物を用いてもよい。具体的には、酸化物 2 4 3 に用いる金属酸化物において、In に対する元素 M の原子数比が、酸化物 2 3 0 b に用いる金属酸化物における、In に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 2 4 3 の膜厚は、0 . 5 nm 以上 5 nm 以下が好ましく、より好ましくは 1 nm 以上 3 nm 以下、さらに好ましくは 1 nm 以上 2 nm 以下である。また、酸化物 2 4 3 は、結晶性を有すると好ましい。酸化物 2 4 3 が結晶性を有する場合、酸化物 2 3 0 中の酸素の放出を好適に抑制することが出来る。例えば、酸化物 2 4 3 としては、六方晶などの結晶構造であれば、酸化物 2 3 0 中の酸素の放出を抑制できる場合がある。

10

【 0 1 1 9 】

導電体 2 4 2 a は酸化物 2 4 3 a の上面に接して設けられ、導電体 2 4 2 b は、酸化物 2 4 3 b の上面に接して設けられることが好ましい。導電体 2 4 2 a および導電体 2 4 2 b は、それぞれトランジスタ 2 0 0 のソース電極またはドレイン電極として機能する。

【 0 1 2 0 】

導電体 2 4 2 (導電体 2 4 2 a 、 および導電体 2 4 2 b) としては、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタルおよびアルミニウムを含む窒化物、チタンおよびアルミニウムを含む窒化物などを用いることが好ましい。本発明の一態様においては、タンタルを含む窒化物が特に好ましい。また、例えば、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いてもよい。これらの材料は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

20

【 0 1 2 1 】

なお、酸化物 2 3 0 b などに含まれる水素が、導電体 2 4 2 a または導電体 2 4 2 b に拡散する場合がある。特に、導電体 2 4 2 a および導電体 2 4 2 b に、タンタルを含む窒化物を用いることで、酸化物 2 3 0 b などに含まれる水素は、導電体 2 4 2 a または導電体 2 4 2 b に拡散しやすく、拡散した水素は、導電体 2 4 2 a または導電体 2 4 2 b が有する窒素と結合することがある。つまり、酸化物 2 3 0 b などに含まれる水素は、導電体 2 4 2 a または導電体 2 4 2 b に吸い取られる場合がある。

30

【 0 1 2 2 】

また、導電体 2 4 2 の側面と導電体 2 4 2 の上面との間に、湾曲面が形成されないことが好ましい。当該湾曲面が形成されない導電体 2 4 2 とすることで、図 1 D に示すような、チャンネル幅方向の断面における、導電体 2 4 2 の断面積を大きくすることができる。これにより、導電体 2 4 2 の導電率を大きくし、トランジスタ 2 0 0 のオン電流を大きくすることができる。

40

【 0 1 2 3 】

絶縁体 2 7 1 a は、導電体 2 4 2 a の上面に接して設けられており、絶縁体 2 7 1 b は、導電体 2 4 2 b の上面に接して設けられている。絶縁体 2 7 1 は、少なくとも酸素に対するバリア絶縁膜として機能することが好ましい。したがって、絶縁体 2 7 1 は、酸素の拡散を抑制する機能を有することが好ましい。例えば、絶縁体 2 7 1 は、絶縁体 2 8 0 よりも酸素の拡散を抑制する機能を有することが好ましい。絶縁体 2 7 1 としては、例えば、窒化シリコンなどのシリコンを含む窒化物を用いればよい。また、絶縁体 2 7 1 は、水素などの不純物を捕獲する機能を有することが好ましい。その場合、絶縁体 2 7 1 としては、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウムまたは酸化マグネシウムなどの絶縁体を用いればよい。特に、絶縁体 2 7 1 として、アモルファス構造を有

50

する酸化アルミニウム、またはアモルファス構造の酸化アルミニウムを用いることで、より効果的に水素を捕獲または固着できる場合があるため好ましい。これにより、良好な特性を有し、信頼性の高いトランジスタ 200、および半導体装置を作製することができる。

【0124】

絶縁体 273 a は、絶縁体 271 a の上面に接して設けられており、絶縁体 273 b は、絶縁体 271 b の上面に接して設けられている。また、絶縁体 273 a の上面は絶縁体 275 に接し、絶縁体 273 a の側面は絶縁体 250 に接することが好ましい。また、絶縁体 273 b の上面は絶縁体 275 に接し、絶縁体 273 b の側面は絶縁体 250 に接することが好ましい。絶縁体 273 は、絶縁体 224 と同様に、過剰酸素領域または過剰酸素を有することが好ましい。また、絶縁体 273 中の水、水素などの不純物濃度は低減されていることが好ましい。例えば、絶縁体 273 は、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコンなどのシリコンを含む酸化物または窒化物を適宜用いればよい。過剰酸素を有する絶縁体を絶縁体 250 に接して設けることにより、絶縁体 250 を介して酸化物 230 に拡散した酸素が、酸化物 230 中の酸素欠損を低減し、トランジスタ 200 の信頼性を向上させることができる。

10

【0125】

なお、絶縁体 224 および絶縁体 280 から酸化物 230 に十分な酸素を供給できる場合、絶縁体 273 を設けない構成にしてもよい。

【0126】

絶縁体 272 a は、酸化物 230 a、酸化物 230 b、酸化物 243 a、導電体 242 a、絶縁体 271 a、および絶縁体 273 a の側面に接して設けられており、絶縁体 272 b は、酸化物 230 a、酸化物 230 b、酸化物 243 b、導電体 242 b、絶縁体 271 b、および絶縁体 273 b の側面に接して設けられる。また、絶縁体 272 a および絶縁体 272 b は、絶縁体 224 の上面に接して設けられる。絶縁体 272 は少なくとも酸素に対するバリア絶縁膜として機能することが好ましい。したがって、絶縁体 272 は、酸素の拡散を抑制する機能を有することが好ましい。例えば、絶縁体 272 は、絶縁体 280 よりも酸素の拡散を抑制する機能を有することが好ましい。絶縁体 272 としては、例えば、窒化シリコンなどのシリコンを含む窒化物を用いればよい。

20

【0127】

上記のような絶縁体 271 および絶縁体 272 を設けることで、酸素に対するバリア性を有する絶縁体で導電体 242 を包み込むことができる。つまり、絶縁体 275 成膜時に添加される酸素、または絶縁体 273 に含まれる酸素が、導電体 242 に拡散するのを防ぐことができる。これにより、絶縁体 275 成膜時に添加される酸素、または絶縁体 273 に含まれる酸素などによって、導電体 242 が直接酸化されて抵抗率が増大し、オン電流が低減するのを抑制することができる。

30

【0128】

なお、図 1 B などにおいて、絶縁体 272 が、酸化物 230 a、酸化物 230 b、酸化物 243、導電体 242、絶縁体 271、および絶縁体 273 の側面に接する構成について示したが、絶縁体 272 は、少なくとも絶縁体 271 および導電体 242 の側面に接していればよい。例えば、絶縁体 272 が酸化物 230 a、酸化物 230 b、酸化物 243、導電体 242、および絶縁体 271 の側面に接し、絶縁体 273 に接していない構成になる場合もある。この場合、絶縁体 273 の側面が絶縁体 275 に接することになる。

40

【0129】

なお、絶縁体 275 が酸素などに対して十分なバリア性を有する場合、絶縁体 271 および絶縁体 272 の一方または両方を設けない構成にしてもよい。

【0130】

絶縁体 275 は、絶縁体 224、絶縁体 272、および絶縁体 273 を覆って設けられており、絶縁体 250、および導電体 260 が設けられる領域に開口が形成されている。絶縁体 275 は、絶縁体 224 の上面、絶縁体 272 の側面、および絶縁体 273 の上面に接して設けられることが好ましい。また、絶縁体 275 は、酸素の透過を抑制するバリ

50

ア絶縁膜として機能することが好ましい。また、絶縁体 275 は、水、水素などの不純物が、上方から絶縁体 224、または絶縁体 273 に拡散するのを抑制するバリア絶縁膜として機能することが好ましく、水素などの不純物を捕獲する機能を有することが好ましい。その場合、絶縁体 275 としては、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウムまたは酸化マグネシウムなどの絶縁体を含むことが好ましい。絶縁体 275 としては、例えば、酸化アルミニウム、および窒化シリコンなどの絶縁体を単層で、または積層して用いればよい。絶縁体 275 として、酸化アルミニウム、および窒化シリコンを積層して用いる場合、酸化アルミニウムを絶縁体 224、絶縁体 272、および絶縁体 273 と接するように設け、該酸化アルミニウム上に窒化シリコンを設けることが好ましい。また、絶縁体 272 を設けない場合、絶縁体 275 は、酸化物 230a、酸化物 230b、酸化物 243、導電体 242、絶縁体 271 の側面と接する。また、絶縁体 275 の少なくとも一部に酸化アルミニウムを用いる場合、該酸化アルミニウムは、アモルファス構造を有する酸化アルミニウム、またはアモルファス構造の酸化アルミニウムであることが好ましい。アモルファス構造を有する金属酸化物、特に、アモルファス構造を有する酸化アルミニウム、およびアモルファス構造の酸化アルミニウムは、周囲に存在する水素を捕獲または固着することができる場合があるため、良好な特性を有し、信頼性の高いトランジスタ 200、および半導体装置を作製することができる。

10

【0131】

絶縁体 212 と絶縁体 283 に挟まれた領域内で、絶縁体 280、絶縁体 224、または絶縁体 273 に接して、水素などの不純物を捕獲する機能を有する、絶縁体 275 を設けることで、絶縁体 280、絶縁体 224、または絶縁体 273 などに含まれる水素などの不純物を捕獲し、当該領域内における、水素の量を一定値にすることができる。この場合は、絶縁体 275 として、酸化アルミニウムなどを用いることが好ましい。

20

【0132】

絶縁体 250 は、ゲート絶縁体として機能する。絶縁体 250 は、酸化物 230b の上面に接して配置することが好ましい。絶縁体 250 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

30

【0133】

絶縁体 250 は、絶縁体 224 と同様に、絶縁体 250 中の水、水素などの不純物濃度が低減されていることが好ましい。絶縁体 250 の膜厚は、1nm 以上 20nm 以下とするのが好ましい。

【0134】

なお、図 1B および図 1C では、絶縁体 250 を単層で図示したが、2層以上の積層構造としてもよい。絶縁体 250 を 2層の積層構造とする場合、絶縁体 250 の下層は、加熱により酸素が放出される絶縁体を用いて形成し、絶縁体 250 の上層は、酸素の拡散を抑制する機能を有する絶縁体を用いて形成することが好ましい。このような構成にすることで、絶縁体 250 の下層に含まれる酸素が、導電体 260 へ拡散するのを抑制することができる。つまり、酸化物 230 へ供給する酸素量の減少を抑制することができる。また、絶縁体 250 の下層に含まれる酸素による導電体 260 の酸化を抑制することができる。例えば、絶縁体 250 の下層は、上述した絶縁体 250 に用いることができる材料を用いて設け、絶縁体 250 の上層は、絶縁体 222 と同様の材料を用いて設けることができる。

40

【0135】

なお、絶縁体 250 の下層に酸化シリコンや酸化窒化シリコンなどを用いる場合、絶縁体 250 の上層は、比誘電率が高い high-k 材料である絶縁性材料を用いてもよい。ゲート絶縁体を、このような絶縁体 250 の下層と絶縁体 250 の上層との積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがっ

50

て、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚（EOT）の薄膜化が可能となる。

【0136】

絶縁体250の上層として、具体的には、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、マグネシウムなどから選ばれた一種、もしくは二種以上が含まれた金属酸化物、または酸化物230として用いることができる金属酸化物を用いることができる。特に、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体を用いることが好ましい。例えば、絶縁体250として、酸化シリコンと、該酸化シリコン上の酸化ハフニウムを含む積層構造を用いればよい。

10

【0137】

また、絶縁体250と導電体260との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体250から導電体260への酸素の拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体250から導電体260への酸素の拡散が抑制される。つまり、酸化物230へ供給する酸素量の減少を抑制することができる。また、絶縁体250の酸素による導電体260の酸化を抑制することができる。

【0138】

なお、上記金属酸化物は、第1のゲート電極の一部としての機能を有する構成にしてもよい。例えば、酸化物230として用いることができる金属酸化物を、上記金属酸化物として用いることができる。その場合、導電体260aをスパッタリング法で成膜することで、上記金属酸化物の電気抵抗値を低下させて導電体とすることができる。これをOC（Oxide Conductor）電極と呼ぶことができる。

20

【0139】

上記金属酸化物を有することで、導電体260からの電界の影響を弱めることなく、トランジスタ200のオン電流の向上を図ることができる。また、絶縁体250と、上記金属酸化物との物理的な厚みにより、導電体260と、酸化物230との間の距離を保つことで、導電体260と酸化物230との間のリーク電流を抑制することができる。また、絶縁体250、および上記金属酸化物との積層構造を設けることで、導電体260と酸化物230との間の物理的な距離、および導電体260から酸化物230へかかる電界強度を、容易に適宜調整することができる。

30

【0140】

導電体260は、トランジスタ200の第1のゲート電極として機能する。導電体260は、導電体260aと、導電体260aの上に配置された導電体260bと、を有することが好ましい。例えば、導電体260aは、導電体260bの底面および側面を包むように配置されることが好ましい。また、図1Bおよび図1Cに示すように、導電体260の上面の最上部は、絶縁体250の上面の最上部と略一致している。なお、図1Bおよび図1Cでは、導電体260は、導電体260aと導電体260bの2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。

【0141】

導電体260aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

40

【0142】

また、導電体260aが酸素の拡散を抑制する機能を持つことにより、絶縁体250に含まれる酸素により、導電体260bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。

50

【0143】

また、導電体260は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、導電体260bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体260bは積層構造としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層構造としてもよい。

【0144】

また、トランジスタ200では、導電体260は、絶縁体280などに形成されている開口を埋めるように自己整合的に形成される。導電体260をこのように形成することにより、導電体242aと導電体242bとの間の領域に、導電体260を位置合わせすることなく確実に配置することができる。

10

【0145】

また、図1Cに示すように、トランジスタ200のチャンネル幅方向において、絶縁体222の底面を基準としたときの、導電体260の、導電体260と酸化物230bとが重ならない領域の底面の高さは、酸化物230bの底面の高さより低いことが好ましい。ゲート電極として機能する導電体260が、絶縁体250などを介して、酸化物230bのチャンネル形成領域の側面および上面を覆う構成とすることで、導電体260の電界を酸化物230bのチャンネル形成領域全体に作用させやすくなる。よって、トランジスタ200のオン電流を増大させ、周波数特性を向上させることができる。絶縁体222の底面を基準としたときの、酸化物230aおよび酸化物230bと、導電体260とが、重ならない領域における導電体260の底面の高さと、酸化物230bの底面の高さと、の差は、0nm以上100nm以下、好ましくは、3nm以上50nm以下、より好ましくは、5nm以上20nm以下とする。

20

【0146】

絶縁体280は、絶縁体275上に設けられ、絶縁体250、および導電体260が設けられる領域に開口が形成されている。また、絶縁体280の上面は、平坦化されていてもよい。

【0147】

層間膜として機能する絶縁体280は、誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。絶縁体280は、例えば、絶縁体216と同様の材料を用いて設けることが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

30

【0148】

絶縁体280は、絶縁体224と同様に、過剰酸素領域または過剰酸素を有することが好ましい。また、絶縁体280中の水、水素などの不純物濃度は低減されていることが好ましい。例えば、絶縁体280は、酸化シリコン、酸化窒化シリコンなどのシリコンを含む酸化物を適宜用いればよい。過剰酸素を有する絶縁体を酸化物230に接して設けることにより、酸化物230中の酸素欠損を低減し、トランジスタ200の信頼性を向上させることができる。

40

【0149】

絶縁体282は、水、水素などの不純物が、上方から絶縁体280に拡散するのを抑制するバリア絶縁膜として機能することが好ましく、水素などの不純物を捕獲する機能を有することが好ましい。また、絶縁体282は、酸素の透過を抑制するバリア絶縁膜として機能することが好ましい。絶縁体282としては、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウムなどの絶縁体を用いればよい。絶縁体212と絶縁体283に挟まれた領域内で、絶縁体280に接して、水素などの不純物を捕獲する機能を有する、絶縁体282を設けることで、絶縁体280などに含まれる水素などの不純物を捕獲し、当該領域内における、水素の量を一定値にすることができる。特に、絶縁体282として、アモルファス構造を有する酸化アルミニウム、またはアモルファス構造の酸化アルミ

50

ニウムを用いることで、より効果的に水素を捕獲または固着できる場合があるため好ましい。これにより、良好な特性を有し、信頼性の高いトランジスタ 200、および半導体装置を作製することができる。

【0150】

絶縁体 283 は、水、水素などの不純物が、上方から絶縁体 280 に拡散するのを抑制するバリア絶縁膜として機能する。絶縁体 283 は、絶縁体 282 の上に配置される。絶縁体 283 としては、窒化シリコンまたは窒化酸化シリコンなどの、シリコンを含む窒化物を用いることが好ましい。例えば、絶縁体 283 としてスパッタリング法で成膜された窒化シリコンを用いればよい。絶縁体 283 をスパッタリング法で成膜することで、密度が高く、鬆などが形成されにくい窒化シリコン膜を形成することができる。また、絶縁体 283 として、スパッタリング法で成膜された窒化シリコンの上に、さらに、CVD 法で成膜された窒化シリコンを積層してもよい。

10

【0151】

導電体 240 a および導電体 240 b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体 240 a および導電体 240 b は積層構造としてもよい。

【0152】

また、導電体 240 を積層構造とする場合、絶縁体 283、絶縁体 282、絶縁体 280、絶縁体 275、絶縁体 273、および絶縁体 271 と接する導電体には、水、水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。また、水、水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。また、絶縁体 283 より上層に含まれる水、水素などの不純物が、導電体 240 a および導電体 240 b を通じて酸化物 230 に混入するのを抑制することができる。

20

【0153】

絶縁体 241 a および絶縁体 241 b としては、例えば、窒化シリコン、酸化アルミニウム、窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体 241 a および絶縁体 241 b は、絶縁体 283、絶縁体 282、絶縁体 275、および絶縁体 271 に接して設けられるので、絶縁体 280 などに含まれる水、水素などの不純物が、導電体 240 a および導電体 240 b を通じて酸化物 230 に混入するのを抑制することができる。特に、窒化シリコンは水素に対するバリア性が高いので好適である。また、絶縁体 280 に含まれる酸素が導電体 240 a および導電体 240 b に吸収されるのを防ぐことができる。

30

【0154】

また、導電体 240 a の上面、および導電体 240 b の上面に接して配線として機能する導電体 246 (導電体 246 a、および導電体 246 b) を配置してもよい。導電体 246 は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層としてもよい。なお、当該導電体は、絶縁体に設けられた開口に埋め込むように形成してもよい。

40

【0155】

絶縁体 286 は、導電体 246 上、および絶縁体 283 上に設けられる。これにより、導電体 246 の上面、および導電体 246 の側面は、絶縁体 286 と接し、導電体 246 の下面は、絶縁体 283 と接する。つまり、導電体 246 は、絶縁体 283、および絶縁体 286 で包まれる構成とすることができる。この様な構成とすることで、外方からの酸素の透過を抑制し、導電体 246 の酸化を防止することができる。また、導電体 246 から、水、水素などの不純物が外部に拡散することを防ぐことができるので好ましい。

【0156】

<半導体装置の構成材料>

以下では、半導体装置に用いることができる構成材料について説明する。

50

【 0 1 5 7 】

< < 基板 > >

トランジスタ 200 を形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI (Silicon On Insulator) 基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

10

【 0 1 5 8 】

< < 絶縁体 > >

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

20

【 0 1 5 9 】

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、high-k 材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

【 0 1 6 0 】

また、比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、またはシリコンおよびハフニウムを有する窒化物などがある。

30

【 0 1 6 1 】

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などがある。

【 0 1 6 2 】

また、金属酸化物を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、またはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化酸化シリコン、窒化シリコンなどの金属窒化物を用いることができる。

40

【 0 1 6 3 】

50

また、ゲート絶縁体として機能する絶縁体は、加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。例えば、加熱により脱離する酸素を含む領域を有する酸化シリコンまたは酸化窒化シリコンを酸化物230と接する構造とすることで、酸化物230が有する酸素欠損を補償することができる。

【0164】

<<導電体>>

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または上述した金属元素を成分とする合金が、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

【0165】

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

【0166】

なお、トランジスタのチャンネル形成領域に酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャンネル形成領域側に設けるとよい。酸素を含む導電性材料をチャンネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャンネル形成領域に供給されやすくなる。

【0167】

特に、ゲート電極として機能する導電体として、チャンネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタンまたは窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャンネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

【0168】

<<金属酸化物>>

酸化物230として、半導体として機能する金属酸化物(酸化物半導体)を用いることが好ましい。以下では、本発明に係る酸化物230および酸化物243に適用可能な金属酸化物について説明する。

【0169】

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジ

ウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、錫などが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

【0170】

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、または錫とする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

10

【0171】

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物(metal oxide)と総称する場合がある。また、窒素を有する金属酸化物を、金属酸化窒化物(metal oxynitride)と呼称してもよい。

【0172】

<結晶構造の分類>

まず、酸化物半導体における、結晶構造の分類について、図3Aを用いて説明を行う。図3Aは、酸化物半導体、代表的にはIGZO(Inと、Gaと、Znと、を含む金属酸化物)の結晶構造の分類を説明する図である。

20

【0173】

図3Aに示すように、酸化物半導体は、大きく分けて「Amorphous(無定形)」と、「Crystalline(結晶性)」と、「Crystal(結晶)」と、に分類される。また、「Amorphous」の中には、completely amorphousが含まれる。また、「Crystalline」の中には、CAAC(c-axis-aligned crystalline)、nc(nanocrystalline)、及びCAC(cloud-aligned composite)が含まれる(excluding single crystal and polycrystal)。なお、「Crystalline」の分類には、single crystal、polycrystal、及びcompletely amorphousは除かれる。また、「Crystal」の中には、single crystal、及びpolycrystalが含まれる。

30

【0174】

なお、図3Aに示す太枠内の構造は、「Amorphous(無定形)」と、「Crystal(結晶)」との間の中間状態であり、新しい境界領域(New crystalline phase)に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous(無定形)」や、「Crystal(結晶)」とは全く異なる構造と言い換えることができる。

【0175】

なお、膜または基板の結晶構造は、X線回折(XRD:X-Ray Diffraction)スペクトルを用いて評価することができる。ここで、「Crystalline」に分類されるCAAC-IGZO膜のGIXD(Grazing-Incidence XRD)測定で得られるXRDスペクトルを図3Bに示す。なお、GIXD法は、薄膜法またはSeemann-Bohlin法ともいう。以降、図3Bに示すGIXD測定で得られるXRDスペクトルを、単にXRDスペクトルと記す。なお、図3Bに示すCAAC-IGZO膜の組成は、In:Ga:Zn=4:2:3[原子数比]近傍である。また、図3Bに示すCAAC-IGZO膜の厚さは、500nmである。

40

【0176】

図3Bに示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を

50

示すピークが検出される。具体的には、C A A C - I G Z O膜のX R Dスペクトルでは、 $2\theta = 31^\circ$ 近傍に、c軸配向を示すピークが検出される。なお、図3 Bに示すように、 $2\theta = 31^\circ$ 近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

【0177】

また、膜または基板の結晶構造は、極微電子線回折法(NBED: Nano Beam Electron Diffraction)によって観察される回折パターン(極微電子線回折パターンともいう。)にて評価することができる。C A A C - I G Z O膜の回折パターンを、図3 Cに示す。図3 Cは、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンである。なお、図3 Cに示すC A A C - I G Z O膜の組成は、In:Ga:Zn=4:2:3[原子数比]近傍である。また、極微電子線回折法では、プローブ径を1nmとして電子線回折が行われる。

10

【0178】

図3 Cに示すように、C A A C - I G Z O膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。

【0179】

<<酸化物半導体の構造>>

なお、酸化物半導体は、結晶構造に着目した場合、図3 Aとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のC A A C - O S、及びnc-O Sがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体(a-like OS: amorphous-like oxide semiconductor)、非晶質酸化物半導体、などが含まれる。

20

【0180】

ここで、上述のC A A C - O S、nc-O S、及びa-like OSの詳細について、説明を行う。

【0181】

[C A A C - O S]

C A A C - O Sは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、C A A C - O S膜の厚さ方向、C A A C - O S膜の被形成面の法線方向、またはC A A C - O S膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、C A A C - O Sは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、C A A C - O Sは、c軸配向し、a-b面方向には明らかな配向をしていない酸化物半導体である。

30

【0182】

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶(最大径が10nm未満である結晶)で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

40

【0183】

また、In-M-Zn酸化物(元素Mは、アルミニウム、ガリウム、イットリウム、スズ、チタンなどから選ばれた一種、または複数種)において、C A A C - O Sは、インジウム(In)、及び酸素を有する層(以下、In層)と、元素M、亜鉛(Zn)、及び酸素を有する層(以下、(M,Zn)層)とが積層した、層状の結晶構造(層状構造ともいう)を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、(M,Zn)層にはインジウムが含まれる場合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。当該層状構造は、例えば

50

、高分解能TEM像において、格子像として観察される。

【0184】

CAAC-OS膜に対し、例えば、XRD装置を用いて構造解析を行うと、 $\sqrt{2}$ スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$ またはその近傍に検出される。なお、c軸配向を示すピークの位置(2θ の値)は、CAAC-OSを構成する金属元素の種類、組成などにより変動する場合がある。

【0185】

また、例えば、CAAC-OS膜の電子線回折パターンにおいて、複数の輝点(スポット)が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット(ダイレクトスポットともいう。)を対称中心として、点对称の位置に観測される。

10

【0186】

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界(グレインバウンダリー)を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属原子が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

20

【0187】

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶(polycrystal)と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲され、トランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

【0188】

CAAC-OSは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥(酸素欠損など)の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度(所謂サーマルバジェット)に対しても安定である。したがって、OSTランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

30

【0189】

[nc-OS]

nc-OSは、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。別言すると、nc-OSは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1nm以上10nm以下、特に1nm以上3nm以下であることから、当該微小な結晶をナノ結晶ともいう。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OS膜に対し、XRD装置を用いて構造解析を行うと、 $\sqrt{2}$ スキャンを用いたOut-of-plane XRD測定では、結晶性を示すピークが検出されない。また、nc-OS膜に対し、ナノ結晶よりも大きいプローブ径(例えば50nm以上)の電子線を用いる電子線回折

40

50

(制限視野電子線回折ともいう。)を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、ナノ結晶の大きさと近いかナノ結晶より小さいプローブ径(例えば1nm以上30nm以下)の電子線を用いる電子線回折(ナノビーム電子線回折ともいう。)を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

【0190】

[a-like OS]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆又は低密度領域を有する。即ち、a-like OSは、nc-OS及びCAAC-OSと比べて、結晶性が低い。また、a-like OSは、nc-OS及びCAAC-OSと比べて、膜中の水素濃度が高い。

10

【0191】

<<酸化物半導体の構成>>

次に、上述のCAC-OSの詳細について、説明を行う。なお、CAC-OSは材料構成に関する。

【0192】

[CAC-OS]

CAC-OSとは、例えば、金属酸化物を構成する元素が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

20

【0193】

さらに、CAC-OSとは、第1の領域と、第2の領域と、に材料が分離することでモザイク状となり、当該第1の領域が、膜中に分布した構成(クラウド状ともいう。)である。つまり、CAC-OSは、当該第1の領域と、当該第2の領域とが、混合している構成を有する複合金属酸化物である。

【0194】

ここで、In-Ga-Zn酸化物におけるCAC-OSを構成する金属元素に対するIn、Ga、およびZnの原子数比のそれぞれを、[In]、[Ga]、および[Zn]と表記する。例えば、In-Ga-Zn酸化物におけるCAC-OSにおいて、第1の領域は、[In]が、CAC-OS膜の組成における[In]よりも大きい領域である。また、第2の領域は、[Ga]が、CAC-OS膜の組成における[Ga]よりも大きい領域である。または、例えば、第1の領域は、[In]が、第2の領域における[In]よりも大きく、且つ、[Ga]が、第2の領域における[Ga]よりも小さい領域である。また、第2の領域は、[Ga]が、第1の領域における[Ga]よりも大きく、且つ、[In]が、第1の領域における[In]よりも小さい領域である。

30

【0195】

具体的には、上記第1の領域は、インジウム酸化物、インジウム亜鉛酸化物などが主成分である領域である。また、上記第2の領域は、ガリウム酸化物、ガリウム亜鉛酸化物などが主成分である領域である。つまり、上記第1の領域を、Inを主成分とする領域と言い換えることができる。また、上記第2の領域を、Gaを主成分とする領域と言い換えることができる。

40

【0196】

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

【0197】

例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法(EDX: Energy Dispersive X-ray spectroscopy)を用いて取得したEDXマッピングにより、Inを主成分とする領域(第1の領域)と、Gaを主成分とする領域(第2の領域)とが、偏在し、混合している構造を有する

50

ことが確認できる。

【0198】

CAC-OSをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能(On/Offさせる機能)をCAC-OSに付与することができる。つまり、CAC-OSとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-OSをトランジスタに用いることで、高いオン電流(I_{on})、高い電界効果移動度(μ)、および良好なスイッチング動作を実現することができる。

10

【0199】

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、CAC-OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

【0200】

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

【0201】

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

20

【0202】

トランジスタのチャネル形成領域には、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のチャネル形成領域のキャリア濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

30

【0203】

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

【0204】

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

【0205】

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

40

【0206】

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

【0207】

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体のチャネル形成領域におけるシリコンや炭素の濃度と、酸化物半導体のチャネル形成領域との界面近傍のシリコ

50

ンや炭素の濃度（二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0208】

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体のチャネル形成領域中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

10

【0209】

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体を用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体のチャネル形成領域中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

【0210】

20

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体のチャネル形成領域における中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体のチャネル形成領域において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満にする。

30

【0211】

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0212】

<<その他の半導体材料>>

酸化物230に用いることができる半導体材料は、上述の金属酸化物に限られない。酸化物230として、バンドギャップを有する半導体材料（ゼロギャップ半導体ではない半導体材料）を用いてもよい。例えば、シリコンなどの単体元素の半導体、ヒ化ガリウムなどの化合物半導体、半導体として機能する層状物質（原子層物質、2次元材料などともいう。）などを半導体材料に用いることが好ましい。特に、半導体として機能する層状物質を半導体材料に用いると好適である。

40

【0213】

ここで、本明細書等において、層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合やイオン結合によって形成される層が、ファンデルワールス力のような、共有結合やイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

【0214】

層状物質として、グラフェン、シリセン、カルコゲン化物などがある。カルコゲン化物

50

は、カルコゲンを含む化合物である。また、カルコゲンは、第 16 族に属する元素の総称であり、酸素、硫黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化物として、遷移金属カルコゲナイド、13 族カルコゲナイドなどが挙げられる。

【0215】

酸化物 230 として、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。酸化物 230 として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には $MoSe_2$ ）、モリブデンテルル（代表的には $MoTe_2$ ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステンテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には $HfSe_2$ ）、硫化ジルコニウム（代表的には ZrS_2 ）、セレン化ジルコニウム（代表的には $ZrSe_2$ ）などが挙げられる。

10

【0216】

<半導体装置の作製方法>

次に、図 1A 乃至図 1D に示す、本発明の一態様である半導体装置の作製方法を、図 4A 乃至図 16A、図 4B 乃至図 16B、図 4C 乃至図 16C、および図 4D 乃至図 16D を用いて説明する。

【0217】

図 4A 乃至図 16A は上面図を示す。また、図 4B 乃至図 16B は、図 4A 乃至図 16A に示す A1 - A2 の一点鎖線で示す部位に対応する断面図であり、トランジスタ 200 のチャンネル長方向の断面図でもある。また、図 4C 乃至図 16C は、図 4A 乃至図 16A に A3 - A4 の一点鎖線で示す部位に対応する断面図であり、トランジスタ 200 のチャンネル幅方向の断面図でもある。また、図 4D 乃至図 16D は、図 4A 乃至図 16A に A5 - A6 の一点鎖線で示す部位の断面図である。なお、図 4A 乃至図 16A の上面図では、図の明瞭化のために一部の要素を省いている。

20

【0218】

以下において、絶縁体を形成するための絶縁性材料、導電体を形成するための導電性材料、または半導体を形成するための半導体材料は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを適宜用いて成膜することができる。

【0219】

なお、スパッタリング法にはスパッタリング用電源に高周波電源を用いる RF スパッタリング法、直流電源を用いる DC スパッタリング法、さらにパルス的に電極に印加する電圧を変化させるパルス DC スパッタリング法がある。RF スパッタリング法は主に絶縁膜を成膜する場合に用いられ、DC スパッタリング法は主に金属導電膜を成膜する場合に用いられる。また、パルス DC スパッタリング法は、主に、酸化物、窒化物、炭化物などの化合物をリアクティブスパッタリング法で成膜する際に用いられる。

30

【0220】

なお、CVD 法は、プラズマを利用するプラズマ CVD (PECVD: Plasma Enhanced CVD) 法、熱を利用する熱 CVD (TCVD: Thermal CVD) 法、光を利用する光 CVD (Photo CVD) 法などに分類できる。さらに用いる原料ガスによって金属 CVD (MCVD: Metal CVD) 法、有機金属 CVD (MOCVD: Metal Organic CVD) 法に分けることができる。

40

【0221】

プラズマ CVD 法は、比較的低温で高品質の膜が得られる。また、熱 CVD 法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱 CVD 法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱 CVD 法では、成

50

膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

【0222】

また、ALD法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD(Thermal ALD)法、プラズマ励起されたリアクタントを用いるPEALD(Plasma Enhanced ALD)法などを用いることができる。

【0223】

また、ALD法は、原子の性質である自己制御性を利用し、一層ずつ原子を堆積することができるので、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、などの効果がある。PEALD法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。なお、ALD法で用いるプリカーサには炭素などの不純物を含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、X線光電子分光法(XPS:X-ray Photoelectron Spectroscopy)を用いて行うことができる。

10

【0224】

CV法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCV法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

20

【0225】

CV法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CV法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CV法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

30

【0226】

まず、基板(図示しない。)を準備し、当該基板上に絶縁体212を成膜する(図4A乃至図4D参照。)。絶縁体212の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体212中の水素濃度を低減することができる。ただし、絶縁体212の成膜は、スパッタリング法に限られるものではなく、CV法、MBE法、PLD法、ALD法などを適宜用いてもよい。

【0227】

本実施の形態では、絶縁体212として、窒素ガスを含む雰囲気シリコンターゲットを用いて、パルスDCスパッタリング法で窒化シリコンを成膜する。パルスDCスパッタリング法を用いることで、ターゲット表面のアーキングによるパーティクルの発生を抑制することができるので、膜厚分布をより均一にすることができる。また、パルス電圧を用いることで、高周波電圧より、放電の立ち上がり、立ち下りを急峻にすることができる。これにより、電極に、電力をより効率的に供給しスパッタレート、および膜質を向上することができる。

40

【0228】

窒化シリコンのように水、水素などの不純物が透過しにくい絶縁体を用いることにより、絶縁体212より下層に含まれる水、水素などの不純物の拡散を抑制することができる。

50

。また、絶縁体 2 1 2 として、窒化シリコンなどの銅が透過しにくい絶縁体を用いることにより、絶縁体 2 1 2 より下層（図示しない。）の導電体に銅など拡散しやすい金属を用いても、当該金属が絶縁体 2 1 2 を介して上方に拡散するのを抑制することができる。

【0229】

次に、絶縁体 2 1 2 上に絶縁体 2 1 4 を成膜する（図 4 A 乃至図 4 D 参照。）。絶縁体 2 1 4 の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体 2 1 4 中の水素濃度を低減することができる。ただし、絶縁体 2 1 4 の成膜は、スパッタリング法に限られるものではなく、CVD法、MBE法、PLD法、ALD法などを適宜用いてもよい。

【0230】

本実施の形態では、絶縁体 2 1 4 として、酸素ガスを含む雰囲気中でアルミニウムターゲットを用いて、パルスDCスパッタリング法で酸化アルミニウムを成膜する。パルスDCスパッタリング法を用いることで、膜厚分布をより均一にし、スパッタレート、および膜質を向上することができる。

【0231】

絶縁体 2 1 4 として、水素を捕獲および水素を固着する機能が高い、アモルファス構造を有する金属酸化物、例えば酸化アルミニウムを用いること好ましい。これにより、絶縁体 2 1 6 などに含まれる水素を捕獲または固着し、当該水素が酸化物 2 3 0 に拡散するのを防ぐことができる。特に、絶縁体 2 1 4 として、アモルファス構造を有する酸化アルミニウム、またはアモルファス構造の酸化アルミニウムを用いることで、より効果的に水素を捕獲または固着できる場合があるため好ましい。これにより、良好な特性を有し、信頼性の高いトランジスタ 2 0 0、および半導体装置を作製することができる。

【0232】

次に、絶縁体 2 1 4 上に絶縁体 2 1 6 を成膜する。絶縁体 2 1 6 の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体 2 1 6 中の水素濃度を低減することができる。ただし、絶縁体 2 1 6 の成膜は、スパッタリング法に限られるものではなく、CVD法、MBE法、PLD法、ALD法などを適宜用いてもよい。

【0233】

本実施の形態では、絶縁体 2 1 6 として、酸素ガスを含む雰囲気中でシリコンターゲットを用いて、パルスDCスパッタリング法で酸化シリコンを成膜する。パルスDCスパッタリング法を用いることで、膜厚分布をより均一にし、スパッタレート、および膜質を向上することができる。

【0234】

絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 は、大気に暴露することなく連続して成膜することが好ましい。例えば、マルチチャンバー方式の成膜装置を用いればよい。これにより、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 を、膜中の水素を低減して成膜し、さらに、各成膜工程の合間に膜中に水素が混入するのを低減することができる。

【0235】

次に、絶縁体 2 1 6 に絶縁体 2 1 4 に達する開口を形成する。開口とは、例えば、溝やスリットなども含まれる。また、開口が形成された領域を指して開口部とする場合がある。開口の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。また、絶縁体 2 1 4 は、絶縁体 2 1 6 をエッチングして溝を形成する際のエッチングストッパ膜として機能する絶縁体を選択することが好ましい。例えば、溝を形成する絶縁体 2 1 6 に酸化シリコンまたは酸化窒化シリコンを用いた場合は、絶縁体 2 1 4 は窒化シリコン、酸化アルミニウム、酸化ハフニウムを用いるとよい。

【0236】

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ（CCP：Capacitively Coupled Plasma）エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型

10

20

30

40

50

電極の一方の電極に高周波電圧を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電圧を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ(I C P : I n d u c t i v e l y C o u p l e d P l a s m a) エッチング装置などを用いることができる。

【0237】

開口の形成後に、導電膜205Aを成膜する(図4A乃至図4D参照。)。導電膜205Aは、酸素の透過を抑制する機能を有する導電体を含むことが望ましい。例えば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。または、酸素の透過を抑制する機能を有する導電体と、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデンタングステン合金との積層膜とすることができる。導電膜205Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。

10

【0238】

本実施の形態では、導電膜205Aとして窒化チタンを成膜する。このような金属窒化物を導電体205bの下層に用いることにより、絶縁体216などによって、導電体205bが酸化されるのを抑制することができる。また、導電体205bとして銅などの拡散しやすい金属を用いても、当該金属が導電体205aから外に拡散するのを防ぐことができる。

20

【0239】

次に、導電膜205Bを成膜する(図4A乃至図4D参照。)。導電膜205Bとしては、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデンタングステン合金などを用いることができる。該導電膜の成膜は、メッキ法、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、導電膜205Bとして、タングステンを成膜する。

【0240】

次に、CMP処理を行うことで、導電膜205Aおよび導電膜205Bの一部を除去し、絶縁体216を露出する(図5A乃至図5D参照。)。その結果、開口部のみに、導電体205aおよび導電体205bが残存する。なお、当該CMP処理により、絶縁体216の一部が除去される場合がある。

30

【0241】

次に、エッチングを行って、導電体205bの上部を除去する(図6A乃至図6D参照。)。これにより、導電体205bの上面は、導電体205aの上面および絶縁体216の上面より低くなる。導電体205bのエッチングには、ドライエッチングまたはウェットエッチングを用いればよいが、ドライエッチングを用いるほうが微細加工には好ましい。

【0242】

次に、絶縁体216、導電体205a、および導電体205bの上に、導電膜205Cを成膜する(図7A乃至図7D参照。)。導電膜205Cは、導電膜205Aと同様に、酸素の透過を抑制する機能を有する導電体を含むことが望ましい。

40

【0243】

本実施の形態では、導電膜205Cとして窒化チタンを成膜する。このような金属窒化物を導電体205bの上層に用いることにより、絶縁体222などによって、導電体205bが酸化されるのを抑制することができる。また、導電体205bとして銅などの拡散しやすい金属を用いても、当該金属が導電体205cから外に拡散するのを防ぐことができる。

【0244】

次に、CMP処理を行うことで、導電膜205Cの一部を除去し、絶縁体216を露出する(図8A乃至図8D参照。)。その結果、開口部のみに、導電体205a、導電体2

50

05b、および導電体205cが残存する。これにより、上面が平坦な、導電体205を形成することができる。さらに、導電体205bが、導電体205aおよび導電体205cに包みこまれる構成になる。よって、導電体205bから水素などの不純物が導電体205aおよび導電体205cの外に拡散するのを防ぎ、かつ導電体205aおよび導電体205cの外から酸素が混入し、導電体205bを酸化するのを防ぐことができる。なお、当該CMP処理により、絶縁体216の一部が除去される場合がある。

【0245】

次に、絶縁体216、および導電体205上に絶縁体222を成膜する(図9A乃至図9D参照)。絶縁体222として、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物(ハフニウムアルミネート)などを用いることが好ましい。アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体は、酸素、水素、および水に対するバリア性を有する。絶縁体222が、水素および水に対するバリア性を有することで、トランジスタ200の周辺に設けられた構造体に含まれる水素、および水が、絶縁体222を通じてトランジスタ200の内側へ拡散することが抑制され、酸化物230中の酸素欠損の生成を抑制することができる。

10

【0246】

絶縁体222の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体222として、スパッタリング法を用いて、酸化ハフニウムを成膜する。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体222中の水素濃度を低減することができる。

20

【0247】

続いて、加熱処理を行うと好ましい。加熱処理は、250以上650以下、好ましくは300以上500以下、さらに好ましくは320以上450以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で行う場合、酸素ガスを20%程度にすればよい。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。

30

【0248】

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量が1ppb以下、好ましくは0.1ppb以下、より好ましくは0.05ppb以下にすればよい。高純度化されたガスを用いて加熱処理を行うことで、絶縁体222などに水分等が取り込まれることを可能な限り防ぐことができる。

【0249】

本実施の形態では、加熱処理として、絶縁体222の成膜後に、窒素ガスと酸素ガスの流量比を4slm:1slmとして、400の温度で1時間の処理を行う。当該加熱処理によって、絶縁体222に含まれる水、水素などの不純物を除去することなどができる。また、絶縁体222として、ハフニウムを含む酸化物を用いる場合、当該加熱処理によって、絶縁体222の一部が結晶化する場合がある。また、加熱処理は、絶縁体224の成膜後などのタイミングで行うこともできる。

40

【0250】

次に、絶縁体222上に絶縁体224を成膜する(図9A乃至図9D参照)。絶縁体224の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体224として、スパッタリング法を用いて、酸化シリコンを成膜する。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体224中の水素濃度を低減することができる。絶縁体224は、後の

50

工程で酸化物 230a と接するので、このように水素濃度が低減されていることが好適である。

【0251】

ここで、絶縁体 224 に過剰酸素領域を形成するために、減圧状態で酸素を含むプラズマ処理を行ってもよい。酸素を含むプラズマ処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する装置を用いることが好ましい。または、基板側に RF (Radio Frequency) を印加する電源を有してもよい。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側に RF を印加することで、高密度プラズマによって生成された酸素ラジカルを効率よく絶縁体 224 内に導くことができる。または、この装置を用いて不活性ガスを含むプラズマ処理を行った後に、脱離した酸素を補うために酸素を含むプラズマ処理を行ってもよい。なお、当該プラズマ処理の条件を適宜選択することにより、絶縁体 224 に含まれる水、水素などの不純物を除去することができる。その場合、加熱処理は行わなくてもよい。

10

【0252】

ここで、絶縁体 224 上に、例えば、スパッタリング法によって、酸化アルミニウムを成膜した後、絶縁体 224 に達するまで、CMP 処理を行ってもよい。当該 CMP 処理を行うことで絶縁体 224 表面の平坦化および平滑化を行うことができる。当該酸化アルミニウムを絶縁体 224 上に配置して CMP 処理を行うことで、CMP 処理の終点検出が容易となる。また、CMP 処理によって、絶縁体 224 の一部が研磨されて、絶縁体 224 の膜厚が薄くなることもあるが、絶縁体 224 の成膜時に膜厚を調整すればよい。絶縁体 224 表面の平坦化および平滑化を行うことで、後に成膜する酸化物の被覆率の悪化を防止し、半導体装置の歩留りの低下を防ぐことができる場合がある。また、絶縁体 224 上に、スパッタリング法によって、酸化アルミニウムを成膜することにより、絶縁体 224 に酸素を添加することができるので好ましい。

20

【0253】

次に、絶縁体 224 上に、酸化膜 230A、酸化膜 230B を順に成膜する (図 9A 乃至図 9D 参照)。なお、酸化膜 230A および酸化膜 230B は、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、酸化膜 230A、および酸化膜 230B 上に大気環境からの不純物または水分が付着することを防ぐことができ、酸化膜 230A と酸化膜 230B との界面近傍を清浄に保つことができる。

30

【0254】

酸化膜 230A、および酸化膜 230B の成膜はスパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。

【0255】

例えば、酸化膜 230A、および酸化膜 230B をスパッタリング法によって成膜する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜をスパッタリング法によって成膜する場合は、上記の In-M-Zn 酸化物ターゲットなどを用いることができる。

【0256】

特に、酸化膜 230A の成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体 224 に供給される場合がある。したがって、当該スパッタリングガスに含まれる酸素の割合は 70% 以上、好ましくは 80% 以上、より好ましくは 100% とすればよい。

40

【0257】

また、酸化膜 230B をスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を、30% を超えて 100% 以下、好ましくは 70% 以上 100% 以下として成膜すると、酸素過剰型の酸化物半導体が形成される。酸素過剰型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い信頼性が得られる。ただし、本発明の一態様はこれに限定されない。酸化膜 230B をスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を 1% 以上 30% 以下、好ましくは 5% 以上 2

50

0%以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体をチャンネル形成領域に用いたトランジスタは、比較的高い電界効果移動度が得られる。また、基板を加熱しながら成膜を行うことによって、当該酸化膜の結晶性を向上させることができる。

【0258】

本実施の形態では、酸化膜230Aとして、スパッタリング法によって、In:Ga:Zn=1:3:4[原子数比]の酸化物ターゲットを用いて成膜する。また、酸化膜230Bとして、スパッタリング法によって、In:Ga:Zn=4:2:4.1[原子数比]の酸化物ターゲットを用いて成膜する。なお、各酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化物230a、および酸化物230bに求める特性に合わせて形成するとよい。

10

【0259】

次に、酸化膜230B上に酸化膜243Aを成膜する(図9A乃至図9D参照)。酸化膜243Aの成膜はスパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。酸化膜243Aは、Inに対するGaの原子数比が、酸化膜230BのInに対するGaの原子数比より大きいことが好ましい。本実施の形態では、酸化膜243Aとして、スパッタリング法によって、In:Ga:Zn=1:3:4[原子数比]の酸化物ターゲットを用いて成膜する。

【0260】

なお、絶縁体222、絶縁体224、酸化膜230A、酸化膜230B、および酸化膜243Aを、大気に暴露することなく、スパッタリング法で成膜することが好ましい。例えば、マルチチャンバー方式の成膜装置を用いればよい。これにより、絶縁体222、絶縁体224、酸化膜230A、酸化膜230B、および酸化膜243Aを、膜中の水素を低減して成膜し、さらに、各成膜工程の合間に膜中に水素が混入するのを低減することができる。

20

【0261】

次に、加熱処理を行うことが好ましい。加熱処理は、酸化膜230A、酸化膜230B、および酸化膜243Aが多結晶化しない温度範囲で行えばよく、250以上650以下、好ましくは400以上600以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で行う場合、酸素ガスを20%程度にすればよい。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。

30

【0262】

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量が1ppb以下、好ましくは0.1ppb以下、より好ましくは0.05ppb以下にすればよい。高純度化されたガスを用いて加熱処理を行うことで、酸化膜230A、酸化膜230B、および酸化膜243Aなどに水分等が取り込まれることを可能な限り防ぐことができる。

40

【0263】

本実施の形態では、加熱処理として、窒素雰囲気にて550の温度で1時間の処理を行った後に、連続して酸素雰囲気にて550の温度で1時間の処理を行う。当該加熱処理によって、酸化膜230A、酸化膜230B、および酸化膜243A中の水、水素などの不純物を除去することなどができる。さらに、当該加熱処理によって、酸化膜230Bの結晶性を向上させ、より密度の高い、緻密な構造にすることができる。これにより、酸化膜230B中における、酸素または不純物の拡散を低減することができる。

【0264】

次に、酸化膜243A上に導電膜242Aを成膜する(図9A乃至図9D参照)。導

50

電膜 2 4 2 A の成膜はスパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。例えば、導電膜 2 4 2 A として、スパッタリング法を用いて窒化タンタルを成膜すればよい。なお、導電膜 2 4 2 A の成膜前に、加熱処理を行ってもよい。当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して導電膜 2 4 2 A を成膜してもよい。このような処理を行うことによって、酸化膜 2 4 3 A の表面などに吸着している水分および水素を除去し、さらに酸化膜 2 3 0 A、酸化膜 2 3 0 B、および酸化膜 2 4 3 A 中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100 以上 400 以下が好ましい。本実施の形態では、加熱処理の温度を 200 とする。

【0265】

次に、導電膜 2 4 2 A 上に絶縁膜 2 7 1 A を成膜する（図 9 A 乃至図 9 D 参照。）。絶縁膜 2 7 1 A の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。絶縁膜 2 7 1 A は、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、絶縁膜 2 7 1 A として、スパッタリング法によって、酸化アルミニウム、または窒化シリコンを成膜すればよい。

【0266】

次に、絶縁膜 2 7 1 A 上に絶縁膜 2 7 3 A を成膜する（図 9 A 乃至図 9 D 参照。）。絶縁膜 2 7 3 A の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。例えば、絶縁膜 2 7 3 A として、スパッタリング法によって、窒化シリコン、または酸化シリコンを成膜すればよい。

【0267】

なお、導電膜 2 4 2 A、絶縁膜 2 7 1 A、および絶縁膜 2 7 3 A を、大気に暴露することなく、スパッタリング法で成膜することが好ましい。例えば、マルチチャンバー方式の成膜装置を用いればよい。これにより、導電膜 2 4 2 A、絶縁膜 2 7 1 A、および絶縁膜 2 7 3 A を、膜中の水素を低減して成膜し、さらに、各成膜工程の合間に膜中に水素が混入するのを低減することができる。また、絶縁膜 2 7 3 A 上にハードマスクを設ける場合、当該ハードマスクとなる膜も大気に暴露することなく連続して成膜すればよい。

【0268】

次に、リソグラフィ法を用いて、酸化膜 2 3 0 A、酸化膜 2 3 0 B、酸化膜 2 4 3 A、導電膜 2 4 2 A、絶縁膜 2 7 1 A、および絶縁膜 2 7 3 A を島状に加工して、酸化物 2 3 0 a、酸化物 2 3 0 b、酸化物層 2 4 3 B、導電層 2 4 2 B、絶縁層 2 7 1 B、および絶縁層 2 7 3 B を形成する（図 10 A 乃至図 10 D 参照。）。また、当該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。また、酸化膜 2 3 0 A、酸化膜 2 3 0 B、酸化膜 2 4 3 A、導電膜 2 4 2 A、絶縁膜 2 7 1 A、および絶縁層 2 7 1 B の加工は、それぞれ異なる条件で加工してもよい。なお、当該工程において、絶縁体 2 2 4 の酸化物 2 3 0 a と重ならない領域の膜厚が薄くなることもある。また、当該工程において、絶縁体 2 2 4 を、酸化物 2 3 0 a と重畳して、島状に加工する構成にしてもよい。

【0269】

なお、リソグラフィ法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体、または絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV (Extreme Ultraviolet) 光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクは、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処

10

20

30

40

50

理を行うことで、除去することができる。

【0270】

さらに、レジストマスクの下に絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、導電膜242A上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。導電膜242Aなどのエッチングは、レジストマスクを除去してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマスクが消失することがある。導電膜242Aなどのエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。本実施の形態では、絶縁層271B、および絶縁層273Bをハードマスクとして用いている。一方、絶縁層271Bがハードマスクとして十分機能する場合、絶縁層273Bは、必ずしも設ける必要は無い。その場合、絶縁膜273Aの形成は不要となる。また、絶縁層273Bを設けず、絶縁層271Bをハードマスクとする場合、絶縁層271Bの膜厚を適宜調整し、導電膜242Aなどのエッチング中に絶縁層271Bの消失を抑制することが好ましい。

10

【0271】

ここで、絶縁層271B、および絶縁層273Bが導電層242Bのマスクとして機能するので、図10B乃至図10Dに示すように、導電層242Bは側面と上面の間に湾曲面を有しない。これにより、図1Bおよび図1Dに示す導電体242aおよび導電体242bは、側面と上面が交わる端部が角状になる。導電体242の側面と上面が交わる端部が角状になることで、当該端部が曲面を有する場合に比べて、導電体242の断面積が大きくなる。これにより、導電体242の抵抗が低減されるので、トランジスタ200のオン電流を大きくすることができる。

20

【0272】

また、酸化物230a、酸化物230b、酸化物層243B、導電層242B、絶縁層271B、および絶縁層273Bは、少なくとも一部が導電体205と重なるように形成する。また、酸化物230a、酸化物230b、酸化物層243B、導電層242B、絶縁層271B、および絶縁層273Bの側面は、絶縁体222の上面に対し、概略垂直であることが好ましい。酸化物230a、酸化物230b、酸化物層243B、導電層242B、絶縁層271B、および絶縁層273Bの側面が、絶縁体222の上面に対し、概略垂直であることで、複数のトランジスタ200を設ける際に、小面積化、高密度化が可能となる。または、酸化物230a、酸化物230b、酸化物層243B、導電層242B、絶縁層271B、および絶縁層273Bの側面と、絶縁体222の上面とのなす角が低い角度になる構成にしてもよい。その場合、酸化物230a、酸化物230b、酸化物層243B、導電層242B、絶縁層271B、および絶縁層273Bの側面と、絶縁体222の上面とのなす角は60度以上70度未満が好ましい。この様な形状とすることで、これより後の工程において、絶縁体275などの被覆性が向上し、鬆などの欠陥を低減することができる。

30

【0273】

また、上記エッチング工程で発生した副生成物が、酸化物230a、酸化物230b、酸化物層243B、導電層242B、絶縁層271B、および絶縁層273Bの側面に層状に形成される場合がある。この場合、当該層状の副生成物が、酸化物230a、酸化物230b、酸化物243、導電体242、絶縁体271、および絶縁体273と絶縁体272の間に形成されることになる。また、同様に層状の副生成物が、絶縁体224上に形成される場合がある。当該層状の副生成物が絶縁体224上に形成された状態で、絶縁体275を成膜しても、当該層状の副生成物によって、絶縁体224への酸素の添加が妨害されてしまう。よって、絶縁体224の上面に接して形成された当該層状の副生成物は、除去することが好ましい。

40

【0274】

50

次に、絶縁体 2 2 4、酸化物 2 3 0 a、酸化物 2 3 0 b、酸化物層 2 4 3 B、導電層 2 4 2 B、絶縁層 2 7 1 B、および絶縁層 2 7 3 Bの上に、絶縁体 2 7 2となる絶縁膜を成膜する。絶縁体 2 7 2となる絶縁膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体 2 7 2となる絶縁膜として、スパッタリング法によって、窒化シリコンを成膜する。

【0275】

次に、絶縁体 2 7 2となる絶縁膜を異方性エッチングすることで、絶縁層 2 7 3 B上の当該絶縁膜、および絶縁体 2 2 4上の当該絶縁膜を除去する(図 1 1 A乃至図 1 1 D参照。)。また、図 1 0に示す工程で層状の副生成物が残存していた場合、当該異方性エッチングで除去することができる。これにより、酸化物 2 3 0 aの側面、酸化物 2 3 0 bの側面、酸化物層 2 4 3 Bの側面、導電層 2 4 2 Bの側面、絶縁層 2 7 1 Bの側面、および絶縁層 2 7 3 Bの側面に接して、絶縁層 2 7 2 Aが形成される。

10

【0276】

このようにして、酸化物 2 3 0 a、酸化物 2 3 0 b、酸化物層 2 4 3 B、および導電層 2 4 2 Bを、酸素の拡散を抑制する機能を有する、絶縁層 2 7 2 A、および絶縁層 2 7 1 Bで覆うことができる。これにより、のちの工程で絶縁体 2 7 5の成膜などで、酸化物 2 3 0 a、酸化物 2 3 0 b、酸化物層 2 4 3 B、および導電層 2 4 2 Bに、酸素が拡散するのを低減することができる。

【0277】

次に、絶縁体 2 2 4、絶縁層 2 7 2 A、および絶縁層 2 7 3 B上に、絶縁体 2 7 5を成膜する。(図 1 1 A乃至図 1 1 D参照。)。絶縁体 2 7 5の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。絶縁体 2 7 5は、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、絶縁体 2 7 5として、スパッタリング法によって、酸化アルミニウムを成膜すればよい。

20

【0278】

絶縁体 2 7 5は、スパッタリング法を用いて形成することが好ましい。スパッタリング法で絶縁体 2 7 5を成膜することで、絶縁体 2 2 4および絶縁層 2 7 3 Bに酸素を添加することができる。このとき、導電層 2 4 2 Bの上面に接して絶縁層 2 7 1 Bが設けられ、導電層 2 4 2 Bの側面に接して絶縁層 2 7 2 Aが設けられているので、導電層 2 4 2 Bの酸化を低減することができる。

30

【0279】

次に、絶縁体 2 7 5上に、絶縁体 2 8 0となる絶縁膜を成膜する。当該絶縁膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。例えば、当該絶縁膜として、スパッタリング法を用いて酸化シリコン膜を成膜すればよい。絶縁体 2 8 0となる絶縁膜を、酸素を含む雰囲気、スパッタリング法で成膜することで、過剰酸素を含む絶縁体 2 8 0を形成することができる。また、成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体 2 8 0中の水素濃度を低減することができる。なお、当該絶縁膜の成膜前に、加熱処理を行ってもよい。加熱処理は、減圧下で行い、大気に暴露することなく、連続して当該絶縁膜を成膜してもよい。このような処理を行うことによって、絶縁体 2 7 5の表面などに吸着している水分および水素を除去し、さらに酸化物 2 3 0 a、酸化物 2 3 0 b、酸化物層 2 4 3 B、および絶縁体 2 2 4中の水分濃度および水素濃度を低減させることができる。当該加熱処理には、上述した加熱処理条件を用いることができる。

40

【0280】

次に、上記絶縁体 2 8 0となる絶縁膜にCMP処理を行い、上面が平坦な絶縁体 2 8 0を形成する(図 1 1 A乃至図 1 1 D参照。)。なお、絶縁体 2 8 0上に、例えば、スパッタリング法によって窒化シリコンを成膜し、該窒化シリコンを絶縁体 2 8 0に達するまで、CMP処理を行ってもよい。

【0281】

次に、絶縁体 2 8 0の一部、絶縁体 2 7 5の一部、絶縁層 2 7 3 Bの一部、絶縁層 2 7

50

1 Bの一部、絶縁層272 Aの一部、導電層242 Bの一部、酸化物層243 Bの一部、酸化物230 bの一部を加工して、酸化物230 bに達する開口を形成する。当該開口は、導電体205と重なるように形成することが好ましい。当該開口の形成によって、絶縁体273 a、絶縁体273 b、絶縁体271 a、絶縁体271 b、絶縁体272 a、絶縁体272 b、導電体242 a、導電体242 b、酸化物243 a、および酸化物243 bを形成する(図12 A乃至図12 D参照。)。

【0282】

上記開口を形成する際に、酸化物230 bの上部が除去される。酸化物230 bの一部が除去されることで、酸化物230 bに溝部が形成される。当該溝部の深さによっては、当該溝部を、上記開口の形成工程で形成してもよいし、上記開口の形成工程と異なる工程で形成してもよい。

10

【0283】

また、絶縁体280の一部、絶縁体275の一部、絶縁層273 Bの一部、絶縁層271 Bの一部、絶縁層272 Aの一部、導電層242 Bの一部、酸化物層243 Bの一部、酸化物230 bの一部の加工は、ドライエッチング法、またはウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。また、当該加工は、それぞれ異なる条件で加工してもよい。例えば、絶縁体280の一部をドライエッチング法で加工し、絶縁体275の一部、絶縁層273 Bの一部、絶縁層271 Bの一部、絶縁層272 Aの一部、をウェットエッチング法で加工し、酸化物層243 Bの一部、導電層242 Bの一部、および酸化物230 bの一部をドライエッチング法で加工してもよい。また、酸化物層243 Bの一部および導電層242 Bの一部の加工と、酸化物230 bの一部の加工とは、異なる条件で行ってもよい。

20

【0284】

ここで、酸化物230 a、酸化物230 bなどの表面に付着または内部に拡散した不純物を除去することが好ましい。また、上記ドライエッチングで酸化物230 b表面に形成される、損傷領域を除去することが好ましい。当該不純物としては、絶縁体280、絶縁体275、絶縁層273 Bの一部、絶縁層271 Bの一部、絶縁層272 Aの一部、および導電層242 Bに含まれる成分、上記開口を形成する際に用いられる装置に使われている部材に含まれる成分、エッチングに使用するガスまたは液体に含まれる成分などに起因したものが挙げられる。当該不純物としては、例えば、アルミニウム、シリコン、タンタル、フッ素、塩素などがある。

30

【0285】

特に、アルミニウム、またはシリコンなどの不純物は、酸化物230 bのCAAC-OS化を阻害する。よって、アルミニウム、またはシリコンなどの、CAAC-OS化を阻害する不純物元素が、低減または除去されていることが好ましい。例えば、酸化物230 b、およびその近傍における、アルミニウム原子の濃度が、5.0原子%以下とすればよく、2.0原子%以下が好ましく、1.5原子%以下がより好ましく、1.0原子%以下がさらに好ましく、0.3原子%未満がさらに好ましい。

【0286】

なお、アルミニウム、またはシリコンなどの不純物によりCAAC-OS化が阻害され、擬似非晶質酸化物半導体(a-like OS: amorphous-like oxide semiconductor)となった金属酸化物の領域を、非CAAC領域と呼ぶ場合がある。非CAAC領域では、結晶構造の緻密さが低下しているため、VOHが多量に形成され、トランジスタがノーマリーオン化しやすくなる。よって、酸化物230 bの非CAAC化領域は、低減または除去されていることが好ましい。

40

【0287】

これに対して、酸化物230 bに層状のCAAC構造を有していることが好ましい。特に、酸化物230 bのドレイン下端部までCAAC構造を有することが好ましい。ここで、トランジスタ200において、導電体242 aまたは導電体242 b、およびその近傍がドレインとして機能する。つまり、導電体242 a(導電体242 b)の下端部近傍の

50

、酸化物 230b が、C A A C 構造を有することが好ましい。このように、ドレイン耐圧に顕著に影響するドレイン端部においても、酸化物 230b の損傷領域が除去され、C A A C 構造を有することで、トランジスタ 200 の電気特性の変動をさらに抑制することができる。また、トランジスタ 200 の信頼性を向上させることができる。

【0288】

上記の不純物などを除去するために、洗浄処理を行う。洗浄方法としては、洗浄液などを用いたウェット洗浄、プラズマを用いたプラズマ処理、熱処理による洗浄などがあり、上記洗浄を適宜組み合わせてもよい。なお、当該洗浄処理によって、上記溝部が深くなる場合がある。

【0289】

ウェット洗浄としては、アンモニア水、シュウ酸、リン酸、フッ化水素酸などを炭酸水または純水で希釈した水溶液、純水、炭酸水などを用いて洗浄処理を行ってもよい。または、これらの水溶液、純水、または炭酸水を用いた超音波洗浄を行ってもよい。または、これらの洗浄を適宜組み合わせてもよい。

【0290】

なお、本明細書等では、市販のフッ化水素酸を純水で希釈した水溶液を希釈フッ化水素酸と呼び、市販のアンモニア水を純水で希釈した水溶液を希釈アンモニア水と呼ぶ場合がある。また、当該水溶液の濃度、温度などは、除去したい不純物、洗浄される半導体装置の構成などによって、適宜調整すればよい。希釈アンモニア水のアンモニア濃度は 0.01% 以上 5% 以下、好ましくは 0.1% 以上 0.5% 以下とすればよい。また、希釈フッ化水素酸のフッ化水素濃度は 0.01 ppm 以上 100 ppm 以下、好ましくは 0.1 ppm 以上 10 ppm 以下とすればよい。

【0291】

なお、超音波洗浄には、200 kHz 以上、好ましくは 900 kHz 以上の周波数を用いることが好ましい。当該周波数を用いることで、酸化物 230b などへのダメージを低減することができる。

【0292】

また、上記洗浄処理を複数回行ってもよく、洗浄処理毎に洗浄液を変更してもよい。例えば、第 1 の洗浄処理として希釈フッ化水素酸、または希釈アンモニア水を用いた処理を行い、第 2 の洗浄処理として純水、または炭酸水を用いた処理を行ってもよい。

【0293】

上記洗浄処理として、本実施の形態では、希釈フッ化水素酸を用いてウェット洗浄を行い、続いて純水、または炭酸水を用いてウェット洗浄を行う。当該洗浄処理を行うことで、酸化物 230a、酸化物 230b などの表面に付着または内部に拡散した不純物を除去することができる。さらに、酸化物 230b の結晶性を高めることができる。

【0294】

これまでドライエッチングなどの加工、または上記洗浄処理によって、上記開口と重なり、かつ酸化物 230b と重ならない領域の、絶縁体 224 の膜厚が、酸化物 230b と重なる領域の、絶縁体 224 の膜厚より薄くなる場合がある。

【0295】

上記エッチング後、または上記洗浄後に加熱処理を行ってもよい。加熱処理は、100 以上 450 以下、好ましくは 350 以上 400 以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを 10 ppm 以上、1% 以上、もしくは 10% 以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物 230a および酸化物 230b に酸素を供給して、酸素欠損 V_O の低減を図ることができる。また、このような熱処理を行うことで、酸化物 230b の結晶性を向上させることができる。また、加熱処理は減圧状態で行ってもよい。または、酸素雰囲気中で加熱処理した後に、大気に露出せずに連続して窒素雰囲気中で加熱処理を行ってもよい。

【0296】

10

20

30

40

50

次に絶縁膜 250 A を成膜する（図 13 A 乃至図 13 D 参照）。絶縁膜 250 A の成膜前に加熱処理を行ってもよく、当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して絶縁膜 250 A を成膜してもよい。また、当該加熱処理は、酸素を含む雰囲気で行うことが好ましい。このような処理を行うことによって、酸化物 230 b の表面などに吸着している水分および水素を除去し、さらに酸化物 230 a、および酸化物 230 b 中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100 以上 400 以下が好ましい。

【0297】

絶縁膜 250 A は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて成膜することができる。また、絶縁膜 250 A は、水素原子が低減または除去されたガスを用いた成膜方法で成膜することが好ましい。これにより、絶縁膜 250 A の水素濃度を低減することができる。絶縁膜 250 A は、後の工程で酸化物 230 b と接する絶縁体 250 となるので、このように水素濃度が低減されていることが好適である。

10

【0298】

また、絶縁膜 250 A は ALD 法を用いて成膜することが好ましい。微細化されたトランジスタ 200 の、ゲート絶縁膜として機能する絶縁体 250 の膜厚は、極めて薄く（例えば、5 nm 以上 30 nm 以下程度。）、且つバラつきが小さくなるようにする必要がある。これに対して、ALD 法は、プリカーサと、リアクタント（酸化剤）を交互に導入して行う成膜方法であり、このサイクルを繰り返す回数によって膜厚を調節することができるため、精密な膜厚調節が可能である。よって、微細化されたトランジスタ 200 が要求するゲート絶縁膜の精度を達成することができる。また、図 13 B、図 13 C に示すように、絶縁膜 250 A は、絶縁体 280 等によって形成される開口の底面および側面に、被覆性良く成膜される必要がある。当該開口の底面および側面において、原子の層を一層ずつ堆積させることができるので、絶縁膜 250 A を当該開口に対して良好な被覆性で成膜することができる。

20

【0299】

また、例えば、PECVD 法を用いて絶縁膜 250 A の成膜を行う場合、水素を含む成膜ガスがプラズマ中で分解されて、大量の水素ラジカルが発生する。水素ラジカルの還元反応によって、酸化物 230 b 中の酸素が引き抜かれて V_OH が形成されると、酸化物 230 b 中の水素濃度が高くなる。しかしながら、ALD 法を用いて絶縁膜 250 A を成膜すると、プリカーサの導入時モリアクタントの導入時も、水素ラジカルの発生を抑制することができる。よって、ALD 法を用いて絶縁膜 250 A を成膜することにより、酸化物 230 b 中の水素濃度が高くなることを防ぐことができる。

30

【0300】

なお、図 13 B、図 13 C、図 13 D では、絶縁膜 250 A を単層で図示したが、2 層以上の積層構造としてもよい。絶縁膜 250 A を 2 層の積層構造とする場合、絶縁膜 250 A の下層は、加熱により酸素が放出される絶縁体を用いて形成し、絶縁膜 250 A の上層は、酸素の拡散を抑制する機能を有する絶縁体を用いて形成することが好ましい。このような構成にすることで、絶縁体 250 の下層に含まれる酸素が、導電体 260 へ拡散するのを抑制することができる。つまり、酸化物 230 へ供給する酸素量の減少を抑制することができる。また、絶縁体 250 の下層に含まれる酸素による導電体 260 の酸化を抑制することができる。例えば、絶縁膜 250 A の下層は、上述した絶縁体 250 に用いることができる材料を用いて設け、絶縁膜 250 A の上層は、絶縁体 222 と同様の材料を用いて設けることができる。

40

【0301】

絶縁膜 250 A の上層として、具体的には、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、マグネシウムなどから選ばれた一種、もしくは二種以上が含まれた金属酸化物、または酸化物 230 として用いることができる金属酸化物を用いることができる。特に、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いることが好ましい。

50

【0302】

本実施の形態では、絶縁膜250Aは2層の積層構造とし、下層として酸化シリコンをPEALD法で成膜し、上層として酸化ハフニウムを熱ALD法で成膜する。

【0303】

なお、絶縁膜250Aを2層の積層構造とする場合、絶縁膜250Aの下層となる絶縁膜および絶縁膜250Aの上層となる絶縁膜は、大気環境に暴露せずに連続して成膜することが好ましい。大気開放せずに成膜することで、絶縁膜250Aの下層となる絶縁膜、および絶縁膜250Aの上層となる絶縁膜上に大気環境からの水素などの不純物または水分が付着することを防ぐことができ、絶縁膜250Aの下層となる絶縁膜と絶縁膜250Aの上層となる絶縁膜との界面近傍を清浄に保つことができる。

10

【0304】

次に、酸素を含む雰囲気中でマイクロ波処理を行う(図13A乃至図13D参照)。ここで、図13B、図13C、図13Dに示す、点線はマイクロ波、RFなどの高周波、酸素プラズマ、または酸素ラジカルなどを示す。マイクロ波処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する、マイクロ波処理装置を用いることが好ましい。また、マイクロ波処理装置は基板側にRFを印加する電源を有してもよい。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができる。また、基板側にRFを印加することで、高密度プラズマによって生成された酸素イオンを、効率よく酸化物230b中に導くことができる。また、上記マイクロ波処理は、減圧下で行うことが好ましく、圧力を60Pa以上、好ましくは133Pa以上、より好ましくは200Pa以上、さらに好ましくは400Pa以上とすればよい。また、酸素流量比($O_2 / O_2 + Ar$)が50%以下、好ましくは10%以上30%以下で行うとよい。また、処理温度は、750以下、好ましくは500以下、例えば400程度で行えばよい。また、酸素プラズマ処理を行った後に、外気に曝すことなく、連続して熱処理を行ってもよい。

20

【0305】

図13B、図13C、図13Dに示すように、酸素を含む雰囲気中でマイクロ波処理を行うことで、マイクロ波、またはRF等の高周波を用いて酸素ガスをプラズマ化し、当該酸素プラズマを酸化物230bの導電体242aと導電体242bの間の領域に作用させることができる。このとき、マイクロ波、またはRF等の高周波を領域230bcに照射することもできる。つまり、図2に示す領域230bcに、マイクロ波、またはRF等の高周波、酸素プラズマなどを作用させることができる。プラズマ、マイクロ波などの作用により、領域230bcの V_{OH} を分断し、水素Hを領域230bcから除去することができる。つまり、領域230bcにおいて、「 $V_{OH} \rightarrow H + V_O$ 」という反応が起きて、領域230bcの水素濃度を低減することができる。よって、領域230bc中の酸素欠損、および V_{OH} を低減し、キャリア濃度を低下させることができる。また、領域230bcで形成された酸素欠損に、上記酸素プラズマで発生した酸素ラジカル、または絶縁体250に含まれる酸素を供給することで、さらに、領域230bc中の酸素欠損を低減し、キャリア濃度を低下させることができる。

30

【0306】

一方、図2に示す領域230baおよび領域230bb上には、導電体242aおよび導電体242bが設けられている。図13B、図13C、図13Dに示すように、導電体242aおよび導電体242bは、マイクロ波、またはRF等の高周波、酸素プラズマなどの作用を遮蔽するので、これらの作用は領域230baおよび領域230bbには及ばない。これにより、マイクロ波処理によって、領域230baおよび領域230bbで、 V_{OH} の低減、および過剰な量の酸素供給が発生しないので、キャリア濃度の低下を防ぐことができる。

40

【0307】

このようにして、酸化物半導体の領域230bcで選択的に酸素欠損、および V_{OH} を除去して、領域230bcをi型または実質的にi型とすることができる。さらに、ソース領域またはドレイン領域として機能する領域230baおよび領域230bbに過剰な

50

酸素が供給されるのを抑制し、n型化を維持することができる。これにより、トランジスタ200の電気特性の変動を抑制し、基板面内でトランジスタ200の電気特性がばらつくのを抑制することができる。

【0308】

よって、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。また、信頼性が良好な半導体装置を提供することができる。また、良好な電気特性を有する半導体装置を提供することができる。

【0309】

図13に示す工程においては、絶縁膜250Aの成膜後にマイクロ波処理を行ったが、本発明はこれに限られるものではない。例えば、絶縁膜250Aの成膜前にマイクロ波処理をおこなってもよいし、絶縁膜250Aの成膜前と成膜後の両方でマイクロ波処理を行ってもよい。

10

【0310】

例えば、絶縁膜250Aを上述の2層構造とする場合、マイクロ波処理を行って、絶縁膜250Aの下層の酸化シリコンをPEALD法で成膜し、絶縁膜250Aの上層の酸化ハフニウムを熱ALD法で成膜すればよい。ここで、上記マイクロ波処理、酸化シリコンのPEALD成膜、および酸化ハフニウムの熱ALD成膜は、大気に暴露することなく、連続処理することが好ましい。例えば、マルチチャンバー方式の処理装置を用いればよい。また、上記マイクロ波処理を、PEALD装置の、プラズマ励起されたリアクタント(酸化剤)の処理で代替してもよい。ここで、リアクタント(酸化剤)としては、酸素ガスを

20

【0311】

また、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行ってもよい。このような処理を行うことで、絶縁膜250A中、酸化物230b中、および酸化物230a中の水素を効率よく除去することができる。また、水素の一部は、導電体242(導電体242a、および導電体242b)にゲッターリングされる場合がある。または、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行うステップを複数回繰り返して行ってもよい。加熱処理を繰り返し行うことで、絶縁膜250A中、酸化物230b中、および酸化物230a中の水素をさらに効率よく除去することができる。なお、加熱処理温度は、300 以上500 以下とすることが好ましい。

30

【0312】

また、マイクロ波処理を行って絶縁膜250Aの膜質を改質することで、水素、水、不純物等の拡散を抑制することができる。従って、導電体260となる導電膜の成膜などの後工程、または熱処理などの後処理により、絶縁膜250を介して、水素、水、不純物等が、酸化物230b、酸化物230aなどへ拡散することを抑制することができる。

【0313】

次に、導電体260aとなる導電膜、導電体260bとなる導電膜を順に成膜する。導電体260aとなる導電膜および導電体260bとなる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、ALD法を用いて、導電体260aとなる導電膜を成膜し、CVD法を用いて導電体260bとなる導電膜を成膜する。

40

【0314】

次に、CMP処理によって、絶縁膜250A、導電体260aとなる導電膜、および導電体260bとなる導電膜を絶縁膜280が露出するまで研磨することによって、絶縁膜250、および導電体260(導電体260a、および導電体260b)を形成する(図14A乃至図14D参照)。これにより、絶縁膜250は、酸化物230bに達する開口および酸化物230bの溝部の内壁(側壁、および底面)を覆うように配置される。また、導電体260は、絶縁膜250を介して、上記開口および上記溝部を埋め込むように配置される。

【0315】

50

次に、上記の加熱処理と同様の条件で加熱処理を行ってもよい。本実施の形態では、窒素雰囲気にて400の温度で1時間の処理を行う。該加熱処理によって、絶縁体250および絶縁体280中の水分濃度および水素濃度を低減させることができる。なお、上記加熱処理後、大気に曝すことなく連続して、次工程である絶縁体282の成膜を行ってもよい。

【0316】

次に、絶縁体250上、導電体260上、および絶縁体280上に、絶縁体282を形成する(図15A乃至図15D参照。)。絶縁体282の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。絶縁体282の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体282中の水素濃度を低減することができる。また、スパッタリング法を用いて、酸素を含む雰囲気中で絶縁体282の成膜を行うことで、成膜しながら、絶縁体280に酸素を添加することができる。これにより、絶縁体280に過剰酸素を含ませることができる。このとき、基板加熱を行いながら、絶縁体282を成膜することが好ましい。

10

【0317】

本実施の形態では、絶縁体282として、酸素ガスを含む雰囲気中でアルミニウムターゲットを用いて、パルスDCスパッタリング法で酸化アルミニウムを成膜する。パルスDCスパッタリング法を用いることで、膜厚分布をより均一にし、スパッタレート、および膜質を向上することができる。

20

【0318】

次に、絶縁体282上に、絶縁体283を形成する(図16A乃至図16D参照。)。絶縁体283の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。絶縁体283の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体283中の水素濃度を低減することができる。また、絶縁体283は、多層としてもよい。例えば、スパッタリング法を用いて、窒化シリコンを成膜し、当該窒化シリコン上に、CVD法を用いて窒化シリコンを成膜してもよい。バリア性の高い絶縁体283および絶縁体212でトランジスタ200を包み込むことで、外部から水分、および水素が侵入するのを防止することができる。

30

【0319】

次に、加熱処理を行ってもよい。本実施の形態では、窒素雰囲気にて400の温度で1時間の処理を行う。当該加熱処理によって、図2で示したように、絶縁体282の成膜によって添加された酸素を絶縁体280、絶縁体250へ拡散させ、酸化物230のチャネル形成領域へ選択的に供給することができる。なお、当該加熱処理は、絶縁体283の形成後に限らず、絶縁体282の成膜後などに行ってもよい。

【0320】

次に、絶縁体271、絶縁体273、絶縁体275、絶縁体280、絶縁体282、および絶縁体283に、導電体242に達する開口を形成する(図16A乃至図16D参照。)。当該開口の形成は、リソグラフィ法を用いて行えばよい。なお、図16Aで当該開口の形状は、上面視において円形状にしているが、これに限られるものではない。例えば、当該開口が、上面視において、楕円などの略円形状、四角形などの多角形状、四角形等の多角形の角部を丸めた形状になっていてもよい。

40

【0321】

次に、絶縁体241となる絶縁膜を成膜し、当該絶縁膜を異方性エッチングして絶縁体241を形成する。(図16A乃至図16D参照。)。絶縁体241となる絶縁膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。絶縁体241となる絶縁膜としては、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、ALD法を用いて、酸化アルミニウムを成膜することが好ましい。または、PEALD法を用いて、窒化シリコンを成膜することが好

50

ましい。窒化シリコンは水素に対するバリア性が高いので好ましい。

【0322】

また、絶縁体241となる絶縁膜の異方性エッチングとしては、例えばドライエッチング法などを用いればよい。開口の側壁部に絶縁体241を設けることで、外方からの酸素の透過を抑制し、次に形成する導電体240aおよび導電体240bの酸化を防止することができる。また、導電体240aおよび導電体240bから、水、水素などの不純物が外部に拡散することを防ぐことができる。

【0323】

次に、導電体240aおよび導電体240bとなる導電膜を成膜する。導電体240aおよび導電体240bとなる導電膜は、水、水素など不純物の透過を抑制する機能を有する導電体を含む積層構造とすることが望ましい。例えば、窒化タンタル、窒化チタンなどと、タングステン、モリブデン、銅など、との積層とすることができ、導電体240となる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

10

【0324】

次に、CMP処理を行うことで、導電体240aおよび導電体240bとなる導電膜の一部を除去し、絶縁体283の上面を露出する。その結果、開口のみに、当該導電膜が残存することで上面が平坦な導電体240aおよび導電体240bを形成することができる(図16A乃至図16D参照。)。なお、当該CMP処理により、絶縁体283の上面の一部および絶縁体274の上面の一部が除去される場合がある。

20

【0325】

次に、導電体246となる導電膜を成膜する。導電体246となる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

【0326】

次に、導電体246となる導電膜をリソグラフィー法によって加工し、導電体240aの上面と接する導電体246a、および導電体240bの上面と接する導電体246bを形成する(図1A乃至図1D参照。)。この時、導電体246aおよび導電体246bと、絶縁体283とが重ならない領域の絶縁体283の一部が除去されることがある。

【0327】

次に、導電体246上、および絶縁体283上に、絶縁体286を成膜する(図1A乃至図1D参照。)。絶縁体286の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。また、絶縁体286は、多層としてもよい。例えば、スパッタリング法を用いて、窒化シリコンを成膜し、当該窒化シリコン上に、CVD法を用いて窒化シリコンを成膜してもよい。

30

【0328】

以上により、図1A乃至図1Dに示すトランジスタ200を有する半導体装置を作製することができる。図4A乃至図16A、図4B乃至図16B、図4C乃至図16C、および図4D乃至図16Dに示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ200を作製することができる。

40

【0329】

<マイクロ波処理装置>

以下では、上記半導体装置の作製方法に用いることができる、マイクロ波処理装置について説明する。

【0330】

まずは、半導体装置などの製造時に不純物の混入が少ない製造装置の構成について図17、図18および図19を用いて説明する。

【0331】

図17は、枚葉式マルチチャンバーの製造装置2700の上面図を模式的に示している。製造装置2700は、基板を収容するカセットポート2761と、基板のアライメント

50

を行うアライメントポート 2762 と、を備える大気側基板供給室 2701 と、大気側基板供給室 2701 から、基板を搬送する大気側基板搬送室 2702 と、基板の搬入を行い、かつ室内の圧力を大気圧から減圧、または減圧から大気圧へ切り替えるロードロック室 2703a と、基板の搬出を行い、かつ室内の圧力を減圧から大気圧、または大気圧から減圧へ切り替えるアンロードロック室 2703b と、真空中の基板の搬送を行う搬送室 2704 と、チャンバー 2706a と、チャンバー 2706b と、チャンバー 2706c と、チャンバー 2706d と、を有する。

【0332】

また、大気側基板搬送室 2702 は、ロードロック室 2703a およびアンロードロック室 2703b と接続され、ロードロック室 2703a およびアンロードロック室 2703b は、搬送室 2704 と接続され、搬送室 2704 は、チャンバー 2706a、チャンバー 2706b、チャンバー 2706c およびチャンバー 2706d と接続する。

10

【0333】

なお、各室の接続部にはゲートバルブ GV が設けられており、大気側基板供給室 2701 と、大気側基板搬送室 2702 を除き、各室を独立して真空状態に保持することができる。また、大気側基板搬送室 2702 には搬送口ポット 2763a が設けられており、搬送室 2704 には搬送口ポット 2763b が設けられている。搬送口ポット 2763a および搬送口ポット 2763b によって、製造装置 2700 内で基板を搬送することができる。

【0334】

搬送室 2704 および各チャンバーの背圧（全圧）は、例えば、 $1 \times 10^{-4} \text{ Pa}$ 以下、好ましくは $3 \times 10^{-5} \text{ Pa}$ 以下、さらに好ましくは $1 \times 10^{-5} \text{ Pa}$ 以下とする。また、搬送室 2704 および各チャンバーの質量電荷比（ m/z ）が 18 である気体分子（原子）の分圧は、例えば、 $3 \times 10^{-5} \text{ Pa}$ 以下、好ましくは $1 \times 10^{-5} \text{ Pa}$ 以下、さらに好ましくは $3 \times 10^{-6} \text{ Pa}$ 以下とする。また、搬送室 2704 および各チャンバーの m/z が 28 である気体分子（原子）の分圧は、例えば、 $3 \times 10^{-5} \text{ Pa}$ 以下、好ましくは $1 \times 10^{-5} \text{ Pa}$ 以下、さらに好ましくは $3 \times 10^{-6} \text{ Pa}$ 以下とする。また、搬送室 2704 および各チャンバーの m/z が 44 である気体分子（原子）の分圧は、例えば、 $3 \times 10^{-5} \text{ Pa}$ 以下、好ましくは $1 \times 10^{-5} \text{ Pa}$ 以下、さらに好ましくは $3 \times 10^{-6} \text{ Pa}$ 以下とする。

20

【0335】

なお、搬送室 2704 および各チャンバー内の全圧および分圧は、質量分析計を用いて測定することができる。例えば、株式会社アルバック製四重極形質量分析計（Q-mass ともしいう。）QuLee CGM-051 を用いればよい。

【0336】

また、搬送室 2704 および各チャンバーは、外部リークまたは内部リークが少ない構成とすることが望ましい。例えば、搬送室 2704 および各チャンバーのリークレートは、 $3 \times 10^{-6} \text{ Pa} \cdot \text{m}^3 / \text{s}$ 以下、好ましくは $1 \times 10^{-6} \text{ Pa} \cdot \text{m}^3 / \text{s}$ 以下とする。また、例えば、 m/z が 18 である気体分子（原子）のリークレートが $1 \times 10^{-7} \text{ Pa} \cdot \text{m}^3 / \text{s}$ 以下、好ましくは $3 \times 10^{-8} \text{ Pa} \cdot \text{m}^3 / \text{s}$ 以下とする。また、例えば、 m/z が 28 である気体分子（原子）のリークレートが $1 \times 10^{-5} \text{ Pa} \cdot \text{m}^3 / \text{s}$ 以下、好ましくは $1 \times 10^{-6} \text{ Pa} \cdot \text{m}^3 / \text{s}$ 以下とする。また、例えば、 m/z が 44 である気体分子（原子）のリークレートが $3 \times 10^{-6} \text{ Pa} \cdot \text{m}^3 / \text{s}$ 以下、好ましくは $1 \times 10^{-6} \text{ Pa} \cdot \text{m}^3 / \text{s}$ 以下とする。

30

40

【0337】

なお、リークレートに関しては、前述の質量分析計を用いて測定した全圧および分圧から導出すればよい。リークレートは、外部リークおよび内部リークに依存する。外部リークは、微小な穴やシール不良などによって真空系外から気体が流入することである。内部リークは、真空系内のバルブなどの仕切りからの漏れや内部の部材からの放出ガスに起因する。リークレートを上述の数値以下とするために、外部リークおよび内部リークの両面

50

から対策をとる必要がある。

【0338】

例えば、搬送室2704および各チャンバーの開閉部分はメタルガスケットでシールするとよい。メタルガスケットは、フッ化鉄、酸化アルミニウム、または酸化クロムによって被覆された金属を用いると好ましい。メタルガスケットはリングと比べ密着性が高く、外部リークを低減できる。また、フッ化鉄、酸化アルミニウム、酸化クロムなどによって被覆された金属の不動態を用いることで、メタルガスケットから放出される不純物を含む放出ガスが抑制され、内部リークを低減することができる。

【0339】

また、製造装置2700を構成する部材として、不純物を含む放出ガスの少ないアルミニウム、クロム、チタン、ジルコニウム、ニッケルまたはバナジウムを用いる。また、前述の部材を鉄、クロムおよびニッケルなどを含む合金に被覆して用いてもよい。鉄、クロムおよびニッケルなどを含む合金は、剛性があり、熱に強く、また加工に適している。ここで、表面積を小さくするために部材の表面凹凸を研磨などによって低減しておく、放出ガスを低減できる。

10

【0340】

または、前述の製造装置2700の部材をフッ化鉄、酸化アルミニウム、酸化クロムなどで被覆してもよい。

【0341】

製造装置2700の部材は、極力金属のみで構成することが好ましく、例えば石英などで構成される覗き窓などを設置する場合も、放出ガスを抑制するために表面をフッ化鉄、酸化アルミニウム、酸化クロムなどで薄く被覆するとよい。

20

【0342】

搬送室2704および各チャンバーに存在する吸着物は、内壁などに吸着しているために搬送室2704および各チャンバーの圧力に影響しないが、搬送室2704および各チャンバーを排気した際のガス放出の原因となる。そのため、リークレートと排気速度に相関はないものの、排気能力の高いポンプを用いて、搬送室2704および各チャンバーに存在する吸着物をできる限り脱離し、あらかじめ排気しておくことは重要である。なお、吸着物の脱離を促すために、搬送室2704および各チャンバーをベーキングしてもよい。ベーキングすることで吸着物の脱離速度を10倍程度大きくすることができる。ベーキングは100以上450以下で行えばよい。このとき、不活性ガスを搬送室2704および各チャンバーに導入しながら吸着物の除去を行うと、排気するだけでは脱離しにくい水などの脱離速度をさらに大きくすることができる。なお、導入する不活性ガスをベーキングの温度と同程度に加熱することで、吸着物の脱離速度をさらに高めることができる。ここで不活性ガスとして希ガスを用いると好ましい。

30

【0343】

または、加熱した希ガスなどの不活性ガスまたは酸素などを導入することで搬送室2704および各チャンバー内の圧力を高め、一定時間経過後に再び搬送室2704および各チャンバーを排気する処理を行うと好ましい。加熱したガスの導入により搬送室2704および各チャンバー内の吸着物を脱離させることができ、搬送室2704および各チャンバー内に存在する不純物を低減することができる。なお、この処理は2回以上30回以下、好ましくは5回以上15回以下の範囲で繰り返し行うと効果的である。具体的には、温度が40以上400以下、好ましくは50以上200以下である不活性ガスまたは酸素などを導入することで搬送室2704および各チャンバー内の圧力を0.1Pa以上10kPa以下、好ましくは1Pa以上1kPa以下、さらに好ましくは5Pa以上100Pa以下とし、圧力を保つ期間を1分以上300分以下、好ましくは5分以上120分以下とすればよい。その後、搬送室2704および各チャンバーを5分以上300分以下、好ましくは10分以上120分以下の期間排気する。

40

【0344】

次に、チャンバー2706bおよびチャンバー2706cについて図18に示す断面模

50

式図を用いて説明する。

【0345】

チャンバー2706bおよびチャンバー2706cは、例えば、被処理物にマイクロ波処理を行うことが可能なチャンバーである。なお、チャンバー2706bと、チャンバー2706cと、はマイクロ波処理を行う際の雰囲気異なるのみである。そのほかの構成については共通するため、以下ではまとめて説明を行う。

【0346】

チャンバー2706bおよびチャンバー2706cは、スロットアンテナ板2808と、誘電体板2809と、基板ホルダ2812と、排気口2819と、を有する。また、チャンバー2706bおよびチャンバー2706cの外などには、ガス供給源2801と、バルブ2802と、高周波発生器2803と、導波管2804と、モード変換器2805と、ガス管2806と、導波管2807と、マッチングボックス2815と、高周波電源2816と、真空ポンプ2817と、バルブ2818と、が設けられる。

10

【0347】

高周波発生器2803は、導波管2804を介してモード変換器2805と接続している。モード変換器2805は、導波管2807を介してスロットアンテナ板2808に接続している。スロットアンテナ板2808は、誘電体板2809と接して配置される。また、ガス供給源2801は、バルブ2802を介してモード変換器2805に接続している。そして、モード変換器2805、導波管2807および誘電体板2809を通るガス管2806によって、チャンバー2706bおよびチャンバー2706cにガスが送られる。また、真空ポンプ2817は、バルブ2818および排気口2819を介して、チャンバー2706bおよびチャンバー2706cからガスなどを排気する機能を有する。また、高周波電源2816は、マッチングボックス2815を介して基板ホルダ2812に接続している。

20

【0348】

基板ホルダ2812は、基板2811を保持する機能を有する。例えば、基板2811を静電チャックまたは機械的にチャックする機能を有する。また、高周波電源2816から電力を供給される電極としての機能を有する。また、内部に加熱機構2813を有し、基板2811を加熱する機能を有する。

【0349】

真空ポンプ2817としては、例えば、ドライポンプ、メカニカルブースターポンプ、イオンポンプ、チタンサブリーションポンプ、クライオポンプまたはターボ分子ポンプなどを用いることができる。また、真空ポンプ2817に加えて、クライオトラップを用いてもよい。クライオポンプおよびクライオトラップを用いると、水を効率よく排気できて特に好ましい。

30

【0350】

また、加熱機構2813としては、例えば、抵抗発熱体などを用いて加熱する加熱機構とすればよい。または、加熱されたガスなどの媒体からの熱伝導または熱輻射によって、加熱する加熱機構としてもよい。例えば、GRTA (Gas Rapid Thermal Annealing) またはLRTA (Lamp Rapid Thermal Annealing) などのRTA (Rapid Thermal Annealing) を用いることができる。GRTAは、高温のガスを用いて加熱処理を行う。ガスとしては、不活性ガスが用いられる。

40

【0351】

また、ガス供給源2801は、マスフローコントローラを介して、精製機と接続されていてもよい。ガスは、露点が-80以下、好ましくは-100以下であるガスを用いることが好ましい。例えば、酸素ガス、窒素ガス、および希ガス(アルゴンガスなど)を用いればよい。

【0352】

誘電体板2809としては、例えば、酸化シリコン(石英)、酸化アルミニウム(アル

50

ミナ) または酸化イットリウム(イットリア)などを用いればよい。また、誘電体板 2809 の表面に、さらに別の保護層が形成されていてもよい。保護層としては、酸化マグネシウム、酸化チタン、酸化クロム、酸化ジルコニウム、酸化ハフニウム、酸化タンタル、酸化シリコン、酸化アルミニウムまたは酸化イットリウムなどを用いればよい。誘電体板 2809 は、後述する高密度プラズマ 2810 の特に高密度領域に曝されることになるため、保護層を設けることで損傷を緩和することができる。その結果、処理時のパーティクルの増加などを抑制することができる。

【0353】

高周波発生器 2803 では、例えば、0.3 GHz 以上 3.0 GHz 以下、0.7 GHz 以上 1.1 GHz 以下、または 2.2 GHz 以上 2.8 GHz 以下のマイクロ波を発生させる機能を有する。高周波発生器 2803 で発生させたマイクロ波は、導波管 2804 を介してモード変換器 2805 に伝わる。モード変換器 2805 では、TEモードとして伝わったマイクロ波が TEMモードに変換される。そして、マイクロ波は、導波管 2807 を介してスロットアンテナ板 2808 に伝わる。スロットアンテナ板 2808 は、複数のスロット孔が設けられており、マイクロ波は該スロット孔および誘電体板 2809 を通過する。そして、誘電体板 2809 の下方に電界を生じさせ、高密度プラズマ 2810 を生成することができる。高密度プラズマ 2810 には、ガス供給源 2801 から供給されたガス種に応じたイオンおよびラジカルが存在する。例えば、酸素ラジカルなどが存在する。

10

【0354】

このとき、基板 2811 が高密度プラズマ 2810 で生成されたイオンおよびラジカルによって、基板 2811 上の膜などを改質することができる。なお、高周波電源 2816 を用いて、基板 2811 側にバイアスを印加すると好ましい場合がある。高周波電源 2816 には、例えば、13.56 MHz、27.12 MHz などの周波数の RF 電源を用いればよい。基板側にバイアスを印加することで、高密度プラズマ 2810 中のイオンを基板 2811 上の膜などの開口部の奥まで効率よく到達させることができる。

20

【0355】

例えば、チャンバー 2706 b またはチャンバー 2706 c で、ガス供給源 2801 から酸素を導入することで高密度プラズマ 2810 を用いた酸素ラジカル処理を行うことができる。

30

【0356】

次に、チャンバー 2706 a およびチャンバー 2706 d について図 19 に示す断面模式図を用いて説明する。

【0357】

チャンバー 2706 a およびチャンバー 2706 d は、例えば、被処理物に電磁波の照射を行うことが可能なチャンバーである。なお、チャンバー 2706 a と、チャンバー 2706 d と、は電磁波の種類が異なるのみである。そのほかの構成については共通する部分が多いため、以下ではまとめて説明を行う。

【0358】

チャンバー 2706 a およびチャンバー 2706 d は、一または複数のランプ 2820 と、基板ホルダ 2825 と、ガス導入口 2823 と、排気口 2830 と、を有する。また、チャンバー 2706 a およびチャンバー 2706 d の外などには、ガス供給源 2821 と、バルブ 2822 と、真空ポンプ 2828 と、バルブ 2829 と、が設けられる。

40

【0359】

ガス供給源 2821 は、バルブ 2822 を介してガス導入口 2823 に接続している。真空ポンプ 2828 は、バルブ 2829 を介して排気口 2830 に接続している。ランプ 2820 は、基板ホルダ 2825 と向かい合って配置されている。基板ホルダ 2825 は、基板 2824 を保持する機能を有する。また、基板ホルダ 2825 は、内部に加熱機構 2826 を有し、基板 2824 を加熱する機能を有する。

【0360】

50

ランプ 2820 としては、例えば、可視光または紫外光などの電磁波を放射する機能を有する光源を用いればよい。例えば、波長 10 nm 以上 2500 nm 以下、500 nm 以上 2000 nm 以下、または 40 nm 以上 340 nm 以下にピークを有する電磁波を放射する機能を有する光源を用いればよい。

【0361】

例えば、ランプ 2820 としては、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプまたは高圧水銀ランプなどの光源を用いればよい。

【0362】

例えば、ランプ 2820 から放射される電磁波は、その一部または全部が基板 2824 に吸収されることで基板 2824 上の膜などを改質することができる。例えば、欠陥の生成もしくは低減、または不純物の除去などができる。なお、基板 2824 を加熱しながら行うと、効率よく、欠陥の生成もしくは低減、または不純物の除去などができる。

10

【0363】

または、例えば、ランプ 2820 から放射される電磁波によって、基板ホルダ 2825 を発熱させ、基板 2824 を加熱してもよい。その場合、基板ホルダ 2825 の内部に加熱機構 2826 を有さなくてもよい。

【0364】

真空ポンプ 2828 は、真空ポンプ 2817 についての記載を参照する。また、加熱機構 2826 は、加熱機構 2813 についての記載を参照する。また、ガス供給源 2821 は、ガス供給源 2801 についての記載を参照する。

20

【0365】

以上の製造装置を用いることで、被処理物への不純物の混入を抑制しつつ、膜の改質などが可能となる。

【0366】

<半導体装置の変形例>

以下では、図 20A 乃至図 20D、および図 21A 乃至図 21D を用いて、本発明の一態様である半導体装置の一例について説明する。

【0367】

各図 A は半導体装置の上面図を示す。また、各図 B は、各図 A に示す A1 - A2 の一点鎖線で示す部位に対応する断面図である。また、各図 C は、各図 A に A3 - A4 の一点鎖線で示す部位に対応する断面図である。また、各図 D は、各図 A に A5 - A6 の一点鎖線で示す部位に対応する断面図である。各図 A の上面図では、図の明瞭化のために一部の要素を省いている。

30

【0368】

なお、各図 A 乃至 D に示す半導体装置において、<半導体装置の構成例> に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目においても、半導体装置の構成材料については<半導体装置の構成例> で詳細に説明した材料を用いることができる。

【0369】

<半導体装置の変形例 1>

図 20A 乃至図 20D に示す半導体装置は、図 1A 乃至図 1D に示した半導体装置の変形例である。図 20A 乃至図 20D に示す半導体装置は、図 1A 乃至図 1D に示した半導体装置とは、絶縁体 283 の形状が異なる。また、絶縁体 284 および絶縁体 274 を有することが異なる。

40

【0370】

図 20A 乃至図 20D に示す半導体装置では、絶縁体 214、絶縁体 216、絶縁体 222、絶縁体 224、絶縁体 275、絶縁体 280、および絶縁体 282 がパターンニングされている。また、絶縁体 284 は、絶縁体 212、絶縁体 214、絶縁体 216、絶縁体 222、絶縁体 224、絶縁体 275、絶縁体 280、および絶縁体 282 を覆う構造

50

になっている。つまり、絶縁体 284 は、絶縁体 282 の上面と、絶縁体 214、絶縁体 216、絶縁体 222、絶縁体 224、絶縁体 275、および絶縁体 280 の側面と、絶縁体 212 の上面と、に接する。さらに、絶縁体 284 を覆って絶縁体 284 が配置されている。これにより、酸化物 230 などを含む、絶縁体 214、絶縁体 216、絶縁体 222、絶縁体 224、絶縁体 280、および絶縁体 282 は、絶縁体 283、絶縁体 284、および絶縁体 212 によって、外部から隔離される。別言すると、トランジスタ 200 は、絶縁体 284、および絶縁体 212 で封止された領域内に配置される。

【0371】

例えば、絶縁体 214、絶縁体 271、絶縁体 275、絶縁体 282、および絶縁体 284 を、水素を捕獲および水素を固着する機能を有する材料を用いて形成すればよい。なお、絶縁体 284 は、絶縁体 282 と同様の絶縁体を用いることができる。また、絶縁体 212、および絶縁体 283 を水素および酸素に対する拡散を抑制する機能を有する材料を用いて形成すればよい。絶縁体 214、絶縁体 271、絶縁体 275、絶縁体 282、および絶縁体 284 としては、アモルファス構造を有する金属酸化物、例えば酸化アルミニウムを用いることができる。また、代表的には、絶縁体 212、および絶縁体 283 としては、窒化シリコンを用いることができる。特に、絶縁体 284 として、アモルファス構造を有する酸化アルミニウム、またはアモルファス構造の酸化アルミニウムを用いることで、より効果的に水素を捕獲または固着できる場合があるため好ましい。これにより、良好な特性を有し、信頼性の高いトランジスタ 200、および半導体装置を作製することができる。

【0372】

上記構成にすることで、上記封止された領域外に含まれる水素が、上記封止された領域内に混入することを抑制することができる。

【0373】

また、図 20A 乃至図 20D に示すトランジスタ 200 では、絶縁体 212、および絶縁体 283 を、単層として設ける構成について示しているが、本発明はこれに限られるものではない。例えば、絶縁体 212、および絶縁体 283 のそれぞれを 2 層以上の積層構造として設ける構成にしてもよい。

【0374】

絶縁体 274 は、絶縁体 283 を覆って設けられており、層間膜として機能する。絶縁体 274 は、絶縁体 214 よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。絶縁体 274 は、例えば、絶縁体 280 と同様の材料を用いて設けることができる。

【0375】

<半導体装置の変形例 2>

図 21A 乃至図 21D に示す半導体装置は、図 20A 乃至図 20D に示した半導体装置の変形例である。図 21A 乃至図 21D に示す半導体装置は、図 20A 乃至図 20D に示した半導体装置とは、酸化物 230c および酸化物 230d を有することが異なる。また、絶縁体 287 を有することが異なる。また、絶縁体 271、絶縁体 272、絶縁体 273、および絶縁体 284 を有しないことが異なる。

【0376】

図 21A 乃至図 21D に示す半導体装置では、さらに、酸化物 230b 上の酸化物 230c と、酸化物 230c 上の酸化物 230d と、を有する。酸化物 230c および酸化物 230d は、絶縁体 280 および絶縁体 275 に形成された開口の中に設けられる。また、酸化物 230c は、酸化物 243a の側面、酸化物 243b の側面、導電体 242a の側面、導電体 242b の側面、および絶縁体 275 の側面とそれぞれ接する。また、酸化物 230c の上面、および酸化物 230d の上面は、絶縁体 282 に接する。

【0377】

酸化物 230c の上に、酸化物 230d を配置することで、酸化物 230d よりも上方に形成された構造物からの、酸化物 230b または酸化物 230c に対する不純物の拡散

を抑制することができる。また、酸化物 230c の上に、酸化物 230d を配置することで、酸化物 230b または酸化物 230c からの酸素の上方拡散を抑制することができる。

【0378】

また、トランジスタのチャネル長方向の断面視において、酸化物 230b に溝部を設け、当該溝部に、酸化物 230c を埋め込むことが好ましい。このとき、酸化物 230c は、当該溝部の内壁（側壁、および底面）を覆うように配置される。また、酸化物 230c の膜厚は、当該溝部の深さと同程度であることが好ましい。このような構成にすることで、導電体 260 などを埋め込むための開口を形成する際に、開口の底部にあたる酸化物 230b の表面に損傷領域が形成されても、当該損傷領域を除去することができる。これにより、損傷領域に起因するトランジスタ 200 の電気特性の不良を抑制することができる。

10

【0379】

ここで、酸化物 230c に用いる金属酸化物における、元素 M に対する In の原子数比が、酸化物 230a または酸化物 230d に用いる金属酸化物における、元素 M に対する In の原子数比より大きいことが好ましい。

【0380】

なお、酸化物 230c をキャリアの主たる経路とする場合には、酸化物 230c において、主成分である金属元素に対するインジウムの原子数比が、酸化物 230b における、主成分である金属元素に対するインジウムの原子数比より大きいことが好ましい。また、酸化物 230c において、元素 M に対する In の原子数比が、酸化物 230b における、元素 M に対する In の原子数比より大きいことが好ましい。インジウムの含有量が多い金属酸化物をチャネル形成領域に用いることで、トランジスタのオン電流を増大することができる。よって、酸化物 230c において、主成分である金属元素に対するインジウムの原子数比を、酸化物 230b における、主成分である金属元素に対するインジウムの原子数比よりも大きくすることで、酸化物 230c をキャリアの主たる経路とすることができる。また、酸化物 230c の伝導帯下端は、酸化物 230a および酸化物 230b の伝導帯下端より真空準位から離れていることが好ましい。言い換えると、酸化物 230c の電子親和力は、酸化物 230a および酸化物 230b の電子親和力より大きいことが好ましい。このとき、キャリアの主たる経路は酸化物 230c となる。

20

【0381】

酸化物 230c として、具体的には、 $In : M : Zn = 4 : 2 : 3$ [原子数比] もしくはその近傍の組成、 $In : M : Zn = 5 : 1 : 3$ [原子数比] もしくはその近傍の組成、または $In : M : Zn = 10 : 1 : 3$ [原子数比] もしくはその近傍の組成の金属酸化物、インジウム酸化物などを用いるとよい。

30

【0382】

また、酸化物 230c として、CAAC-Os を用いることが好ましく、酸化物 230c が有する結晶の c 軸が、酸化物 230c の被形成面または上面に概略垂直な方向を向いていることが好ましい。CAAC-Os は、c 軸と垂直方向に酸素を移動させやすい性質を有する。したがって、酸化物 230c が有する酸素を、酸化物 230b に効率的に供給することができる。

【0383】

40

また、酸化物 230d は、酸化物 230c に用いられる金属酸化物を構成する金属元素の少なくとも一つを含むことが好ましく、当該金属元素を全て含むことがより好ましい。例えば、酸化物 230c として、In-M-Zn 酸化物、In-Zn 酸化物、またはインジウム酸化物を用い、酸化物 230d として、In-M-Zn 酸化物、M-Zn 酸化物、または元素 M の酸化物を用いるとよい。これにより、酸化物 230c と酸化物 230d との界面における欠陥準位密度を低くすることができる。

【0384】

また、酸化物 230d の伝導帯下端が、酸化物 230c の伝導帯下端より真空準位に近いことが好ましい。言い換えると、酸化物 230d の電子親和力は、酸化物 230c の電子親和力より小さいことが好ましい。この場合、酸化物 230d は、酸化物 230a また

50

は酸化物 230b に用いることができる金属酸化物を用いることが好ましい。このとき、キャリアの主たる経路は酸化物 230c となる。

【0385】

具体的には、酸化物 230c として、 $I_n : M : Z_n = 4 : 2 : 3$ [原子数比] もしくはその近傍の組成、 $I_n : M : Z_n = 5 : 1 : 3$ [原子数比] もしくはその近傍の組成、または $I_n : M : Z_n = 10 : 1 : 3$ [原子数比] もしくはその近傍の組成の金属酸化物、または、インジウム酸化物を用いればよい。また、酸化物 230d として、 $I_n : M : Z_n = 1 : 3 : 4$ [原子数比] もしくはその近傍の組成、 $M : Z_n = 2 : 1$ [原子数比] もしくはその近傍の組成、または $M : Z_n = 2 : 5$ [原子数比] もしくはその近傍の組成の金属酸化物、または、元素 M の酸化物を用いればよい。なお、近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。また、元素 M として、ガリウムを用いることが好ましい。

10

【0386】

また、酸化物 230d は、酸化物 230c より、酸素の拡散または透過を抑制する金属酸化物であることが好ましい。絶縁体 250 と酸化物 230c との間に酸化物 230d を設けることで、酸化物 230c を介して、酸化物 230b に効率的に酸素を供給することができる。

【0387】

また、酸化物 230d に用いる金属酸化物において、主成分である金属元素に対する I_n の原子数比が、酸化物 230c に用いる金属酸化物における、主成分である金属元素に対する I_n の原子数比より小さくすることで、 I_n が絶縁体 250 側に拡散するのを抑制することができる。例えば、酸化物 230d において、元素 M に対する I_n の原子数比を、酸化物 230c における、元素 M に対する I_n の原子数比より小さくすればよい。絶縁体 250 は、ゲート絶縁体として機能するため、 I_n が絶縁体 250 などに混入した場合、トランジスタの特性不良となる。したがって、酸化物 230c と絶縁体 250 との間に酸化物 230d を設けることで、信頼性の高い半導体装置を提供することが可能となる。

20

【0388】

なお、酸化物 230c は、トランジスタ 200 毎に設けてもよい。つまり、トランジスタ 200 の酸化物 230c と、当該トランジスタ 200 に隣接するトランジスタ 200 の酸化物 230c と、は、接しなくてもよい。また、トランジスタ 200 の酸化物 230c と、当該トランジスタ 200 に隣接するトランジスタ 200 の酸化物 230c と、を、隔離してもよい。別言すると、酸化物 230c が、トランジスタ 200 と、当該トランジスタ 200 に隣接するトランジスタ 200 との間に配置されない構成としてもよい。

30

【0389】

複数のトランジスタ 200 がチャンネル幅方向に並んで配置されている半導体装置において、上記構成にすることで、トランジスタ 200 に酸化物 230c がそれぞれ独立して設けられる。よって、トランジスタ 200 と、当該トランジスタ 200 に隣接するトランジスタ 200 との間に、寄生トランジスタが生じるのを抑制し、上記リークパスが生じるのを抑制することができる。したがって、良好な電気特性を有し、かつ、微細化または高集積化が可能な半導体装置を提供することができる。

40

【0390】

なお、絶縁体 287 は、絶縁体 282 または絶縁体 284 と同様の絶縁体を用いることができる。また、図 20 に示す絶縁体 284 を成膜した後で、ドライエッチング法を用いて異方性エッチングすることで、図 21 に示す、絶縁体 214、絶縁体 216、絶縁体 222、絶縁体 224、絶縁体 275、絶縁体 280、および絶縁体 282 の側面に接する絶縁体 287 を形成することができる。

【0391】

また、図 21 に示すように、絶縁体 271、および絶縁体 273 を設けない構成にした場合、導電体 242 の側面と導電体 242 の上面との間に、湾曲面を有する場合がある。つまり、側面の端部と上面の端部は、湾曲している場合がある。湾曲面は、例えば、導電

50

体 2 4 2 の端部において、曲率半径が、3 nm 以上 1 0 nm 以下、好ましくは、5 nm 以上 6 nm 以下とする。端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。なお、本発明はこれに限られるものではなく、図 2 1 に示す構成において、さらに、絶縁体 2 7 1、絶縁体 2 7 2、および絶縁体 2 7 3 を設ける構成にしてもよい。

【 0 3 9 2 】

< 半導体装置の変形例 3 >

図 2 2 A 乃至図 2 2 D に示す半導体装置は、図 2 0 A 乃至図 2 0 D に示した半導体装置の変形例である。図 2 2 A 乃至図 2 2 D に示す半導体装置は、図 2 0 A 乃至図 2 0 D に示した半導体装置とは、絶縁体 2 1 4 の形状が異なる。また、絶縁体 2 7 2 を有しないことが異なる。また、絶縁体 2 7 5 の構造が異なる。

10

【 0 3 9 3 】

また、図 2 2 A 乃至図 2 2 D に示す半導体装置において、絶縁体 2 1 4、絶縁体 2 7 1、絶縁体 2 7 5 a、絶縁体 2 8 2、および絶縁体 2 8 4 は、それぞれ、アモルファス構造を有する金属酸化物を含むことが好ましい。例えば、絶縁体 2 1 4、絶縁体 2 7 1、絶縁体 2 7 5 a、絶縁体 2 8 2、および絶縁体 2 8 4 は、それぞれアモルファス構造を有する酸化アルミニウム、またはアモルファス構造の酸化アルミニウムであることが好ましい。絶縁体 2 1 4、絶縁体 2 7 1、絶縁体 2 7 5 a、絶縁体 2 8 2、および絶縁体 2 8 4 が、それぞれアモルファス構造を有する金属酸化物を含むことで、トランジスタ 2 0 0 に含まれる水素、またはトランジスタ 2 0 0 の周囲に存在する水素を捕獲または固着することができる。特にトランジスタ 2 0 0 のチャンネル形成領域に含まれる水素を捕獲または固着することが好ましい。

20

【 0 3 9 4 】

また、図 2 2 A 乃至図 2 2 C に示す半導体装置において、ゲート絶縁膜として機能する絶縁体 2 5 0 は、絶縁体 2 5 0 a、および絶縁体 2 5 0 b の積層構造を有する。例えば、絶縁体 2 5 0 a として酸化シリコンを用い、絶縁体 2 5 0 b として酸化ハフニウムを用いることができる。

【 0 3 9 5 】

図 2 2 B 乃至図 2 2 D に示すように、絶縁体 2 1 4 は、絶縁体 2 2 2 と重畳する領域以外にも存在する。また、絶縁体 2 1 4 が絶縁体 2 2 2 と重畳しない領域において、絶縁体 2 1 4 の上面は、絶縁体 2 8 4 の下面と接する。さらに、絶縁体 2 1 4 の下層には絶縁体 2 1 2 が設けられ、絶縁体 2 8 4 の上方には絶縁体 2 8 3 が設けられている。このため、トランジスタ 2 0 0 は、絶縁体 2 1 4、および絶縁体 2 8 4 により封止され、さらに絶縁体 2 1 2、および絶縁体 2 8 3 により封止される。別言すると、トランジスタ 2 0 0 は、水素を捕獲または固着する絶縁体 2 1 4、および絶縁体 2 8 4 により封止され、さらに水素および酸素に対する拡散を抑制する絶縁体 2 1 2、および絶縁体 2 8 3 により封止される。このような構造とすることで、良好な特性を有し、信頼性の高いトランジスタ 2 0 0、および半導体装置を作製することができる。

30

【 0 3 9 6 】

本変形例に示す半導体装置において、絶縁体 2 7 5 は、絶縁体 2 7 5 a、および絶縁体 2 7 5 b の積層構造を有する。例えば、絶縁体 2 7 5 a としてアモルファス構造を有する酸化アルミニウムを用い、絶縁体 2 7 5 b として窒化シリコンを用いることができる。本変形例に示す半導体装置は、絶縁体 2 7 2 を有しないため、絶縁体 2 7 5 a は、酸化物 2 3 0 a、酸化物 2 3 0 b、酸化物 2 4 3、導電体 2 4 2、絶縁体 2 7 1 の側面と接する。このため、絶縁体 2 7 5 a により酸化物 2 3 0 a、酸化物 2 3 0 b、酸化物 2 4 3 などに含まれる水素を捕獲または固着することができる。特にトランジスタ 2 0 0 のチャンネル形成領域に含まれる水素を捕獲または固着することが好ましい。

40

【 0 3 9 7 】

< 半導体装置の変形例 4 >

図 2 3 A 乃至図 2 3 D に示す半導体装置は、図 2 2 A 乃至図 2 2 D に示した半導体装置の変形例である。図 2 3 A 乃至図 2 3 D に示す半導体装置は、図 2 2 A 乃至図 2 2 D に示

50

した半導体装置とは、絶縁体 271 の形状が異なる。また、絶縁体 273 を有しないことが異なる。

【0398】

図 23B に示すように、絶縁体 273 が設けられていないため、絶縁体 275a は、絶縁体 271 の上面と接するように設けられる。

【0399】

絶縁体 271 は、トランジスタ 200 の作製工程において、ハードマスクとして用いられる。本変形例では、絶縁体 271 と同様にハードマスクとして機能し得る絶縁体 273 が設けられていないため、その分、絶縁体 271 の厚さを調整し、トランジスタ 200 の作製工程において絶縁体 271 の消失を抑制することが好ましい。具体的には、本変形例の絶縁体 271 を、先に記載した半導体装置、または変形例 1 乃至変形例 3 で説明した絶縁体 271 より厚く形成することが好ましい。

10

【0400】

<半導体装置の応用例>

以下では、図 24A および図 24B を用いて、先の<半導体装置の構成例>および先の<半導体装置の変形例>で示したものと異なる、本発明の一態様に係るトランジスタ 200 を有する半導体装置の一例について説明する。なお、図 24A および図 24B に示す半導体装置において、<<半導体装置の変形例>>に示した半導体装置(図 20A 乃至図 20D 参照。)を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目において、トランジスタ 200 の構成材料については<半導体装置の構成例>および<半導体装置の変形例>で詳細に説明した材料を用いることができる。

20

【0401】

図 24A および図 24B に、複数のトランジスタ 200₁ 乃至トランジスタ 200_n を、絶縁体 283 と絶縁体 212 で、包括して封止した構成について示す。なお、図 24A および図 24B において、トランジスタ 200₁ 乃至トランジスタ 200_n は、チャンネル長方向に並んでいるように見えるが、これにかぎられるものではない。トランジスタ 200₁ 乃至トランジスタ 200_n は、チャンネル幅方向に並んでいてもよいし、マトリクス状に配置されていてもよい。また、設計に応じて、規則性を持たずに配置されていてもよい。

【0402】

図 24A に示すように、複数のトランジスタ 200₁ 乃至トランジスタ 200_n の外側において、絶縁体 283 と絶縁体 212 が接する部分(以下、封止部 265 と呼ぶ場合がある。)が形成されている。封止部 265 は、複数のトランジスタ 200₁ 乃至トランジスタ 200_n を囲むように形成されている。このような構造にすることで、複数のトランジスタ 200₁ 乃至トランジスタ 200_n を絶縁体 283 と絶縁体 212 で包み込むことができる。よって封止部 265 に囲まれたトランジスタ群が、基板上に複数設けられることになる。

30

【0403】

また、封止部 265 に重ねてダイシングライン(スクライブライン、分断ライン、又は切断ラインと呼ぶ場合がある)を設けてもよい。上記基板はダイシングラインにおいて分断されるので、封止部 265 に囲まれたトランジスタ群が 1 チップとして取り出されることになる。

40

【0404】

また、図 24A では、複数のトランジスタ 200₁ 乃至トランジスタ 200_n を一つの封止部 265 で囲む例について示したが、これに限られるものではない。図 24B に示すように、複数のトランジスタ 200₁ 乃至トランジスタ 200_n を複数の封止部で囲む構成にしてもよい。図 24B では、複数のトランジスタ 200₁ 乃至トランジスタ 200_n を封止部 265a で囲み、さらに外側の封止部 265b でも囲む構成にしている。

【0405】

50

このように、複数の封止部で複数のトランジスタ 200__1乃至トランジスタ 200__nを囲む構成にすることで、絶縁体 283と絶縁体 212が接する部分が増えるので、絶縁体 283と絶縁体 212の密着性をより向上させることができる。これにより、より確実に複数のトランジスタ 200__1乃至トランジスタ 200__nを封止することができる。

【0406】

この場合、封止部 265 aまたは封止部 265 bに重ねてダイシングラインを設けてもよいし、封止部 265 aと封止部 265 bの間にダイシングラインを設けてもよい。

【0407】

なお、図 24 A、図 24 Bに示すトランジスタでは、図 20に示すトランジスタ 200と異なり、絶縁体 274の上面が、絶縁体 283の上面と略一致する構成をとっている。また、絶縁体 284を設けない構成としている。本発明はこれに限られるものではなく、例えば、絶縁体 274が絶縁体 283を覆う構成にしてもよいし、絶縁体 284を設ける構成にしてもよい。

10

【0408】

本発明の一態様により、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。または、本発明の一態様により、信頼性が良好な半導体装置を提供することができる。または、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、オン電流が大きい半導体装置を提供することができる。または、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、低消費電力の半導体装置を提供することができる。

20

【0409】

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す他の構成、方法、他の実施の形態に示す構成、方法、または実施例に示す構成、方法などと適宜組み合わせる用いることができる。

【0410】

(実施の形態 2)

本実施の形態では、半導体装置の一形態を、図 25乃至図 30を用いて説明する。

【0411】

[記憶装置 1]

本発明の一態様に係る半導体装置(記憶装置)の一例を図 25に示す。本発明の一態様の半導体装置は、トランジスタ 200はトランジスタ 300の上方に設けられ、容量素子 100はトランジスタ 300、およびトランジスタ 200の上方に設けられている。なお、トランジスタ 200として、先の実施の形態で説明したトランジスタ 200を用いることができる。

30

【0412】

トランジスタ 200は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ 200は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

40

【0413】

図 25に示す半導体装置において、配線 1001はトランジスタ 300のソースと電氣的に接続され、配線 1002はトランジスタ 300のドレインと電氣的に接続されている。また、配線 1003はトランジスタ 200のソースおよびドレインの一方と電氣的に接続され、配線 1004はトランジスタ 200の第1のゲートと電氣的に接続され、配線 1006はトランジスタ 200の第2のゲートと電氣的に接続されている。そして、トランジスタ 300のゲート、およびトランジスタ 200のソースおよびドレインの他方は、容量素子 100の電極の一方と電氣的に接続され、配線 1005は容量素子 100の電極の他方と電氣的に接続されている。

50

【0414】

また、図25に示す記憶装置は、マトリクス状に配置することで、メモリセルアレイを構成することができる。

【0415】

<トランジスタ300>

トランジスタ300は、基板311上に設けられ、ゲートとして機能する導電体316、ゲート絶縁体として機能する絶縁体315、基板311の一部からなる半導体領域313、およびソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

10

【0416】

ここで、図25に示すトランジスタ300はチャンネルが形成される半導体領域313(基板311の一部)が凸形状を有する。また、半導体領域313の側面および上面を、絶縁体315を介して、導電体316が覆うように設けられている。なお、導電体316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ300は半導体基板の凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

【0417】

なお、図25に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

20

【0418】

<容量素子100>

容量素子100は、トランジスタ200の上方に設けられる。容量素子100は、第1の電極として機能する導電体110と、第2の電極として機能する導電体120、および誘電体として機能する絶縁体130とを有する。ここで、絶縁体130は、上記実施の形態に示す絶縁体286として用いることができる絶縁体を用いることが好ましい。

【0419】

また、例えば、導電体240上に設けた導電体112と、導電体110は、同時に形成することができる。なお、導電体112は、容量素子100、トランジスタ200、またはトランジスタ300と電氣的に接続するプラグ、または配線としての機能を有する。また、導電体112および導電体110は、先の実施の形態に示す導電体246に相当する。

30

【0420】

図25では、導電体112、および導電体110は単層構造を示したが、当該構成に限定されず、2層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

【0421】

また、絶縁体130は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。

40

【0422】

例えば、絶縁体130には、酸化窒化シリコンなどの絶縁耐力が大きい材料と、高誘電率(high-k)材料との積層構造を用いることが好ましい。当該構成により、容量素子100は、高誘電率(high-k)の絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい絶縁体を有することで、絶縁耐力が向上し、容量素子100の静電破壊を抑制することができる。

【0423】

50

なお、高誘電率（high-k）材料（高い比誘電率の材料）の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などがある。

【0424】

一方、絶縁耐力が大きい材料（低い比誘電率の材料）としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などがある。

【0425】

<配線層>

各構造体の間には、層間膜、配線、およびプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。ここで、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電気的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

【0426】

例えば、トランジスタ300上には、層間膜として、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が順に積層して設けられている。また、絶縁体320、絶縁体322、絶縁体324、および絶縁体326には容量素子100、またはトランジスタ200と電気的に接続する導電体328、および導電体330等が埋め込まれている。なお、導電体328、および導電体330はプラグ、または配線として機能する。

【0427】

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化処理により平坦化されていてもよい。

【0428】

絶縁体326、および導電体330上に、配線層を設けてもよい。例えば、図25において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、プラグ、または配線として機能する。

【0429】

同様に、絶縁体210、絶縁体212、絶縁体214、および絶縁体216には、導電体218、及びトランジスタ200を構成する導電体（導電体205）等が埋め込まれている。なお、導電体218は、容量素子100、またはトランジスタ300と電気的に接続するプラグ、または配線としての機能を有する。さらに、導電体120、および絶縁体130上には、絶縁体150が設けられている。

【0430】

ここで、上記実施の形態に示す絶縁体241と同様に、プラグとして機能する導電体218の側面に接して絶縁体217が設けられる。絶縁体217は、絶縁体210、絶縁体212、絶縁体214、および絶縁体216に形成された開口の内壁に接して設けられている。つまり、絶縁体217は、導電体218と、絶縁体210、絶縁体212、絶縁体214、および絶縁体216と、の間に設けられている。なお、導電体205は導電体218と並行して形成することができるので、導電体205の側面に接して絶縁体217が形成される場合もある。

【0431】

絶縁体217としては、例えば、窒化シリコン、酸化アルミニウム、または窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体217は、絶縁体210、絶縁体212、絶

10

20

30

40

50

縁体 2 1 4、および絶縁体 2 2 2 に接して設けられるので、絶縁体 2 1 0 または絶縁体 2 1 6 などから水または水素などの不純物が、導電体 2 1 8 を通じて酸化物 2 3 0 に混入するのを抑制することができる。特に、窒化シリコンは水素に対するバリア性が高いので好適である。また、絶縁体 2 1 0 または絶縁体 2 1 6 に含まれる酸素が導電体 2 1 8 に吸収されるのを防ぐことができる。

【 0 4 3 2 】

絶縁体 2 1 7 は、絶縁体 2 4 1 と同様の方法で形成することができる。例えば、P E A L D 法を用いて、窒化シリコンを成膜し、異方性エッチングを用いて導電体 3 5 6 に達する開口を形成すればよい。

【 0 4 3 3 】

層間膜として用いることができる絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

【 0 4 3 4 】

例えば、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

【 0 4 3 5 】

例えば、絶縁体 1 5 0、絶縁体 2 1 0、絶縁体 3 5 2、および絶縁体 3 5 4 等には、比誘電率の低い絶縁体を有することが好ましい。例えば、当該絶縁体は、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。または、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂との積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。

【 0 4 3 6 】

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。従って、絶縁体 2 1 4、絶縁体 2 1 2 および絶縁体 3 5 0 等には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。

【 0 4 3 7 】

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジウム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

【 0 4 3 8 】

配線、プラグに用いることができる導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を 1 種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

【 0 4 3 9 】

10

20

30

40

50

例えば、導電体 3 2 8、導電体 3 3 0、導電体 3 5 6、導電体 2 1 8、および導電体 1 1 2 等としては、上記の材料で形成される金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

【 0 4 4 0 】

< 酸化物半導体が設けられた層の配線、またはプラグ >

なお、トランジスタ 2 0 0 に、酸化物半導体を用いる場合、酸化物半導体の近傍に過剰酸素領域を有する絶縁体が設けられることがある。その場合、該過剰酸素領域を有する絶縁体と、該過剰酸素領域を有する絶縁体に設ける導電体との間に、バリア性を有する絶縁体を設けることが好ましい。

10

【 0 4 4 1 】

例えば、図 2 5 では、過剰酸素を有する絶縁体 2 2 4 および絶縁体 2 8 0 と、導電体 2 4 0 との間に、絶縁体 2 4 1 を設けるとよい。絶縁体 2 4 1 と、絶縁体 2 2 2、絶縁体 2 7 5、絶縁体 2 8 2、および絶縁体 2 8 3 とが接して設けられることで、絶縁体 2 2 4、およびトランジスタ 2 0 0 は、バリア性を有する絶縁体により、封止する構造とすることができる。

【 0 4 4 2 】

つまり、絶縁体 2 4 1 を設けることで、絶縁体 2 2 4 および絶縁体 2 8 0 が有する過剰酸素が、導電体 2 4 0 に吸収されることを抑制することができる。また、絶縁体 2 4 1 を有することで、不純物である水素が、導電体 2 4 0 を介して、トランジスタ 2 0 0 へ拡散することを抑制することができる。

20

【 0 4 4 3 】

なお、絶縁体 2 4 1 としては、水または水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、窒化シリコン、窒化酸化シリコン、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。特に、窒化シリコンは水素に対するバリア性が高いため好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物などを用いることができる。

30

【 0 4 4 4 】

また、上記実施の形態で示したように、トランジスタ 2 0 0 は、絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 8 2、および絶縁体 2 8 3 で封止される構成にしてもよい。このような構成とすることで、絶縁体 2 7 4、絶縁体 1 5 0 などに含まれる水素が絶縁体 2 8 0 などに混入するのを低減することができる。

【 0 4 4 5 】

ここで絶縁体 2 8 3、および絶縁体 2 8 2 には導電体 2 4 0 が、絶縁体 2 1 4、および絶縁体 2 1 2 には導電体 2 1 8 が貫通しているが、上記の通り、絶縁体 2 4 1 が導電体 2 4 0 に接して設けられ、絶縁体 2 1 7 が導電体 2 1 8 に接して設けられている。これにより、導電体 2 4 0 および導電体 2 1 8 を介して、絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 8 2、および絶縁体 2 8 3 の内側に混入する水素を低減することができる。このようにして、絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 8 2、絶縁体 2 8 3、絶縁体 2 4 1、および絶縁体 2 1 7 でトランジスタ 2 0 0 を封止し、絶縁体 2 7 4 等に含まれる水素などの不純物が外側から混入するのを低減することができる。

40

【 0 4 4 6 】

< ダイシングライン >

以下では、大面積基板を半導体素子ごとに分断することによって、複数の半導体装置をチップ状で取り出す場合に設けられるダイシングライン（スクライプライン、分断ライン、又は切断ラインと呼ぶ場合がある）について説明する。分断方法としては、例えば、ま

50

ず、基板に半導体素子を分断するための溝（ダイシングライン）を形成した後、ダイシングラインにおいて切断し、複数の半導体装置に分断（分割）する場合がある。

【0447】

ここで、例えば、図25に示すように、絶縁体283と、絶縁体212とが接する領域がダイシングラインと重なるように設計することが好ましい。つまり、複数のトランジスタ200を有するメモリセルの外縁に設けられるダイシングラインとなる領域近傍において、絶縁体282、絶縁体280、絶縁体275、絶縁体224、絶縁体222、絶縁体216、および絶縁体214に開口を設ける。

【0448】

つまり、絶縁体282、絶縁体280、絶縁体275、絶縁体224、絶縁体222、絶縁体216、および絶縁体214に設けた開口において、絶縁体212と、絶縁体283とが接する。例えば、このとき、絶縁体212と、絶縁体283とを同材料及び同方法を用いて形成してもよい。絶縁体212、および絶縁体283を、同材料、および同方法で設けることで、密着性を高めることができる。例えば、窒化シリコンを用いることが好ましい。

10

【0449】

当該構造により、絶縁体212、絶縁体214、絶縁体282、および絶縁体283で、トランジスタ200を包み込むことができる。絶縁体212、絶縁体214、絶縁体282、および絶縁体283の少なくとも一は、酸素、水素、及び水の拡散を抑制する機能を有しているため、本実施の形態に示す半導体素子が形成された回路領域ごとに、基板を分断することにより、複数のチップに加工しても、分断した基板の側面方向から、水素又は水などの不純物が混入し、トランジスタ200に拡散することを防ぐことができる。

20

【0450】

また、当該構造により、絶縁体280、および絶縁体224の過剰酸素が外部に拡散することを防ぐことができる。従って、絶縁体280、および絶縁体224の過剰酸素は、効率的にトランジスタ200におけるチャンネルが形成される酸化物に供給される。当該酸素により、トランジスタ200におけるチャンネルが形成される酸化物の酸素欠損を低減することができる。これにより、トランジスタ200におけるチャンネルが形成される酸化物を欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ200の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

30

【0451】

なお、図25に示す記憶装置では、容量素子100の形状をプレーナ型としたが、本実施の形態に示す記憶装置はこれに限られるものではない。例えば、図26に示すように、容量素子100の形状をシリンダ型にしてもよい。なお、図26に示す記憶装置は、絶縁体150より下の構成は、図25に示す半導体装置と同様である。

【0452】

図26に示す容量素子100は、絶縁体130上の絶縁体150と、絶縁体150上の絶縁体142と、絶縁体150および絶縁体142に形成された開口の中に配置された導電体115と、導電体115および絶縁体142上の絶縁体145と、絶縁体145上の導電体125と、導電体125および絶縁体145上の絶縁体152と、を有する。ここで、絶縁体150および絶縁体142に形成された開口の中に導電体115、絶縁体145、および導電体125の少なくとも一部が配置される。また、絶縁体152上に絶縁体154が配置され、絶縁体154上に導電体153と絶縁体156が配置される。ここで、導電体140は、絶縁体130、絶縁体150、絶縁体142、絶縁体145、絶縁体152、および絶縁体154に形成された開口の中に設けられている。

40

【0453】

導電体115は容量素子100の下部電極として機能し、導電体125は容量素子100の上部電極として機能し、絶縁体145は、容量素子100の誘電体として機能する。容量素子100は、絶縁体150および絶縁体142の開口において、底面だけでなく、

50

側面においても上部電極と下部電極とが誘電体を挟んで対向する構成となっており、単位面積当たりの静電容量を大きくすることができる。よって、当該開口の深さを深くするほど、容量素子100の静電容量を大きくすることができる。このように容量素子100の単位面積当たりの静電容量を大きくすることにより、半導体装置の微細化または高集積化を推し進めることができる。

【0454】

絶縁体152は、絶縁体280に用いることができる絶縁体を用いればよい。また、絶縁体142は、絶縁体150の開口を形成するときのエッチングストッパとして機能することが好ましく、絶縁体214に用いることができる絶縁体を用いればよい。

【0455】

絶縁体150および絶縁体142に形成された開口を上面から見た形状は、四角形としてもよいし、四角形以外の多角形状としてもよいし、多角形状において角部を湾曲させた形状としてもよいし、楕円を含む円形状としてもよい。ここで、上面視において、当該開口とトランジスタ200の重なる面積が多い方が好ましい。このような構成にすることにより、容量素子100とトランジスタ200を有する半導体装置の占有面積を低減することができる。

【0456】

導電体115は、絶縁体142、および絶縁体150に形成された開口に接して配置される。導電体115の上面は、絶縁体142の上面と略一致することが好ましい。また、導電体115の下面は、絶縁体130の開口を介して導電体110に接する。導電体115は、ALD法またはCVD法などを用いて成膜することが好ましく、例えば、導電体205に用いることができる導電体を用いればよい。

【0457】

絶縁体145は、導電体115および絶縁体142を覆うように配置される。例えば、ALD法またはCVD法などを用いて絶縁体145を成膜することが好ましい。絶縁体145は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ジルコニウム、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。例えば、絶縁体145として、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁膜を用いることができる。

【0458】

また、絶縁体145には、酸化窒化シリコンなどの絶縁耐力が大きい材料、または高誘電率(high-k)材料を用いることが好ましい。または、絶縁耐力が大きい材料と高誘電率(high-k)材料の積層構造を用いてもよい。

【0459】

なお、高誘電率(high-k)材料(高い比誘電率の材料)の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する窒化物などがある。このようなhigh-k材料を用いることで、絶縁体145を厚くしても容量素子100の静電容量を十分確保することができる。絶縁体145を厚くすることにより、導電体115と導電体125の間に生じるリーク電流を抑制することができる。

【0460】

一方、絶縁耐力が大きい材料としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、樹脂などがある。例えば、ALD法を用いて成膜した窒化シリコン(SiN_x)、PEALD法を用いて成膜した酸化シリコン(SiO_x)、ALD法を用いて成膜した窒化シリコン(SiN_x)

10

20

30

40

50

の順番で積層された絶縁膜を用いることができる。このような、絶縁耐力が大きい絶縁体を用いることで、絶縁耐力が向上し、容量素子 100 の静電破壊を抑制することができる。

【0461】

導電体 125 は、絶縁体 142 および絶縁体 150 に形成された開口を埋めるように配置される。また、導電体 125 は、導電体 140、および導電体 153 を介して配線 1005 と電気的に接続している。導電体 125 は、ALD 法または CVD 法などを用いて成膜することが好ましく、例えば、導電体 205 に用いることができる導電体を用いればよい。

【0462】

また、導電体 153 は、絶縁体 154 上に設けられており、絶縁体 156 に覆われている。導電体 153 は、導電体 112 に用いることができる導電体を用いればよく、絶縁体 156 は、絶縁体 152 に用いることができる絶縁体を用いればよい。ここで、導電体 153 は導電体 140 の上面に接しており、容量素子 100、トランジスタ 200、またはトランジスタ 300 の端子として機能する。

10

【0463】

[記憶装置 2]

本発明の一態様に係る半導体装置（記憶装置）の一例を図 27A および図 27B に示す。

【0464】

<メモリデバイスの構成例 1>

図 27A は、メモリデバイス 290 を有する半導体装置の断面図である。図 27A に示すメモリデバイス 290 は、図 1A 乃至図 1D に示すトランジスタ 200 に加えて、容量デバイス 292 を有する。図 27A は、トランジスタ 200 のチャネル長方向の断面図に相当する。

20

【0465】

容量デバイス 292 は、導電体 242b と、導電体 242b 上に設けられた絶縁体 271b および絶縁体 273b と、導電体 242b の側面に接して設けられた絶縁体 272b と、絶縁体 273b、および絶縁体 272b を覆って設けられた絶縁体 275 と、絶縁体 275 上の導電体 294 と、を有する。すなわち、容量デバイス 292 は、MIM (Metal-Insulator-Metal) 容量を構成している。なお、容量デバイス 292 が有する一対の電極の一方、すなわち導電体 242b は、トランジスタのソース電極を兼ねることができる。また、容量デバイス 292 が有する誘電体層は、トランジスタに設けられる保護層、すなわち絶縁体 271、絶縁体 272、および絶縁体 275 を兼ねることができる。したがって、容量デバイス 292 の作製工程において、トランジスタの作製工程の一部を兼用することができるため、生産性の高い半導体装置とすることができる。また、容量デバイス 292 が有する一対の電極の一方、すなわち導電体 242b は、トランジスタのソース電極と兼ねているため、トランジスタと、容量デバイスとが配置される面積を低減させることが可能となる。

30

【0466】

なお、導電体 294 としては、例えば、導電体 242 に用いることのできる材料を用いればよい。

40

【0467】

<メモリデバイスの構成例 2>

図 27B は、図 27A に示す構造とは異なる、メモリデバイス 290 を有する半導体装置の断面図である。図 27B に示すメモリデバイス 290 は、図 22A 乃至図 22D に示すトランジスタ 200 に加えて、容量デバイス 292 を有する。ここで、図 27B に示す容量デバイス 292 の一部は、図 27A に示す容量デバイス 292 と異なり、絶縁体 280、絶縁体 275、絶縁体 273b、および絶縁体 271b に形成された開口の中に設けられる。なお、図 27B は、トランジスタ 200 のチャネル長方向の断面図に相当する。

【0468】

容量デバイス 292 は、導電体 242b と、導電体 242b 上に設けられた絶縁体 29

50

3と、絶縁体293上に設けられた導電体294と、を有する。ここで、絶縁体293および導電体294は、絶縁体280、絶縁体275、絶縁体273b、および絶縁体271bに形成された開口の中に配置されている。絶縁体293は、当該開口の底面および側壁に接して設けられている。つまり、絶縁体293は、導電体242bの上面、絶縁体271bの側面、絶縁体273bの側面、絶縁体275aの側面、絶縁体275bの側面、および絶縁体280の側面に接する。また、絶縁体293は、当該開口の形状に沿って、凹部を形成するように設けられている。導電体294は、当該凹部を埋め込むように、絶縁体293の上面および側面に接して配置される。なお、絶縁体293および導電体294の上面の高さは、絶縁体280、絶縁体250、および導電体260の上面の高さと概略一致する場合がある。

10

【0469】

ここで、導電体242bは容量デバイス292の下部電極として機能し、導電体294は容量デバイス292の上部電極として機能し、絶縁体293は容量デバイス292の誘電体として機能する。このように、容量デバイス292は、MIM容量を構成している。なお、容量デバイス292が有する一对の電極の一方、すなわち導電体242bは、トランジスタのソース電極を兼ねることができる。したがって、容量デバイス292の作製工程において、トランジスタの作製工程の一部を兼用することができるため、生産性の高い半導体装置とすることができる。また、トランジスタ200の構成とは別に絶縁体293を設けることができるので、容量デバイス292に求められる性能に合わせて、絶縁体293の構造および材料を適宜選択することができる。また、容量デバイス292が有する

20

【0470】

絶縁体293は、高誘電率(high-k)材料を用いることが好ましい。高誘電率(high-k)材料(高い比誘電率の材料)の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物など

30

【0471】

また、導電体294としては、例えば、導電体260に用いることのできる材料を用いればよい。また、導電体294は、導電体260と同様に積層構造にしてもよい。

【0472】

なお、絶縁体293、および導電体294の形成は、絶縁体282の成膜前、つまり、図15に示す工程の前に行えばよい。絶縁体293および導電体294の形成は、絶縁体250および導電体260の形成と同様の方法で行うことができる。つまり、絶縁体280、絶縁体275、絶縁体273b、および絶縁体271bに開口を形成し、当該開口の中に埋め込むように絶縁体293および導電体294となる積層膜を成膜し、当該積層膜の一部を、CMP処理を用いて除去して、絶縁体293および導電体294を形成すればよい。

40

【0473】

<メモリデバイスの変形例>

以下では、図28A、図28B、図29、および図30を用いて、先の<メモリデバイスの構成例1>で示したものと異なる、本発明の一態様に係るトランジスタ200、および容量デバイス292を有する半導体装置の一例について説明する。なお図28A、図28B、図29、および図30に示す半導体装置において、先の実施の形態および<メモ

50

リデバイスの構成例 1 > に示した半導体装置 (図 2 7 A 参照。) を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目において、トランジスタ 2 0 0、および容量デバイス 2 9 2 の構成材料については、先の実施の形態およびメモリデバイスの構成例 1 > で詳細に説明した材料を用いることができる。また、図 2 8 A、図 2 8 B、図 2 9、および図 3 0 などでは、メモリデバイスとして、図 2 7 A に示すメモリデバイスを用いているが、これに限られるものではない。例えば、図 2 7 B に示すメモリデバイスなどを用いてもよい。

【 0 4 7 4 】

<<メモリデバイスの変形例 1 >>

以下では、本発明の一態様に係るトランジスタ 2 0 0 a、トランジスタ 2 0 0 b、容量デバイス 2 9 2 a、および容量デバイス 2 9 2 b を有する半導体装置 6 0 0 の一例について図 2 8 A を用いて説明する。

10

【 0 4 7 5 】

図 2 8 A は、トランジスタ 2 0 0 a、トランジスタ 2 0 0 b、容量デバイス 2 9 2 a、および容量デバイス 2 9 2 b を有する半導体装置 6 0 0 のチャンネル長方向の断面図である。ここで、容量デバイス 2 9 2 a は、導電体 2 4 2 a と、導電体 2 4 2 a 上に設けられた絶縁体 2 7 1 a、および導電体 2 4 2 a の側面に接して設けられた絶縁体 2 7 2 a と、絶縁体 2 7 1 a、および絶縁体 2 7 2 a を覆って設けられた導電体 2 9 4 a と、を有する。また、容量デバイス 2 9 2 b は、導電体 2 4 2 b と、導電体 2 4 2 b 上に設けられた絶縁体 2 7 1 b、および導電体 2 4 2 b の側面に接して設けられた絶縁体 2 7 2 b と、絶縁体 2 7 1 b、および絶縁体 2 7 2 b を覆って設けられた導電体 2 9 4 b と、を有する。

20

【 0 4 7 6 】

半導体装置 6 0 0 は、図 2 8 A に示すように、A 3 - A 4 の一点鎖線を対称軸とした線対称の構成となっている。トランジスタ 2 0 0 a のソース電極またはドレイン電極の一方と、トランジスタ 2 0 0 b のソース電極またはドレイン電極の一方は、導電体 2 4 2 c が兼ねる構成となっている。なお、導電体 2 4 2 c 上には絶縁体 2 7 1 c が設けられ、絶縁体 2 7 1 c 上に絶縁体 2 7 3 c が設けられる。また、配線として機能する導電体 2 4 6 と、トランジスタ 2 0 0 a、およびトランジスタ 2 0 0 b との接続もプラグとして機能する導電体 2 4 0 が、兼ねる構成となっている。このように、2 つのトランジスタと、2 つの容量デバイスと、配線とプラグとの接続を上述の構成とすることで、微細化または高集積化が可能な半導体装置を提供することができる。

30

【 0 4 7 7 】

トランジスタ 2 0 0 a、トランジスタ 2 0 0 b、容量デバイス 2 9 2 a、および容量デバイス 2 9 2 b のそれぞれの構成および効果については、図 1 A 乃至図 1 D、および図 2 7 A に示す半導体装置の構成例を参酌することができる。

【 0 4 7 8 】

<<メモリデバイスの変形例 2 >>

上記においては、半導体装置の構成例としてトランジスタ 2 0 0 a、トランジスタ 2 0 0 b、容量デバイス 2 9 2 a および容量デバイス 2 9 2 b を挙げたが、本実施の形態に示す半導体装置はこれに限られるものではない。例えば、図 2 8 B に示すように半導体装置 6 0 0 と、半導体装置 6 0 0 と同様の構成を有する半導体装置が容量部を介して接続されている構成としてもよい。本明細書では、トランジスタ 2 0 0 a、トランジスタ 2 0 0 b、容量デバイス 2 9 2 a、および容量デバイス 2 9 2 b を有する半導体装置をセルと称する。トランジスタ 2 0 0 a、トランジスタ 2 0 0 b、容量デバイス 2 9 2 a および容量デバイス 2 9 2 b の構成については、上述のトランジスタ 2 0 0 a、トランジスタ 2 0 0 b、容量デバイス 2 9 2 a および容量デバイス 2 9 2 b に係る記載を参酌することができる。

40

【 0 4 7 9 】

図 2 8 B は、トランジスタ 2 0 0 a、トランジスタ 2 0 0 b、容量デバイス 2 9 2 a、および容量デバイス 2 9 2 b を有する半導体装置 6 0 0 と、半導体装置 6 0 0 と同様の構成を有するセルが容量部を介して接続されている断面図である。

50

【0480】

図28Bに示すように、半導体装置600が有する容量デバイス292bの一方の電極として機能する導電体294bは、半導体装置600と同様の構成を有する半導体装置601が有する容量デバイスの一方の電極を兼ねる構成となっている。また、図示しないが、半導体装置600が有する容量デバイス292aの一方の電極として機能する導電体294aが、半導体装置600の左側、つまり図28Bにおいて、A1方向に隣接する半導体装置の容量デバイスの一方の電極を兼ねている。また、半導体装置601の右側、つまり、図28Bにおいて、A2方向のセルについても同様の構成となっている。つまりセルアレイ(メモリデバイス層ともいう。)を構成することができる。この様なセルアレイの構成とすることで、隣り合うセルの間隔を小さくすることができるので、セルアレイの投影面積を小さくすることができ、高集積化が可能となる。また、図28Bに示すセルアレイの構成を、マトリクス状に配置することで、マトリクス状のセルアレイを構成することができる。

10

【0481】

上述のように、本実施の形態に示す構成で、トランジスタ200a、トランジスタ200b、容量デバイス292aおよび容量デバイス292bを形成することにより、セルの面積を低減し、セルアレイを有する半導体装置の微細化または高集積化を図ることができる。

【0482】

また、上記セルアレイを平面のみでなく積層する構成としてもよい。図29にセルアレイ610をn層積層する構成の断面図を示す。図29に示すように、複数のセルアレイ(セルアレイ610_1乃至セルアレイ610_n)を積層することにより、セルアレイの占有面積を増やすことなく、セルを集積して配置することができる。つまり、3Dセルアレイを構成することができる。

20

【0483】

<メモリデバイスの変形例3>

図30は、メモリユニット470がトランジスタ200Tを有するトランジスタ層413と、4層のメモリデバイス層415(メモリデバイス層415_1乃至メモリデバイス層415_4)を有する例を示す。

【0484】

メモリデバイス層415_1乃至メモリデバイス層415_4は、それぞれ複数のメモリデバイス420を有する。

30

【0485】

メモリデバイス420は、導電体424、および導電体205を介して異なるメモリデバイス層415が有するメモリデバイス420、およびトランジスタ層413が有するトランジスタ200Tと電氣的に接続する。

【0486】

メモリユニット470は、絶縁体212、絶縁体214、絶縁体282、および絶縁体283により封止される(便宜的に、以下では封止構造と呼ぶ)。絶縁体283の周囲には絶縁体274が設けられる。また、絶縁体274、絶縁体283、および絶縁体212には導電体440が設けられ、素子層411と電氣的に接続する。

40

【0487】

また、封止構造の内部には、絶縁体280が設けられる。絶縁体280は、加熱により酸素を放出する機能を有する。または、絶縁体280は、過剰酸素領域を有する。

【0488】

なお、絶縁体212、および絶縁体283は、水素に対するバリア性が高い機能を有する材料であると好適である。また、絶縁体214、および絶縁体282は、水素を捕獲、または水素を固着する機能を有する材料であると好適である。

【0489】

例えば、上記水素に対するバリア性が高い機能を有する材料は、窒化シリコン、または

50

窒化酸化シリコンなどが挙げられる。また、上記水素を捕獲、または水素を固着する機能を有する材料は、酸化アルミニウム、酸化ハフニウム、並びにアルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などが挙げられる。

【0490】

なお、絶縁体212、絶縁体214、絶縁体282、および絶縁体283に用いる材料の結晶構造については、特に限定は無いが、非晶質または結晶性を有する構造とすればよい。例えば、水素を捕獲、または水素を固着する機能を有する材料として、非晶質の酸化アルミニウム膜を用いると好適である。非晶質の酸化アルミニウムは、結晶性の高い酸化アルミニウムよりも、水素の捕獲、および固着する量が大きい場合がある。

【0491】

また、トランジスタ層413とメモリデバイス層415の間、または各メモリデバイス層415の間にも、絶縁体282、および絶縁体214が設けられることが好ましい。また、絶縁体282、および絶縁体214の間に絶縁体296が設けられることが好ましい。絶縁体296は、絶縁体283と同様の材料を用いることができる。または、酸化シリコン、酸化窒化シリコンを用いることができる。または、公知の絶縁性材料を用いてもよい。

【0492】

ここで、絶縁体280中の過剰酸素は、絶縁体280と接する酸化物半導体中の水素の拡散に対し、下記のようなモデルが考えられる。

【0493】

酸化物半導体中に存在する水素は、酸化物半導体に接する絶縁体280を介して、他の構造体へと拡散する。当該水素の拡散により、絶縁体280中の過剰酸素が酸化物半導体中の水素と反応しOH結合となり、絶縁体280中を拡散する。OH結合を有した水素原子は、水素を捕獲、または水素を固着する機能を有する材料（代表的には、絶縁体282）に到達した際に、水素原子は絶縁体282中の原子（例えば、金属原子など）と結合した酸素原子と反応し、絶縁体282中に捕獲、または固着する。一方、OH結合を有していた過剰酸素の酸素原子は、過剰酸素として絶縁体280中に残ると推測される。つまり、当該水素の拡散において、絶縁体280中の過剰酸素が、橋渡しの役割を担う蓋然性が高い。

【0494】

上記のモデルを満たすためには、半導体装置の作製プロセスが重要な要素の一つとなる。

【0495】

一例として、酸化物半導体に、過剰酸素を有する絶縁体280を形成し、その後、絶縁体282を形成する。そのあとに、加熱処理を行うことが好ましい。当該加熱処理は、具体的には、酸素を含む雰囲気、窒素を含む雰囲気、または酸素と窒素の混合雰囲気にて、350 以上、好ましくは400 以上の温度で行う。加熱処理の時間は、1時間以上、好ましくは4時間以上、さらに好ましくは8時間以上とする。

【0496】

上記の加熱処理によって、酸化物半導体中の水素が、絶縁体280、および絶縁体282を介して、外方に拡散することができる。つまり、酸化物半導体、及び当該酸化物半導体近傍に存在する水素の絶対量を低減することができる。

【0497】

上記加熱処理のあと、絶縁体283を形成する。絶縁体283は、水素に対するバリア性が高い機能を有する材料であるため、外方に拡散させた水素、または外部に存在する水素を、内部、具体的には、酸化物半導体、または絶縁体280側に入り込むのを抑制することができる。

【0498】

なお、上記の加熱処理については、絶縁体282を形成したあとに行う構成について、例示したが、これに限定されない。例えば、トランジスタ層413の形成後、またはメモリデバイス層415_1乃至メモリデバイス層415_3の形成後に、それぞれ上記加熱

10

20

30

40

50

処理を行っても良い。また、上記加熱処理によって、水素を外方に拡散させる際には、トランジスタ層 4 1 3 の上方または横方向に水素が拡散される。同様に、メモリデバイス層 4 1 5 _ 1 乃至メモリデバイス層 4 1 5 _ 3 形成後に加熱処理をする場合においては、水素は上方または横方向に拡散される。

【0499】

なお、上記の作製プロセスとすることで、絶縁体 2 1 2 と、絶縁体 2 8 3 と、が接着することで、上述した封止構造が形成される。

【0500】

以上のように、上記の構造、及び上記の作製プロセスとすることで、水素濃度が低減された酸化物半導体を用いた半導体装置を提供することができる。従って、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。

10

【0501】

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す他の構成、方法、他の実施の形態に示す構成、方法、または実施例に示す構成、方法などと適宜組み合わせる用いることができる。

【0502】

(実施の形態 3)

本実施の形態では、図 3 1 A、図 3 1 B および図 3 2 A 乃至図 3 2 H を用いて、本発明の一態様に係る、酸化物半導体を用いたトランジスタ(以下、OS トランジスタと呼ぶ場合がある。)、および容量素子が適用されている記憶装置(以下、OS メモリ装置と呼ぶ場合がある。)について説明する。OS メモリ装置は、少なくとも容量素子と、容量素子の充放電を制御する OS トランジスタを有する記憶装置である。OS トランジスタのオフ電流は極めて小さいので、OS メモリ装置は優れた保持特性をもち、不揮発性メモリとして機能させることができる。

20

【0503】

<記憶装置の構成例>

図 3 1 A に OS メモリ装置の構成の一例を示す。記憶装置 1 4 0 0 は、周辺回路 1 4 1 1、およびメモリセルアレイ 1 4 7 0 を有する。周辺回路 1 4 1 1 は、行回路 1 4 2 0、列回路 1 4 3 0、出力回路 1 4 4 0、およびコントロールロジック回路 1 4 6 0 を有する。

30

【0504】

列回路 1 4 3 0 は、例えば、列デコーダ、プリチャージ回路、センスアンプ、書き込み回路等を有する。プリチャージ回路は、配線をプリチャージする機能を有する。センスアンプは、メモリセルから読み出されたデータ信号を増幅する機能を有する。なお、上記配線は、メモリセルアレイ 1 4 7 0 が有するメモリセルに接続されている配線であり、詳しくは後述する。増幅されたデータ信号は、出力回路 1 4 4 0 を介して、データ信号 R D A T A として記憶装置 1 4 0 0 の外部に出力される。また、行回路 1 4 2 0 は、例えば、行デコーダ、ワード線ドライバ回路等を有し、アクセスする行を選択することができる。

【0505】

記憶装置 1 4 0 0 には、外部から電源電圧として低電源電圧(VSS)、周辺回路 1 4 1 1 用の高電源電圧(VDD)、メモリセルアレイ 1 4 7 0 用の高電源電圧(VIL)が供給される。また、記憶装置 1 4 0 0 には、制御信号(CE、WE、RE)、アドレス信号 A D D R、データ信号 W D A T A が外部から入力される。アドレス信号 A D D R は、行デコーダおよび列デコーダに入力され、データ信号 W D A T A は書き込み回路に入力される。

40

【0506】

コントロールロジック回路 1 4 6 0 は、外部から入力される制御信号(CE、WE、RE)を処理して、行デコーダ、列デコーダの制御信号を生成する。制御信号 CE は、チップイネーブル信号であり、制御信号 WE は、書き込みイネーブル信号であり、制御信号 RE は、読み出しイネーブル信号である。コントロールロジック回路 1 4 6 0 が処理する信

50

号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

【0507】

メモリセルアレイ1470は、行列状に配置された、複数個のメモリセルMCと、複数の配線を有する。なお、メモリセルアレイ1470と行回路1420とを接続している配線の数、メモリセルMCの構成、一行に有するメモリセルMCの数などによって決まる。また、メモリセルアレイ1470と列回路1430とを接続している配線の数、メモリセルMCの構成、一行に有するメモリセルMCの数などによって決まる。

【0508】

なお、図31Aにおいて、周辺回路1411とメモリセルアレイ1470を同一平面上に形成する例について示したが、本実施の形態はこれに限られるものではない。例えば、図31Bに示すように、周辺回路1411の一部の上に、メモリセルアレイ1470が重なるように設けられてもよい。例えば、メモリセルアレイ1470の下に重なるように、センスアンプを設ける構成にしてもよい。

【0509】

図32A乃至図32Hに上述のメモリセルMCに適用できるメモリセルの構成例について説明する。

【0510】

[DOSRAM]

図32A乃至図32Cに、DRAMのメモリセルの回路構成例を示す。本明細書等において、10ストラジスタ1容量素子型のメモリセルを用いたDRAMを、DOSRAM (Dynamic Oxide Semiconductor Random Access Memory) と呼ぶ場合がある。図32Aに示す、メモリセル1471は、トランジスタM1と、容量素子CAと、を有する。なお、トランジスタM1は、ゲート(トップゲートと呼ぶ場合がある。)、及びバックゲートを有する。

【0511】

トランジスタM1の第1端子は、容量素子CAの第1端子と接続され、トランジスタM1の第2端子は、配線BILと接続され、トランジスタM1のゲートは、配線WOLと接続され、トランジスタM1のバックゲートは、配線BGLと接続されている。容量素子CAの第2端子は、配線CALと接続されている。

【0512】

配線BILは、ビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CAの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、及び読み出し時において、配線CALには、低レベル電位を印加するのが好ましい。配線BGLは、トランジスタM1のバックゲートに電位を印加するための配線として機能する。配線BGLに任意の電位を印加することによって、トランジスタM1のしきい値電圧を増減することができる。

【0513】

ここで、図32Aに示すメモリセル1471は、図27に示す記憶装置に対応している。つまり、トランジスタM1はトランジスタ200に、容量素子CAは容量デバイス292に対応している。

【0514】

また、メモリセルMCは、メモリセル1471に限定されず、回路構成の変更を行うことができる。例えば、メモリセルMCは、図32Bに示すメモリセル1472のように、トランジスタM1のバックゲートが、配線BGLでなく、配線WOLと接続される構成にしてもよい。また、例えば、メモリセルMCは、図32Cに示すメモリセル1473のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタM1で構成されたメモリセルとしてもよい。

【0515】

上記実施の形態に示す半導体装置をメモリセル1471等に用いる場合、トランジスタM1としてトランジスタ200を用い、容量素子CAとして容量素子100を用いること

10

20

30

40

50

ができる。トランジスタM1としてOSトランジスタを用いることによって、トランジスタM1のリーク電流を非常に小さくすることができる。つまり、書き込んだデータをトランジスタM1によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。また、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に小さいため、メモリセル1471、メモリセル1472、メモリセル1473に対して多値データ、又はアナログデータを保持することができる。

【0516】

また、DOSRAMにおいて、上記のように、メモリセルアレイ1470の下に重なるように、センスアンプを設ける構成にすると、ビット線を短くすることができる。これにより、ビット線容量が小さくなり、メモリセルの保持容量を低減することができる。

10

【0517】**[NOSRAM]**

図32D乃至図32Gに、2トランジスタ1容量素子のゲインセル型のメモリセルの回路構成例を示す。図32Dに示す、メモリセル1474は、トランジスタM2と、トランジスタM3と、容量素子CBと、を有する。なお、トランジスタM2は、トップゲート(単にゲートと呼ぶ場合がある。)、及びバックゲートを有する。本明細書等において、トランジスタM2にOSトランジスタを用いたゲインセル型のメモリセルを有する記憶装置を、NOSRAM(Nonvolatile Oxide Semiconductor RAM)と呼ぶ場合がある。

20

【0518】

トランジスタM2の第1端子は、容量素子CBの第1端子と接続され、トランジスタM2の第2端子は、配線WBLと接続され、トランジスタM2のゲートは、配線WOLと接続され、トランジスタM2のバックゲートは、配線BGLと接続されている。容量素子CBの第2端子は、配線CALと接続されている。トランジスタM3の第1端子は、配線RBLと接続され、トランジスタM3の第2端子は、配線SLと接続され、トランジスタM3のゲートは、容量素子CBの第1端子と接続されている。

【0519】

配線WBLは、書き込みビット線として機能し、配線RBLは、読み出しビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CBの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、データ保持の最中、データの読み出し時において、配線CALには、低レベル電位を印加するのが好ましい。配線BGLは、トランジスタM2のバックゲートに電位を印加するための配線として機能する。配線BGLに任意の電位を印加することによって、トランジスタM2のしきい値電圧を増減することができる。

30

【0520】

ここで、図32Dに示すメモリセル1474は、図25に示す記憶装置に対応している。つまり、トランジスタM2はトランジスタ200に、容量素子CBは容量素子100に、トランジスタM3はトランジスタ300に、配線WBLは配線1003に、配線WOLは配線1004に、配線BGLは配線1006に、配線CALは配線1005に、配線RBLは配線1002に、配線SLは配線1001に対応している。

40

【0521】

また、メモリセルMCは、メモリセル1474に限定されず、回路の構成を適宜変更することができる。例えば、メモリセルMCは、図32Eに示すメモリセル1475のように、トランジスタM2のバックゲートが、配線BGLでなく、配線WOLと接続される構成にしてもよい。また、例えば、メモリセルMCは、図32Fに示すメモリセル1476のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタM2で構成されたメモリセルとしてもよい。また、例えば、メモリセルMCは、図32Gに示すメモリセル1477のように、配線WBLと配線RBLを一本の配線BILとしてまとめた構成であってもよい。

50

【0522】

上記実施の形態に示す半導体装置をメモリセル1474等に用いる場合、トランジスタM2としてトランジスタ200を用い、トランジスタM3としてトランジスタ300を用い、容量素子CBとして容量素子100を用いることができる。トランジスタM2としてOSトランジスタを用いることによって、トランジスタM2のリーク電流を非常に小さくすることができる。これにより、書き込んだデータをトランジスタM2によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。また、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に小さいため、メモリセル1474に多値データ、又はアナログデータを保持することができる。メモリセル1475乃至メモリセル1477も同様である。

10

【0523】

なお、トランジスタM3は、チャネル形成領域にシリコンを有するトランジスタ（以下、Siトランジスタと呼ぶ場合がある）であってもよい。Siトランジスタの導電型は、nチャネル型としてもよいし、pチャネル型としてもよい。Siトランジスタは、OSトランジスタよりも電界効果移動度が高くなる場合がある。よって、読み出しトランジスタとして機能するトランジスタM3として、Siトランジスタを用いてもよい。また、トランジスタM3にSiトランジスタを用いることで、トランジスタM3の上に積層してトランジスタM2を設けることができるので、メモリセルの占有面積を低減し、記憶装置の高集積化を図ることができる。

20

【0524】

また、トランジスタM3はOSトランジスタであってもよい。トランジスタM2およびトランジスタM3にOSトランジスタを用いた場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

【0525】

また、図32Hに3トランジスタ1容量素子のゲインセル型のメモリセルの一例を示す。図32Hに示すメモリセル1478は、トランジスタM4乃至トランジスタM6、および容量素子CCを有する。容量素子CCは適宜設けられる。メモリセル1478は、配線BIL、配線RWL、配線WWL、配線BGL、および配線GNDLに電氣的に接続されている。配線GNDLは低レベル電位を与える配線である。なお、メモリセル1478を、配線BILに代えて、配線RBL、配線WBLに電氣的に接続してもよい。

30

【0526】

トランジスタM4は、バックゲートを有するOSトランジスタであり、バックゲートは配線BGLに電氣的に接続されている。なお、トランジスタM4のバックゲートとゲートとを互いに電氣的に接続してもよい。あるいは、トランジスタM4はバックゲートを有さなくてもよい。

【0527】

なお、トランジスタM5、トランジスタM6はそれぞれ、nチャネル型Siトランジスタまたはpチャネル型Siトランジスタでもよい。或いは、トランジスタM4乃至トランジスタM6がOSトランジスタでもよい、この場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

40

【0528】

上記実施の形態に示す半導体装置をメモリセル1478に用いる場合、トランジスタM4としてトランジスタ200を用い、トランジスタM5、トランジスタM6としてトランジスタ300を用い、容量素子CCとして容量素子100を用いることができる。トランジスタM4としてOSトランジスタを用いることによって、トランジスタM4のリーク電流を非常に小さくすることができる。

【0529】

なお、本実施の形態に示す、周辺回路1411、メモリセルアレイ1470等の構成は、上記に限定されるものではない。これらの回路、および当該回路に接続される配線、回路素子等の、配置または機能は、必要に応じて、変更、削除、または追加してもよい。

50

【0530】

一般に、コンピュータなどの半導体装置では、用途に応じて様々な記憶装置（メモリ）が用いられる。図33に、各種の記憶装置を階層ごとに示す。上層に位置する記憶装置ほど速いアクセス速度が求められ、下層に位置する記憶装置ほど大きな記憶容量と高い記録密度が求められる。図33では、最上層から順に、CPUなどの演算処理装置にレジスタとして混載されるメモリ、SRAM（Static Random Access Memory）、DRAM（Dynamic Random Access Memory）、3D NANDメモリを示している。

【0531】

CPUなどの演算処理装置にレジスタとして混載されるメモリは、演算結果の一時保存などに用いられるため、演算処理装置からのアクセス頻度が高い。よって、記憶容量よりも速い動作速度が求められる。また、レジスタは演算処理装置の設定情報などを保持する機能も有する。

10

【0532】

SRAMは、例えばキャッシュに用いられる。キャッシュは、メインメモリに保持されている情報の一部を複製して保持する機能を有する。使用頻繁が高いデータをキャッシュに複製しておくことで、データへのアクセス速度を高めることができる。

【0533】

DRAMは、例えばメインメモリに用いられる。メインメモリは、ストレージから読み出されたプログラムやデータを保持する機能を有する。DRAMの記録密度は、おおよそ0.1乃至0.3 Gbit/mm²である。

20

【0534】

3D NANDメモリは、例えばストレージに用いられる。ストレージは、長期保存が必要なデータや、演算処理装置で使用する各種のプログラムなどを保持する機能を有する。よって、ストレージには動作速度よりも大きな記憶容量と高い記録密度が求められる。ストレージに用いられる記憶装置の記録密度は、おおよそ0.6乃至6.0 Gbit/mm²である。

【0535】

本発明の一態様の記憶装置は、動作速度が速く、長期間のデータ保持が可能である。本発明の一態様の記憶装置は、キャッシュが位置する階層とメインメモリが位置する階層の双方を含む境界領域901に位置する記憶装置として好適に用いることができる。また、本発明の一態様の記憶装置は、メインメモリが位置する階層とストレージが位置する階層の双方を含む境界領域902に位置する記憶装置として好適に用いることができる。

30

【0536】

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す他の構成、方法、他の実施の形態に示す構成、方法、または実施例に示す構成、方法などと適宜組み合わせ用いることができる。

【0537】

(実施の形態4)

本実施の形態では、図34Aおよび図34Bを用いて、本発明の半導体装置が実装されたチップ1200の一例を示す。チップ1200には、複数の回路（システム）が実装されている。このように、複数の回路（システム）を一つのチップに集積する技術を、システムオンチップ（System on Chip: SoC）と呼ぶ場合がある。

40

【0538】

図34Aに示すように、チップ1200は、CPU1211、GPU1212、一または複数のアナログ演算部1213、一または複数のメモリコントローラ1214、一または複数のインターフェース1215、一または複数のネットワーク回路1216等を有する。

【0539】

チップ1200には、バンプ（図示しない）が設けられ、図34Bに示すように、プリ

50

ント基板 (Printed Circuit Board: PCB) 1201 の第 1 の面と接続する。また、PCB 1201 の第 1 の面の裏面には、複数のバンプ 1202 が設けられており、マザーボード 1203 と接続する。

【0540】

マザーボード 1203 には、DRAM 1221、フラッシュメモリ 1222 等の記憶装置が設けられていてもよい。例えば、DRAM 1221 に先の実施の形態に示す DORSRAM を用いることができる。また、例えば、フラッシュメモリ 1222 に先の実施の形態に示す NOSRAM を用いることができる。

【0541】

CPU 1211 は、複数の CPU コアを有することが好ましい。また、GPU 1212 は、複数の GPU コアを有することが好ましい。また、CPU 1211、および GPU 1212 は、それぞれ一時的にデータを格納するメモリを有していてもよい。または、CPU 1211、および GPU 1212 に共通のメモリが、チップ 1200 に設けられていてもよい。該メモリには、前述した NOSRAM や、DORSRAM を用いることができる。また、GPU 1212 は、多数のデータの並列計算に適しており、画像処理や積和演算に用いることができる。GPU 1212 に、本発明の酸化物半導体を用いた画像処理回路や、積和演算回路を設けることで、画像処理、および積和演算を低消費電力で実行することが可能になる。

10

【0542】

また、CPU 1211、および GPU 1212 が同一チップに設けられていることで、CPU 1211 および GPU 1212 間の配線を短くすることができ、CPU 1211 から GPU 1212 へのデータ転送、CPU 1211、および GPU 1212 が有するメモリ間のデータ転送、および GPU 1212 での演算後に、GPU 1212 から CPU 1211 への演算結果の転送を高速に行うことができる。

20

【0543】

アナログ演算部 1213 は A/D (アナログ/デジタル) 変換回路、および D/A (デジタル/アナログ) 変換回路の一、または両方を有する。また、アナログ演算部 1213 に上記積和演算回路を設けてもよい。

【0544】

メモリコントローラ 1214 は、DRAM 1221 のコントローラとして機能する回路、およびフラッシュメモリ 1222 のインターフェースとして機能する回路を有する。

30

【0545】

インターフェース 1215 は、表示装置、スピーカー、マイクロフォン、カメラ、コントローラなどの外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、ゲーム用コントローラなどを含む。このようなインターフェースとして、USB (Universal Serial Bus)、HDMI (登録商標) (High-Definition Multimedia Interface) などを用いることができる。

【0546】

ネットワーク回路 1216 は、LAN (Local Area Network) などとの接続を制御する機能を有する。また、ネットワークセキュリティー用の回路を有してもよい。

40

【0547】

チップ 1200 には、上記回路 (システム) を同一の製造プロセスで形成することが可能である。そのため、チップ 1200 に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ 1200 を低コストで作製することができる。

【0548】

GPU 1212 を有するチップ 1200 が設けられた PCB 1201、DRAM 1221、およびフラッシュメモリ 1222 が設けられたマザーボード 1203 は、GPU モジュール 1204 と呼ぶことができる。

50

【0549】

GPUモジュール1204は、SoC技術を用いたチップ1200を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップPC、携帯型(持ち出し可能な)ゲーム機などの携帯型電子機器に用いることが好適である。また、GPU1212を用いた積和演算回路により、ディープニューラルネットワーク(DNN)、畳み込みニューラルネットワーク(CNN)、再帰型ニューラルネットワーク(RNN)、自己符号化器、深層ボルツマンマシン(DBM)、深層信念ネットワーク(DBN)などの手法を実行することができるため、チップ1200をAIチップ、またはGPUモジュール1204をAIシステムモジュールとして用いることができる。

10

【0550】

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す他の構成、方法、他の実施の形態に示す構成、方法、または実施例に示す構成、方法などと適宜組み合わせ用いることができる。

【0551】

(実施の形態5)

本実施の形態は、上記実施の形態に示す記憶装置などが組み込まれた電子部品および電子機器の一例を示す。

【0552】

<電子部品>

20

まず、記憶装置720が組み込まれた電子部品の例を、図35Aおよび図35Bを用いて説明を行う。

【0553】

図35Aに電子部品700および電子部品700が実装された基板(実装基板704)の斜視図を示す。図35Aに示す電子部品700は、モールド711内に記憶装置720を有している。図35Aは、電子部品700の内部を示すために、一部を省略している。電子部品700は、モールド711の外側にランド712を有する。ランド712は電極パッド713と電気的に接続され、電極パッド713は記憶装置720とワイヤ714によって電気的に接続されている。電子部品700は、例えばプリント基板702に実装される。このような電子部品が複数組み合わせられて、それぞれがプリント基板702上で電気的に接続されることで実装基板704が完成する。

30

【0554】

記憶装置720は、駆動回路層721と、記憶回路層722と、を有する。

【0555】

図35Bに電子部品730の斜視図を示す。電子部品730は、SiP(System in package)またはMCM(Multi Chip Module)の一例である。電子部品730は、パッケージ基板732(プリント基板)上にインターポーザ731が設けられ、インターポーザ731上に半導体装置735、および複数の記憶装置720が設けられている。

【0556】

40

電子部品730では、記憶装置720を広帯域メモリ(HBM:High Bandwidth Memory)として用いる例を示している。また、半導体装置735は、CPU、GPU、FPGAなどの集積回路(半導体装置)を用いることができる。

【0557】

パッケージ基板732は、セラミック基板、プラスチック基板、ガラスエポキシ基板などを用いることができる。インターポーザ731は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

【0558】

インターポーザ731は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電気的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、イン

50

ターポーザ731は、インターポーザ731上に設けられた集積回路をパッケージ基板732に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ731に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板732を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSV(Through Silicon Via)を用いることも出来る。

【0559】

インターポーザ731としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

10

【0560】

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

【0561】

また、シリコンインターポーザを用いたSiPやMCMなどでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ(2.5次元実装)では、シリコンインターポーザを用いることが好ましい。

20

【0562】

また、電子部品730と重ねてヒートシンク(放熱板)を設けてもよい。ヒートシンクを設ける場合は、インターポーザ731上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品730では、記憶装置720と半導体装置735の高さを揃えることが好ましい。

【0563】

電子部品730を他の基板に実装するため、パッケージ基板732の底部に電極733を設けてもよい。図35Bでは、電極733を半田ボールで形成する例を示している。パッケージ基板732の底部に半田ボールをマトリクス状に設けることで、BGA(Ball Grid Array)実装を実現できる。また、電極733を導電性のピンで形成してもよい。パッケージ基板732の底部に導電性のピンをマトリクス状に設けることで、PGA(Pin Grid Array)実装を実現できる。

30

【0564】

電子部品730は、BGAおよびPGAに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPGA(Staggered Pin Grid Array)、LGA(Land Grid Array)、QFP(Quad Flat Package)、QFJ(Quad Flat J-leaded package)、またはQFN(Quad Flat Non-leaded package)などの実装方法を用いることができる。

40

【0565】

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す他の構成、方法、他の実施の形態に示す構成、方法、または実施例に示す構成、方法などと適宜組み合わせる用いることができる。

【0566】

(実施の形態6)

本実施の形態では、先の実施の形態に示す半導体装置を用いた記憶装置の応用例について説明する。先の実施の形態に示す半導体装置は、例えば、各種電子機器(例えば、情報

50

端末、コンピュータ、スマートフォン、電子書籍端末、デジタルカメラ（ビデオカメラも含む）、録画再生装置、ナビゲーションシステムなどの記憶装置に適用できる。なお、ここで、コンピュータとは、タブレット型のコンピュータ、ノート型のコンピュータ、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。または、先の実施の形態に示す半導体装置は、メモリカード（例えば、SDカード）、USBメモリ、SSD（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に適用される。図36A乃至図36Eにリムーバブル記憶装置の幾つかの構成例を模式的に示す。例えば、先の実施の形態に示す半導体装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

【0567】

図36AはUSBメモリの模式図である。USBメモリ1100は、筐体1101、キャップ1102、USBコネクタ1103および基板1104を有する。基板1104は、筐体1101に収納されている。例えば、基板1104には、メモリチップ1105、コントローラチップ1106が取り付けられている。メモリチップ1105などに先の実施の形態に示す半導体装置を組み込むことができる。

【0568】

図36BはSDカードの外観の模式図であり、図36Cは、SDカードの内部構造の模式図である。SDカード1110は、筐体1111、コネクタ1112および基板1113を有する。基板1113は筐体1111に収納されている。例えば、基板1113には、メモリチップ1114、コントローラチップ1115が取り付けられている。基板1113の裏面側にもメモリチップ1114を設けることで、SDカード1110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板1113に設けてもよい。これによって、ホスト装置とSDカード1110間の無線通信によって、メモリチップ1114のデータの読み出し、書き込みが可能となる。メモリチップ1114などに先の実施の形態に示す半導体装置を組み込むことができる。

【0569】

図36DはSSDの外観の模式図であり、図36Eは、SSDの内部構造の模式図である。SSD1150は、筐体1151、コネクタ1152および基板1153を有する。基板1153は筐体1151に収納されている。例えば、基板1153には、メモリチップ1154、メモリチップ1155、コントローラチップ1156が取り付けられている。メモリチップ1155はコントローラチップ1156のワークメモリであり、例えばDORAMチップを用いればよい。基板1153の裏面側にもメモリチップ1154を設けることで、SSD1150の容量を増やすことができる。メモリチップ1154などに先の実施の形態に示す半導体装置を組み込むことができる。

【0570】

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す他の構成、方法、他の実施の形態に示す構成、方法、または実施例に示す構成、方法などと適宜組み合わせる用いることができる。

【0571】

（実施の形態7）

本発明の一態様に係る半導体装置は、CPUやGPUなどのプロセッサ、またはチップに用いることができる。図37A乃至図37Hに、本発明の一態様に係るCPUやGPUなどのプロセッサ、またはチップを備えた電子機器の具体例を示す。

【0572】

<電子機器・システム>

本発明の一態様に係るGPUまたはチップは、様々な電子機器に搭載することができる。電子機器の例としては、例えば、テレビジョン装置、デスクトップ型またはノート型の情報端末用などのモニタ、デジタルサイネージ（Digital Signage：電子看板）、パチンコ機などの大型ゲーム機、などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、電子書籍端末、携

10

20

30

40

50

携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。これらの電子機器に、本発明の一態様に係る半導体装置を設けることで、信頼性が良好な電子機器を提供することができる。また、本発明の一態様に係るGPUまたはチップを電子機器に設けることにより、電子機器にAIを搭載することができる。

【0573】

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像や情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

【0574】

本発明の一態様の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、にのみまたは赤外線を測定する機能を含むもの）を有していてもよい。

10

【0575】

本発明の一態様の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。図37A乃至図37Hに、電子機器の例を示す。

【0576】

20

[情報端末]

図37Aには、情報端末の一種である携帯電話（スマートフォン）が図示されている。情報端末5100は、筐体5101と、表示部5102と、を有しており、入力用インターフェースとして、タッチパネルが表示部5102に備えられ、ボタンが筐体5101に備えられている。

【0577】

情報端末5100は、本発明の一態様のチップを適用することで、AIを利用したアプリケーションを実行することができる。AIを利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部5102に表示するアプリケーション、表示部5102に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部5102に表示するアプリケーション、指紋や声紋などの生体認証を行うアプリケーションなどが挙げられる。

30

【0578】

図37Bには、ノート型情報端末5200が図示されている。ノート型情報端末5200は、情報端末の本体5201と、表示部5202と、キーボード5203と、を有する。

【0579】

ノート型情報端末5200は、先述した情報端末5100と同様に、本発明の一態様のチップを適用することで、AIを利用したアプリケーションを実行することができる。AIを利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自動生成ソフトウェアなどが挙げられる。また、ノート型情報端末5200を用いることで、新規のAIの開発を行うことができる。

40

【0580】

なお、上述では、電子機器としてスマートフォン、およびノート型情報端末を例として、それぞれ図37A、図37Bに図示したが、スマートフォン、およびノート型情報端末以外の情報端末を適用することができる。スマートフォン、およびノート型情報端末以外の情報端末としては、例えば、PDA（Personal Digital Assistant）、デスクトップ型情報端末、ワークステーションなどが挙げられる。

【0581】

[ゲーム機]

図37Cは、ゲーム機の一例である携帯ゲーム機5300を示している。携帯ゲーム機

50

5300は、筐体5301、筐体5302、筐体5303、表示部5304、接続部5305、操作キー5306等を有する。筐体5302、および筐体5303は、筐体5301から取り外すことが可能である。筐体5301に設けられている接続部5305を別の筐体（図示せず）に取り付けることで、表示部5304に出力される映像を、別の映像機器（図示せず）に出力することができる。このとき、筐体5302、および筐体5303は、それぞれ操作部として機能することができる。これにより、複数のプレイヤーが同時にゲームを行うことができる。筐体5301、筐体5302、および筐体5303の基板に設けられているチップなどに先の実施の形態に示すチップを組み込むことができる。

【0582】

また、図37Dは、ゲーム機の一例である据え置き型ゲーム機5400を示している。据え置き型ゲーム機5400には、無線または有線でコントローラ5402が接続されている。

10

【0583】

携帯ゲーム機5300、据え置き型ゲーム機5400などのゲーム機に本発明の一態様のGPUまたはチップを適用することによって、低消費電力のゲーム機を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

【0584】

更に、携帯ゲーム機5300に本発明の一態様のGPUまたはチップを適用することによって、AIを有する携帯ゲーム機5300を実現することができる。

20

【0585】

本来、ゲームの進行、ゲーム上に登場する生物の言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機5300にAIを適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問いかける内容、ゲームの進行状況、時刻、ゲーム上に登場する人物の言動が変化するという表現が可能となる。

【0586】

また、携帯ゲーム機5300で複数のプレイヤーが必要なゲームを行う場合、AIによって擬人的にゲームプレイヤーを構成することができるため、対戦相手をAIによるゲームプレイヤーとすることによって、1人でもゲームを行うことができる。

30

【0587】

図37C、図37Dでは、ゲーム機の一例として携帯ゲーム機、および据え置き型ゲーム機を図示しているが、本発明の一態様のGPUまたはチップを適用するゲーム機はこれに限定されない。本発明の一態様のGPUまたはチップを適用するゲーム機としては、例えば、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

【0588】

[大型コンピュータ]

本発明の一態様のGPUまたはチップは、大型コンピュータに適用することができる。

【0589】

図37Eは、大型コンピュータの一例である、スーパーコンピュータ5500を示す図である。図37Fは、スーパーコンピュータ5500が有するラックマウント型の計算機5502を示す図である。

40

【0590】

スーパーコンピュータ5500は、ラック5501と、複数のラックマウント型の計算機5502と、を有する。なお、複数の計算機5502は、ラック5501に格納されている。また、計算機5502には、複数の基板5504が設けられ、当該基板上に上記実施の形態で説明したGPUまたはチップを搭載することができる。

【0591】

スーパーコンピュータ5500は、主に科学技術計算に利用される大型コンピュータで

50

ある。科学技術計算では、膨大な演算を高速に処理する必要があるため、消費電力が高く、チップの発熱が大きい。スーパーコンピュータ5500に本発明の一態様のGPUまたはチップを適用することによって、低消費電力のスーパーコンピュータを実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

【0592】

図37E、図37Fでは、大型コンピュータの一例としてスーパーコンピュータを図示しているが、本発明の一態様のGPUまたはチップを適用する大型コンピュータはこれに限定されない。本発明の一態様のGPUまたはチップを適用する大型コンピュータとしては、例えば、サービスを提供するコンピュータ(サーバー)、大型汎用コンピュータ(メインフレーム)などが挙げられる。

10

【0593】

[移動体]

本発明の一態様のGPUまたはチップは、移動体である自動車、および自動車の運転席周辺に適用することができる。

【0594】

図37Gは、移動体の一例である自動車の室内におけるフロントガラス周辺を示す図である。図37Gでは、ダッシュボードに取り付けられた表示パネル5701、表示パネル5702、表示パネル5703の他、ピラーに取り付けられた表示パネル5704を図示している。

20

【0595】

表示パネル5701乃至表示パネル5703は、スピードメーターやタコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することで、その他様々な情報を提供することができる。また、表示パネルに表示される表示項目やレイアウトなどは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることが可能である。表示パネル5701乃至表示パネル5703は、照明装置として用いることも可能である。

【0596】

表示パネル5704には、自動車の設けられた撮像装置(図示しない。)からの映像を映し出すことによって、ピラーで遮られた視界(死角)を補完することができる。すなわち、自動車の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル5704は、照明装置として用いることもできる。

30

【0597】

本発明の一態様のGPUまたはチップはAIの構成要素として適用できるため、例えば、当該チップを自動車の自動運転システムに用いることができる。また、当該チップを道路案内、危険予測などを行うシステムに用いることができる。表示パネル5701乃至表示パネル5704には、道路案内、危険予測などの情報を表示する構成としてもよい。

【0598】

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体(ヘリコプター、無人航空機(ドローン)、飛行機、ロケット)なども挙げることができ、これらの移動体に本発明の一態様のチップを適用して、AIを利用したシステムを付与することができる。

40

【0599】

[電化製品]

図37Hは、電化製品の一例である電気冷凍冷蔵庫5800を示している。電気冷凍冷蔵庫5800は、筐体5801、冷蔵室用扉5802、冷凍室用扉5803等を有する。

【0600】

電気冷凍冷蔵庫5800に本発明の一態様のチップを適用することによって、AIを有

50

する電気冷凍冷蔵庫5800を実現することができる。AIを利用することによって電気冷凍冷蔵庫5800は、電気冷凍冷蔵庫5800に保存されている食材、その食材の消費期限などを基に献立を自動生成する機能や、電気冷凍冷蔵庫5800に保存されている食材に合わせた温度に自動的に調節する機能などを有することができる。

【0601】

電化製品の一例として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電子オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバ、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

【0602】

本実施の形態で説明した電子機器、その電子機器の機能、AIの応用例、その効果などは、他の電子機器の記載と適宜組み合わせることができる。

【0603】

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す他の構成、方法、他の実施の形態に示す構成、方法、または実施例に示す構成、方法などと適宜組み合わせて用いることができる。

【実施例1】

【0604】

本実施例では、先の実施の形態に示すトランジスタを作製し、電気特性の測定と、データ保持時間および動作周波数の見積もりを行った。データ保持時間および動作周波数の見積もりは、当該トランジスタに容量素子を設けたDOSRAMを想定して行った。

【0605】

本実施例では、図22に示す、トランジスタ200と同様の構成を有するトランジスタを2.0個/ μm^2 の密度で配置したサンプルを作製し、サンプルの電気特性を測定した。さらに、電気特性からデータ保持時間および動作周波数の見積もりを行った。

【0606】

まず、サンプルの構成について説明する。図22に示すように、サンプルは、基板(図示せず)の上に配置された絶縁体212と、絶縁体212上の絶縁体214と、絶縁体214の上に配置された絶縁体216と、絶縁体216に埋め込まれるように配置された導電体205と、絶縁体216および導電体205の上に配置された絶縁体222と、絶縁体222の上に配置された絶縁体224と、絶縁体224の上に配置された酸化物230aと、酸化物230aの上に配置された酸化物230bと、酸化物230bの上に離間して配置された酸化物243aおよび酸化物243bと、酸化物243aの上に配置された導電体242aと、酸化物243bの上に配置された導電体242bと、導電体242a、導電体242b、および絶縁体224の上に配置された絶縁体275と、絶縁体275の上に配置された絶縁体280と、酸化物230bの上に配置された絶縁体250aと、絶縁体250aの上に配置された絶縁体250bと、絶縁体250bの上に配置された導電体260と、絶縁体280および導電体260の上に配置された絶縁体282と、絶縁体214の上面と接し、かつ、絶縁体216、絶縁体222、絶縁体224、絶縁体275、絶縁体280、および絶縁体282の側面に接して配置された絶縁体284と、絶縁体284を覆って配置された絶縁体283と、絶縁体283覆って配置された絶縁体274と、を有する。

【0607】

絶縁体212として膜厚60nmの窒化シリコンを用いた。絶縁体212は、シリコンターゲットを用いて、パルスDCスパッタリング法で成膜した。絶縁体212の成膜には、成膜ガスとして、アルゴンガス30sccm(第1のガス供給口から25sccm、第2のガス供給口から5sccm)、窒素ガス85sccmを用い、成膜圧力を0.5Paとし、基板温度を200とし、ターゲットと基板との間隔を62mmとした。パルスDC電源は、電力1kW、周波数100kHz、一周期中のオフ時間を4016nsととした。

10

20

30

40

50

【0608】

絶縁体214として膜厚40nmの酸化アルミニウムを用いた。絶縁体214は、アルミニウムターゲットを用いて、パルスDCスパッタリング法で成膜した。絶縁体214の成膜には、成膜ガスとして、アルゴンガス14sccm(第1のガス供給口から9sccm、第2のガス供給口から5sccm)、酸素ガス69sccmを用い、成膜圧力を0.4Paとし、基板温度を200とし、ターゲットと基板との間隔を62mmとした。パルスDC電源は、電力5kW、周波数100kHz、一周期中のオフ時間を976nsとした。

【0609】

絶縁体216として膜厚130nmの酸化シリコンを用いた。絶縁体216は、シリコンターゲットを用いて、パルスDCスパッタリング法で成膜した。絶縁体216の成膜には、成膜ガスとして、アルゴンガス30sccm(第1のガス供給口から25sccm、第2のガス供給口から5sccm)、酸素ガス100sccmを用い、成膜圧力を0.6Paとし、基板温度を200とし、ターゲットと基板との間隔を62mmとした。パルスDC電源は、電力3kW、周波数100kHz、一周期中のオフ時間を4016nsとした。

10

【0610】

上記、絶縁体212、絶縁体214、および絶縁体216は、マルチチャンバー型のスパッタ装置を用いて、外気にさらさず、連続して成膜を行った。

【0611】

導電体205は、絶縁体216の開口の底面および側壁に接して導電体205aが配置され、導電体205aの上に導電体205bが配置され、導電体205bの上に導電体205cが配置される。ここで、導電体205cの側面は、導電体205aに接して配置されている。つまり、導電体205bは、導電体205aおよび導電体205cに包み込まれるように設けられている。

20

【0612】

導電体205aおよび導電体205cは、メタルCVD法で成膜された窒化チタンであり、導電体205bは、メタルCVD法で成膜されたタンゲステンである。導電体205は、上記実施の形態において、図4乃至図8を用いて説明した方法で形成した。

【0613】

絶縁体222として、ALD法で成膜した、膜厚20nmの酸化ハフニウムを用いた。絶縁体224として、スパッタリング法で成膜した、膜厚30nmの酸化シリコンを用いた。

30

【0614】

酸化物230aとして、DCスパッタリング法で成膜した、膜厚が5nmのIn-Ga-Zn酸化物を用いた。なお、酸化物230aの成膜には、In:Ga:Zn=1:3:4[原子数比]のターゲットを用い、成膜ガスとして酸素ガス45sccmを用い、成膜圧力を0.7Paとし、成膜電力を500Wとし、基板温度を200とし、ターゲットと基板との間隔を60mmとした。

【0615】

酸化物230bとして、DCスパッタリング法で成膜した、膜厚が15nmのIn-Ga-Zn酸化物を用いた。なお、酸化物230bの成膜には、In:Ga:Zn=4:2:4.1[原子数比]のターゲットを用い、成膜ガスとして酸素ガス45sccmを用い、成膜圧力を0.7Paとし、成膜電力を500Wとし、基板温度を200とし、ターゲットと基板との間隔を60mmとした。

40

【0616】

酸化物243となる酸化物として、DCスパッタリング法で成膜した、膜厚が2nmのIn-Ga-Zn酸化物を用いた。なお、酸化物243となる酸化物の成膜には、In:Ga:Zn=1:3:4[原子数比]のターゲットを用い、成膜ガスとして酸素ガス45sccmを用い、成膜圧力を0.7Paとし、成膜電力を500Wとし、基板温度を20

50

0 とし、ターゲットと基板との間隔を 60 mm とした。

【0617】

なお、酸化物 243 となる酸化膜を成膜した後で、窒素雰囲気中で 500、1 時間の熱処理を行い、連続して、酸素雰囲気中で 500 1 時間の熱処理を行った。

【0618】

導電体 242 a および導電体 242 b は、膜厚 20 nm の窒化タンタルを用いた。また、絶縁体 271 は、スパッタリング法で成膜した膜厚 10 nm の酸化アルミニウムを用いた。また、絶縁体 275 は、スパッタリング法で成膜した膜厚 5 nm の酸化アルミニウムと、その上にスパッタリング法で成膜した膜厚 5 nm の酸化アルミニウムの積層膜とした。

【0619】

絶縁体 280 は、スパッタリング法で成膜した、膜厚が 125 nm の酸化シリコンを用いた。絶縁体 280 の成膜には、Si ターゲットを用い、成膜ガスとして、酸素ガス 100 sccm、および Ar ガス 20 sccm を用い、成膜圧力を 0.6 Pa とし、成膜電力を 3000 W とし、基板温度を 200 とし、ターゲットと基板との間隔を 62 mm とした。上記、絶縁体 275、絶縁体 280 は、マルチチャンバー型のスパッタ装置を用いて、外気にさらさず、連続して成膜を行った。

【0620】

絶縁体 250 a として、CVD 法で成膜した、膜厚が 10 nm の酸化窒化シリコンを用いた。次に絶縁体 250 b として、ALD 法で成膜した、膜厚が 1.5 nm の酸化ハフニウムを用いた。絶縁体 250 b の成膜後、マイクロ波処理を行った。マイクロ波処理は、処理ガスとしてアルゴンガス 150 sccm および酸素ガス 50 sccm を用い、電力を 4000 W とし、圧力を 400 Pa とし、処理温度を 400 とし、処理時間を 600 秒とした。

【0621】

導電体 260 a として、膜厚 5 nm の窒化チタンを用いた。また、導電体 260 b として、タングステンを用いた。

【0622】

絶縁体 282 として、膜厚 20 nm の酸化アルミニウムを用いた。絶縁体 282 は、アルミニウムターゲットを用いて、パルス DC スパッタリング法を用いて成膜した。

【0623】

絶縁体 284 として、スパッタリング法で成膜した酸化アルミニウムを用いた。また、絶縁体 283 として、スパッタリング法で成膜した窒化シリコンを用いた。

【0624】

絶縁体 274 として、CVD 法で成膜した、酸化窒化シリコンを用いた。

【0625】

以上のような構成を有するサンプルは、設計値が、チャンネル長 60 nm、チャンネル幅 60 nm のトランジスタである。なお、サンプルは、トランジスタ 200 と同様に、上記構成に加えて、さらに、導電体 240、絶縁体 241、および導電体 246 等を有する。また、サンプルは、作製後に、窒素雰囲気中で、温度 400、8 時間の熱処理を行った。

【0626】

上記のように作製したサンプルの 27 素子について、キーサイトテクノロジー製半導体パラメータアナライザーを用いて、 $I_D - V_G$ 特性 (ドレイン電流 - ゲート電圧特性) を測定した。 $I_D - V_G$ 特性の測定は、ドレイン電位 V_D を 0.1 V または 1.2 V とし、ソース電位 V_S を 0 V とし、ボトムゲート電位 V_{BG} を 0 V とし、トップゲート電位 V_G を -4.0 V から 4.0 V まで 0.1 V ステップで掃引させた。

【0627】

図 39 にサンプルの $I_D - V_G$ 特性の測定結果を示す。図 39 は、横軸にトップゲート電位 V_G (V)、第 1 の縦軸にドレイン電流 I_D (V)、第 2 の縦軸に $V_D = 0.1$ V における電界効果移動度 μ_{FE} (cm^2/Vs) をとる。また、 $V_D = 0.1$ V のドレイン電流を実線で示し、 $V_D = 1.2$ V のドレイン電流を破線で示し、 $V_D = 0.1$ V の電界効果

10

20

30

40

50

移動度を細い点線で示している。図 3 9 に示すように、本実施例のサンプルのトランジスタは、27 素子全部で良好な電気特性を示した。

【0628】

また、上記の $I_D - V_G$ 測定の結果から、27 素子のシフト電圧 V_{sh} をそれぞれ算出し、その中央値および標準偏差を求めた。ここで、シフト電圧 V_{sh} は、トランジスタの $I_D - V_G$ カーブにおいて、カーブ上の傾きが最大である点における接線が、 $I_D = 1 \mu A$ の直線と交差する V_G で定義される。シフト電圧 V_{sh} の中央値は、 $-0.36 V$ 、シフト電圧 V_{sh} の標準偏差は $130 mV$ と良好な値が得られた。

【0629】

また、上記の $I_D - V_G$ 測定の結果から、27 素子のサブスレッショルドスイング値 (S 値) をそれぞれ算出した。 S 値は、 $V_D = 1.2 V$ に設定し、サブスレッショルド領域において、 I_D が一桁変化するのに要する V_G の値を求めることで得られる。 S 値の中央値は $107 (mV / dec)$ と良好な値が得られた。また、電界効果移動度 μ_{FE} の中央値は $14.0 (cm^2 / Vs)$ と良好な値が得られた。このように、本実施例に示すサンプルは、電気特性のばらつきが少ないトランジスタであった。つまり、上記実施の形態に示す構造にすることで、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。

【0630】

次に、サンプルのトランジスタに容量素子 (保持容量 $3.5 fF$) を設けた DOSRAM を想定して、データ保持時間および動作周波数の見積もりを行った。DOSRAM のメモリセルとしては、図 3 2 A に示す回路を想定した。ここで、サンプルは図 3 2 A に示すトランジスタ M1 に相当する。

【0631】

DOSRAM の「データ保持時間」とは、DOSRAM が有する容量素子にかかる電圧の変動量が変動許容電圧に達するまでに要する時間と言える。ここで、「変動許容電圧」とは、DOSRAM の容量素子にかかる電圧がデータ書き込み後から変動する量の許容値である。本実施例では、「変動許容電圧」を $0.2 V$ とし、「データ保持時間」を容量素子 (保持容量 $3.5 fF$) にかかる電圧がデータ書き込み後の状態から $0.2 V$ 低下するまでに要する時間とした。例えば、本実施例で DOSRAM のデータ保持が 1 時間という場合、DOSRAM が有する容量素子にかかる電位が、データ書き込み後から $0.2 V$ 低下するまでの時間が 1 時間であることを意味する。

【0632】

DOSRAM のデータ保持時間は、DOSRAM が有するトランジスタのオフ電流 (I_{off} と記す) の大きさに依存する。例えば、DOSRAM のデータ保持特性が、DOSRAM が有するトランジスタの I_{off} のみに依存する場合、DOSRAM のデータ保持時間は、DOSRAM が有するトランジスタの I_{off} に反比例する。

【0633】

DOSRAM が有するトランジスタの I_{off} が既知である場合、DOSRAM のデータ保持時間は、データ保持中に容量素子から失われる電荷量 (容量素子の保持容量 ($3.5 fF$) と容量素子にかかる電圧の低下分 ($0.2 V$) との積に相当する $0.7 fC$) を I_{off} で割ることによって算出することができる。また、目標とする DOSRAM の保持時間を設定し、前述した電荷量 $0.7 fC$ を当該保持時間で割ることで、DOSRAM が有するトランジスタに求められる I_{off} を見積ることもできる。保持時間の目標を 1 時間とする場合、トランジスタに求められる I_{off} は約 $200 \mu A$ ($200 \times 10^{-2} A$) となった。 I_{off} が $200 \mu A$ となるようにゲート電圧 ($V_{g(off)}$ と記す) を調整することで、広い温度範囲で高い動作周波数を有する DOSRAM とすることができる。

【0634】

まず、サンプルにおいて、トランジスタの $I_D - V_G$ 測定を行った。 $I_D - V_G$ 測定は、トランジスタのドレイン電位 V_D を $+1.2 V$ に、ソース電位 V_S を $0 V$ に、ゲート電位 V

10

20

30

40

50

V_G を -1.0 V から $+3.3\text{ V}$ まで掃引することで行った。ボトムゲート電位 V_{BG} は -5.5 V 固定で行った。なお、ボトムゲート電位 $V_{BG} = -5.5\text{ V}$ は、85 の測定において、サンプルのトランジスタの保持時間が1時間以上になるように見積もったものである。測定温度は、 -40 、 27 、 85 の3水準で行った。

【0635】

サンプルは、測定対象となるトランジスタが形成された5インチ角基板を上記各温度に設定したサーモチャック上に固定した状態でトランジスタの $I_D - V_G$ 測定を実施した。また、それぞれの設定温度に対し、18素子ずつ測定を行った。

【0636】

得られた $I_D - V_G$ カーブから、トランジスタの V_{sh} 及び S 値を算出した。本トランジスタは、実施の形態1の〈半導体装置の作製方法〉で示したように、チャンネル形成領域に金属酸化物を用いている。チャンネル形成領域に金属酸化物を用いたトランジスタは、例えば、チャンネル形成領域に Si を用いたトランジスタと比べて、非導通状態におけるリーク電流が極めて小さい。そのため、チャンネル形成領域に金属酸化物を用いたトランジスタは、実測により I_{off} を検出することが困難な場合がある。本トランジスタにおいても I_{off} の実測は困難であったため、前述の $I_D - V_G$ カーブから得られた V_{sh} 及び S 値から、式(1)を用いた外挿によって I_{off} が 200 zA となる $V_{g(off)}$ を見積もった。サンプルについては、 $V_{g(off)} = -0.72\text{ V}$ となった。なお、式(1)に示すように、トランジスタのオフ電流が $V_G = V_{g(off)}$ に達するまで、 S 値に従って I_D が単調減少すると仮定した。

【0637】

【数1】

$$I_{off} = 1 \times 10 \left(-12 - \frac{V_{sh} - V_{g(off)}}{S_{value}} \right) \quad (1)$$

【0638】

ここで、DOSRAM動作周波数の見積り方法について説明する。DOSRAM動作周波数とは、DOSRAMのデータ書き込みサイクルの逆数とする。DOSRAMのデータ書き込みサイクルは、DOSRAMが有する容量素子の充電時間などによって設定されるパラメータである。本実施例では、DOSRAMのデータ書き込みサイクル(DOSRAM動作周波数の逆数)の40%に相当する時間を、DOSRAMが有する容量素子の充電時間とする設定とした。

【0639】

DOSRAM動作周波数は、DOSRAMが有する容量素子の充電時間に依存する。したがって、DOSRAM動作周波数を見積るに際して、まずDOSRAMが有する容量素子の充電時間を事前に知る必要がある。本実施例では、DOSRAMが有する容量素子(保持容量 3.5 fF) に 0.52 V 以上の電位がかかった状態を、当該容量素子が「充電された状態」と定義した。したがって、本実施例では、DOSRAMのデータ書き込み動作を開始してから、当該容量素子にかかる電位が 0.52 V に達するまでの時間が、DOSRAMが有する容量素子の充電時間に相当する。

【0640】

DOSRAMが有する容量素子の充電時間は、DOSRAMデータ書き込み時における、DOSRAMが有するトランジスタの I_D の大きさに依存する。そこで本実施例では、DOSRAMデータ書き込み時にDOSRAMが有するトランジスタにかかることが想定される電位(図38A参照)を、本発明の一態様に係るトランジスタに実際に印加することでDOSRAMデータ書き込み動作を再現し、このときのトランジスタの I_D を測定した。図38Aは、容量素子 C_s にトランジスタ T_{r1} を介してデータを書き込む場合を想

10

20

30

40

50

定している。それぞれDはドレイン、Gはゲート、Sはソースを表している。トランジスタTr1のソースの電位（容量素子Csに印加される電圧）をVsとする。トランジスタTr1をオンにすることで、電流IDが流れ、容量素子Csが充電される。サンプルについては、トランジスタがオンとなるゲート電位Vg(on)をVg(off)+2.97Vとした。つまり、ゲート電位Vg(on)を-0.72V+2.97V=+2.25Vとし、ドレイン電位VDを+1.08Vに、ソース電位Vsを0Vから+0.52Vまで掃引することでトランジスタのID測定を行った。バックゲート電圧VBGは-5.5V固定とした。測定温度は、-40、27、85の3水準で行った。

【0641】

DOSRAMの充電が開始されてVsが書き込み判定電圧Vcsに達した時に充電完了とする。この時の時間を充電時間twとする（図38B参照）。DOSRAMが有する保持容量Cs[F]の容量素子に充電される電荷をQ[C]、充電時間をtw[sec]、充電によって容量素子にかかる電位をVcs(=Vs)[V]、DOSRAMが有するトランジスタのドレイン電流をID[A]とした場合、各パラメータの間には以下の式(2)の関係が成り立つ。

【0642】

【数2】

$$Q = \int_0^{t_w} I_D dt = C_S \times V_{cs} \quad (2) \quad 20$$

【0643】

式(2)を変形することで、DOSRAMが有する容量素子の充電時間twを以下の式(3)で表すことができる（図38C参照）。

【0644】

【数3】

$$t_w = \int_0^{V_{cs}} \frac{C_S}{I_D} dV_S \quad (3) \quad 30$$

【0645】

本実施例では、式(3)のCsに3.5fF、Vcsに+0.52V、前述のID-Vs測定で得られたIDを代入し、DOSRAMが有する容量素子の充電時間twを算出した。

【0646】

DOSRAMの動作周波数fと充電時間twの関係を式(4)で表すことができる。

【0647】

【数4】

$$f = \frac{A}{t_w} \quad (4) \quad 40$$

【0648】

式(4)においてAは係数である。DOSRAMにおいて、1回の動作時間のうち、書き込みに要する時間は4割と想定されることから、本実施例では係数Aをtwが2.0n

10

20

30

40

50

secを超える場合は0.4固定とした。また、 t_w が2.0nsec以下となると、メモリの周辺回路の信号遅延の影響が無視できなくなるために、その影響を考慮して、係数Aを設定する必要がある。メモリの周辺回路の信号遅延の影響を考慮して算出した結果を表1に示す。なお、周辺回路は、2.5GHzのクロックで動作する想定とした。

【0649】

【表1】

充電時間(t_w) [nsec]	書き込み時間 (係数A)	動作周波数 [MHz]
2.0	0.42	208
1.6	0.36	227
1.2	0.30	250
0.8	0.25	312
0.4	0.14	357

10

【0650】

以上の方法にて、サンプルを測定し、動作周波数を算出した。図39Bにサンプルにおける、動作周波数とデータ保持時間の相関を示す。図39Bでは、横軸にデータ保持時間[sec]を、縦軸に動作周波数[MHz]をとる。ここで、図39Bの太い点線(縦線)は保持時間1時間を示し、図39Bの細い点線(横線)は動作周波数200MHzを示す。図39Bに示すように、サンプルの18素子全部で、27、および85測定におけるデータ保持時間が一時間以上であり、かつ動作周波数が200MHz以上であった。また、サンプルの18素子中15素子が、-40測定におけるデータ保持時間が一時間以上であり、かつ動作周波数が200MHz以上であった。

20

【0651】

本実施例に示す構成、方法などは、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【実施例2】

【0652】

本実施例では、先の実施例で用いたサンプルから選択した2つの素子について、信頼性評価を行い、ストレス時間依存性を調査した結果について説明する。信頼性の評価は、ストレス温度150の+GBT(Gate Bias Temperature)ストレス試験により行った。設定温度を150とし、ドレイン電位 V_D 、ソース電位 V_S 、およびボトムゲート電位 V_{BG} を0Vとし、トップゲート電位 V_G を+3.63Vとし、ストレス時間による V_{sh} の変動である V_{sh} を評価した。

30

【0653】

図40A、図40Bに+GBTストレス試験の結果を示す。図40Aにおいて、横軸はストレス時間(時間)をログスケールにて示し、縦軸は V_{sh} (mV)を示す。また、図40Bは、横軸はストレス時間(時間)をリニアスケールにて示し、縦軸は V_{sh} (mV)を示す。図40A、図40Bに示すように、一方のサンプルは、ストレス時間とともに V_{sh} は+側に変動し、ストレス時間70時間で、 V_{sh} は、140mVとなった。また、他方のサンプルは、ストレス時間とともに V_{sh} は+側に変動し、ストレス時間70時間で、 V_{sh} は、79mVとなった。

40

【0654】

本実施例に示す構成、方法などは、少なくともその一部を、本明細書中に記載する実施の形態、他の実施例などと適宜組み合わせる実施することができる。

【実施例3】

【0655】

本実施例では、図41に示す構造を有する、サンプルA乃至サンプルCを作製し、これ

50

らのサンプルについて、透過型電子顕微鏡 (TEM: Transmission Electron Microscope) を用いた観察と、SIMS分析による重水素濃度の評価を行った結果について説明する。

【0656】

図41に示す構造は、シリコン基板10と、シリコン基板10上の酸化シリコン膜12と、酸化シリコン膜12上の窒化シリコン膜14と、窒化シリコン膜14上の酸化窒化シリコン膜16と、酸化窒化シリコン膜16上の酸化シリコン膜18と、酸化シリコン膜18上の酸化アルミニウム膜20と、酸化アルミニウム膜20上の窒化シリコン膜22と、を有する。

【0657】

まず、図41に示す構造の、サンプルA乃至サンプルCの作製方法について説明する。

【0658】

最初に、シリコン基板10に、HCl雰囲気中で950℃の熱処理を行い、膜厚100nmの酸化シリコン膜12を形成した。

【0659】

次に、シリコンターゲットを用いて、RFスパッタリング法で、膜厚20nmの窒化シリコン膜14を成膜した。

【0660】

次に、PECVD法で膜厚50nmの酸化窒化シリコン膜16を成膜した。ここで、酸化窒化シリコン膜の成膜は、成膜ガスとして、重水素D₂ガス200sccm、SiH₄ガス2.0sccm、N₂Oガス800sccmを用いた。

【0661】

次に、シリコンターゲットを用いて、パルスDCスパッタリング法で、膜厚110nmの酸化シリコン膜18を成膜した。

【0662】

次に、アルミニウムターゲットを用いて、パルスDCスパッタリング法で、膜厚40nmの酸化アルミニウム膜20を成膜した。酸化アルミニウム膜20の成膜では、成膜圧力を0.4Paとし、基板温度を200℃とし、ターゲットと基板との間隔を62mmとした。パルスDC電源は、電力5kW、周波数100kHzとした。

【0663】

ここで、サンプルAでは、成膜ガスとして、アルゴンガス42sccm(第1のガス供給口から37sccm、第2のガス供給口から5sccm)、酸素ガス42sccmを用い、サンプルBおよびサンプルCでは、成膜ガスとして、アルゴンガス14sccm(第1のガス供給口から9sccm、第2のガス供給口から5sccm)、酸素ガス69sccmを用いた。つまり、サンプルAでは、酸化アルミニウム膜20の成膜ガス中の酸素の割合を50体積%とし、サンプルBおよびサンプルCでは、酸化アルミニウム膜20の成膜ガス中の酸素の割合を83体積%とした。

【0664】

また、酸化アルミニウム膜20の成膜時に、サンプルAでは、基板バイアス電力を100Wとし、サンプルBでは、基板バイアス電力を200Wとし、サンプルCでは、基板バイアス電力を0Wとした。

【0665】

次に、シリコンターゲットを用いて、パルスDCスパッタリング法で、膜厚20nmの窒化シリコン膜22を成膜した。ここで、窒化シリコン膜22は、酸化アルミニウム膜20の成膜後、外気にさらさず、連続で成膜を行った。

【0666】

次に、窒素雰囲気中で、400℃、1時間熱処理を行った。

【0667】

以上のように作製したサンプルA乃至サンプルCの酸化アルミニウム膜20およびその近傍について、日立ハイテクノロジーズ製「H-9500」を用いて、断面TEM像の撮

10

20

30

40

50

影を行った。図 4 2 A にサンプル A の断面 TEM 像を、図 4 3 A にサンプル B の断面 TEM 像を、図 4 4 A にサンプル C の断面 TEM 像を、それぞれ示す。

【 0 6 6 8 】

さらに、図 4 2 A に示す TEM 像の領域 A、図 4 3 A に示す TEM 像の領域 B、図 4 4 A に示す TEM 像の領域 C について FFT (Fast Fourier Transform) 解析を行った。TEM 像に FFT 解析を行うことで、電子線回折パターンと同様の逆格子空間情報を反映したパターンを有する、FFT 像を得ることができる。例えば、結晶性を有する酸化アルミニウム膜の断面 TEM 像の場合、FFT 像には強い強度のスポットが見られる場合がある。

【 0 6 6 9 】

FFT 解析の結果を図 4 2 B、図 4 3 B、および図 4 4 B に示す。図 4 2 B は領域 A の FFT 像であり、図 4 3 B は領域 B の FFT 像であり、図 4 4 B は領域 C の FFT 像である。

【 0 6 7 0 】

図 4 3 B および図 4 4 B では、強い強度のスポットの存在が確認できるが、図 4 2 B では、明確なスポットが確認できない。よって、サンプル B およびサンプル C では、酸化アルミニウム膜 2 0 が結晶性を有するが、サンプル A では、酸化アルミニウム膜 2 0 がアモルファス構造であることが確認できた。

【 0 6 7 1 】

また、サンプル A 乃至サンプル C について、SIMS 分析装置を用いて、重水素濃度の評価を行った。つまり、各サンプルにおいて、酸化窒化シリコン膜 1 6 に含まれる重水素がどのように拡散するか分析を行った。なお、分析は各サンプルの表面側より行っている。サンプル A 乃至サンプル C の SIMS 分析の結果を図 4 5 に示す。

【 0 6 7 2 】

図 4 5 は、各サンプルの深さ方向の重水素濃度プロファイルである。図 4 5 では、横軸は、窒化シリコン膜 2 2 の上面からの深さ [nm] を示し、縦軸は、膜中の重水素 D の濃度 [atoms/cm³] を示す。

【 0 6 7 3 】

図 4 5 に示すように、深さ 5 0 nm 近傍から深さ 2 0 nm にかけて、サンプル A は、サンプル B およびサンプル C よりも、重水素濃度が高い。これは、サンプル A は、サンプル B およびサンプル C よりも、酸化窒化シリコン膜に含まれていた重水素が、酸化アルミニウム膜 2 0 に拡散しやすいことが示されている。

【 0 6 7 4 】

図 4 2 乃至図 4 4 を用いて示したように、サンプル B およびサンプル C の酸化アルミニウム膜 2 0 は結晶性を有しているが、サンプル A の酸化アルミニウム膜 2 0 はアモルファス構造である。つまり、図 4 5 は、サンプル A において、アモルファス構造を有する酸化アルミニウム膜 2 0 によって、重水素が捕獲されていることを示唆している。

【 0 6 7 5 】

よって、本実施例により、酸化アルミニウムなどのアモルファス構造を有する金属酸化物を、トランジスタの構成要素として用いる、またはトランジスタの周囲に設けることで、トランジスタに含まれる水素、またはトランジスタの周囲に存在する水素を、捕獲または固着できることが示された。

【 0 6 7 6 】

本実施例に示す構成、方法などは、少なくともその一部を、本明細書中に記載する実施の形態、他の実施例などと適宜組み合わせる実施することができる。

【符号の説明】

【 0 6 7 7 】

BGL : 配線、BIL : 配線、CA : 容量素子、CB : 容量素子、CC : 容量素子、CAL : 配線、GNDL : 配線、MC : メモリセル、M1 : トランジスタ、M2 : トランジスタ、M3 : トランジスタ、M4 : トランジスタ、M5 : トランジスタ、M6 : トランジスタ

10

20

30

40

50

タ、RBL：配線、RWL：配線、SL：配線、WBL：配線、WOL：配線、WWL：配線、Tr1：トランジスタ、10：シリコン基板、12：酸化シリコン膜、14：窒化シリコン膜、16：酸化窒化シリコン膜、18：酸化シリコン膜、20：酸化アルミニウム膜、22：窒化シリコン膜、100：容量素子、110：導電体、112：導電体、115：導電体、120：導電体、125：導電体、130：絶縁体、140：導電体、142：絶縁体、145：絶縁体、150：絶縁体、152：絶縁体、153：導電体、154：絶縁体、156：絶縁体、200：トランジスタ、200_n：トランジスタ、200₁：トランジスタ、200_a：トランジスタ、200_b：トランジスタ、200_T：トランジスタ、205：導電体、205_a：導電体、205_A：導電膜、205_b：導電体、205_B：導電膜、205_c：導電体、205_C：導電膜、210：絶縁体、212：絶縁体、214：絶縁体、216：絶縁体、217：絶縁体、218：導電体、222：絶縁体、224：絶縁体、230：酸化物、230_a：酸化物、230_A：酸化膜、230_b：酸化物、230_B：酸化膜、230_{ba}：領域、230_{bb}：領域、230_{bc}：領域、230_c：酸化物、230_d：酸化物、240：導電体、240_a：導電体、240_b：導電体、241：絶縁体、241_a：絶縁体、241_b：絶縁体、242：導電体、242_a：導電体、242_A：導電膜、242_b：導電体、242_B：導電層、242_c：導電体、243：酸化物、243_a：酸化物、243_A：酸化膜、243_b：酸化物、243_B：酸化物層、246：導電体、246_a：導電体、246_b：導電体、250：絶縁体、250_a：絶縁体、250_A：絶縁膜、250_b：絶縁体、260：導電体、260_a：導電体、260_b：導電体、265：封止部、265_a：封止部、265_b：封止部、271：絶縁体、271_a：絶縁体、271_A：絶縁膜、271_b：絶縁体、271_B：絶縁層、271_c：絶縁体、272：絶縁体、272_a：絶縁体、272_A：絶縁層、272_b：絶縁体、273：絶縁体、273_a：絶縁体、273_A：絶縁膜、273_b：絶縁体、273_B：絶縁層、273_c：絶縁体、274：絶縁体、275：絶縁体、275_a：絶縁体、275_b：絶縁体、280：絶縁体、282：絶縁体、283：絶縁体、284：絶縁体、286：絶縁体、287：絶縁体、290：メモリデバイス、292：容量デバイス、292_a：容量デバイス、292_b：容量デバイス、293：絶縁体、294：導電体、294_a：導電体、294_b：導電体、296：絶縁体、300：トランジスタ、311：基板、313：半導体領域、314_a：低抵抗領域、314_b：低抵抗領域、315：絶縁体、316：導電体、320：絶縁体、322：絶縁体、324：絶縁体、326：絶縁体、328：導電体、330：導電体、350：絶縁体、352：絶縁体、354：絶縁体、356：導電体、411：素子層、413：トランジスタ層、415：メモリデバイス層、415₁：メモリデバイス層、415₃：メモリデバイス層、415₄：メモリデバイス層、420：メモリデバイス、424：導電体、440：導電体、470：メモリユニット、600：半導体装置、601：半導体装置、610：セルアレイ、610_n：セルアレイ、610₁：セルアレイ、700：電子部品、702：プリント基板、704：実装基板、711：モールド、712：ランド、713：電極パッド、714：ワイヤ、720：記憶装置、721：駆動回路層、722：記憶回路層、730：電子部品、731：インターポーザ、732：パッケージ基板、733：電極、735：半導体装置、901：境界領域、902：境界領域、1001：配線、1002：配線、1003：配線、1004：配線、1005：配線、1006：配線、1100：USBメモリ、1101：筐体、1102：キャップ、1103：USBコネクタ、1104：基板、1105：メモリチップ、1106：コントローラチップ、1110：SDカード、1111：筐体、1112：コネクタ、1113：基板、1114：メモリチップ、1115：コントローラチップ、1150：SSD、1151：筐体、1152：コネクタ、1153：基板、1154：メモリチップ、1155：メモリチップ、1156：コントローラチップ、1200：チップ、1201：PCB、1202：ポンプ、1203：マザーボード、1204：GPUモジュール、1211：CPU、1212：GPU、1213：アナログ演算部、1214：メモリコントローラ、1215：インターフェース、1216：ネットワーク回路、1221：DRAM、12

10

20

30

40

50

22：フラッシュメモリ、1400：記憶装置、1411：周辺回路、1420：行回路、1430：列回路、1440：出力回路、1460：コントロールロジック回路、1470：メモリセルアレイ、1471：メモリセル、1472：メモリセル、1473：メモリセル、1474：メモリセル、1475：メモリセル、1476：メモリセル、1477：メモリセル、1478：メモリセル、2700：製造装置、2701：大気側基板供給室、2702：大気側基板搬送室、2703a：ロードロック室、2703b：アンロードロック室、2704：搬送室、2706a：チャンバー、2706b：チャンバー、2706c：チャンバー、2706d：チャンバー、2761：カセットポート、2762：アライメントポート、2763a：搬送口ポット、2763b：搬送口ポット、2801：ガス供給源、2802：バルブ、2803：高周波発生器、2804：導波管、2805：モード変換器、2806：ガス管、2807：導波管、2808：スロットアンテナ板、2809：誘電体板、2810：高密度プラズマ、2811：基板、2812：基板ホルダ、2813：加熱機構、2815：マッチングボックス、2816：高周波電源、2817：真空ポンプ、2818：バルブ、2819：排気口、2820：ランプ、2821：ガス供給源、2822：バルブ、2823：ガス導入口、2824：基板、2825：基板ホルダ、2826：加熱機構、2828：真空ポンプ、2829：バルブ、2830：排気口、5100：情報端末、5101：筐体、5102：表示部、5200：ノート型情報端末、5201：本体、5202：表示部、5203：キーボード、5300：携帯ゲーム機、5301：筐体、5302：筐体、5303：筐体、5304：表示部、5305：接続部、5306：操作キー、5400：据え置き型ゲーム機、5402：コントローラ、5500：スーパーコンピュータ、5501：ラック、5502：計算機、5504：基板、5701：表示パネル、5702：表示パネル、5703：表示パネル、5704：表示パネル、5800：電気冷凍冷蔵庫、5801：筐体、5802：冷蔵室用扉、5803：冷凍室用扉

10

20

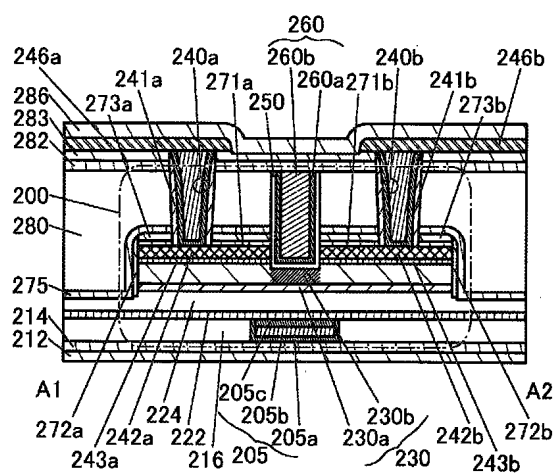
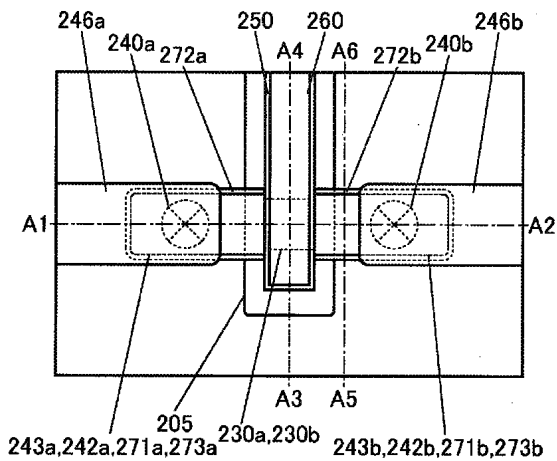
【図面】

【図1A】

【図1B】

図1A

図1B



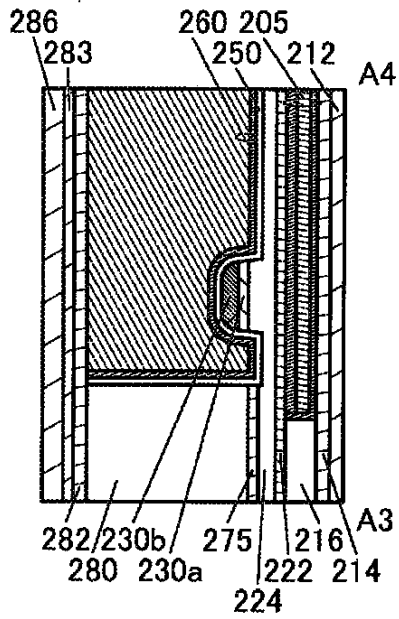
30

40

50

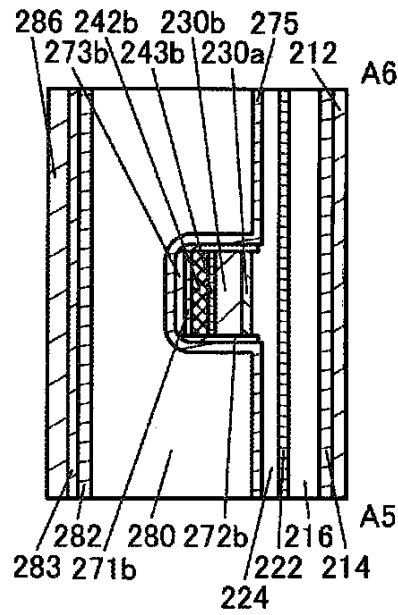
【図1C】

図1C



【図1D】

図1D

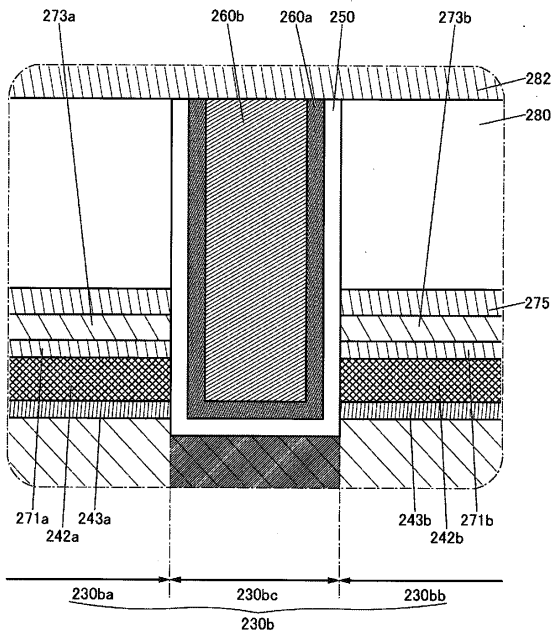


10

20

【図2】

図2



【図3A】

図3A

中間状態
新しい境界領域

Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
•completely amorphous	•CAAC •nc •CAC	•single crystal •poly crystal
	excluding single crystal and poly crystal	

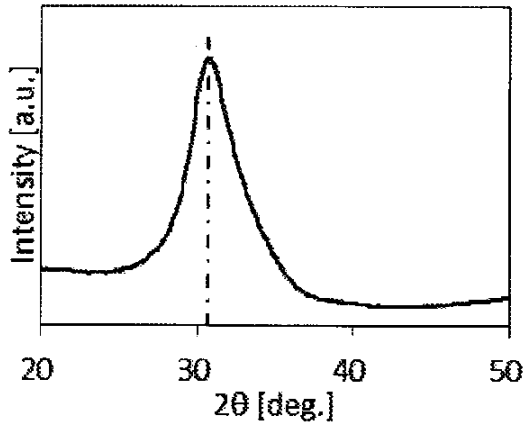
30

40

50

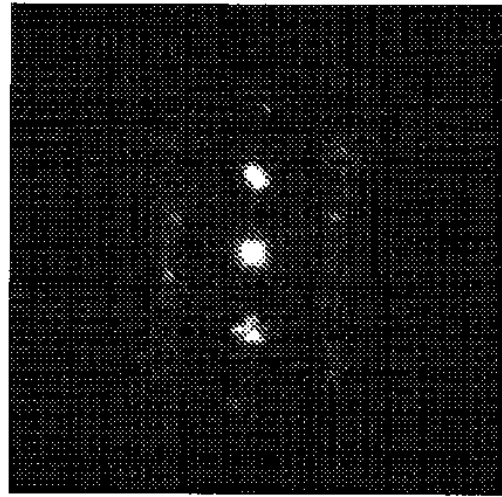
【 図 3 B 】

図3B



【 図 3 C 】

図3C

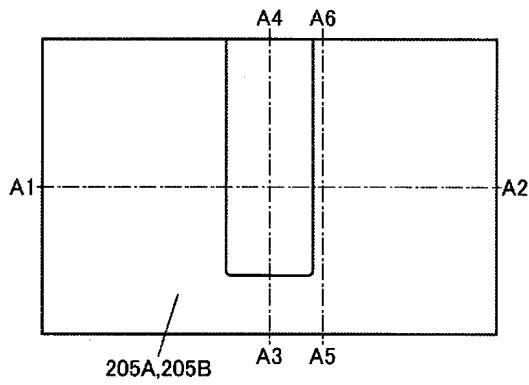


10

20

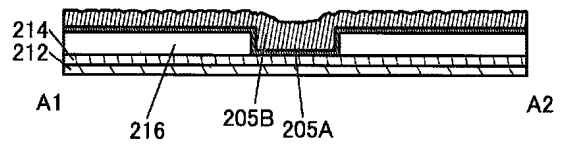
【 図 4 A 】

図4A



【 図 4 B 】

図4B



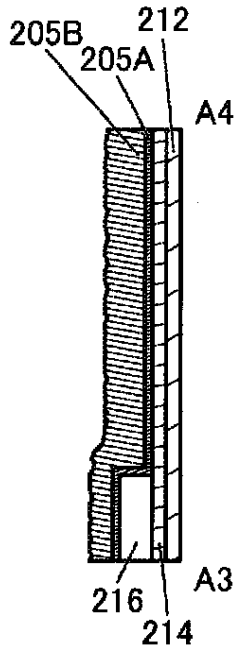
30

40

50

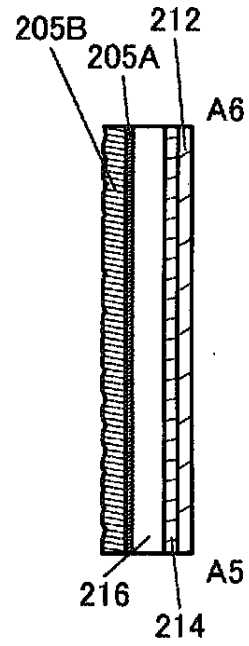
【図4C】

図4C



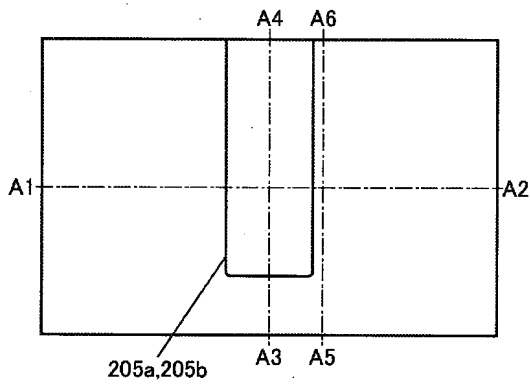
【図4D】

図4D



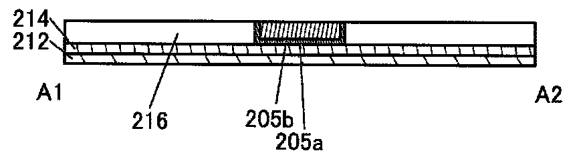
【図5A】

図5A



【図5B】

図5B



10

20

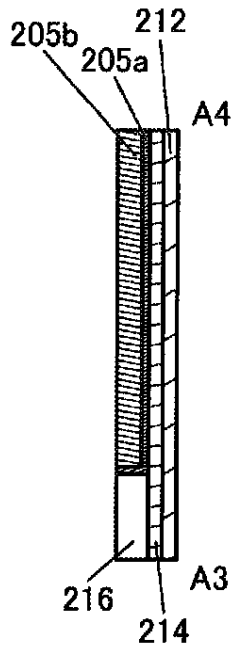
30

40

50

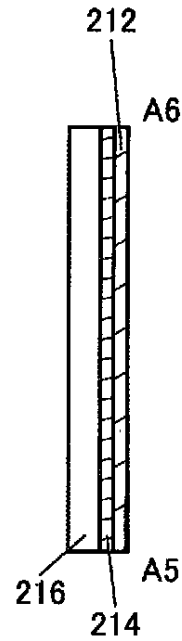
【図5C】

図5C



【図5D】

図5D

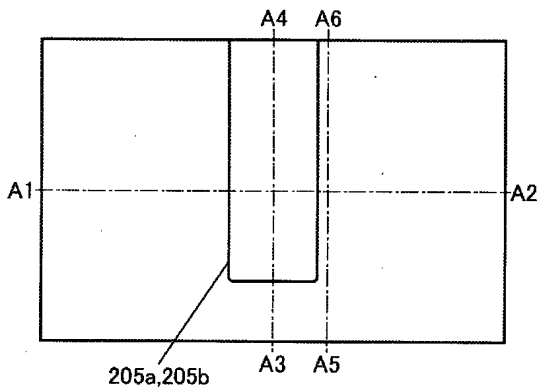


10

20

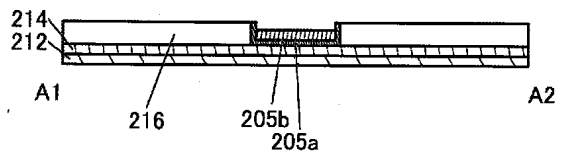
【図6A】

図6A



【図6B】

図6B



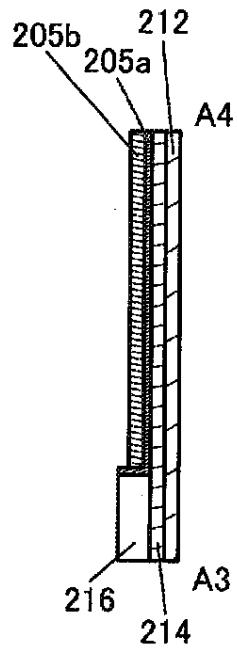
30

40

50

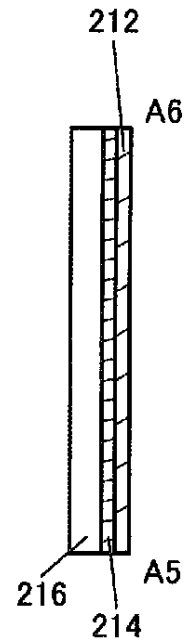
【図6C】

図6C



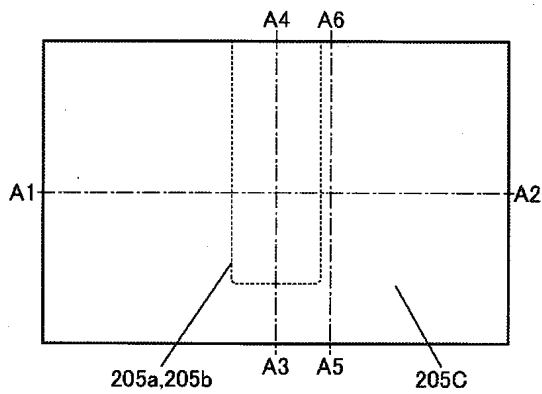
【図6D】

図6D



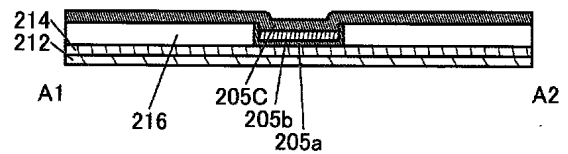
【図7A】

図7A



【図7B】

図7B



10

20

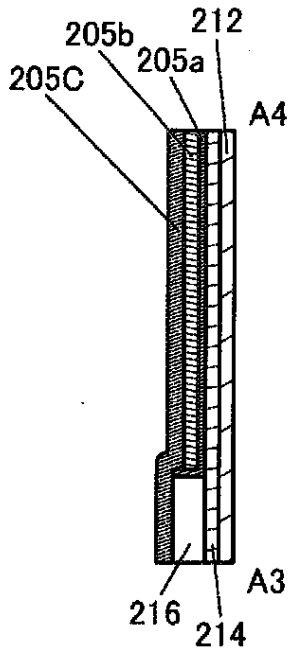
30

40

50

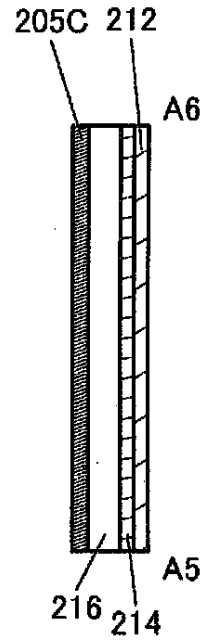
【図7C】

図7C



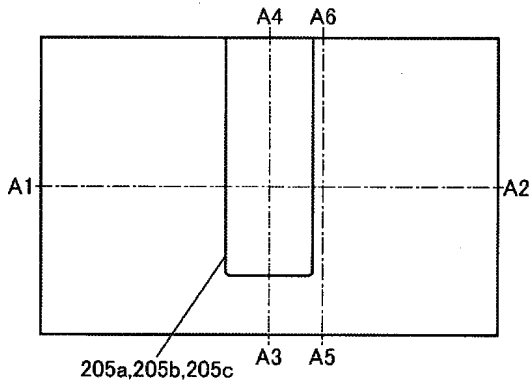
【図7D】

図7D



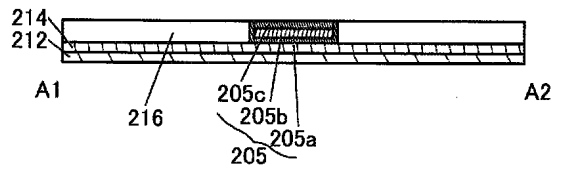
【図8A】

図8A



【図8B】

図8B



10

20

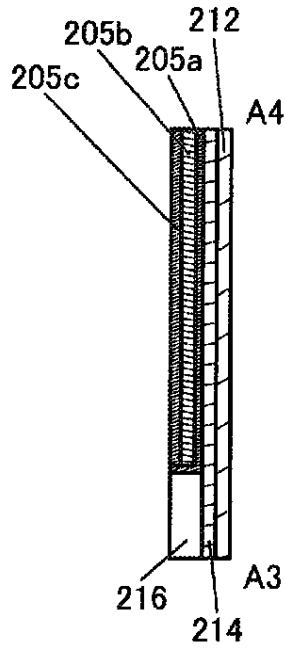
30

40

50

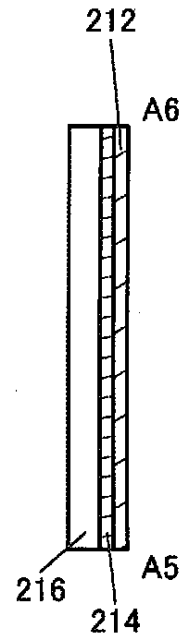
【図8C】

図8C



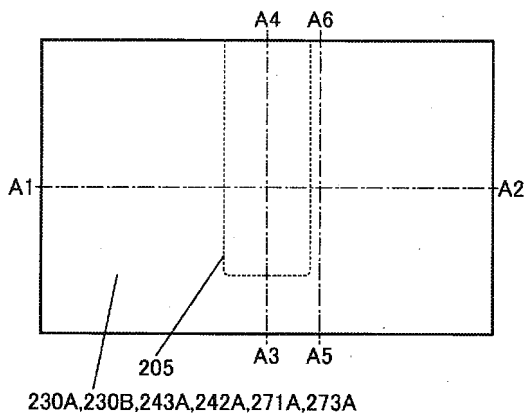
【図8D】

図8D



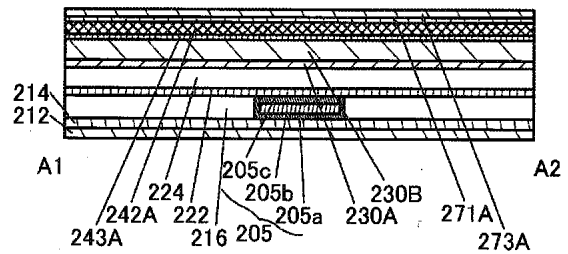
【図9A】

図9A



【図9B】

図9B



10

20

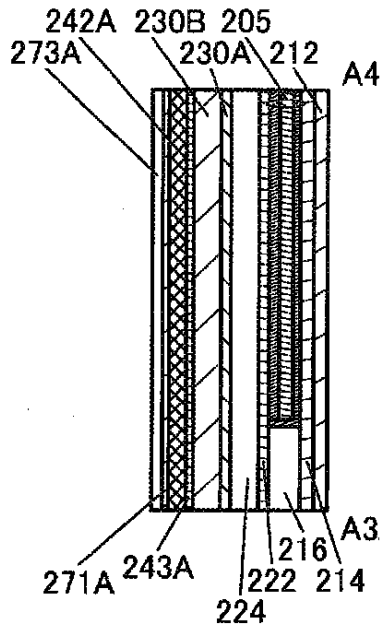
30

40

50

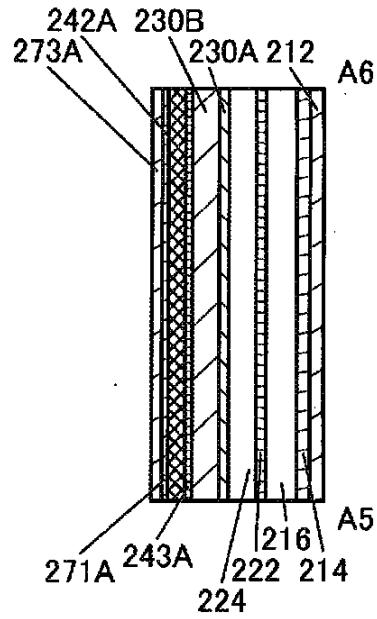
【図9C】

図9C



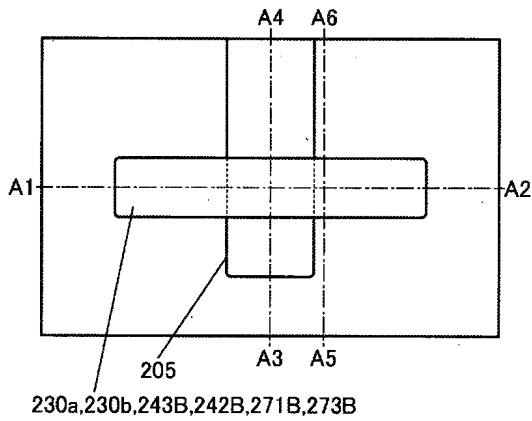
【図9D】

図9D



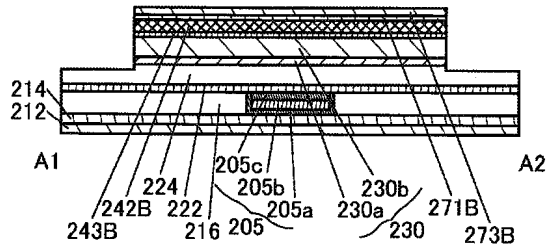
【図10A】

図10A



【図10B】

図10B



10

20

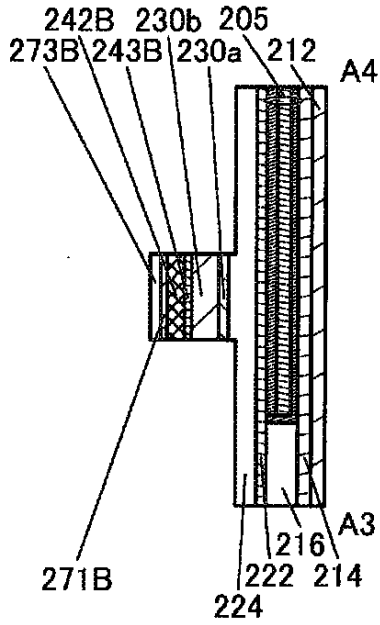
30

40

50

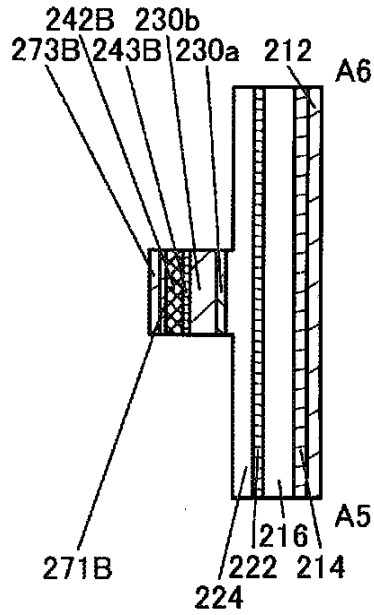
【図10C】

図10C



【図10D】

図10D

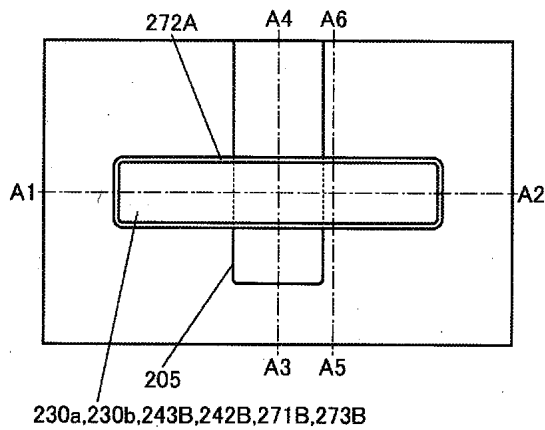


10

20

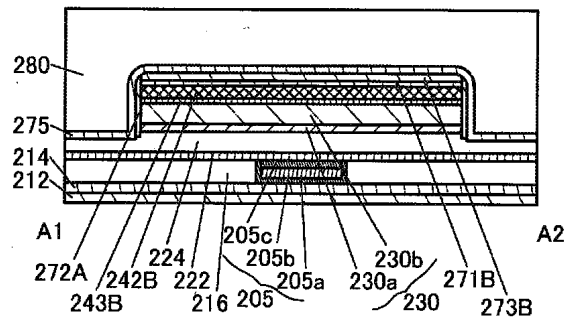
【図11A】

図11A



【図11B】

図11B



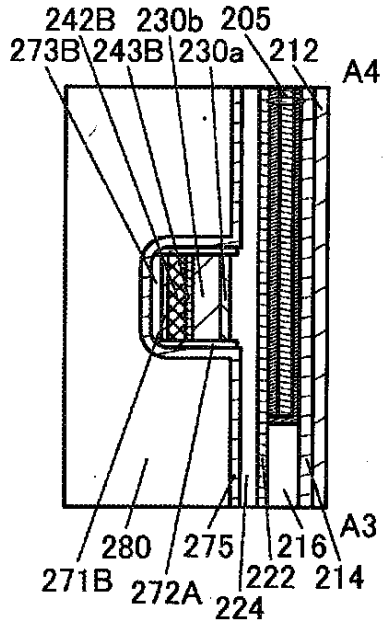
30

40

50

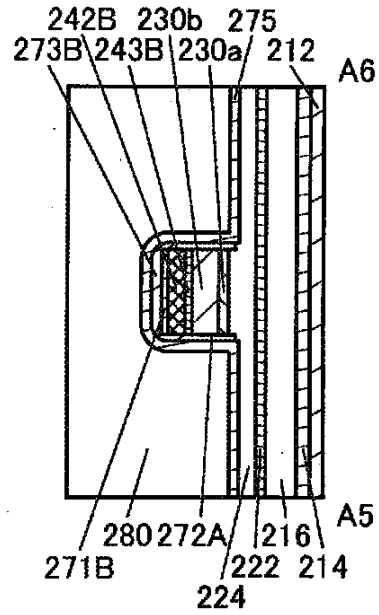
【図11C】

図11C



【図11D】

図11D

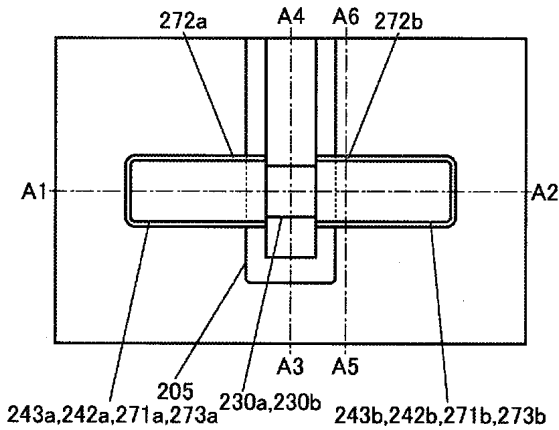


10

20

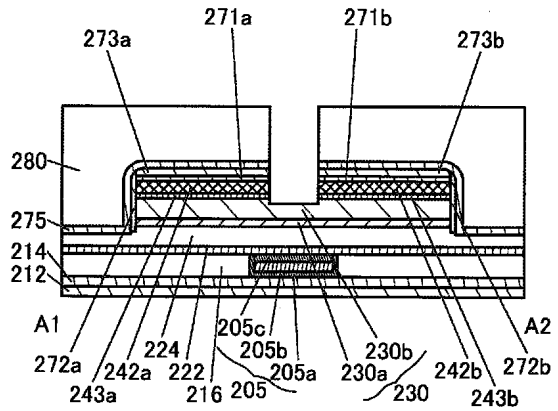
【図12A】

図12A



【図12B】

図12B



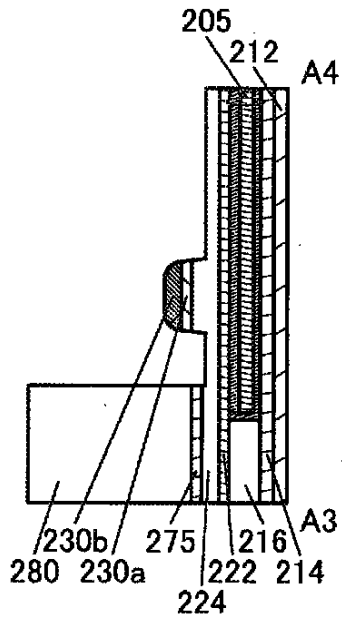
30

40

50

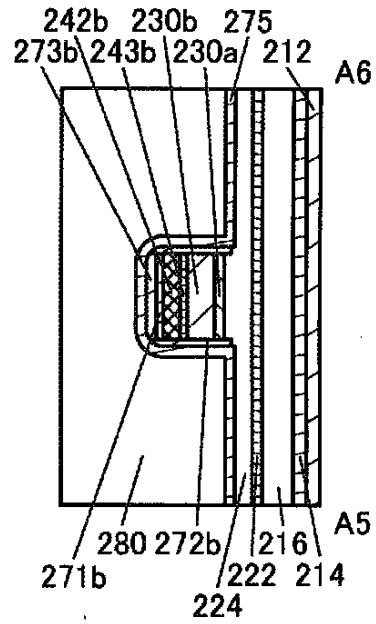
【図12C】

図12C



【図12D】

図12D

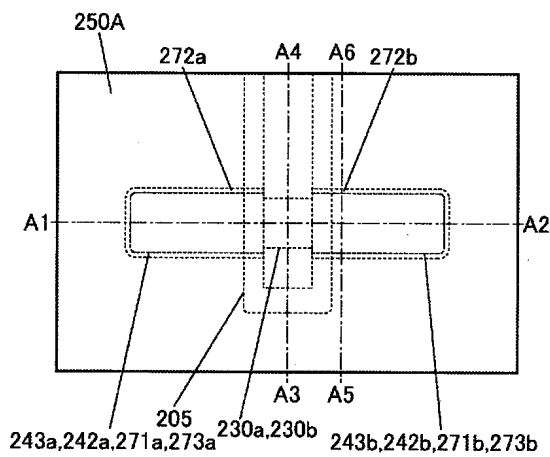


10

20

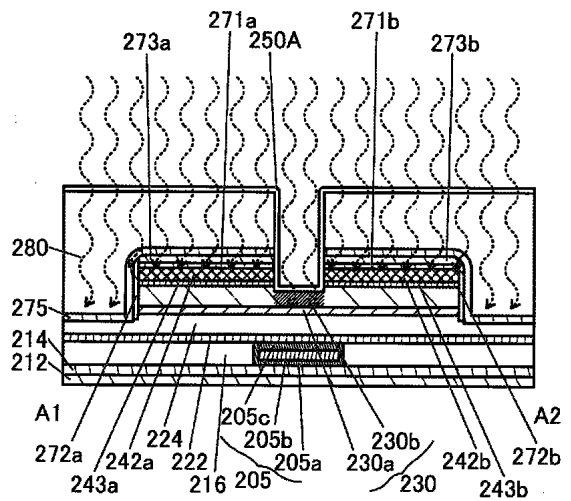
【図13A】

図13A



【図13B】

図13B



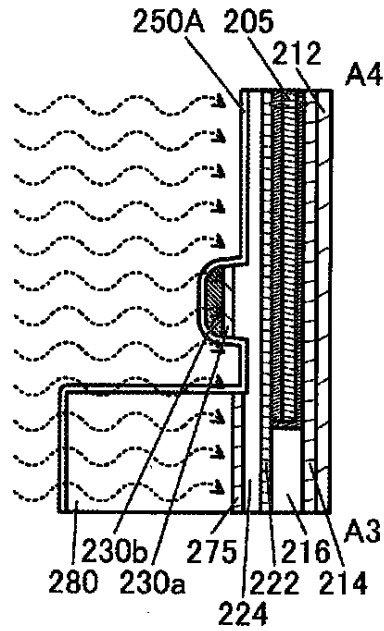
30

40

50

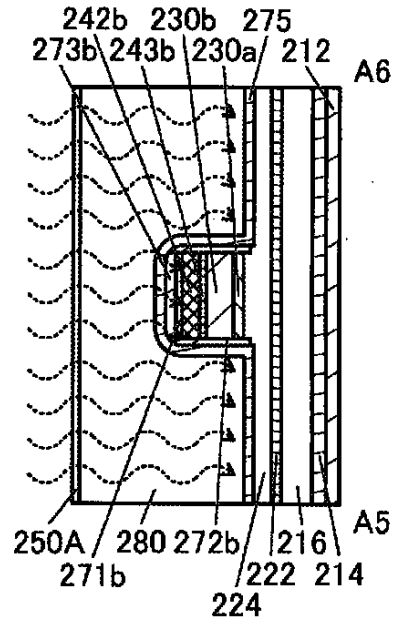
【図13C】

図13C



【図13D】

図13D

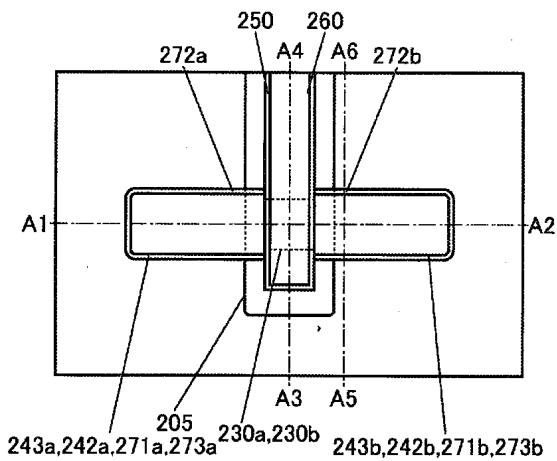


10

20

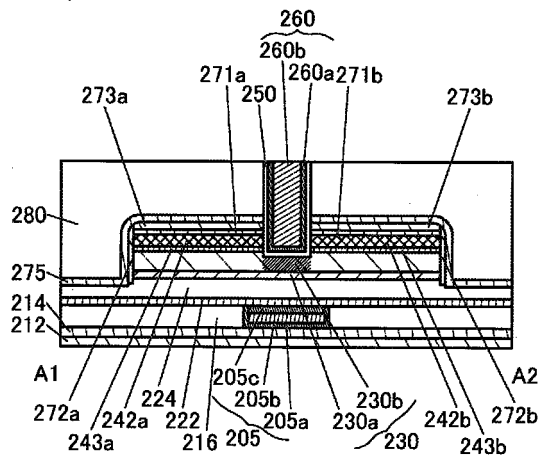
【図14A】

図14A



【図14B】

図14B



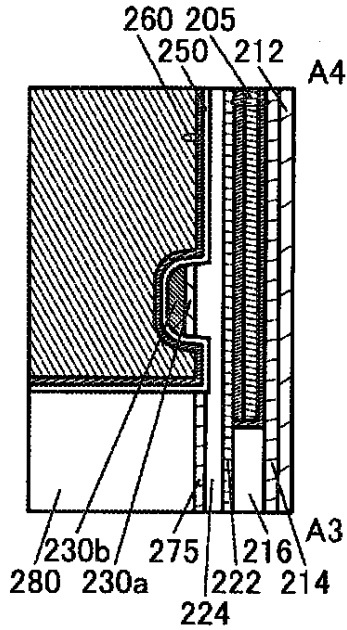
30

40

50

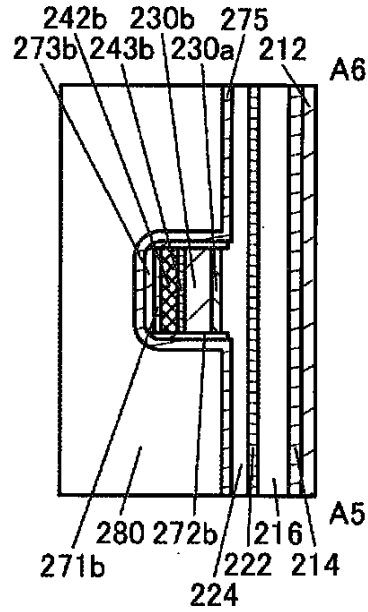
【図14C】

図14C



【図14D】

図14D

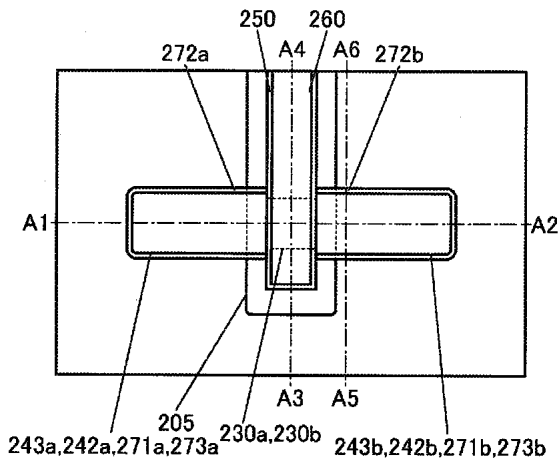


10

20

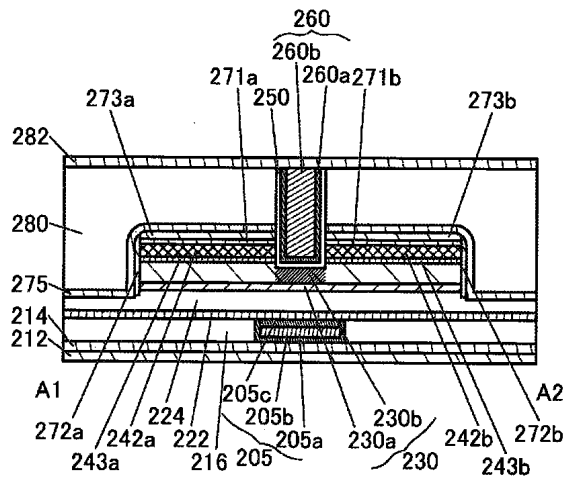
【図15A】

図15A



【図15B】

図15B



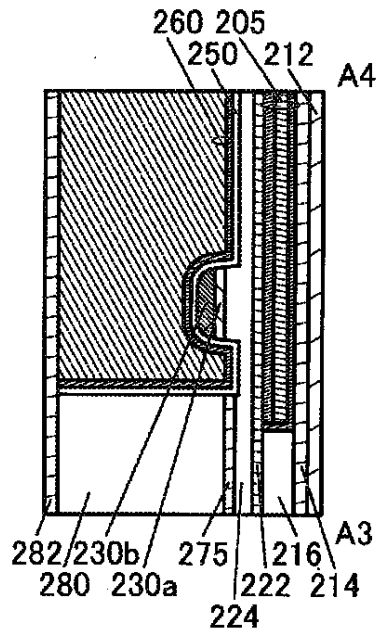
30

40

50

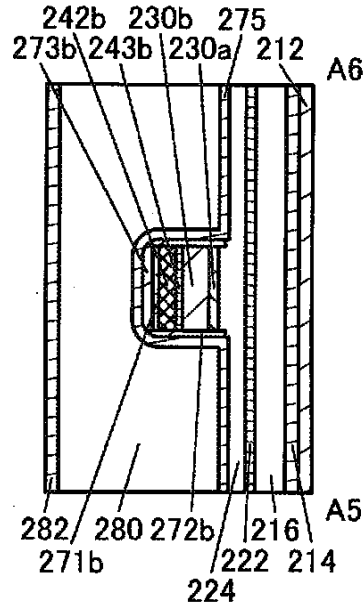
【図15C】

図15C



【図15D】

図15D

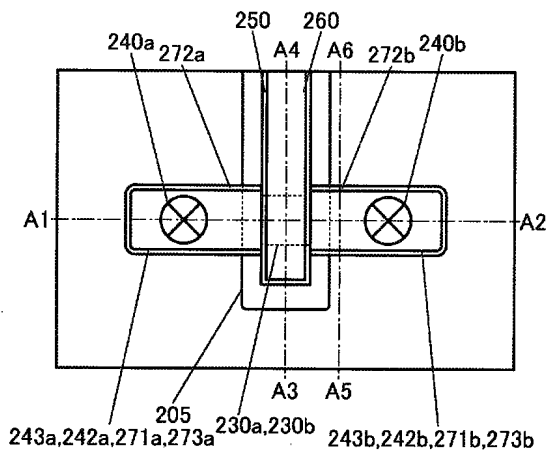


10

20

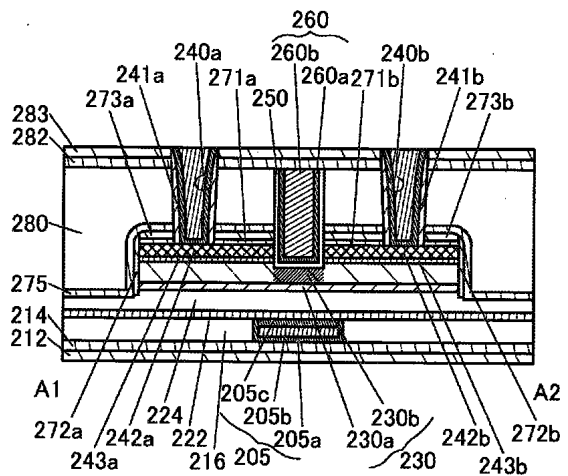
【図16A】

図16A



【図16B】

図16B



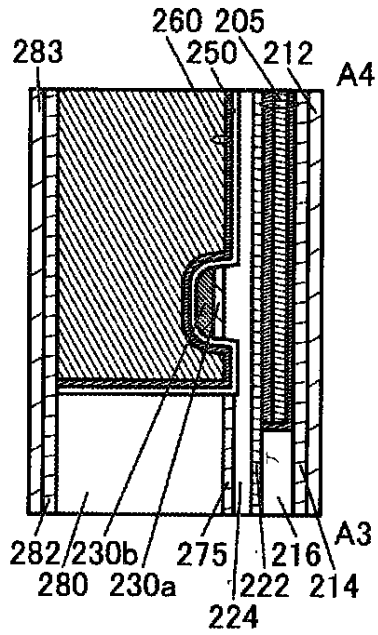
30

40

50

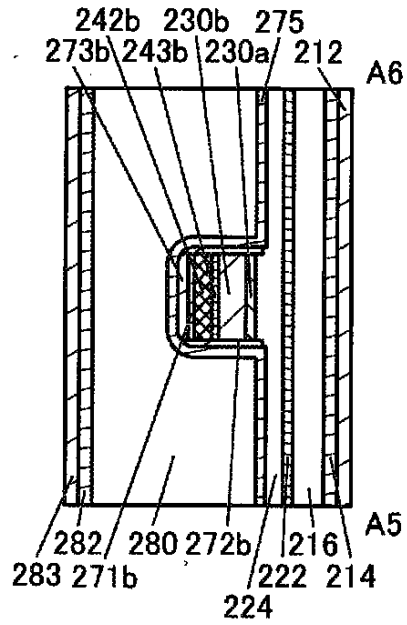
【図16C】

図16C



【図16D】

図16D

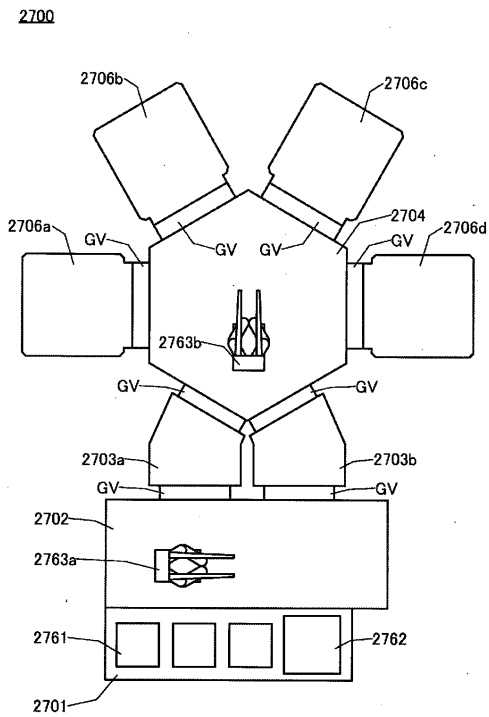


10

20

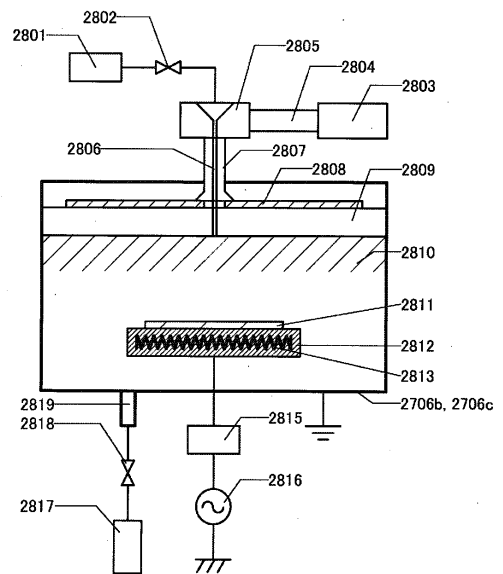
【図17】

図17



【図18】

図18



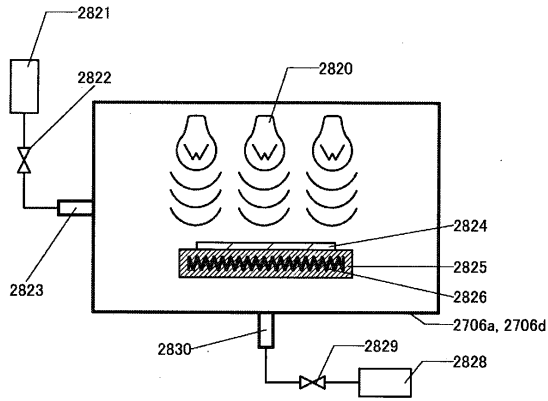
30

40

50

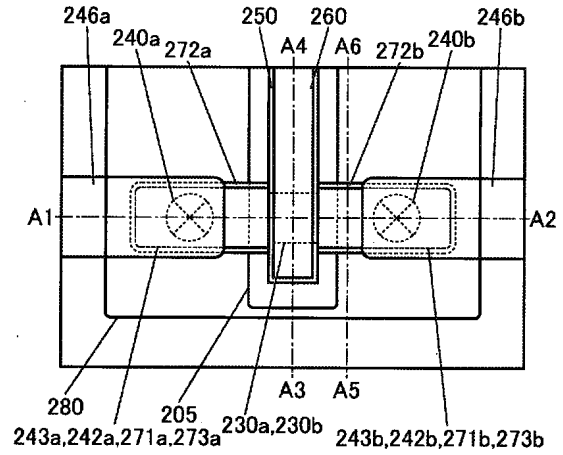
【図19】

図19



【図20A】

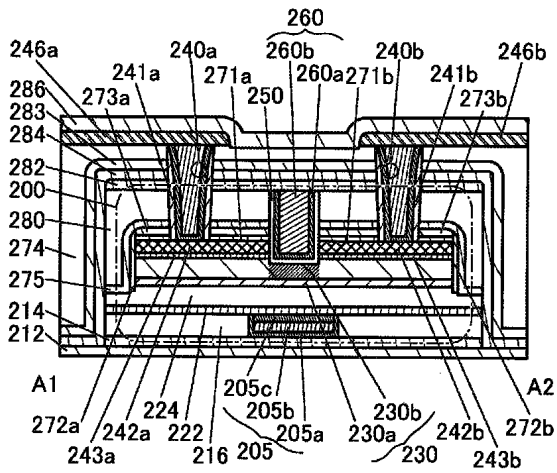
図20A



10

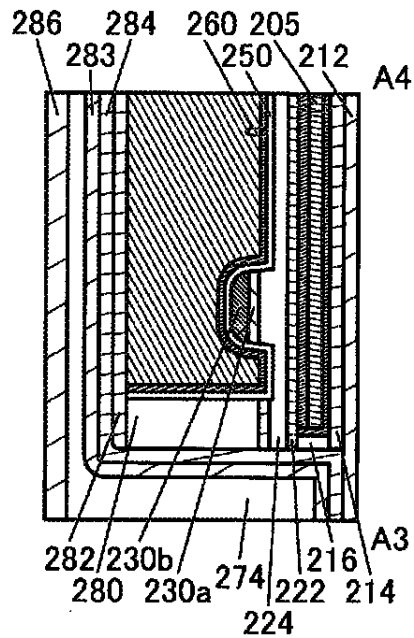
【図20B】

図20B



【図20C】

図20C



20

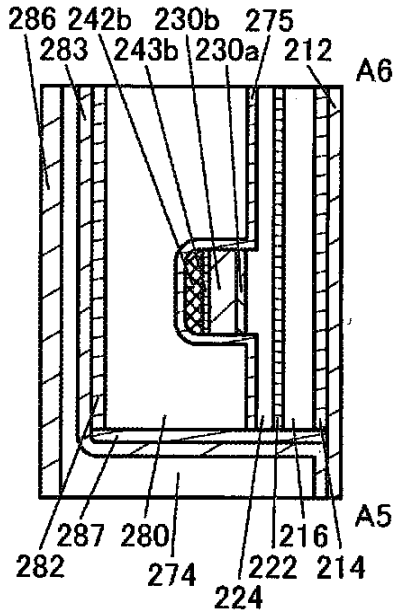
30

40

50

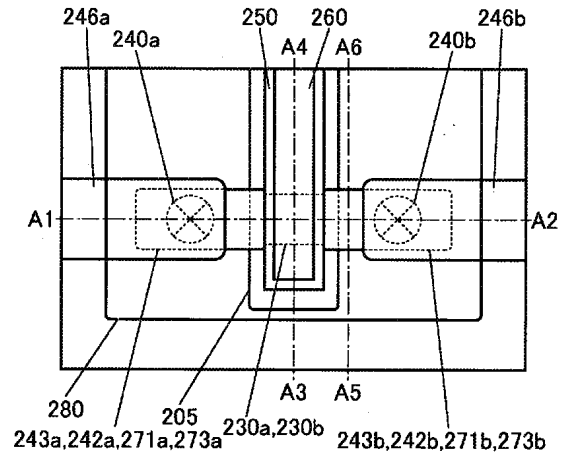
【図21D】

図21D



【図22A】

図22A

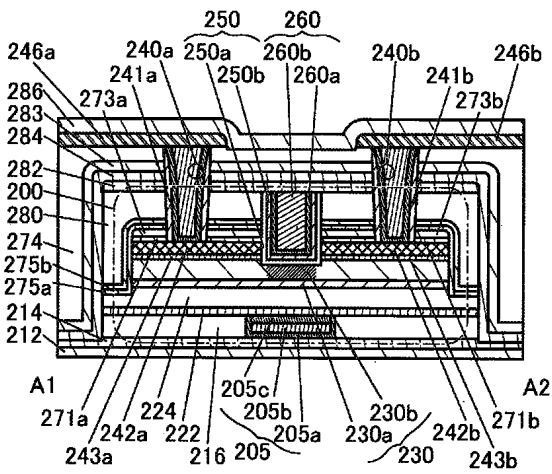


10

20

【図22B】

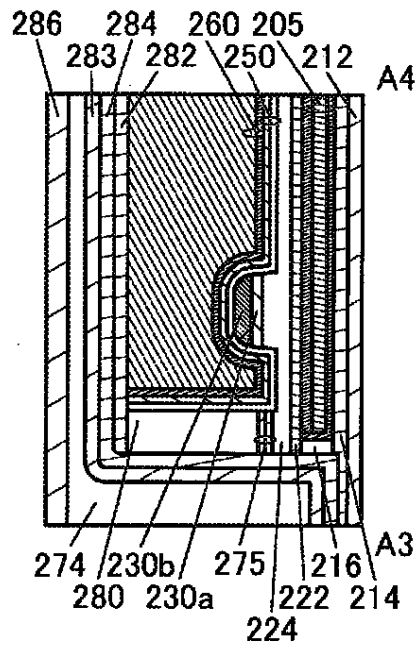
図22B



30

【図22C】

図22C

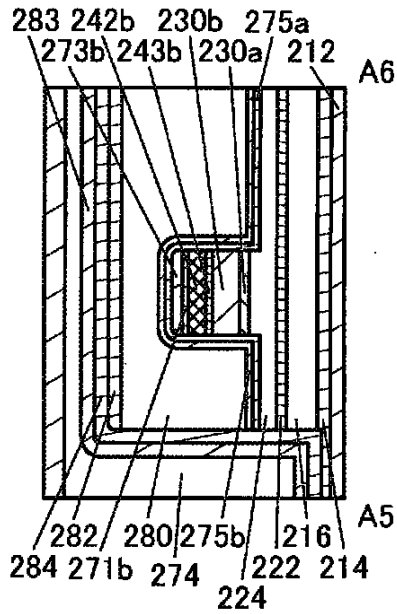


40

50

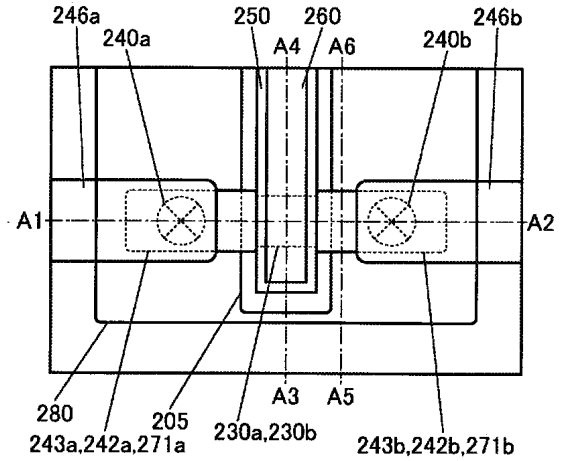
【図22D】

図22D



【図23A】

図23A

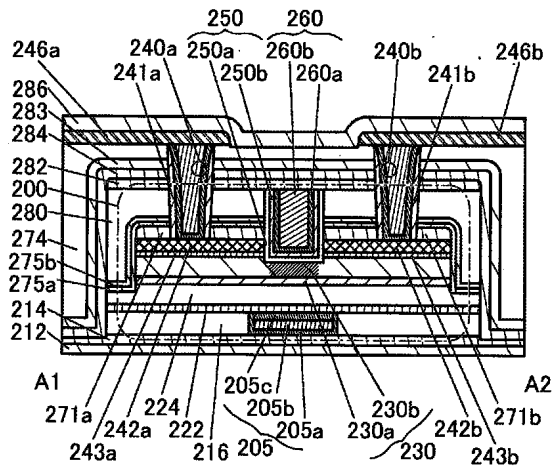


10

20

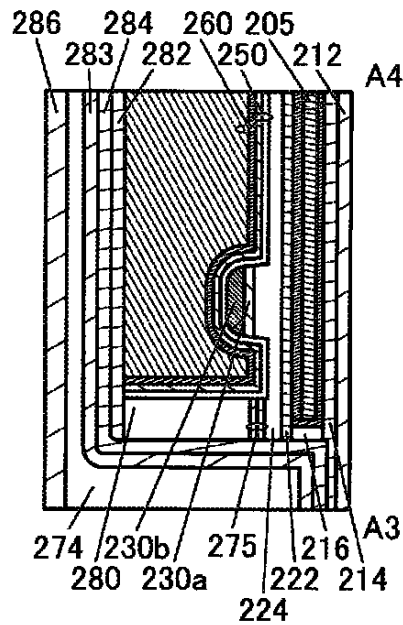
【図23B】

図23B



【図23C】

図23C



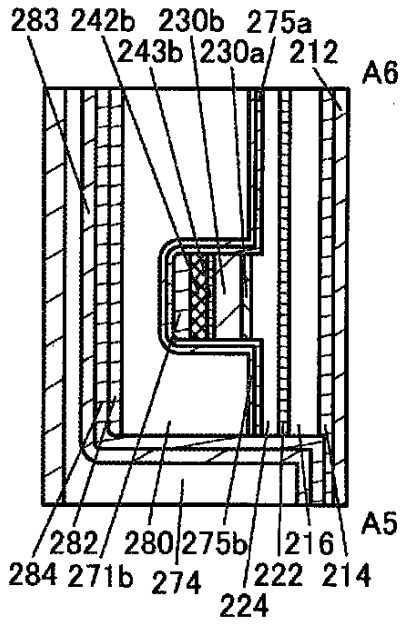
30

40

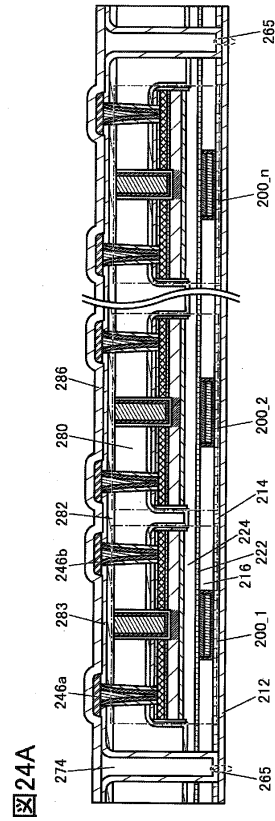
50

【図 2 3 D】

図 23D



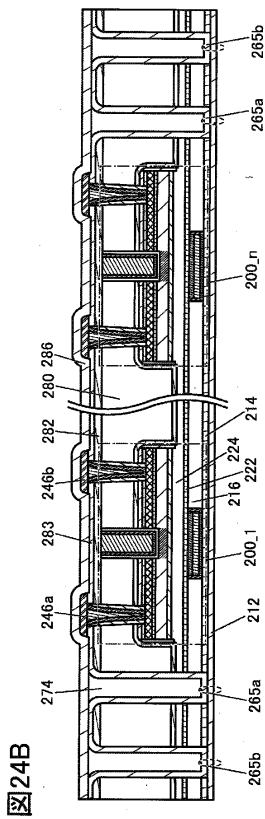
【図 2 4 A】



10

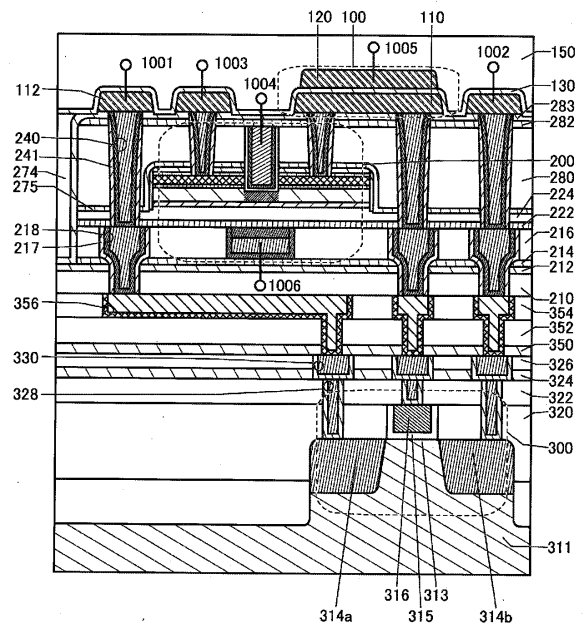
20

【図 2 4 B】



【図 2 5】

図 25



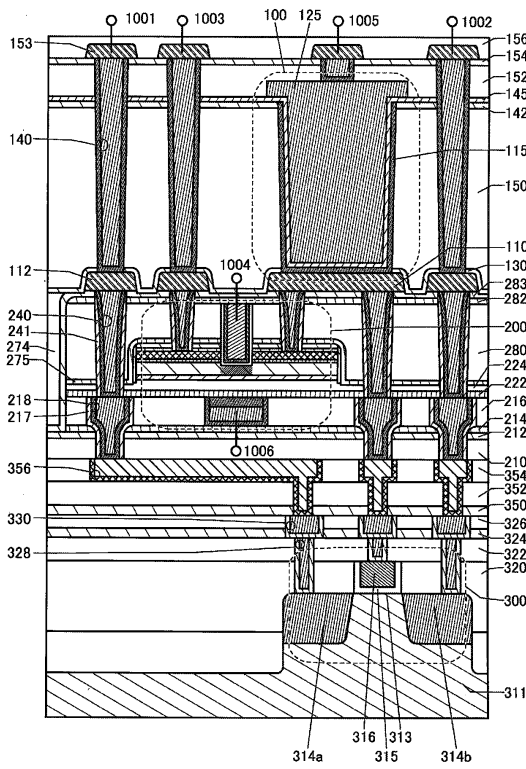
30

40

50

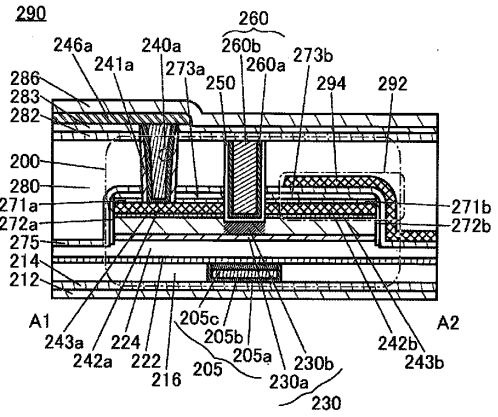
【図 26】

図26



【図 27 A】

図27A

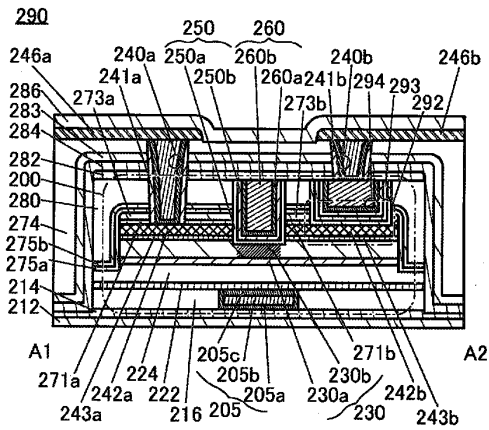


10

20

【図 27 B】

図27B

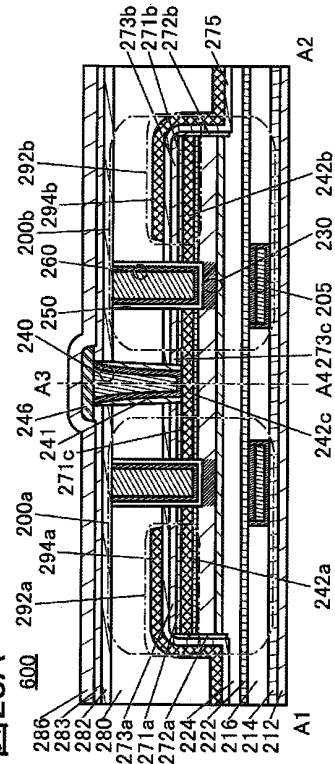


30

40

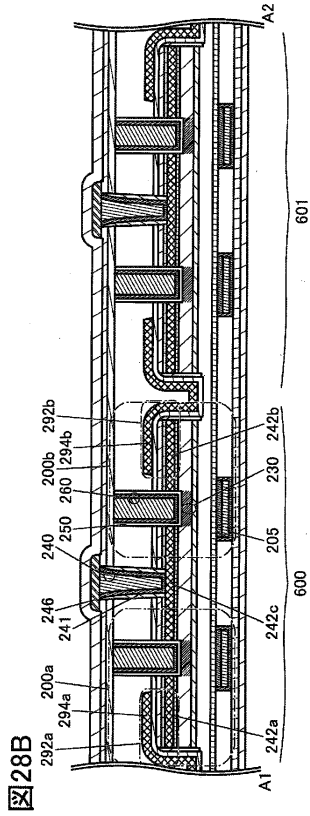
【図 28 A】

図28A



50

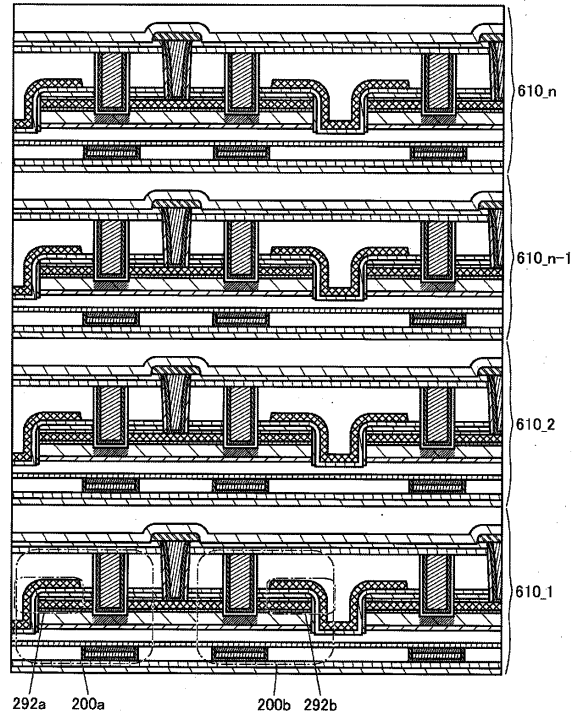
【 28 B 】



28B

【 29 】

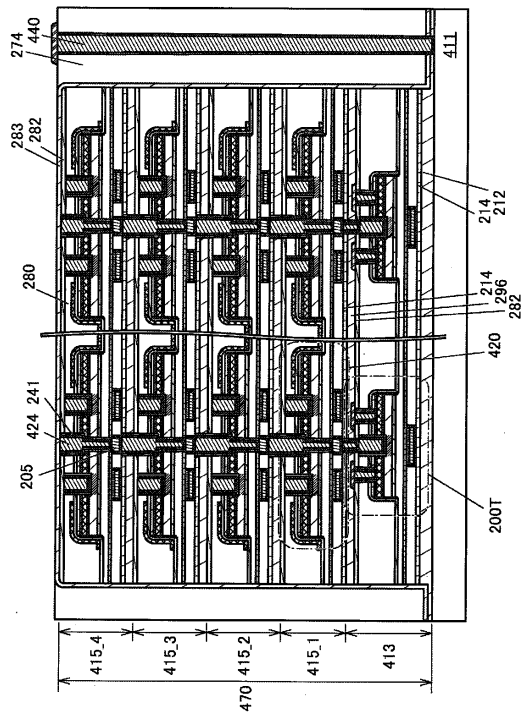
29



10

20

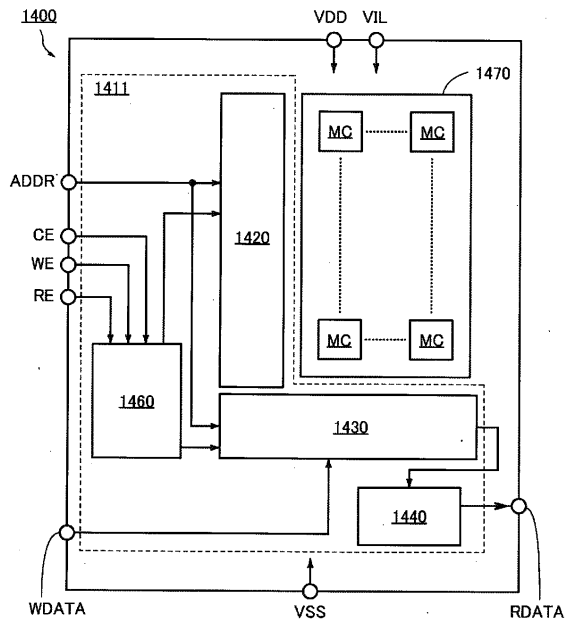
【 30 】



30

【 31 A 】

31A

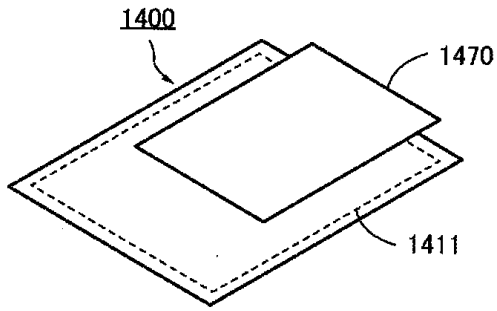


30

40

【図 3 1 B】

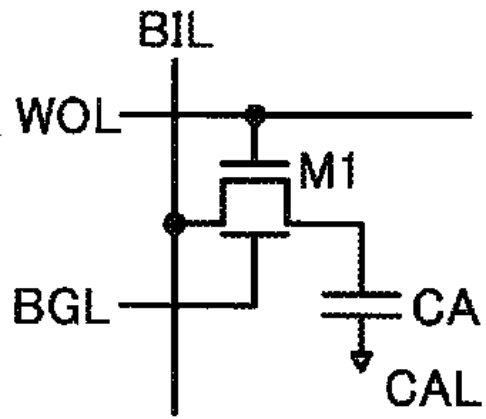
図31B



【図 3 2 A】

図32A

1471



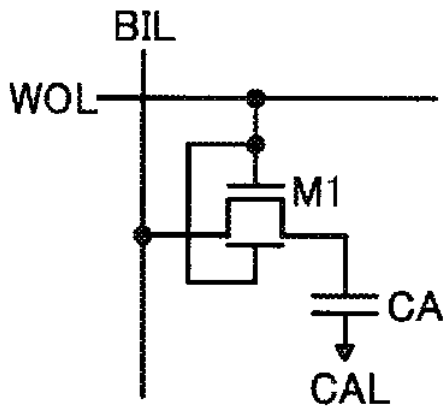
10

20

【図 3 2 B】

図32B

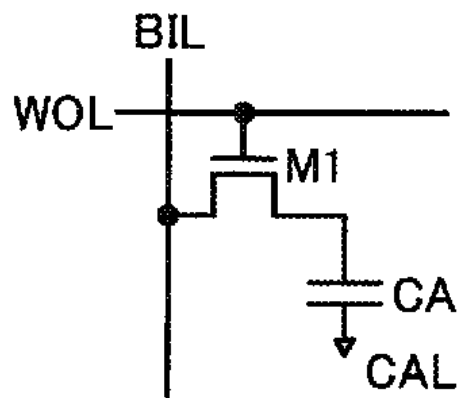
1472



【図 3 2 C】

図32C

1473



30

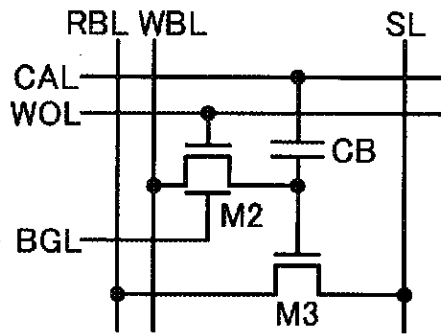
40

50

【 3 2 D 】

32D

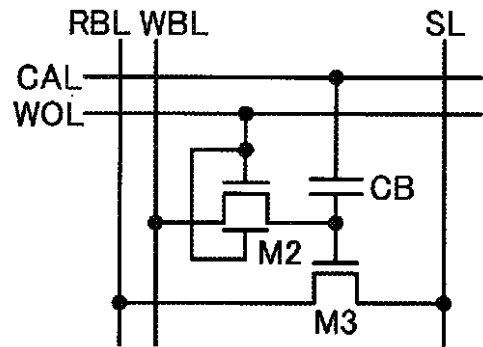
1474



【 3 2 E 】

32E

1475

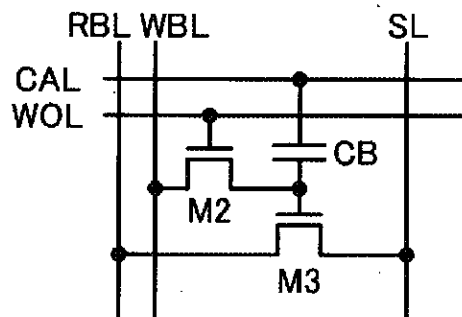


10

【 3 2 F 】

32F

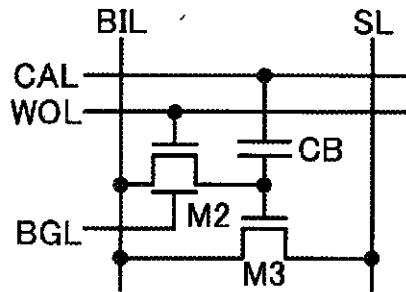
1476



【 3 2 G 】

32G

1477



20

30

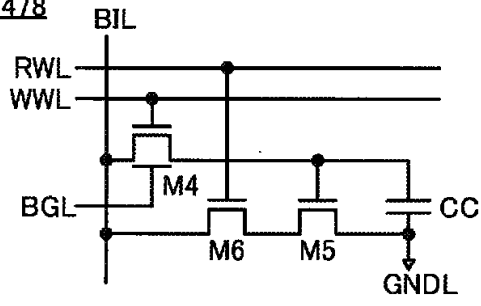
40

50

【 3 2 H 】

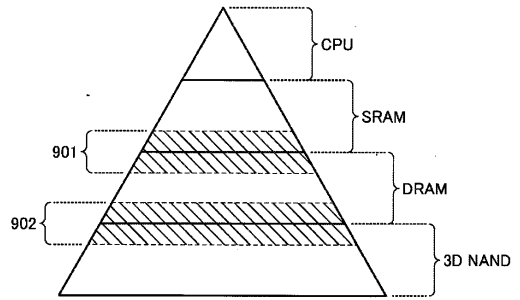
32H

1478



【 3 3 】

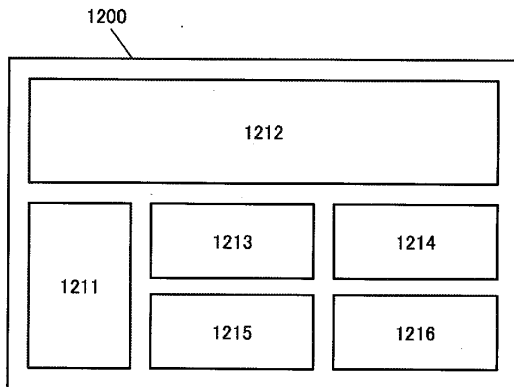
33



10

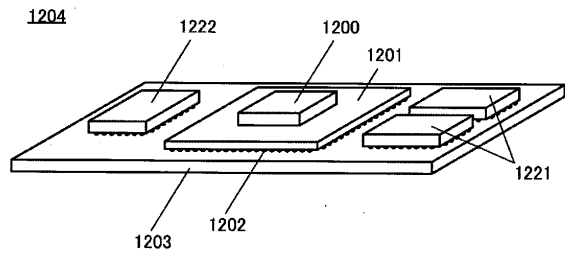
【 3 4 A 】

34A



【 3 4 B 】

34B



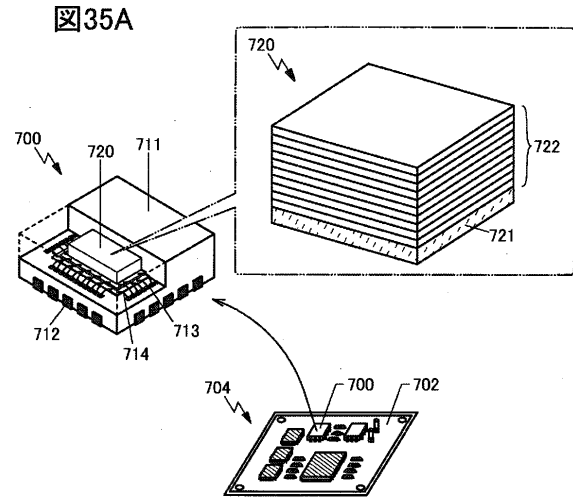
20

30

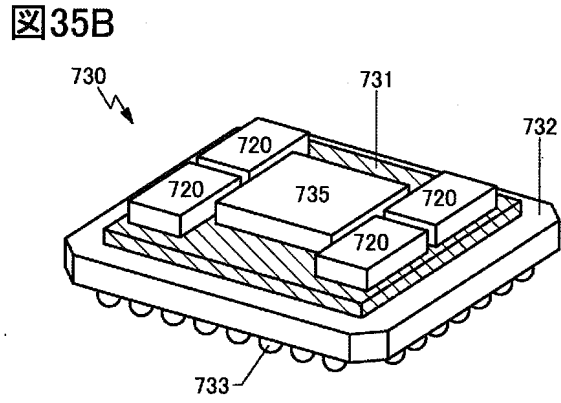
40

50

【図35A】

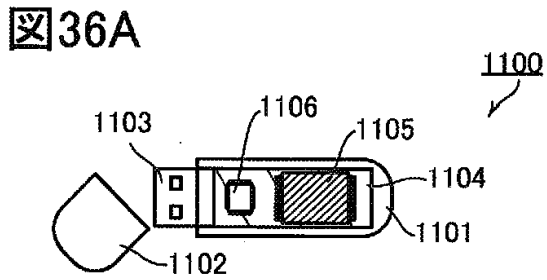


【図35B】

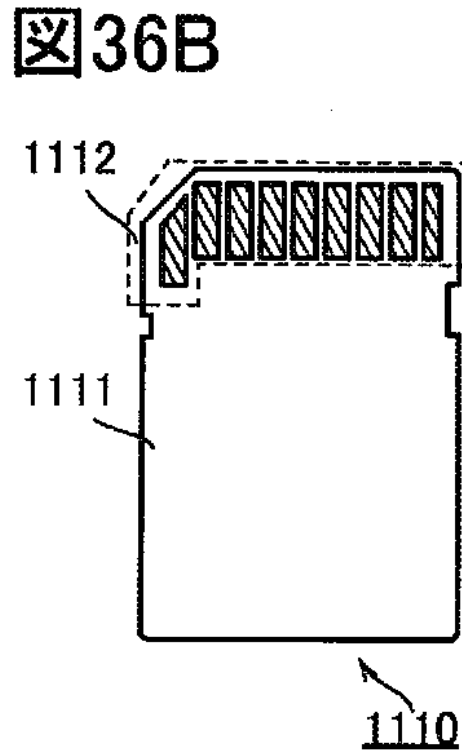


10

【図36A】



【図36B】



20

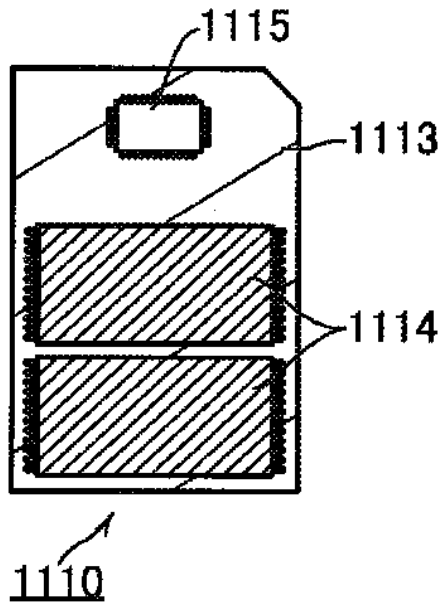
30

40

50

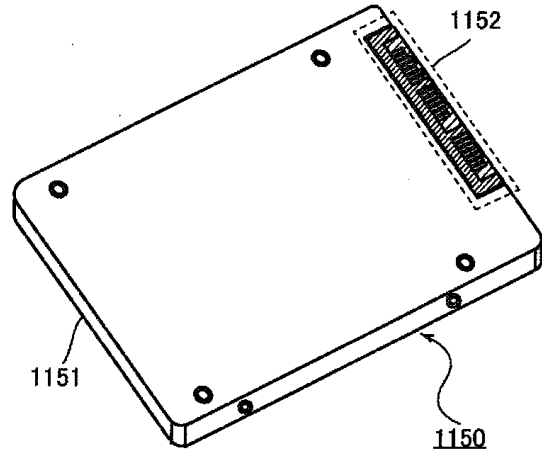
【図36C】

図36C



【図36D】

図36D

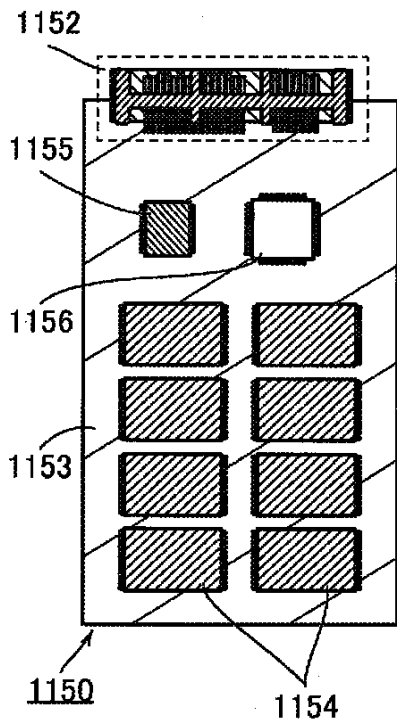


10

20

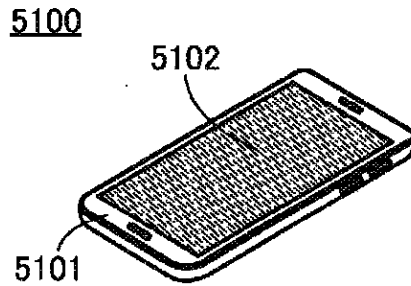
【図36E】

図36E



【図37A】

図37A



30

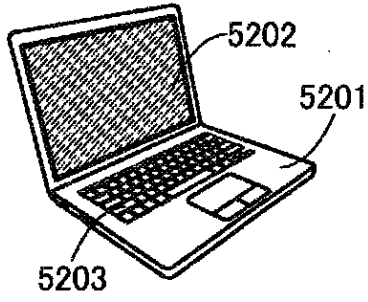
40

50

【図 37 B】

図 37B

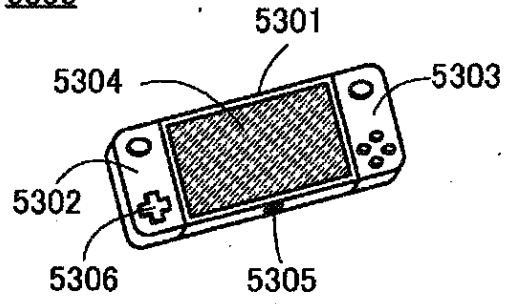
5200



【図 37 C】

図 37C

5300

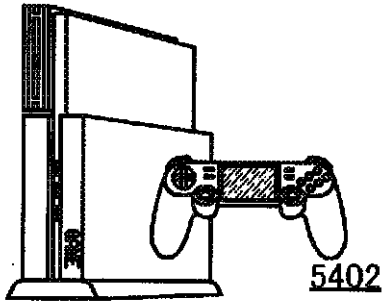


10

【図 37 D】

図 37D

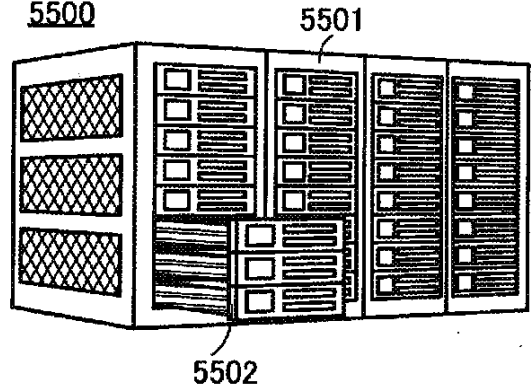
5400



【図 37 E】

図 37E

5500



20

30

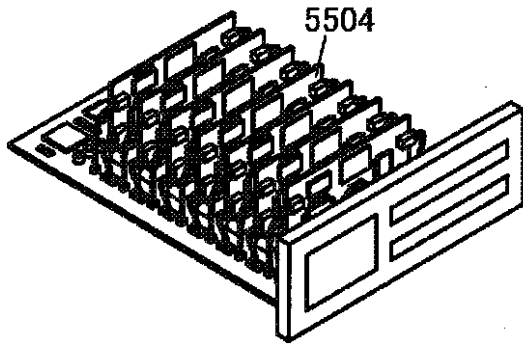
40

50

【図37F】

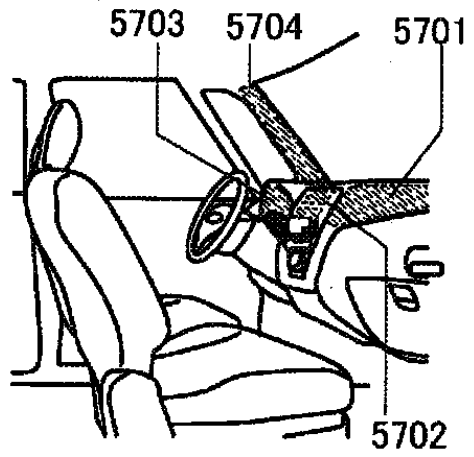
図37F

5502



【図37G】

図37G

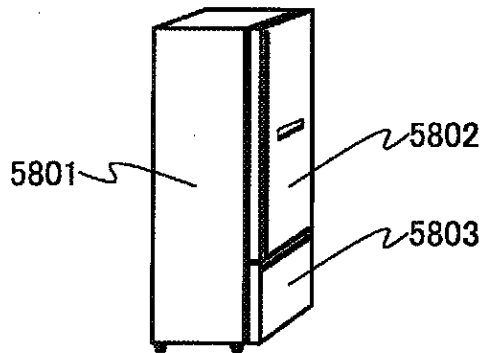


10

【図37H】

図37H

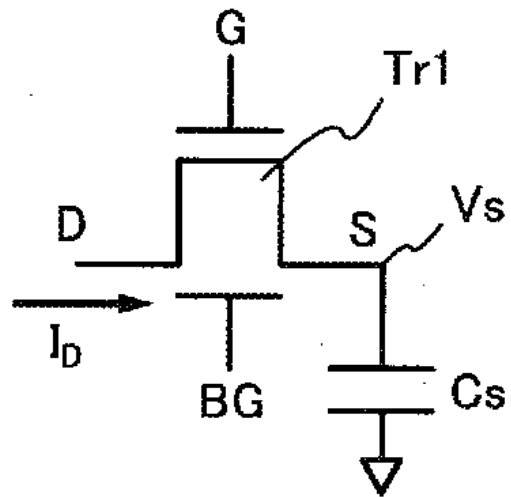
5800



20

【図38A】

図38A



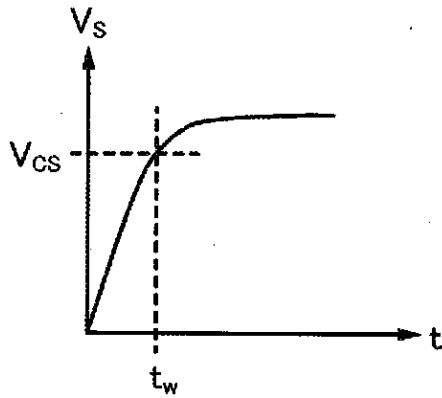
30

40

50

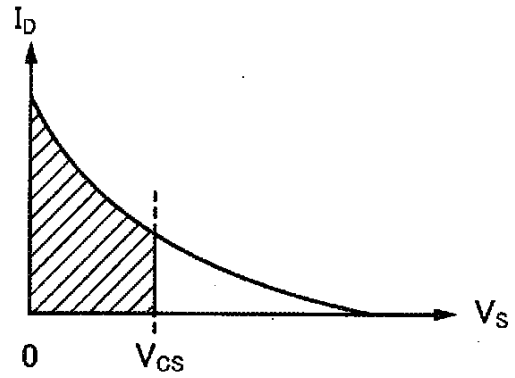
【 図 3 8 B 】

図38B



【 図 3 8 C 】

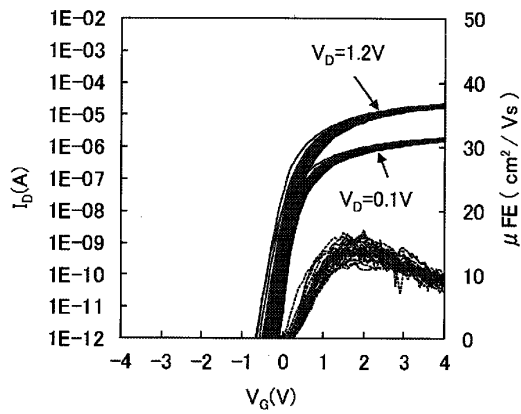
図38C



10

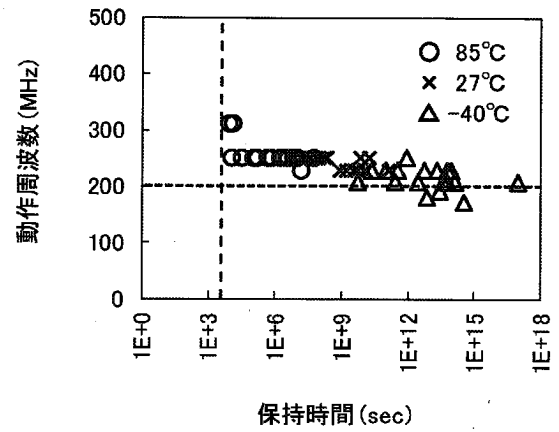
【 図 3 9 A 】

図39A



【 図 3 9 B 】

図39B



20

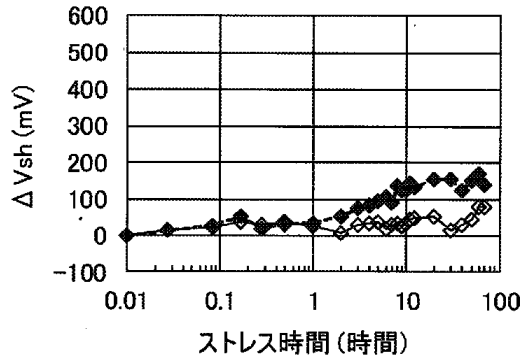
30

40

50

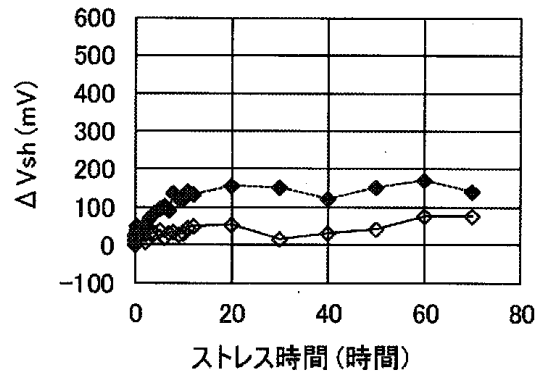
【図40A】

図40A



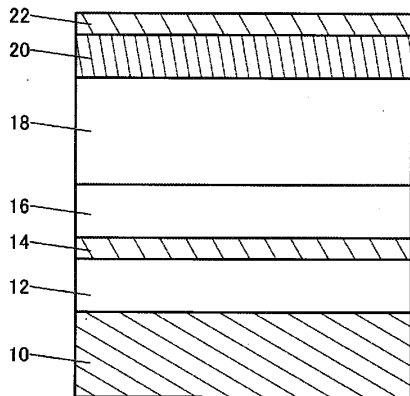
【図40B】

図40B



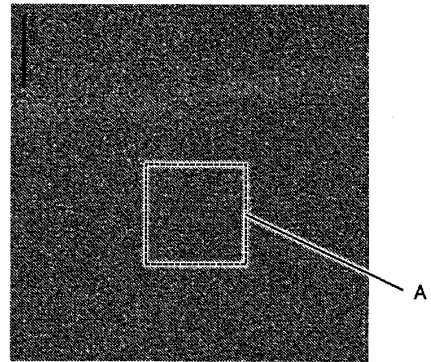
【図41】

図41



【図42A】

図42A



10

20

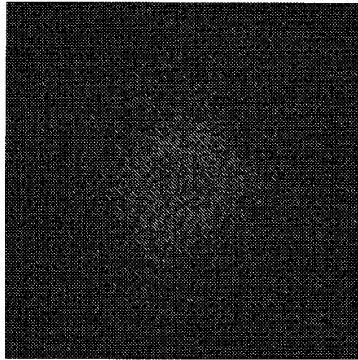
30

40

50

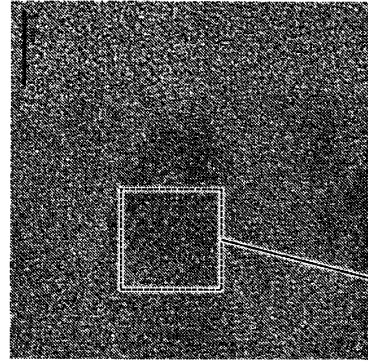
【 4 2 B 】

42B



【 4 3 A 】

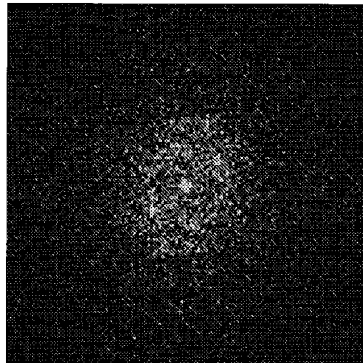
43A



10

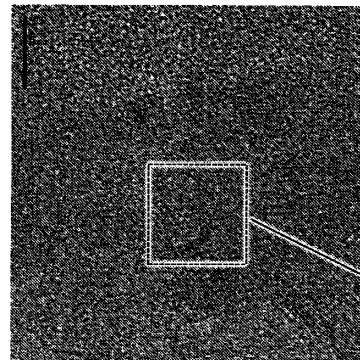
【 4 3 B 】

43B



【 4 4 A 】

44A



20

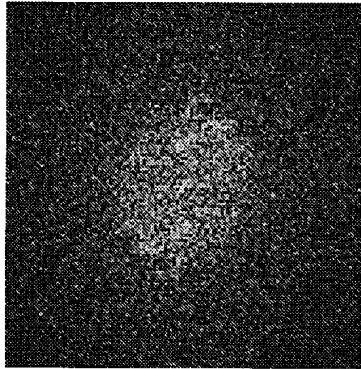
30

40

50

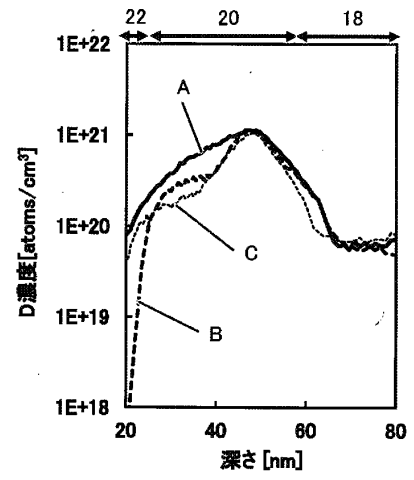
【 図 4 4 B 】

図44B



【 図 4 5 】

図45



10

20

30

40

50

フロントページの続き

(51)国際特許分類	F I		
H 1 0 B 12/00 (2023.01)	H 0 1 L	29/78	6 1 8 B
H 1 0 B 41/70 (2023.01)	H 1 0 B	12/00	6 7 1 Z
H 1 0 B 80/00 (2023.01)	H 1 0 B	12/00	8 0 1
H 1 0 B 99/00 (2023.01)	H 1 0 B	41/70	
	H 1 0 B	80/00	
	H 1 0 B	99/00	4 6 1
	H 1 0 B	99/00	4 9 5

(32)優先日 令和1年9月20日(2019.9.20)

(33)優先権主張国・地域又は機関

日本国(JP)

(31)優先権主張番号 特願2020-81763(P2020-81763)

(32)優先日 令和2年5月7日(2020.5.7)

(33)優先権主張国・地域又は機関

日本国(JP)

(72)発明者 小松 良寛

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 栃林 克明

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 菅谷 健太郎

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 市川 武宜

(56)参考文献 特開2019-96856(JP,A)

国際公開第2014/171056(WO,A1)

特開2019-87677(JP,A)

国際公開第2018/178793(WO,A1)

国際公開第2016/189425(WO,A1)

(58)調査した分野 (Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 1 / 8 2 3 4

H 0 1 L 2 7 / 0 8 8

H 0 1 L 2 9 / 0 6

H 0 1 L 2 9 / 7 8 6

H 1 0 B 1 2 / 0 0

H 1 0 B 4 1 / 7 0

H 1 0 B 8 0 / 0 0

H 1 0 B 9 9 / 0 0