



(12) 发明专利申请

(10) 申请公布号 CN 101907914 A

(43) 申请公布日 2010.12.08

(21) 申请号 200910302851.0

(22) 申请日 2009.06.02

(71) 申请人 鸿富锦精密工业(深圳)有限公司

地址 518109 广东省深圳市宝安区龙华镇油松第十工业区东环二路2号

申请人 鸿海精密工业股份有限公司

(72) 发明人 陈齐杰

(51) Int. Cl.

G06F 1/26 (2006.01)

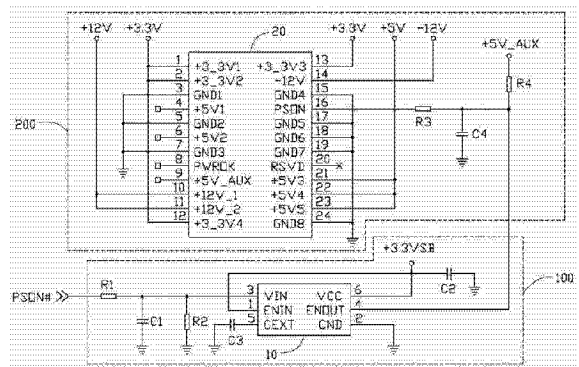
权利要求书 1 页 说明书 4 页 附图 1 页

(54) 发明名称

电脑电源开启信号控制电路

(57) 摘要

一种电脑电源开启信号控制电路,包括一主板电源连接器及一延时电路,所述延时电路的输入端接入由电脑的超级输入输出芯片发出的电源开启信号,所述延时电路的输出端连接至所述主板电源连接器上的电源开启针脚。本发明电脑电源开启信号控制电路利用延时电路滞后电源开启信号的传输,防止开启信号跳变过快导致电脑死机的现象。



1. 一种电脑电源开启信号控制电路,包括一主板电源连接器,其特征在于:所述开关机电路还包括一延时电路,所述延时电路的输入端接入由电脑的超级输入输出芯片发出的电源开启信号,所述延时电路的输出端连接至所述主板电源连接器上的电源开启针脚。

2. 如权利要求 1 所述的电脑电源开启信号控制电路,其特征在于:所述延时电路包括一时序控制芯片,所述时序控制芯片包括一连接至所述电源开启信号的输入引脚及一连接至所述主板电源连接器的电源开启针脚的输出引脚。

3. 如权利要求 2 所述的电脑电源开启信号控制电路,其特征在于:所述时序控制芯片还包括一接有备份电源的电源引脚及一接地引脚。

4. 如权利要求 3 所述的电脑电源开启信号控制电路,其特征在于:所述时序控制芯片还包括一接有一电容的引脚。

5. 如权利要求 4 所述的电脑电源开启信号控制电路,其特征在于:所述时序控制芯片的延时时间与所述电容之间的关系为 $T = (C \times 4.8 \times 106) + 35$, T 代表延时时间,单位是微秒,C 代表所述电容的容量,所述控制芯片将接收到的电源开启信号延时 T 微秒之后再输出至所述电源连接器的电源开启引脚。

6. 如权利要求 5 所述的电脑电源开启信号控制电路,其特征在于:所述电容为 33 纳法。

7. 如权利要求 4 所述的电脑电源开启信号控制电路,其特征在于:所述时序控制芯片还包括一接有备份电源的使能引脚,所述使能引脚高电平有效,允许所述时序控制芯片输出接收到的信号,所述使能引脚低电平时所述时序控制芯片不能输出接收到的信号。

8. 如权利要求 1 所述的电脑电源开启信号控制电路,其特征在于:所述主板电源连接器上的电源开启针脚为低电平时所述主板电源连接器输出多路低压直流电源。

9. 如权利要求 8 所述的电脑电源开启信号控制电路,其特征在于:所述主板电源连接器上的开关机针脚的电平跳变为高电平时所述多路低压直流电源关闭。

电脑电源开启信号控制电路

技术领域

[0001] 本发明涉及一种信号控制电路,特别是一种电脑电源开启信号控制电路。

背景技术

[0002] 主板对于上电的要求是很严格的,各种上电的必备条件都要有着先后的顺序,一项条件满足后才可以转到下一步,如果其中的某一个环节出现了故障,则整个上电过程不能继续下去。

[0003] 下面具体介绍一下整个 Power Sequencing(上电时序)的详细过程:插上 ATX(全称 Advanced Technology Extended)电源之后,检查 5VSB、3VSB、1.8VSB、1.5VSB、1.2VSB 等待机电压是否正常的转换出来(5VSB 和 3VSB 的待机电压是每块主板上都必须要有,其它待机电压则依据主板芯片组的不同而不同);检查 RSMRST# 信号是否为 3.3V 的高电平,RSMRST# 信号是用来通知南桥 5VSB 和 3VSB 待机电压正常的信号,这个信号如果为低,则南桥收到错误的信息,认为相应的待机电压没有起来,所以不会进行下一步的上电动作;短接主板上的电源开关,发送出 PWBTN#(Power Button,电源按钮)信号给南桥,南桥转出 SLP_S3# 信号(S3 休眠信号)给一个三极管的基极,这个三极管的集电极接 ATX 电源的 PSON 引脚,发射极接地,SLP_S3# 为高电平,此三极管的集电极、发射极导通,将 PSON# 拉低,完成上电过程。

[0004] 由于 SLP_S3# 信号处于高电平时可将 PSON# 拉低,此时主板电源开启,输出各路低压直流电源为主板上的元件供电;SLP_S3# 信号处于低电平时 PSON# 信号为高电平,主板电源关闭,各路电源的电压跳变为低电平。如果 PSON# 信号处于高电平的时间过短,随即又跳变为低电平时,主板上的各路输出电压来不及关闭,就又被开启,容易造成时序混乱,导致电脑死机。

发明内容

[0005] 鉴于以上内容,有必要提供一种电脑电源开启信号控制电路。

[0006] 一种电脑电源开启信号控制电路,包括一主板电源连接器及一延时电路,所述延时电路的输入端接入由电脑的超级输入输出芯片发出的电源开启信号,所述延时电路的输出端连接至所述主板电源连接器上的电源开启引脚。

[0007] 相较于现有技术,本发明电脑电源开启信号控制电路利用延时电路延迟所述电源开启信号的传输,以防止开启信号的快速跳变导致电脑死机。

附图说明

[0008] 图 1 是本发明较佳实施方式电脑电源开启信号控制电路的电路图。

具体实施方式

[0009] 请参阅图 1,本发明电脑电源开启信号控制电路较佳实施方式包括一延时电路

100 及一电源开关电路 200。

[0010] 所述延时电路 100 的输入端接 PSON# (Power On, 电源开启) 信号, 该 PSON# 信号来源于主板的 Super I/O (超级输入 / 输出) 芯片, 所述延时电路 100 的输出端连接至主板电源连接器 20 的 PSON 针脚。

[0011] 所述延时电路 100 包括一时序控制芯片 10, 所述时序控制芯片 10 各引脚的功能定义如下

[0012]

编号	标示	功能描述
1	ENIN	便能引脚, 便信号能输入, 高电平有效
2	GND	接地引脚
3	VIN	电压信号输入引脚
4	ENOUT	输出引脚, 一定的延时时间之后输出输入端接收的信号
5	CEXT	外接电容引脚, 外接电容容量大小决定延时时间长短
6	VCC	接电源引脚

[0013] 所述时序控制芯片 10 的 Vin 引脚通过一电阻 R1 连接至所述 PSON# 信号; 一电容 C1 一端接地, 另一端接至所述电阻 R1 和 Vin 引脚之间; 一电阻 R2 的一端接地, 另一端接至所述电阻 R1 和 Vin 引脚之间。所述时序控制芯片 10 的 ENIN 引脚及 Vcc 引脚均接至一 +3.3V 的备份电源 (+3.3VSB), GND 引脚接地。所述 +3.3V 的备份电源接一滤波电容 C2。所述时序控制芯片 10 的 CEXT 引脚外接一电容 C3, 该电容 C3 的容量为 33nF (纳法)。所述时序控制芯片 10 的 ENOUT 引脚连接至所述主板电源连接器 20 的 PSON 针脚。所述时序控制芯片 10 的延时时间 T 与电容 C3 的容量 C 之间的计算公式为: $T = (C \times 4.8 \times 10^6) + 35\mu s$, 时间单位为微秒。在本较佳实施方式中: 所述延时时间 $T = (33 \times 10^{-9} \times 4.8 \times 10^6) + 35 = 35.1584$ 微秒, 即所述时序控制芯片 10 的输入信号与输出信号之间的延时为 35.1584 微秒。

[0014] 所述主板电源连接器 20 包括 24 个针脚, 分别与一外接交流电源的 ATX 电源供应器 (图未视) 的相应接线相连。所述主板电源连接器 20 各针脚的功能如下:

[0015]

[0016]

编号	标示	功能描述
1	+3_3V1	提供 +3.3V 电源
2	+3_3V2	提供 +3.3V 电源
3	GND1	接地
4	+5V1	提供 +5V 电源
5	GND2	接地
6	+5V2	提供+5V 电源
7	GND3	接地
8	PWROK	指示电源正常工作
9	+5V_AUX	提供 +5V 备份电源, 供电源启动电路用
10	+12V_1	提供+12V 电源
11	+12V_2	提供+12V 电源
12	+3_3V4	提供+3.3V 电源
13	+3_3V3	提供+3.3V 电源
14	-12V	提供-12V 电源
15	GND4	接地
16	PSON	电源启动信号, 低电平-电源开启, 高电平-电源关闭
17	GND5	接地
18	GND6	接地
19	GND7	接地
20	RSVD	无连接
21	+5V3	提供+5V 电源
22	+5V4	提供+5V 电源
23	+5V5	提供+5V 电源
24	GND8	接地

[0017] 所述 PSON 针脚为低电平 (0V ~ 0.8V) 时, 电源开启, 所述主板电源连接器 20 输出多路低压直流电源 (如 12V, 5V, 3.3V 等)。所述 PSON 针脚为高电平 (2V ~ 5.25V) 时所述多路低压直流电源关闭。所述 PSON 针脚通过一电阻 R3 及 R4 接 +5V 的备份电压 (+5V_AUX), 所述电阻 R3 的一端与所述 PSON 针脚相连, 另一端接一电容 C4 及所述电阻 R4, 所述时序控制芯片 10 的 ENOUT 引脚通过所述电阻 R3 与所述 PSON 针脚相连。

[0018] 工作时, 由于所述延时电路 100 的延时作用, 所 PSON# 信号滞后传送至所述主板电

源连接器 20 的 PSON 引脚,可防止 PSON# 信号快速跳变导致时序混乱。例如,用户频繁操作电源按钮,PSON# 信号跳变一次后,随即又跳变第二次,两次跳变的时间间隔很短,电源尚未完全关闭,就收到开启命令,开关机时序发生混乱,易导致电脑死机。或者当系统刚进入 S3 休眠状态时(此时 S3 信号由高电平跳变为低电平),马上就被唤醒,S3 信号随即又跳变为高电平,PSON# 信号与 S3 信号的电平高低状态相反,先从低电平跳变为高电平,随即又从低电平跳变为高电平,在很短的时间内对电源进行关闭又开启的动作,电源尚未完全关闭,就收到开启命令,开关机时序发生混乱,易导致电脑死机。但是,由于有所述延时电路 100 的作用,跳变后的 PSON# 信号会在电源完全关闭后再传输至所述主机电源连接器 20 的 PSON 引脚,可避免上述时序混乱的情况发生。

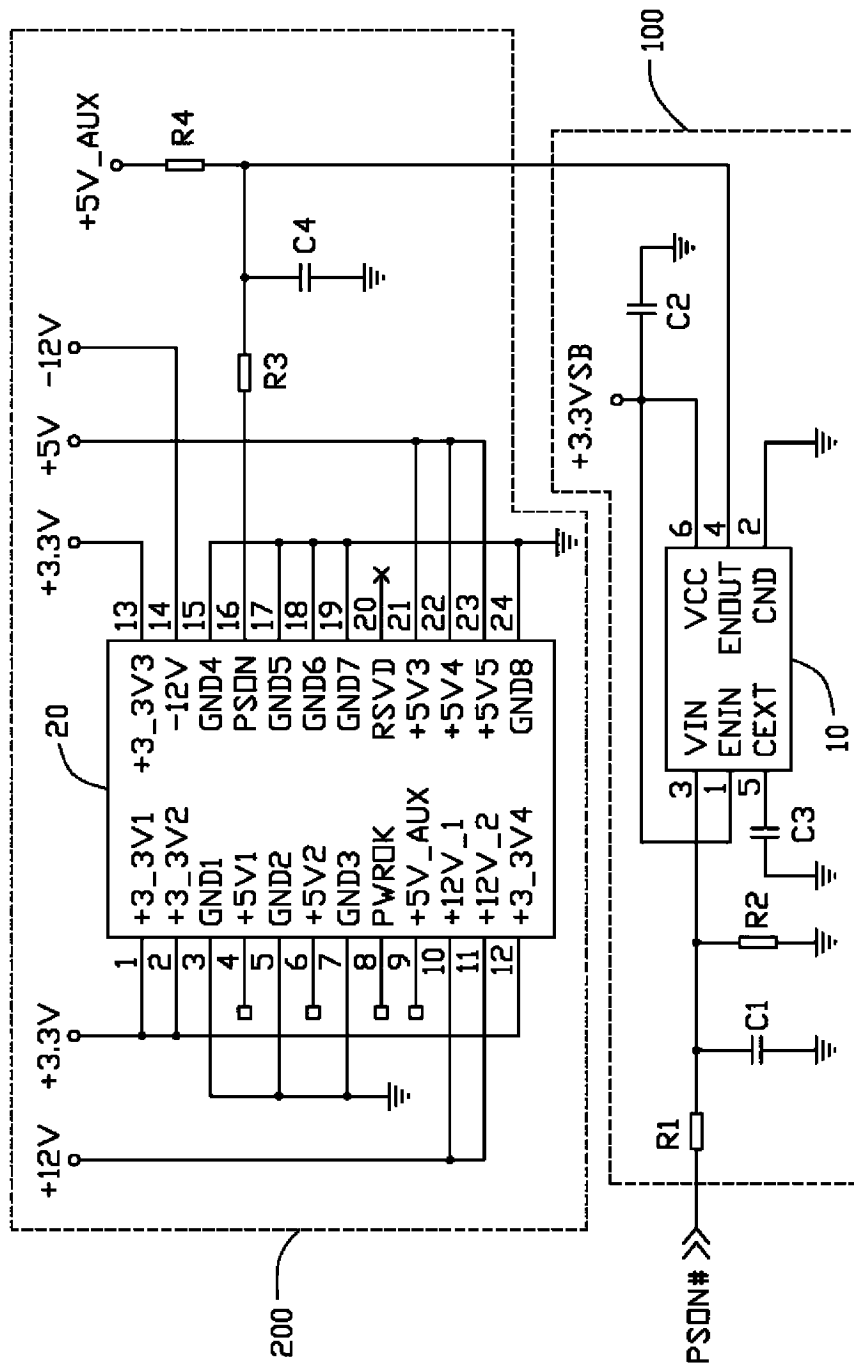


图 1