

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5188134号
(P5188134)

(45) 発行日 平成25年4月24日 (2013. 4. 24)

(24) 登録日 平成25年2月1日 (2013. 2. 1)

(51) Int. Cl.

F I

G O 6 F 12/06 (2006. 01)

G O 6 F 12/06 5 2 2 A

G O 6 F 12/00 (2006. 01)

G O 6 F 12/00 5 6 4 D

請求項の数 8 (全 21 頁)

(21) 出願番号 特願2007-260357 (P2007-260357)
 (22) 出願日 平成19年10月3日 (2007. 10. 3)
 (65) 公開番号 特開2009-93227 (P2009-93227A)
 (43) 公開日 平成21年4月30日 (2009. 4. 30)
 審査請求日 平成22年7月9日 (2010. 7. 9)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100076428
 弁理士 大塚 康德
 (74) 代理人 100112508
 弁理士 高柳 司郎
 (74) 代理人 100115071
 弁理士 大塚 康弘
 (74) 代理人 100116894
 弁理士 木村 秀二
 (74) 代理人 100130409
 弁理士 下山 治
 (74) 代理人 100134175
 弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 メモリアクセス制御装置及びメモリアクセス制御方法

(57) 【特許請求の範囲】

【請求項 1】

レイテンシの異なる複数のメモリデバイスへのリードアクセス又はライトアクセスの種類のコマンドを制御するメモリアクセス制御装置であって、

前記コマンドを発行することで前記複数のメモリデバイスにアクセスするアクセス手段と、

先に発行した第1のコマンドの種別と該第1のコマンドが発行されたメモリデバイスの情報と、次に発行する第2のコマンドの種別と該第2のコマンドが発行されるメモリデバイスの情報とを保持する保持手段と、

前記第1のコマンドのコマンド種別と該第1のコマンドが発行されたメモリデバイスの情報と、次に発行する第2のコマンドのコマンド種別と該第2のコマンドを発行するメモリデバイスの情報と、に基づいて前記アクセス手段によって前記第2のコマンドを発行するまでのコマンド発行間隔を設定する設定手段と、

前記設定されたコマンド発行間隔に従って前記第2のコマンドの発行タイミングを制御する制御手段と、

を有することを特徴とするメモリアクセス制御装置。

【請求項 2】

前記設定手段は、前記第1のコマンド及び第2のコマンドのレイテンシ情報、前記複数のメモリデバイスへの配線遅延の組み合わせに応じて、保持されている複数のコマンド間隔値からコマンド間隔値を選択して前記コマンド発行間隔として設定することを特徴とす

10

20

る請求項 1 に記載のメモリアクセス制御装置。

【請求項 3】

前記設定手段は、少なくとも前記第 1 のコマンド、前記第 1 のコマンド及び前記第 2 のコマンドのレイテンシ情報、前記複数のメモリデバイスへの配線遅延から、コマンド間隔値を算出し、前記コマンド発行間隔として設定することを特徴とする請求項 1 に記載のメモリアクセス制御装置。

【請求項 4】

前記制御手段は、第 1 のコマンドによりアクセスしたメモリデバイスと第 2 のコマンドによりアクセスするメモリデバイスのレイテンシに応じて、前記アクセス手段により第 2 のコマンドを発行するタイミングを制御することを特徴とする請求項 1 に記載のメモリアクセス制御装置。

10

【請求項 5】

前記制御手段は、第 1 のコマンドによりアクセスしたメモリデバイスと第 2 のコマンドによりアクセスするメモリデバイスの配線遅延に応じて、前記アクセス手段により第 2 のコマンドを発行するタイミングを制御することを特徴とする請求項 1 に記載のメモリアクセス制御装置。

【請求項 6】

前記複数のメモリデバイスは共通のデータ信号線で接続され、当該共通のデータ信号線に対して前記アクセス手段がコマンドに基づくドライブを制御することを特徴とする請求項 1 に記載のメモリアクセス制御装置。

20

【請求項 7】

前記メモリデバイス毎に、前記第 1 のコマンドがリードアクセスかライトアクセスか、前記第 2 のコマンドがリードアクセスかライトアクセスか、に応じた、第 2 のコマンドを発行する間隔を保持する間隔保持手段を更に有することを特徴とする請求項 1 に記載のメモリアクセス制御装置。

【請求項 8】

リードアクセス又はライトアクセスの種別のコマンドを発行することで複数のメモリデバイスにアクセスするアクセス手段と、先に発行した第 1 のコマンドの種別と該第 1 のコマンドが発行されたメモリデバイスの情報と、次に発行する第 2 のコマンドの種別と該第 2 のコマンドが発行されるメモリデバイスの情報とを保持する保持手段と、を備え、レイテンシの異なる前記複数のメモリデバイスへのアクセスを制御するメモリアクセス制御装置にて実行されるメモリアクセス制御方法であって、

30

前記第 1 のコマンドのコマンド種別と当該第 1 のコマンドが発行されたメモリデバイスの情報と、次に発行する第 2 のコマンドのコマンド種別と該第 2 のコマンドを発行するメモリデバイスの情報と、に基づいて前記アクセス手段によって前記第 2 のコマンドを発行するまでのコマンド発行間隔を設定する設定工程と、

前記設定されたコマンド発行間隔に従って前記第 2 のコマンドの発行タイミングを制御する制御工程と、

を有することを特徴とするメモリアクセス制御方法。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、レイテンシの異なる複数のメモリデバイスへのアクセスを制御するメモリアクセス制御技術に関する。

【背景技術】

【0002】

従来、大規模集積回路 (LSI) とメモリデバイス間の配線遅延はメモリの 1 クロックサイクルを超えないよう考慮して基板設計を行っている。しかし、動作周波数が高くなるにつれ、基板設計で配線遅延がメモリの 1 クロックサイクルを超えないように抑えることは難しく、メモリデバイス毎にアクセスレイテンシが異なる場合が生じている。

50

【 0 0 0 3 】

そこで、配線遅延を考慮して複数のメモリデバイスとのデータ受け渡しが確実にできるメモリアクセス制御回路が必要となっている。

【 0 0 0 4 】

図 1 は、従来例におけるメモリアクセス制御回路の一例を示すブロック図である。図 1 に示すように、メモリアクセス制御回路 1 0 0 にはメモリデバイス 1 9 1、1 9 2 が接続され、メモリアクセス制御回路 1 0 0 はメモリデバイス 1 9 1、1 9 2 へのアクセスを制御する。尚、図 1 に示す例では、メモリデバイスとして D D R タイプのメモリデバイスを想定している。

【 0 0 0 5 】

10

図 1 において、1 0 1 はチップセレクト信号であり、メモリアクセス制御回路 1 0 0 がメモリデバイス 1 9 1 にアクセスする際にアサートされる。1 0 2 はチップセレクト信号であり、メモリアクセス制御回路 1 0 0 がメモリデバイス 1 9 2 にアクセスする際にアサートされる。

【 0 0 0 6 】

1 0 3 はクロック信号であり、メモリアクセス制御回路 1 0 0 からメモリデバイス 1 9 1、1 9 2 へ供給される。そして、メモリデバイス 1 9 1、1 9 2 はクロック信号 1 0 3 に同期して動作する。1 0 4 はコマンド信号であり、メモリアクセス制御回路 1 0 0 からメモリデバイス 1 9 1、1 9 2 へ発行される。ここで、メモリデバイス 1 9 1、1 9 2 は対応するチップセレクト信号 1 0 1、1 0 2 がアサートされた際にコマンド信号 1 0 4 を受け取り、コマンドの内容に応じた処理を行う。

20

【 0 0 0 7 】

1 0 5 は双方向のデータストローブ信号である。メモリアクセス制御回路 1 0 0、メモリデバイス 1 9 1、1 9 2 はデータ送信に伴い、データストローブ信号 1 0 5 をドライブする。1 0 6 は双方向のデータ信号である。書き込み動作時にはメモリアクセス制御回路 1 0 0 が所定のタイミングでデータ信号 1 0 6 をドライブし、読み出し動作時にはメモリデバイス 1 9 1 又はメモリデバイス 1 9 2 が所定のタイミングでデータ信号 1 0 6 をドライブする。

【 0 0 0 8 】

メモリアクセス制御回路 1 0 0 において、1 1 0 は先行コマンド情報保持回路であり、直前に発行したコマンドの情報を保持する。内部に、直前に発行したコマンドの読み出し又は書き込み方向を保持する先行アクセス方向バッファ 1 1 1 を備えている。

30

【 0 0 0 9 】

1 2 0 はコマンド情報保持回路であり、次に発行するコマンドの情報を保持する。内部に、次に発行するコマンドの読み出し又は書き込み方向を保持するアクセス方向バッファ 1 2 1 を備えている。

【 0 0 1 0 】

1 3 0 はコマンド間隔情報保持回路であり、先行コマンド発行から次コマンド発行までの最小コマンド発行間隔の情報を保持する。内部には、コマンド間隔バッファ 1 3 1 a ~ 1 3 1 d が備えられ、先行コマンドの読み出し又は書き込み方向と次コマンドの読み出し又は書き込み方向の全組み合わせにおける最小コマンド発行間隔が保持される。つまり、図 1 に示す例では、4 組のコマンド間隔が保持される。

40

【 0 0 1 1 】

1 4 0 はレイテンシ情報保持回路であり、メモリアクセス制御回路 1 0 0 に接続されるメモリデバイスの設定に応じたメモリデバイスのリードレイテンシ、ライトレイテンシを保持する。

【 0 0 1 2 】

1 5 0 はコマンド発行制御回路であり、メモリデバイス 1 9 1、1 9 2 へのコマンド発行を制御する。コマンド発行間隔選択回路 1 5 1 は、上述した先行アクセス方向バッファ 1 1 1 とアクセス方向バッファ 1 2 1 に応じてコマンド間隔バッファ 1 3 1 a ~ 1 3 1 d

50

から該当するコマンド間隔を選択する。次に、コマンド発行タイミング制御回路 152 は、コマンド発行間隔選択回路 151 が選択したコマンド間隔だけ次コマンドを発行させるタイミングを遅らせる。

【0013】

160 はデータ発行制御回路であり、コマンド発行制御回路 150 がコマンドを発行してからレイテンシ情報保持回路 140 に保持された書き込みレイテンシだけ経過した後、データ信号 106 をドライブする。170 はデータ受信制御回路であり、メモリデバイス 191、192 から読み出されたデータを受信する。

【0014】

180 はメモリアクセスインターフェースであり、外部回路からのメモリアクセス要求を受け、コマンド発行制御回路 150 にコマンドを送信し、アクセス方向バッファ 121 に読み出し又は書き込み情報を設定する。

10

【0015】

ここで、コマンド間隔バッファ 131a ~ 131d に設定されるべきコマンド発行間隔の算出方法について説明する。その算出方法は、以下の(1) ~ (4)の通りである。

(1) 書き込みコマンドを発行後に、書き込みコマンドを発行する場合

コマンド発行間隔 = データ転送長 ÷ 2 + 最低データ間隔

(2) 書き込みコマンドを発行後に、読み出しコマンドを発行する場合

コマンド発行間隔 = 先行アクセスデバイスライトレイテンシ + データ転送長 ÷ 2 + 最大アクセスデバイス配線遅延 - 次アクセスデバイスリードレイテンシ - 最小アクセスデバイス配線遅延

20

(3) 読み出しコマンドを発行後に、書き込みコマンドを発行する場合

コマンド発行間隔 = 最大アクセスデバイス配線遅延 × 2 + 先行アクセスデバイスリードレイテンシ + データ転送長 ÷ 2 + 最低データ間隔 - 次アクセスデバイスライトレイテンシ

(4) 読み出しコマンドを発行後に、読み出しコマンドを発行する場合

コマンド発行間隔 = 最大アクセスデバイス配線遅延 × 2 + データ転送長 ÷ 2 + 最低データ間隔 - 最小アクセスデバイス配線遅延 × 2

上述の算出方法で算出されるコマンド発行間隔を満たさないでコマンドを発行すると、メモリアクセス制御回路 100 とメモリデバイス 191、192 との間で、データ信号のドライブが衝突する危険性がある。

30

【0016】

尚、メモリアクセス制御回路 100 とメモリデバイス 191、192 との間で読み出し又は書き込みのアクセスは共に 4 ビート転送を扱うものとする。

【0017】

また、メモリアクセス制御回路 100 とメモリデバイス 191 との間の配線遅延は 0.5 クロックサイクル、メモリアクセス制御回路 100 とメモリデバイス 192 との間の配線遅延は 1.5 クロックサイクルとする。また、レイテンシ情報保持回路 140 に保持される読み出しレイテンシは 3 クロックサイクル、書き込みレイテンシは 2 クロックサイクルとする。

【0018】

40

上述のように、アクセス長、配線遅延、レイテンシからメモリアクセス制御回路 100 とメモリデバイス 191、192 によるデータ信号 106 のドライブが衝突しないように最小コマンド間隔値を算出し、コマンド間隔バッファ 131a ~ d に設定する。

【0019】

従来例で「データ転送長 ÷ 2」は 4 ビートのメモリアクセスのみを扱うので 2 クロックサイクルである。また、「最低データ間隔」は連続するアクセスのデータがデータ信号上で連続しないための間隔で通常、1 クロックサイクルである。

【0020】

図 2 は、従来例において、上述したコマンド発行間隔算出方法で算出したコマンド発行間隔を示す図である。即ち、コマンド間隔バッファ 131a ~ 131d には、図 2 に示す

50

間隔（クロックサイクル）が設定され、その間隔以上のクロックサイクルを空ける必要がある。

【 0 0 2 1 】

ここで、メモリアクセス制御回路 1 0 0 がメモリデバイス 1 9 2 へ読み出しコマンドを発行後、メモリデバイス 1 9 1 へ書き込みコマンドを発行した場合の動作（動作例 1）を、図 3 を用いて説明する。

【 0 0 2 2 】

図 3 は、従来例におけるコマンド発行時の動作例 1 を示すタイミングチャートである。図 3 において、メモリアクセス制御回路 1 0 0 と記された波形は、メモリアクセス制御回路 1 0 0 の信号端子をサンプリングした波形である。ここで、CLK、CS0、CS1、CMD はメモリアクセス制御回路 1 0 0 の出力信号であり、DQS、DQ はメモリアクセス制御回路 1 0 0 の入出力信号である。

10

【 0 0 2 3 】

また、メモリデバイス 1 9 1、メモリデバイス 1 9 2 は、それぞれのメモリデバイスの信号端子をサンプリングした波形である。ここで、CLK_0、CS_0、CMD_0 及び CLK_1、CS_1、CMD_1 は各メモリデバイスの入力信号であり、DQS_0、DQ_0 及び DQS_1、DQ_1 は各メモリデバイスの入出力信号である。

【 0 0 2 4 】

まず、メモリアクセスインターフェース 1 8 0 によってアクセス方向バッファ 1 2 1 に次コマンドが読み出しである旨の情報が設定される。コマンド発行間隔選択回路 1 5 1 は、アクセス方向バッファ 1 2 1 が設定されると、先行アクセス方向バッファ 1 1 1 がカラであるので、コマンド発行可能となるまで 0 クロックサイクルであることをコマンド発行タイミング制御回路 1 5 2 に知らせる。

20

【 0 0 2 5 】

一方、コマンド発行タイミング制御回路 1 5 2 はコマンド発行まで 0 クロックサイクルであるという情報を受け取り、0 クロックサイクル後にコマンド発行許可を出す。これにより、コマンド発行制御回路 1 5 0 はチップセレクト信号 1 0 2 をアサートし、読み出しコマンドを発行する（T 3）。

【 0 0 2 6 】

コマンド発行制御回路 1 5 0 はコマンドを発行すると同時に、アクセス方向バッファ 1 2 1 の読み出しである情報を先行アクセス方向バッファ 1 1 1 に設定する。これと同時に、メモリアクセスインターフェース 1 8 0 によってアクセス方向バッファ 1 2 1 に次のコマンドが書き込みである旨の情報が設定される。

30

【 0 0 2 7 】

コマンド発行制御回路 1 5 0 が発行した読み出しコマンドは 1.5 クロックサイクル遅延してメモリデバイス 1 9 2 に受信される（B 4）。メモリデバイス 1 9 2 は受信したコマンドが読み出しであるので、読み出しレイテンシ 3 クロックサイクル経過した後、データ信号 1 0 6 をドライブする（B 7）。メモリデバイス 1 9 2 がドライブしたデータは 1.5 クロックサイクル遅延してデータ受信制御回路 1 7 0 に受信される（T 1 0 ~ T 1 2）。

【 0 0 2 8 】

40

先行コマンドが読み出しで次のコマンドが書き込みであるので、コマンド発行間隔選択回路 1 5 1 はコマンド間隔バッファ 1 3 1 c を選択する。これにより、コマンド発行可能となるまで、7 クロックサイクルであることをコマンド発行タイミング制御回路 1 5 2 に知らせる。

【 0 0 2 9 】

コマンド発行タイミング制御回路 1 5 2 は、コマンド発行まで 7 クロックサイクルであるという情報を受け取り、先行コマンドの発行（T 3）を起点に 7 クロックサイクル後にコマンド発行許可を出す（T 1 0）。

【 0 0 3 0 】

これにより、コマンド発行制御回路 1 5 0 はチップセレクト信号 1 0 1 をアサートして

50

書き込みコマンドを発行する (T10)。コマンド発行制御回路150はコマンドを発行すると同時に、アクセス方向バッファ121の情報を先行アクセス方向バッファ111に設定する。

【0031】

コマンド発行制御回路150が発行した書き込みコマンドは0.5クロックサイクル遅延してメモリデバイス191に受信される (A11)。データ発行制御回路160はコマンド発行制御回路150が書き込みコマンドを発行したタイミングからレイテンシ情報保持回路140の保持する書き込みレイテンシ2クロックサイクル経過した後、データ信号106をドライブする (T13)。データ発行制御回路160が発行したデータは0.5クロックサイクル遅延してメモリデバイス191に受信される (A13 ~ A15)。

10

【0032】

次に、メモリアクセス制御回路100がメモリデバイス191へ読み出しコマンドを発行後、メモリデバイス192へ書き込みコマンドを発行した場合の動作 (動作例2) を、図4を用いて説明する。

【0033】

図4は、従来例におけるコマンド発行時の動作例2を示すタイミングチャートである。尚、図4に示す波形のサンプリングポイントは図3と同様である。

【0034】

まず、メモリアクセスインターフェース180によってアクセス方向バッファ121に次コマンドが読み出しである旨の情報が設定される。コマンド発行間隔選択回路151は、アクセス方向バッファ121が設定されると、先行アクセス方向バッファ111がカラであるので、コマンド発行可能となるまで0クロックサイクルであることをコマンド発行タイミング制御回路152に知らせる。

20

【0035】

一方、コマンド発行タイミング制御回路152はコマンド発行まで0クロックサイクルであるという情報を受け取り、0クロックサイクル後にコマンド発行許可を出す。これにより、コマンド発行制御回路150はチップセレクト信号101をアサートし、読み出しコマンドを発行する (T3)。

【0036】

コマンド発行制御回路150はコマンドを発行すると同時に、アクセス方向バッファ121の読み出しである情報を先行アクセス方向バッファ111に設定する。これと同時に、メモリアクセスインターフェース180によってアクセス方向バッファ121に次のコマンドが書き込みである旨の情報が設定される。

30

【0037】

コマンド発行制御回路150が発行した読み出しコマンドは0.5クロックサイクル遅延してメモリデバイス191に受信される (A4)。メモリデバイス191は受信したコマンドが読み出しであるので、読み出しレイテンシ3クロックサイクル経過した後、データ信号106をドライブする (A7)。メモリデバイス192がドライブしたデータは0.5クロックサイクル遅延してデータ受信制御回路170に受信される (T8 ~ T10)。

【0038】

40

先行コマンドが読み出しで次のコマンドが書き込みであるので、コマンド発行間隔選択回路151はコマンド間隔バッファ131cを選択する。これにより、コマンド発行可能となるまで、7クロックサイクルであることをコマンド発行タイミング制御回路152に知らせる。

【0039】

コマンド発行タイミング制御回路152は、コマンド発行まで7クロックサイクルであるという情報を受け取り、先行コマンドの発行 (T3) を起点に7クロックサイクル後にコマンド発行許可を出す (T10)。

【0040】

これにより、コマンド発行制御回路150はチップセレクト信号102をアサートし、

50

書き込みコマンドを発行する(T 1 0)。コマンド発行制御回路 1 5 0 はコマンドを発行すると同時に、アクセス方向バッファ 1 2 1 の情報を先行アクセス方向バッファ 1 1 1 に設定する。

【 0 0 4 1 】

コマンド発行制御回路 1 5 0 が発行した書き込みコマンドは1.5クロックサイクル遅延してメモリデバイス 1 9 2 に受信される(B 1 1)。データ発行制御回路 1 6 0 はコマンド発行制御回路 1 5 0 が書き込みコマンドを発行したタイミングからレイテンシ情報保持回路 1 4 0 の保持する書き込みレイテンシ 2 クロックサイクル経過した後、データ信号 1 0 6 をドライブする(T 1 3)。データ発行制御回路 1 6 0 が発行したデータは1.5クロックサイクル遅延してメモリデバイス 1 9 2 に受信される(B 1 3 ~ B 1 5)。

10

【 0 0 4 2 】

以上、読み出しをしてから書き込みをする場合のみ詳細に動作を説明したが、書き込みをしてから書き込み、書き込みをしてから読み出し、読み出しをしてから読み出しの場合も同様である。即ち、コマンド間隔バッファ 1 3 1 a ~ 1 3 1 d の情報から該当するものがコマンド発行間隔選択回路 1 5 1 によって選択され、選択された情報に応じてコマンド発行タイミング制御回路 1 5 2 が発行許可を出す。そして、コマンド発行制御回路 1 5 0 がコマンドを発行することで、データ信号 1 0 6 のドライブが衝突することなく、データ転送を行う。

【特許文献 1】特開2003-173290号公報

【発明の開示】

20

【発明が解決しようとする課題】

【 0 0 4 3 】

しかしながら、先行コマンドの読み出し / 書き込み情報と次コマンドの読み出し / 書き込み情報でコマンド発行間隔を制御すると、アクセスレイテンシが最大となるメモリデバイスへのアクセスに合わせてコマンド発行間隔をあける必要がある。

【 0 0 4 4 】

これにより、アクセスレイテンシが小さなメモリデバイスへのアクセスの際にも、必要以上にコマンド発行間隔があくことで、データ信号がドライブされない状態ができてしまう。例えば、上述した従来例によると、図 4 において、メモリアクセス制御回路 1 0 0 が発行する書き込みコマンドを更に 2 クロックサイクル前(T 8)に発行してもデータ信号 1 0 6 のドライブが衝突することなくメモリアクセスができる。

30

【 0 0 4 5 】

従って、本来データ転送が可能なサイクルでも、不要な転送間隔があいてしまうため、メモリバスの使用効率が低下してしまう、という問題が生じていた。

【 0 0 4 6 】

本発明は、メモリバスの使用効率を向上させることを目的とする。

【課題を解決するための手段】

【 0 0 4 7 】

本発明は、レイテンシの異なる複数のメモリデバイスへのリードアクセス又はライトアクセスの種別のコマンドを制御するメモリアクセス制御装置であって、

40

前記コマンドを発行することで前記複数のメモリデバイスにアクセスするアクセス手段と、

先に発行した第 1 のコマンドの種別と該第 1 のコマンドが発行されたメモリデバイスの情報と、次に発行する第 2 のコマンドの種別と該第 2 のコマンドが発行されるメモリデバイスの情報とを保持する保持手段と、

前記第 1 のコマンドのコマンド種別と該第 1 のコマンドが発行されたメモリデバイスの情報と、次に発行する第 2 のコマンドのコマンド種別と該第 2 のコマンドを発行するメモリデバイスの情報と、に基づいて前記アクセス手段によって前記第 2 のコマンドを発行するまでのコマンド発行間隔を設定する設定手段と、

前記設定されたコマンド発行間隔に従って前記第 2 のコマンドの発行タイミングを制御

50

する制御手段と、を有することを特徴とする。

【 0 0 4 8 】

また、本発明は、リードアクセス又はライトアクセスの種別のコマンドを発行することで複数のメモリデバイスにアクセスするアクセス手段と、先に発行した第 1 のコマンドの種別と該第 1 のコマンドが発行されたメモリデバイスの情報と、次に発行する第 2 のコマンドの種別と該第 2 のコマンドが発行されるメモリデバイスの情報とを保持する保持手段と、を備え、レイテンシの異なる前記複数のメモリデバイスへのアクセスを制御するメモリアクセス制御装置にて実行されるメモリアクセス制御方法であって、

前記第 1 のコマンドのコマンド種別と当該第 1 のコマンドが発行されたメモリデバイスの情報と、次に発行する第 2 のコマンドのコマンド種別と該第 2 のコマンドを発行するメモリデバイスの情報と、に基づいて前記アクセス手段によって前記第 2 のコマンドを発行するまでのコマンド発行間隔を設定する設定工程と、

前記設定されたコマンド発行間隔に従って前記第 2 のコマンドの発行タイミングを制御する制御工程と、を有することを特徴とする。

【発明の効果】

【 0 0 4 9 】

本発明によれば、メモリアクセス制御装置がデータ信号をドライブするタイミングと、メモリデバイスがデータ信号をドライブするタイミングが衝突することなく、メモリアクセスの使用効率を向上させることができる。

【発明を実施するための最良の形態】

【 0 0 5 0 】

以下、図面を参照しながら発明を実施するための最良の形態について詳細に説明する。

【 0 0 5 1 】

[第 1 の実施形態]

図 5 は、第 1 の実施形態におけるメモリアクセス制御装置の一例を示すブロック図である。図 1 に示すように、メモリアクセス制御装置 5 0 0 には 2 つのメモリデバイス 5 9 1、5 9 2 が接続され、メモリアクセス制御装置 5 0 0 はメモリデバイス 5 9 1、5 9 2 へのアクセスを制御する。

【 0 0 5 2 】

第 1 の実施形態でも、メモリデバイスとして D D R タイプのメモリデバイスを想定している。また、メモリアクセス制御装置 5 0 0 とメモリデバイス 5 9 1、5 9 2 の間の信号 5 0 1 ~ 5 0 6 は、図 1 を用いて説明した信号 1 0 1 ~ 1 0 6 と同じであり、その説明は省略する。

【 0 0 5 3 】

メモリアクセス制御装置 5 0 0 において、5 1 0 は先行コマンド情報保持回路であり、直前に発行したコマンドの情報を保持する。内部に、直前に発行したコマンドの読み出し又は書き込み方向を保持する先行アクセス方向バッファ 5 1 1 と直前に発行したコマンドのアクセスしたデバイス情報を保持する先行アクセスデバイスバッファ 5 1 2 とを備えている。

【 0 0 5 4 】

5 2 0 はコマンド情報保持回路であり、次に発行するコマンドの情報を保持する。内部に、次に発行するコマンドの読み出し又は書き込み方向を保持するアクセス方向バッファ 5 2 1 と次に発行するコマンドのアクセスするデバイス情報を保持するアクセスデバイスバッファ 5 2 2 とを備えている。

【 0 0 5 5 】

5 3 0 はコマンド間隔情報保持回路であり、先行コマンド発行から次コマンド発行までの最小コマンド発行間隔の情報を保持する。内部には、コマンド間隔バッファ 5 3 1 a ~ 5 3 1 N が備えられ、先行コマンドのアクセスデバイス及び読み出し又は書き込み方向と、次コマンドのアクセスデバイス及び読み出し又は書き込み方向の全組み合わせにおける最小コマンド発行間隔が保持される。図 5 に示す例では、メモリアクセス制御装置 5 0 0

10

20

30

40

50

には2つのメモリデバイス591、592が接続されているので、16組のコマンド間隔が保持される。上述の全組み合わせ数Nは、 $2 \times (\text{デバイス数}) \times 2 \times (\text{デバイス数})$ で求められる。

【0056】

540はレイテンシ情報保持回路であり、メモリアクセス制御装置500に接続されるメモリデバイスの設定に応じたメモリデバイスのリードレイテンシ、ライトレイテンシを保持する。

【0057】

550はコマンド発行制御回路であり、メモリデバイス591、592へのコマンド発行を制御する。コマンド発行制御回路550は、CPU(MPU)、ROM、周辺回路などで構成されても良い。コマンド発行間隔選択回路551は、先行コマンド情報保持回路510とコマンド情報保持回路520に保持された情報に応じてコマンド間隔バッファ531a~531Nから該当するコマンド間隔を選択する。次に、コマンド発行タイミング制御回路552は、コマンド発行間隔選択回路551が選択したコマンド間隔だけ次コマンドを発行させるタイミングを遅らせる。

【0058】

560はデータ発行制御回路であり、コマンド発行制御回路550がコマンドを発行してからレイテンシ情報保持回路540に保持された書き込みレイテンシだけ経過した後、データ信号506をドライブする。570はデータ受信制御回路であり、メモリデバイス591、592から読み出されたデータを受信する。

【0059】

580はメモリアクセスインターフェースであり、外部回路からのメモリアクセス要求を受け、コマンド発行制御回路550にコマンドを送信し、アクセス方向バッファ521に読み出し又は書き込み情報を設定する。

【0060】

ここで、コマンド間隔バッファ531a~531Nに設定されるべきコマンド発行間隔の算出方法について説明する。その算出方法は、以下の(1)~(4)の通りである。

(1) 書き込みコマンドを発行後に、書き込みコマンドを発行する場合

コマンド発行間隔 = データ転送長 ÷ 2 + 最低データ間隔

(2) 書き込みコマンドを発行後に、読み出しコマンドを発行する場合

コマンド発行間隔 = 先行アクセスデバイスライトレイテンシ + データ転送長 ÷ 2 + 先行アクセスデバイス配線遅延 - 次アクセスデバイスリードレイテンシ - 次アクセスデバイス配線遅延

(3) 読み出しコマンドを発行後に、書き込みコマンドを発行する場合

コマンド発行間隔 = 先行アクセスデバイス配線遅延 × 2 + 先行アクセスデバイスリードレイテンシ + データ転送長 ÷ 2 + 最低データ間隔 - 次アクセスデバイスライトレイテンシ

(4) 読み出しコマンドを発行後に、読み出しコマンドを発行する場合

コマンド発行間隔 = 先行アクセスデバイス配線遅延 × 2 + データ転送長 ÷ 2 + 最低データ間隔 - 次アクセスデバイス配線遅延 × 2

上記の算出方法で算出されるコマンド発行間隔を満たさないでコマンドを発行すると、メモリアクセス制御装置500とメモリデバイス591、592との間で、データ信号のドライブが衝突する危険性がある。

【0061】

尚、メモリアクセス制御装置500とメモリデバイス591、592との間で読み出し又は書き込みアクセスは共に4ビット転送を扱うものとする。

【0062】

また、メモリアクセス制御装置500とメモリデバイス591との間の配線遅延は0.5クロックサイクル、メモリアクセス制御装置500とメモリデバイス592との間の配線遅延は1.5クロックサイクルとする。また、レイテンシ情報保持回路540に保持される読み出しレイテンシは3クロックサイクル、書き込みレイテンシは2クロックサイクルと

する。

【0063】

上述のように、アクセス長、配線遅延、レイテンシからメモリアクセス制御装置500とメモリデバイス591、592によるデータ信号506のドライブが衝突しないように最小コマンド間隔値を算出し、コマンド間隔バッファ531a~Nに設定する。

【0064】

ここで、「データ転送長÷2」は4ビートのメモリアクセスのみを扱うので2クロックサイクルである。また、「最低データ間隔」は連続するアクセスのデータがデータ信号上で連続しないための間隔で通常、1クロックサイクルである。

【0065】

図6は、第1の実施形態におけるコマンド発行算出方法で算出したコマンド発行間隔を示す図である。即ち、コマンド間隔バッファ531a~531N(N=16なので添え字はp)には、図6に示す間隔(クロックサイクル)が設定され、その間隔以上のクロックサイクルを空ける必要がある。

【0066】

ここで、メモリアクセス制御装置500がメモリデバイス592へ読み出しコマンドを発行後、メモリデバイス591へ書き込みコマンドを発行する場合の動作(動作例1)を、図7を用いて説明する。

【0067】

図7は、第1の実施形態におけるコマンド発行時の動作例1を示すタイミングチャートである。尚、メモリアクセス制御装置500と記された波形は、メモリアクセス制御装置500の信号端子をサンプリングした波形である。ここで、CLK、CS0、CS1、CMDはメモリアクセス制御装置500の出力信号であり、DQS、DQはメモリアクセス制御装置500の入出力信号である。

【0068】

また、メモリデバイス591、メモリデバイス592は、それぞれのメモリデバイスの信号端子をサンプリングした波形である。ここで、CLK_0、CS_0、CMD_0及びCLK_1、CS_1、CMD_1は各メモリデバイスの入力信号であり、DQS_0、DQ_0及びDQS_1、DQ_1は各メモリデバイスの入出力信号である。

【0069】

まず、メモリアクセスインターフェース580によってアクセス方向バッファ521に次コマンドが読み出しである旨の情報が設定される。コマンド発行間隔選択回路551は、アクセス方向バッファ521が設定されると、先行アクセス方向バッファ511がカラであるので、コマンド発行可能となるまで0クロックサイクルであることをコマンド発行タイミング制御回路552に知らせる。

【0070】

一方、コマンド発行タイミング制御回路552はコマンド発行まで0クロックサイクルであるという情報を受け取り、0クロックサイクル後にコマンド発行許可を出す。これにより、コマンド発行制御回路550はチップセレクト信号502をアサートし、読み出しコマンドを発行する(T3)。

【0071】

コマンド発行制御回路550はコマンドを発行すると同時に、アクセス方向バッファ521の読み出しである旨の情報を先行アクセス方向バッファ511に設定する。また同時に、メモリアクセスインターフェース580によってアクセス方向バッファ521に次のコマンドが書き込みである旨の情報が設定される。

【0072】

コマンド発行制御回路550が発行した読み出しコマンドは1.5クロックサイクル遅延してメモリデバイス592に受信される(B4)。メモリデバイス592は受信したコマンドが読み出しであるので、読み出しレイテンシ3クロックサイクル経過した後、データ信号506をドライブする(B7)。メモリデバイス592がドライブしたデータは1.5

10

20

30

40

50

クロックサイクル遅延してデータ受信制御回路 570 に受信される (T10 ~ T12)。

【0073】

先行コマンドが読み出し、先行アクセスデバイスがメモリデバイス 592、次のコマンドが書き込み、次のアクセスデバイスがメモリデバイス 591 であるので、コマンド発行間隔選択回路 551 はコマンド間隔バッファ 531m を選択する。これにより、コマンド発行可能となるまで、7クロックサイクルであることをコマンド発行タイミング制御回路 552 に知らせる。

【0074】

一方、コマンド発行タイミング制御回路 552 はコマンド発行まで 7クロックサイクルであるという情報を受け取り、7クロックサイクル後にコマンド発行許可を出す。

10

【0075】

これにより、コマンド発行制御回路 550 はチップセレクト信号 501 をアサートして書き込みコマンドを発行する (T10)。コマンド発行制御回路 550 はコマンドを発行すると同時に、アクセス方向バッファ 521 の情報を先行アクセス方向バッファ 511 に設定する。

【0076】

コマンド発行制御回路 550 が発行した書き込みコマンドは 0.5クロックサイクル遅延してメモリデバイス 591 に受信される (A11)。データ発行制御回路 560 はコマンド発行制御回路 550 が書き込みコマンドを発行したタイミングからレイテンシ情報保持回路 540 の保持する書き込みレイテンシ 2クロックサイクル経過した後、データ信号 506 をドライブする (T13)。データ発行制御回路 560 が発行したデータは 0.5クロックサイクル遅延してメモリデバイス 591 に受信される (A13 ~ A15)。

20

【0077】

次に、メモリアクセス制御装置 500 がメモリデバイス 591 へ読み出しコマンドを発行後、メモリデバイス 592 へ書き込みコマンドを発行した場合の動作 (動作例 2) を、図 8 を用いて説明する。

【0078】

図 8 は、第 1 の実施形態におけるコマンド発行時の動作例 2 を示すタイミングチャートである。尚、図 8 に示す波形のサンプリングポイントは図 7 と同様である。

【0079】

30

まず、メモリアクセスインターフェース 580 によってアクセス方向バッファ 521 に次コマンドが読み出しである旨の情報が設定される。コマンド発行間隔選択回路 551 は、アクセス方向バッファ 521 が設定されると、先行アクセス方向バッファ 511 がカラであるので、コマンド発行可能となるまで 0クロックサイクルであることをコマンド発行タイミング制御回路 552 に知らせる。

【0080】

一方、コマンド発行タイミング制御回路 552 はコマンド発行まで 0クロックサイクルであるという情報を受け取り、0クロックサイクル後にコマンド発行許可を出す。これにより、コマンド発行制御回路 550 はチップセレクト信号 501 をアサートし、読み出しコマンドを発行する (T3)。

40

【0081】

コマンド発行制御回路 550 はコマンドを発行すると同時に、アクセス方向バッファ 521 の読み出しである旨の情報を先行アクセス方向バッファ 511 に設定する。また同時に、メモリアクセスインターフェース 580 によってアクセス方向バッファ 521 に次のコマンドが書き込みである旨の情報が設定される。

【0082】

コマンド発行制御回路 550 が発行した読み出しコマンドは 0.5クロックサイクル遅延してメモリデバイス 591 に受信される (A4)。メモリデバイス 591 は受信したコマンドが読み出しであるので、読み出しレイテンシ 3クロックサイクル経過した後、データ信号 506 をドライブする (A7)。メモリデバイス 592 がドライブしたデータは 0.5

50

クロックサイクル遅延してデータ受信制御回路 570 に受信される (T8 ~ T10)。

【0083】

先行コマンドが読み出し、先行アクセスデバイスがメモリデバイス 591、次のコマンドが書き込み、次のアクセスデバイスがメモリデバイス 592 であるので、コマンド発行間隔選択回路 551 はコマンド間隔バッファ 531g を選択する。これにより、コマンド発行可能となるまで、5クロックサイクルであることをコマンド発行タイミング制御回路 552 に知らせる。

【0084】

コマンド発行タイミング制御回路 552 は、コマンド発行まで5クロックサイクルであるという情報を受け取り、5クロックサイクル後にコマンド発行許可を出す。

10

【0085】

これにより、コマンド発行制御回路 550 はチップセレクト信号 502 をアサートし、書き込みコマンドを発行する (T8)。コマンド発行制御回路 550 はコマンドを発行すると同時に、アクセス方向バッファ 521 の情報を先行アクセス方向バッファ 511 に設定する。

【0086】

コマンド発行制御回路 550 が発行した書き込みコマンドは、1.5クロックサイクル遅延してメモリデバイス 592 に受信される (B9)。データ発行制御回路 560 はコマンド発行制御回路 550 が書き込みコマンドを発行したタイミングからレイテンシ情報保持回路 540 の保持する書き込みレイテンシ 2クロックサイクル経過した後、データ信号 506 をドライブする (T11)。データ発行制御回路 560 が発行したデータは1.5クロックサイクル遅延してメモリデバイス 592 に受信される (B11 ~ B13)。

20

【0087】

以上、読み出しをしてから書き込みをする場合のみ詳細に動作を説明したが、書き込みをしてから書き込み、書き込みをしてから読み出し、読み出しをしてから読み出しの場合も同様である。即ち、コマンド間隔バッファ 531a ~ 531N の情報から該当するものがコマンド発行間隔選択回路 551 によって選択され、選択された情報に応じてコマンド発行タイミング制御回路 552 が発行許可を出す。そして、コマンド発行制御回路 550 がコマンドを発行することで、データ信号 506 のドライブが衝突することなく、データ信号 506 を最短でドライブすることができる。

30

【0088】

第1の実施形態では、配線遅延が異なることに起因してメモリデバイス毎のアクセスレイテンシが異なる場合に対しての動作を説明した。しかし、メモリデバイス毎のレイテンシが異なる場合においても同様にコマンド発行間隔を設定することでデータ信号のドライブが衝突しないでデータ信号を最短でドライブすることができる。

【0089】

また、第1の実施形態では、2つのメモリデバイスが接続された場合を示しているが、本発明はこれだけに限らず、接続されるデバイスが3デバイス以上の場合においても適用することができる。

【0090】

40

第1の実施形態によれば、先行コマンドの読み出し又は書き込み情報と先行コマンドのアクセスデバイス情報と次コマンドの読み出し又は書き込み情報と次コマンドのアクセスデバイス情報に応じて、コマンド発行間隔を調整することが可能となる。そのため、本来データ転送が可能なサイクルに不要な転送間隔があかなくなる。

【0091】

即ち、メモリアクセス制御回路がデータ信号をドライブするタイミングと、メモリデバイスがデータ信号をドライブするタイミングが衝突することなく、メモリバスの使用効率を向上させることができる。

【0092】

[第2の実施形態]

50

次に、図面を参照しながら本発明に係る第2の実施形態を詳細に説明する。第1の実施形態では、最小コマンド間隔値をコマンド間隔バッファ531a~Nに保持しているが、第2の実施形態では次コマンドを発行する際に算出するものである。

【0093】

図9は、第2の実施形態におけるメモリアクセス制御装置の一例を示すブロック図である。図9に示すように、メモリアクセス制御装置900は、メモリデバイス991、992が接続され、メモリデバイス991、992へのアクセスを制御する。

【0094】

第2の実施形態でも、メモリデバイスとしてDDRタイプのメモリデバイスを想定している。また、メモリアクセス制御装置900とメモリデバイス991、992の間の信号901~906は、図5を用いて説明した信号501~506と同じであり、その説明は省略する。

【0095】

メモリアクセス制御装置900において、910は先行コマンド情報保持回路であり、直前に発行したコマンドの情報を保持する。内部に、直前に発行したコマンドの読み出し又は書き込み方向を保持する先行アクセス方向バッファ911と直前に発行したコマンドのアクセスしたデバイス情報を保持する先行アクセスデバイスバッファ912とを備えている。

【0096】

920はコマンド情報保持回路であり、次に発行するコマンドの情報を保持する。内部に、次に発行するコマンドの読み出し又は書き込み方向を保持するアクセス方向バッファ921と次に発行するコマンドのアクセスするデバイス情報を保持するアクセスデバイスバッファ922とを備えている。

【0097】

930は配線遅延情報保持回路であり、全メモリデバイスに対する配線遅延情報を保持する。内部には、配線遅延バッファ931a~931Nが備えられ、メモリアクセス制御装置900に接続される全てのメモリデバイスに対する配線遅延量が保持される。図9に示す例では、メモリアクセス制御装置900には2つのメモリデバイス991、992が接続されているので、配線遅延バッファ931a、931bが備えられ、それぞれ2つの配線遅延量が保持される。

【0098】

940はレイテンシ情報保持回路であり、メモリアクセス制御装置900に接続されるメモリデバイスの設定に応じたメモリデバイスのリードレイテンシ、ライトレイテンシを保持する。941は後述するコマンド発行制御回路950へ出力されるレイテンシ情報である。

【0099】

950はコマンド発行制御回路であり、メモリデバイス191、192へのコマンド発行を制御する。コマンド発行制御回路950は、CPU(MPU)、ROM、周辺回路などで構成されても良い。コマンド発行間隔算出回路951は、先行コマンド情報保持回路910、コマンド情報保持回路920、配線遅延情報保持回路930に保持された情報とレイテンシ情報941から次のコマンドが発行可能となるまでのサイクル数を算出する。コマンド発行タイミング制御回路952は、コマンド発行間隔算出回路951が算出したコマンド間隔だけ次コマンドの発行タイミングを遅らせる。

【0100】

960はデータ発行制御回路であり、コマンド発行制御回路950がコマンドを発行してからレイテンシ情報保持回路940に保持された書き込みレイテンシだけ経過した後、データ信号906をドライブする。970はデータ受信制御回路であり、メモリデバイス991、992から読み出されたデータを受信する。

【0101】

980はメモリアクセスインターフェースであり、外部回路からのメモリアクセス要求

10

20

30

40

50

を受け、コマンド発行制御回路 950 にコマンドを送信し、アクセス方向バッファ 921 に読み出し又は書き込み情報を設定する。

【0102】

ここで、コマンド発行間隔算出回路 951 によるコマンド発行間隔の算出方法は、以下の(1)～(4)の通りである。

(1) 書き込みコマンドを発行後に、書き込みコマンドを発行する場合

コマンド発行間隔 = データ転送長 ÷ 2 + 最低データ間隔

(2) 書き込みコマンドを発行後に、読み出しコマンドを発行する場合

コマンド発行間隔 = 先行アクセスデバイスライトレイテンシ + データ転送長 ÷ 2 + 先行アクセスデバイス配線遅延 - 次アクセスデバイスリードレイテンシ - 次アクセスデバイス配線遅延

(3) 読み出しコマンドを発行後に、書き込みコマンドを発行する場合

コマンド発行間隔 = 先行アクセスデバイス配線遅延 × 2 + 先行アクセスデバイスリードレイテンシ + データ転送長 ÷ 2 + 最低データ間隔 - 次アクセスデバイスライトレイテンシ

(4) 読み出しコマンドを発行後に、読み出しコマンドを発行する場合

コマンド発行間隔 = 先行アクセスデバイス配線遅延 × 2 + データ転送長 ÷ 2 + 最低データ間隔 - 次アクセスデバイス配線遅延 × 2

上記の算出方法で算出されるコマンド発行間隔を満たさないでコマンドを発行すると、メモリアクセス制御装置 900 とメモリデバイス 991、992 との間で、データ信号のドライブが衝突する危険性がある。

【0103】

尚、メモリアクセス制御装置 900 とメモリデバイス 991、992 との間で読み出し又は書き込みアクセスは共に 4 ビート転送を扱うものとする。

【0104】

また、メモリアクセス制御装置 900 とメモリデバイス 991 との間の配線遅延は 0.5 クロックサイクル、メモリアクセス制御装置 900 とメモリデバイス 992 との間の配線遅延は 1.5 クロックサイクルとする。また、レイテンシ情報保持回路 940 に保持される読み出しレイテンシは 3 クロックサイクル、書き込みレイテンシは 2 クロックサイクルとする。

【0105】

配線遅延バッファ 931a ~ 931N (N はデバイス数) には、メモリデバイス 991 とメモリデバイス 992 の配線遅延が設定される。

【0106】

ここで、メモリアクセス制御装置 900 がメモリデバイス 992 へ読み出しコマンドを発行後、メモリデバイス 991 へ書き込みコマンドを発行する場合の動作(動作例 1)を、第 1 の実施形態で用いた図 7 を参照して説明する。

【0107】

まず、メモリアクセスインターフェース 980 によってアクセス方向バッファ 921 に次コマンドが読み出しである旨の情報が設定される。コマンド発行間隔算出回路 951 は、アクセス方向バッファ 921 が設定されると、先行アクセス方向バッファ 911 がカラであるので、コマンド発行可能となるまで 0 クロックサイクルであることをコマンド発行タイミング制御回路 952 に知らせる。

【0108】

一方、コマンド発行タイミング制御回路 952 はコマンド発行まで 0 クロックサイクルであるという情報を受け取り、0 クロックサイクル後にコマンド発行許可を出す。これにより、コマンド発行制御回路 950 はチップセレクト信号 902 をアサートし、読み出しコマンドを発行する(T3)。

【0109】

コマンド発行制御回路 950 はコマンドを発行すると同時に、アクセス方向バッファ 921 の読み出しである旨の情報を先行アクセス方向バッファ 911 に設定する。また同時

に、メモリアクセスインターフェース 980 によってアクセス方向バッファ 921 に次のコマンドが書き込みである旨の情報が設定される。

【0110】

コマンド発行制御回路 950 が発行した読み出しコマンドは1.5クロックサイクル遅延してメモリデバイス 992 に受信される (B4)。メモリデバイス 992 は受信したコマンドが読み出しであるので、読み出しレイテンシ3クロックサイクル経過した後、データ信号 906 をドライブする (B7)。メモリデバイス 992 がドライブしたデータは1.5クロックサイクル遅延してデータ受信制御回路 970 に受信される (T10 ~ T12)。

【0111】

ここで、コマンド発行間隔算出回路 951 は、以下の情報から上述のコマンド発行間隔算出方法にて次のコマンド発行可能となるまで7クロックサイクルであることを算出し、コマンド発行タイミング制御回路 952 に知らせる。

- ・先行コマンドが読み出しであること
- ・先行アクセスデバイスがメモリデバイス 992 であること
- ・次のコマンドが書き込みであること
- ・次のアクセスデバイスがメモリデバイス 991 であること
- ・メモリデバイス 991 の配線遅延が0.5クロックサイクルであること
- ・メモリデバイス 992 の配線遅延が1.5クロックサイクルであること
- ・メモリデバイスのリードレイテンシが3クロックサイクルであること
- ・メモリデバイスのライトレイテンシが2クロックサイクルであること

一方、コマンド発行タイミング制御回路 952 はコマンド発行まで7クロックサイクルであるという情報を受け取り、7クロックサイクル後にコマンド発行許可を出す。

【0112】

これにより、コマンド発行制御回路 950 はチップセレクト信号 901 をアサートして書き込みコマンドを発行する (T10)。コマンド発行制御回路 950 はコマンドを発行すると同時に、アクセス方向バッファ 921 の情報を先行アクセス方向バッファ 911 に設定する。

【0113】

コマンド発行制御回路 950 が発行した書き込みコマンドは0.5クロックサイクル遅延してメモリデバイス 991 に受信される (A11)。データ発行制御回路 960 はコマンド発行制御回路 950 が書き込みコマンドを発行したタイミングからレイテンシ情報保持回路 940 の保持する書き込みレイテンシ2クロックサイクル経過した後、データ信号 906 をドライブする (T13)。データ発行制御回路 960 が発行したデータは0.5クロックサイクル遅延してメモリデバイス 991 に受信される (A13 ~ A15)。

【0114】

次に、メモリアクセス制御装置 900 がメモリデバイス 991 へ読み出しコマンドを発行後、メモリデバイス 992 へ書き込みコマンドを発行した場合の動作 (動作例2) を、第1の実施形態で用いた図8を参照して説明する。

【0115】

まず、メモリアクセスインターフェース 980 によってアクセス方向バッファ 921 に次コマンドが読み出しである旨の情報が設定される。コマンド発行間隔算出回路 951 は、アクセス方向バッファ 921 が設定されると、先行アクセス方向バッファ 911 がカラであるので、コマンド発行可能となるまで0クロックサイクルであることをコマンド発行タイミング制御回路 952 に知らせる。

【0116】

一方、コマンド発行タイミング制御回路 952 はコマンド発行まで0クロックサイクルであるという情報を受け取り、0クロックサイクル後にコマンド発行許可を出す。これにより、コマンド発行制御回路 950 はチップセレクト信号 902 をアサートし、読み出しコマンドを発行する (T3)。

【0117】

10

20

30

40

50

コマンド発行制御回路 950 はコマンドを発行すると同時に、アクセス方向バッファ 921 の読み出しである旨の情報を先行アクセス方向バッファ 911 に設定する。また同時に、メモリアクセスインターフェース 980 によってアクセス方向バッファ 921 に次のコマンドが書き込みである旨の情報が設定される。

【0118】

コマンド発行制御回路 950 が発行した読み出しコマンドは 0.5 クロックサイクル遅延してメモリデバイス 991 に受信される (A4)。メモリデバイス 991 は受信したコマンドが読み出しであるので、読み出しレイテンシ 3 クロックサイクル経過した後、データ信号 906 をドライブする (A7)。メモリデバイス 991 がドライブしたデータは 0.5 クロックサイクル遅延してデータ受信制御回路 970 に受信される (T8 ~ T10)。

10

【0119】

ここで、コマンド発行間隔算出回路 951 は、以下の情報から上述のコマンド発行間隔算出方法にて次のコマンド発行可能となるまで 5 クロックサイクルであることを算出し、コマンド発行タイミング制御回路 952 に知らせる。

- ・先行コマンドが読み出しであること
- ・先行アクセスデバイスがメモリデバイス 991 であること
- ・次のコマンドが書き込みであること
- ・次のアクセスデバイスがメモリデバイス 992 であること
- ・メモリデバイス 991 の配線遅延が 0.5 クロックサイクルであること
- ・メモリデバイス 992 の配線遅延が 1.5 クロックサイクルであること
- ・メモリデバイスのリードレイテンシが 3 クロックサイクルであること
- ・メモリデバイスのライトレイテンシが 2 クロックサイクルであること

20

一方、コマンド発行タイミング制御回路 952 はコマンド発行まで 5 クロックサイクルであるという情報を受け取り、5 クロックサイクル後にコマンド発行許可を出す。

【0120】

これにより、コマンド発行制御回路 950 はチップセレクト信号 901 をアサートして書き込みコマンドを発行する (T8)。コマンド発行制御回路 950 はコマンドを発行すると同時に、アクセス方向バッファ 921 の情報を先行アクセス方向バッファ 911 に設定する。

【0121】

30

コマンド発行制御回路 950 が発行した書き込みコマンドは、1.5 クロックサイクル遅延してメモリデバイス 992 に受信される (B9)。データ発行制御回路 960 はコマンド発行制御回路 950 が書き込みコマンドを発行したタイミングからレイテンシ情報保持回路 940 の保持する書き込みレイテンシ 2 クロックサイクル経過した後、データ信号 906 をドライブする (T11)。データ発行制御回路 960 が発行したデータは 1.5 クロックサイクル遅延してメモリデバイス 992 に受信される (B11 ~ B13)。

【0122】

以上、読み出しをしてから書き込みをする場合のみ詳細に動作を説明したが、書き込みをしてから書き込み、書き込みをしてから読み出し、読み出しをしてから読み出しの場合も同様である。即ち、コマンド発行間隔算出回路 951 が上述したコマンド発行間隔算出方法により算出したコマンド発行間隔に従って、コマンド発行タイミング制御回路 952 が発行許可を出す。そして、コマンド発行制御回路 950 がコマンドを発行することで、データ信号 906 のドライブが衝突しないでデータ信号 906 を最短でドライブすることができる。

40

【0123】

第 2 の実施形態では、配線遅延が異なることに起因してメモリデバイス毎のアクセスレイテンシが異なる場合に対しての動作を説明した。しかし、メモリデバイス毎のレイテンシが異なる場合においても同様にコマンド発行間隔を算出することでデータ信号のドライブが衝突しないでデータ信号を最短でドライブすることができる。

【0124】

50

また、第2の実施形態では、2つのメモリデバイスが接続された場合を示しているが、本発明はこれだけに限らず、接続されるデバイスが3デバイス以上の場合においても適用することができる。

【0125】

尚、本発明は複数の機器（例えば、ホストコンピュータ、インターフェース機器、リーダー、プリンタなど）から構成されるシステムに適用しても、1つの機器からなる装置（例えば、複写機、ファクシミリ装置など）に適用しても良い。

【0126】

また、前述した実施形態の機能を実現するソフトウェアのプログラムコードを記録した記録媒体を、システム或いは装置に供給し、そのシステム或いは装置のコンピュータ（CPU若しくはMPU）が記録媒体に格納されたプログラムコードを読み出し実行する。これによっても、本発明の目的が達成されることは言うまでもない。

【0127】

この場合、コンピュータ読み取り可能な記録媒体から読み出されたプログラムコード自体が前述した実施形態の機能を実現することになり、そのプログラムコードを記憶した記録媒体は本発明を構成することになる。

【0128】

このプログラムコードを供給するための記録媒体として、例えばフレキシブルディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、CD-R、磁気テープ、不揮発性のメモリカード、ROMなどを用いることができる。

【0129】

また、コンピュータが読み出したプログラムコードを実行することにより、前述した実施形態の機能が実現されるだけでなく、次の場合も含まれることは言うまでもない。即ち、プログラムコードの指示に基づき、コンピュータ上で稼働しているOS（オペレーティングシステム）などが実際の処理の一部又は全部を行い、その処理により前述した実施形態の機能が実現される場合である。

【0130】

更に、記録媒体から読み出されたプログラムコードがコンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書込む。その後、そのプログラムコードの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるCPUなどが実際の処理の一部又は全部を行い、その処理により前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【図面の簡単な説明】

【0131】

【図1】従来例におけるメモリアクセス制御回路の一例を示すブロック図である。

【図2】従来例において、上述したコマンド発行間隔算出方法で算出したコマンド発行間隔を示す図である。

【図3】従来例におけるコマンド発行時の動作例1を示すタイミングチャートである。

【図4】従来例におけるコマンド発行時の動作例2を示すタイミングチャートである。

【図5】第1の実施形態におけるメモリアクセス制御装置の一例を示すブロック図である。

【図6】第1の実施形態におけるコマンド発行算出方法で算出したコマンド発行間隔を示す図である。

【図7】第1の実施形態におけるコマンド発行時の動作例1を示すタイミングチャートである。

【図8】第1の実施形態におけるコマンド発行時の動作例2を示すタイミングチャートである。

【図9】第2の実施形態におけるメモリアクセス制御装置の一例を示すブロック図である。

【符号の説明】

10

20

30

40

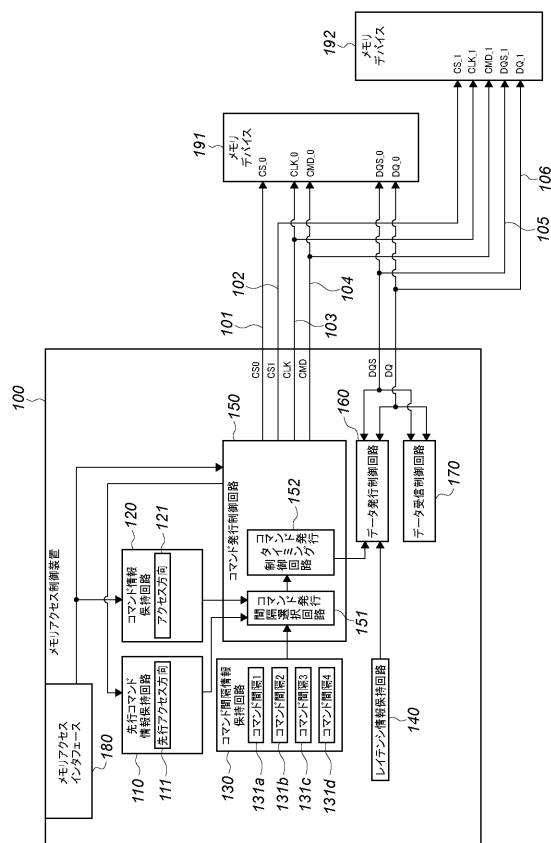
50

【 0 1 3 2 】

- 5 0 0 メモリアクセス制御装置
- 5 1 0 先行コマンド情報保持回路
- 5 1 1 先行アクセス方向バッファ
- 5 1 2 先行アクセスデバイスバッファ
- 5 2 0 コマンド情報保持回路
- 5 2 1 アクセス方向バッファ
- 5 2 2 アクセスデバイスバッファ
- 5 3 0 コマンド間隔情報保持回路
- 5 3 1 コマンド間隔バッファ
- 5 4 0 レイテンシ情報保持回路
- 5 5 0 コマンド発行制御回路
- 5 5 1 コマンド発行間隔選択回路
- 5 5 2 コマンド発行タイミング制御回路
- 5 6 0 データ発行制御回路
- 5 7 0 データ受信制御回路
- 5 8 0 メモリアクセスインターフェース
- 5 9 1 メモリデバイス
- 5 9 2 メモリデバイス

10

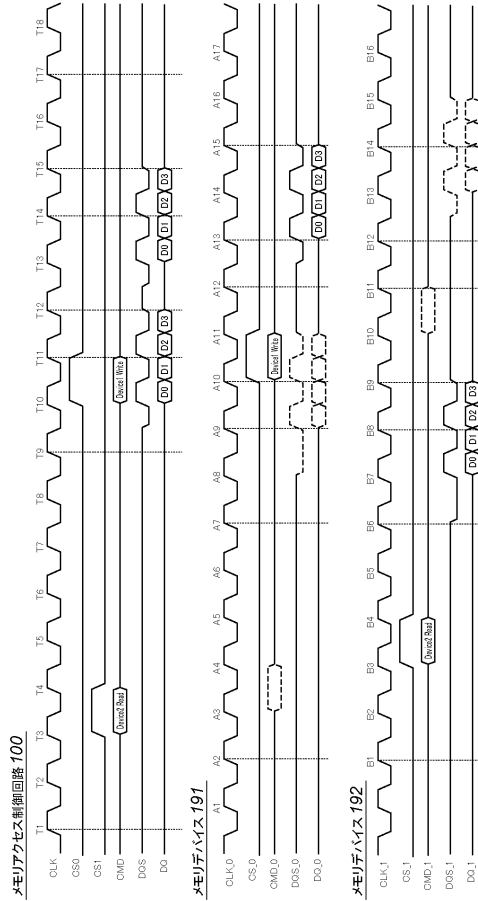
【 図 1 】



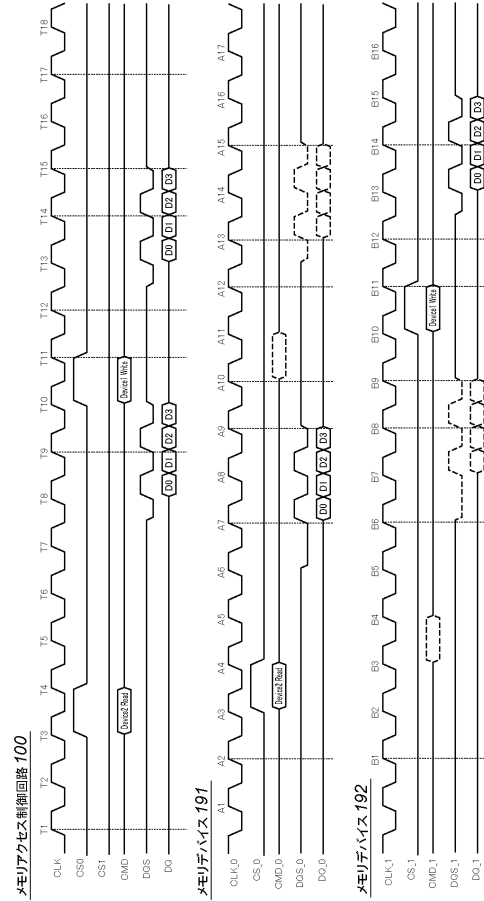
【 図 2 】

	コマンド間隔バッファ	間隔
131a	(書き込み→書き込み)	3クロックサイクル
131b	(書き込み→読み出し)	2クロックサイクル
131c	(読み出し→書き込み)	7クロックサイクル
131d	(読み出し→読み出し)	5クロックサイクル

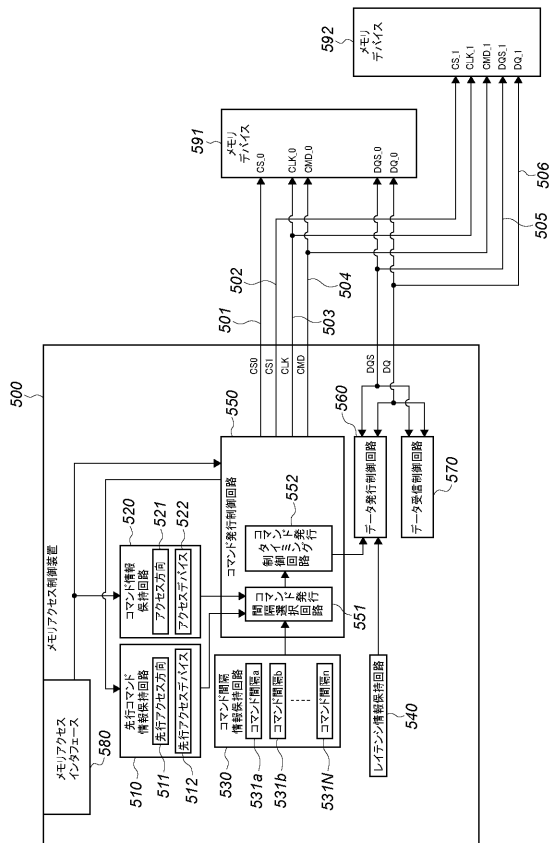
【 図 3 】



【 図 4 】



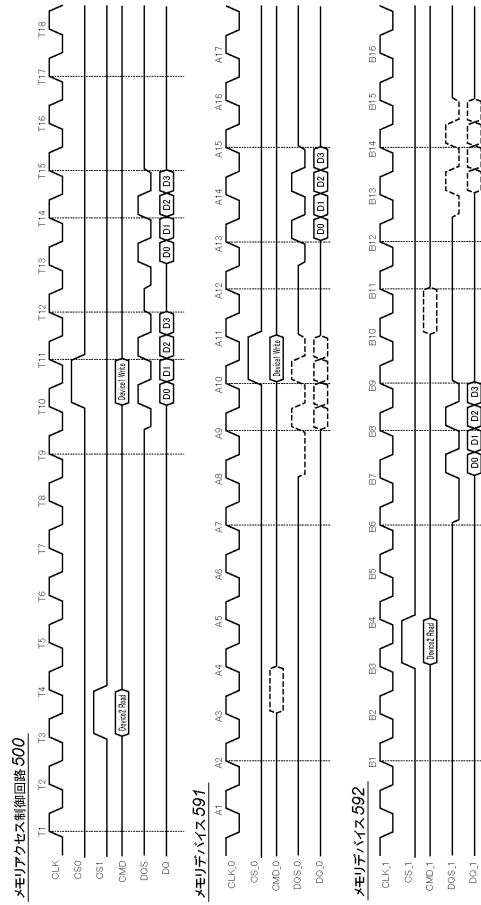
【 図 5 】



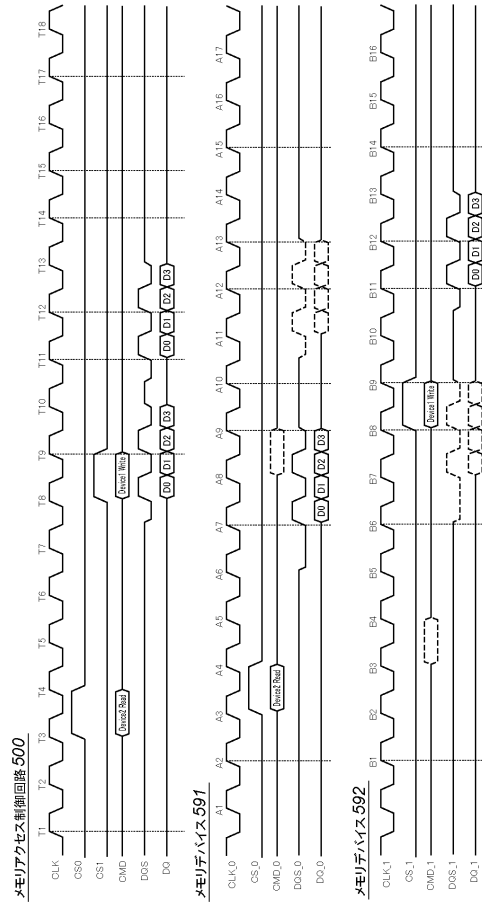
【 図 6 】

間隔	コマンド間隔バツファ
3クロックサイクル	(メモリデバイス591書き込み→メモリデバイス591書き込み)
2クロックサイクル	(メモリデバイス591書き込み→メモリデバイス591読み出し)
3クロックサイクル	(メモリデバイス591書き込み→メモリデバイス592書き込み)
2クロックサイクル	(メモリデバイス591書き込み→メモリデバイス592読み出し)
5クロックサイクル	(メモリデバイス591読み出し→メモリデバイス591書き込み)
3クロックサイクル	(メモリデバイス591読み出し→メモリデバイス591読み出し)
5クロックサイクル	(メモリデバイス591読み出し→メモリデバイス592書き込み)
1クロックサイクル	(メモリデバイス591読み出し→メモリデバイス592読み出し)
3クロックサイクル	(メモリデバイス592書き込み→メモリデバイス591書き込み)
2クロックサイクル	(メモリデバイス592書き込み→メモリデバイス592読み出し)
7クロックサイクル	(メモリデバイス592読み出し→メモリデバイス591書き込み)
5クロックサイクル	(メモリデバイス592読み出し→メモリデバイス591読み出し)
7クロックサイクル	(メモリデバイス592読み出し→メモリデバイス592書き込み)
3クロックサイクル	(メモリデバイス592読み出し→メモリデバイス592読み出し)

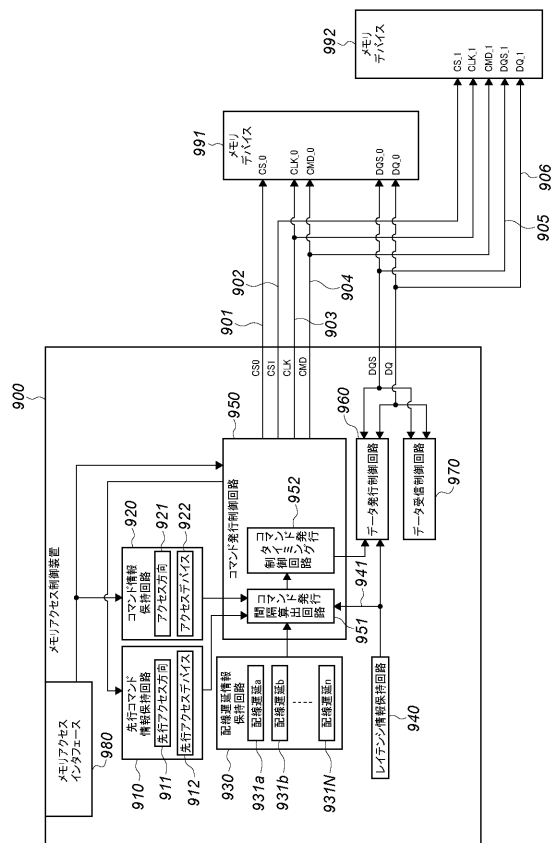
【図 7】



【図 8】



【図 9】



フロントページの続き

(72)発明者 落合 渉

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 桜井 茂行

(56)参考文献 特開平02-114342(JP,A)

国際公開第2005/114669(WO,A1)

特表2008-500668(JP,A)

国際公開第2004/025478(WO,A1)

特開昭54-029530(JP,A)

特開2003-173290(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 12/00 - 12/06

G06F 13/16 - 13/18