(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 10 月 30 日(30.10.2014)

WIPO | PCT

(10) 国際公開番号
WO 2014/174873 A1

(51) 国際特許分類:
H01L 21/60 (2006.01) *H01L 21/56* (2006.01)

(21) 国際出願番号: PCT/JP2014/052876

(22) 国際出願日: 2014 年 2 月 7 日(07.02.2014)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2013-094720 2013 年 4 月 26 日(26.04.2013) JP

(71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者: 石塚 悦子(ISHIZUKA, Etsuko). 中西 宏之(NAKANISHI, Hiroyuki). 樽井 克行(TARUI, Katsuyuki).

(74) 代理人: 特許業務法人ＨＡＲＡＫＥＮＺＯ ＷＯＲＬＤ ＰＡＴＥＮＴ ＆ ＴＲＡＤＥＭＡＲＫ(HARAKENZO WORLD PATENT & TRADEMARK); 〒5300041 大阪府大阪市北区天神橋２丁目北２番６号 大和南森町ビル Osaka (JP).

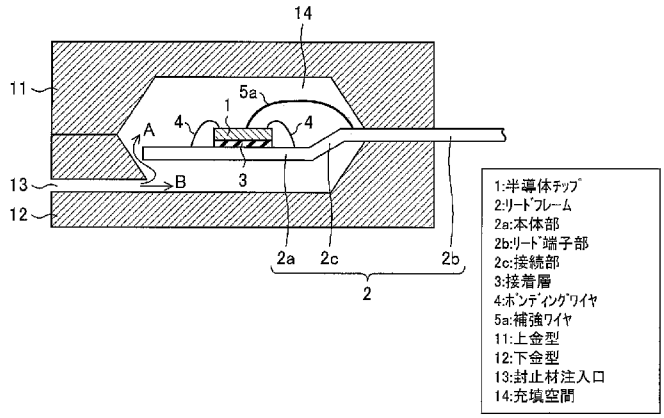
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称 : 半導体装置およびその製造方法



1 Semiconductor chip
2 Lead frame
2a Main body section
2b Lead terminal section
2c Connecting section
3 Adhesive layer
4 Bonding wire
5a Reinforcing wire
11 Upper molding die
12 Lower molding die
13 Sealing material inlet
14 Filling space

(57) **Abstract**: This semiconductor device is provided with: a lead frame (2) having a main body section (2a), and a lead terminal section (2b) that is connected to one end side of the main body section (2a); and a semiconductor chip (1), which is mounted on the main body section (2a), and which is electrically connected to the lead frame (2). A reinforcing member is provided in the semiconductor device before injecting a sealing material, said reinforcing member having one end side attached to the lead terminal section (2b), and the other end side attached to the main body section (2a) or a member mounted on the main body section (2a).

(57) 要約: 本体部（２ａ）と本体部（２ａ）の一端側に接続されたリード端子部（２ｂ）とを有するリードフレーム（２）と、本体部（２ａ）に搭載され、リードフレーム（２）に電気的に接続された半導体チップ（１）とを備えた半導体装置において、封止材を注入する前に、一端側がリード端子部（２ｂ）に取り付けられ、他端側が本体部（２ａ）または本体部（２ａ）に搭載された部材に取り付けられた補強部材を設ける。

WO 2014/174873 A1

明　細　書

発明の名称 ： 半導体装置およびその製造方法

技術分野

[0001] 本発明は、フルモールドパッケージの半導体装置およびその製造方法に関するものである。

背景技術

[0002] 従来、高耐圧用途等で使用される半導体装置として、半導体装置の主要部（半導体装置を外部に接続するためのリード端子を除く部分）を封止体で被覆することにより高い絶縁性を実現したフルモールドパッケージの半導体装置が知られている。

[0003] ところで、フルモールドパッケージの半導体装置では、半導体装置の製造時に半導体装置の主要部を内部に収容した金型内に封止材を注入する際、注入された封止材による圧力でリードフレームが変形してしまう場合がある。特に、フルモールドパッケージの半導体装置では、一般に、放熱性を高めるためにリードフレームの裏面側（半導体チップが搭載されていない側）の封止材の厚みが薄く形成される傾向がある。ところが、裏面側に薄くかつ均一な厚さの封止材を適切に注入するために封止材注入口を裏面側の金型に設けた場合、リードフレームが所定位置よりも封止材注入口が設けられている側とは反対側に浮く場合にある。また、封止材注入口をリードフレームの表面側（半導体チップが搭載されている側）に配置すると、リードフレームが所定位置よりも封止材注入口が設けられている側とは反対側に反る場合がある。

[0004] このため、従来のフルモールドパッケージの半導体装置の製造方法では、金型内のリードフレームをピンで固定した状態で封止体の注入を行う方法が用いられている。

[0005] 例えば、特許文献１には、封止材の注入期間中にリードフレームをピンにより固定し続ける固定ピン方式の製造方法が開示されている。

先行技術文献

特許文献

[0006] 特許文献1：日本国公開実用新案公報「実開昭６２－６３９４４号（１９８７年４月２１日公開）」

発明の概要

発明が解決しようとする課題

[0007] しかしながら、固定ピン方式の場合、固定ピンとリードフレームとが接触した状態で封止材が硬化するため、金型および固定ピンを取り外したときに、リードフレームにおける固定ピンと接触していた領域が露出してしまう。このため、上記の露出部分から絶縁破壊が生じてしまう可能性がある。

[0008] そこで、リードフレームを固定するピンを可動式とし、封止材の注入時にはピンによってリードフレームを固定し、注入した封止材が硬化して固まる前にピンをリードフレームから離間させることにより、リードフレームにおけるピンと接触していた領域にも封止材を入り込ませて当該領域についても封止材で被覆させる、可動ピン方式の製造方法を用いることが考えられる。

[0009] しかしながら、可動ピン方式では、可動ピンを移動させるための機構を設ける必要があるので、製造装置が高価になるという問題がある。

[0010] 本発明は、上記の問題を解決するためになされたものであり、その目的は、絶縁性の高いフルモールドパッケージの半導体装置を簡易な構成で製造することにある。

課題を解決するための手段

[0011] 本発明の一態様にかかる半導体装置は、板状の本体部と上記本体部の一端側に接続されたリード端子部とを有するリードフレームと、上記本体部に搭載され、上記リードフレームに電気的に接続された半導体チップと、上記本体部と上記半導体チップと上記リード端子部の一部とを電気絶縁性を有する材料で被覆した封止部とを備えた半導体装置であって、一端側が上記リード端子部の上記一部に取り付けられ、他端側が上記本体部または上記本体部に

搭載された部材に取り付けられた、上記リードフレームを補強する補強部材を備えていることを特徴としている。

発明の効果

[0012] 上記の本発明の一態様にかかる半導体装置によれば、絶縁性の高い半導体装置を容易かつ安価に実現することができる。

図面の簡単な説明

[0013] [図1]本発明の実施形態１にかかる半導体装置の製造工程の一部を示す説明図である。

[図2]本発明の実施形態１にかかる半導体装置の断面図である。

[図3]本発明の実施形態２にかかる半導体装置の断面図である。

[図4]本発明の実施形態２にかかる半導体装置の変形例の断面図である。

[図5]本発明の実施形態３にかかる半導体装置の断面図である。

[図6]本発明の実施形態４にかかる半導体装置の断面図である。

[図7]本発明の実施形態５にかかる半導体装置の断面図である。

発明を実施するための形態

[0014] 〔実施形態１〕

本発明の一実施形態について説明する。

[0015] 図２は、本実施形態にかかる半導体装置１００ａの断面図である。この図に示すように、半導体装置１００ａは、リードフレーム２と、リードフレーム２上に接着層３によって接着された半導体チップ１と、半導体チップ１とリードフレーム２とを電気的に接続するボンディングワイヤ４と、一端側がリードフレーム２に取り付けられ、他端側が半導体チップ１に取り付けられた補強ワイヤ５ａと、封止部６とを備えている。

[0016] リードフレーム２は、本体部２ａと、リード端子部２ｂと、本体部２ａの一端とリード端子部２ｂの一端とを接続する接続部２ｃとを備えている。

[0017] 本体部２ａは板状の部材からなり、この本体部２ａにおける一方の面上に接着層３を介して半導体チップ１が搭載されている。また、半導体チップ１と本体部２ａとはボンディングワイヤ４により電気的に接続されている。

[0018] リード端子部２ｂの一端、本体部２ａ上に搭載された半導体チップ１の上面（本体部２ａと反対側の面）とリード端子部２ｂの上面（半導体チップ１が搭載されている側の面）とが略同一面になるように、接続部２ｃによって本体部２ａの端部と接続されている。

[0019] なお、リードフレーム２（本体部２ａ、リード端子部２ｂ、および接続部２ｃ）の材質は、電気伝導性を有する材質であれば特に限定されるものではなく、例えば、銀、銅、アルミニウム等の金属を用いることができる。なお、リードフレーム２として、半導体チップ１の熱を半導体装置１００ａの外部に放熱させるための熱伝導性を有する材質を用いてもよい。

[0020] また、本体部２ａ、リード端子部２ｂ、および接続部２ｃは単一の部材に曲げ加工等を施して形成したものであってもよく、別々の部材を接合することにより形成されるものであってもよい。

[0021] 半導体チップ１の構成および材質は特に限定されるものではなく、従来から公知の種々の半導体チップを用いることができる。例えば、シリコンからなる半導体チップ１を用いてもよい。

[0022] また、本実施形態では、リードフレーム２上に半導体チップ１が１つだけ搭載されている構成について説明するが、半導体チップ１の数はこれに限るものではなく、複数の半導体チップ１を１つのリードフレーム２上に搭載してもよい。また、複数の半導体チップを搭載する場合、その配置方法は特に限定されるものではなく、例えば、（ｉ）複数の半導体チップをリードフレーム２上の互いに異なる領域に配置してもよく、（ｉｉ）複数の半導体チップをリードフレーム２上に積層（スタック）させてもよく、（ｉｉｉ）複数の半導体チップが積層されてなる半導体チップ群をリードフレーム２上の互いに異なる複数の領域に配置してもよい。また、各半導体チップを個別にリードフレーム２に電気的に接続してもよく、半導体チップ同士を電気的に接続してもよい。半導体チップとリードフレーム２との間、およびの半導体チップ同士の間を電気的に接続するための接続方法は特に限定されるものではなく、例えば、ワイヤボンディング等、従来から公知の方法を用いることが

できる。

[0023] また、本実施形態では、半導体チップ１がリードフレーム２の片面側（表面側）にのみ搭載されている構成について説明したが、これに限るものではなく、リードフレーム２の両面側に半導体チップ１が搭載されていてもよい。

[0024] 接着層３は、リードフレーム２に半導体チップ１を接着するためのものである。接着層３の材質および形状は、リードフレーム２と半導体チップ１との接着を適切に行える構成であれば特に限定されるものではなく、例えば、固体、液体、ペースト状、シート状等、どのような形態のものであってもよい。例えば、半田やＡｇ（銀）ペーストなどの公知の材料を用いてもよい。なお、半導体チップ１とリードフレーム２とが接着層３を介して互いに電気的に接続される構成としてもよく、その場合には接着層３として導電性を有する材料を用いればよい。半導体チップ１とリードフレーム２とを接着層３を介して導通させる必要がない場合には、接着層３として非導電性の材料を用いてもよい。また、本実施形態では、半導体チップ１をリードフレーム２上に接着させて搭載するものとしているが、半導体チップ１のリードフレーム２に対する取り付け方法は特に限定されるものではない。

[0025] ボンディングワイヤ４は、半導体チップ１とリードフレーム２とを電気的に接続する。なお、複数の半導体チップ１を搭載する場合には、ボンディングワイヤ４により半導体チップ１同士を電気的に接続してもよい。ボンディングワイヤ４の材質は導電性を有するものであれば特に限定されるものではなく、例えば金やアルミニウム等などの従来から公知の材料を用いることができる。なお、本実施形態では、半導体チップ１とリードフレーム２とをワイヤボンディング法により接続しているが、半導体チップ１とリードフレーム２との接続方法は特に限定されるものではなく、例えば、フリップチップボンド法などを用いてもよい。

[0026] 補強ワイヤ（補強部材）５ａは、一端側が半導体チップ１に取り付けられ、他端側がリードフレーム２のリード端子部２ｂの一部（封止部６によって

被覆される部分）に取り付けられた線状部材からなる。また、本実施形態では、アルミニウム製の補強ワイヤをボンディング法により半導体チップ１およびリードフレーム２（リード端子部２ｂ）に取り付けている。ただし、補強ワイヤ５ａの材質、形状、および個数は、半導体装置１００ａの製造工程において封止材を注入する際に、封止材の注入による圧力によりリードフレーム２に浮き（リードフレームの少なくとも一部が封止材注入前の基準位置に対して上方に変位する現象）あるいは反り（リードフレームの少なくとも一部が封止材注入前の基準位置に対して下方に変位する現象）等の変形が生じることを防止あるいは抑制できる程度の強度を付与できるものであれば特に限定されるものではない。例えば、剛性の高い材料からなる補強ワイヤ５ａを用いてもよく、補強ワイヤ５ａの径を太くすることによって剛性を高めてもよく、複数の補強ワイヤ５ａを設けることによって剛性を高めてもよい。また、補強部材として、ワイヤ以外の部材（例えば、板状部材、棒状部材、線状部材、あるいはそれらを組み合わせた部材など）を用いてもよい。

[0027] なお、補強ワイヤ５ａとしてボンディングワイヤ４と同様の材料（例えば金やアルミニウム等）を用いてもよく、その場合、ボンディングワイヤ４の取付工程と補強ワイヤ５ａの取付工程とを共通の工程で行うようにしてもよい。

[0028] また、補強ワイヤ５ａとして導電性を有する材質からなる部材を用い、補強ワイヤ５ａを半導体チップ１とリードフレーム２との間の信号伝達のための信号線として機能させてもよい。これにより、信号線と補強ワイヤ５ａとを別々に設ける場合に比べて、部材数を減らすとともに半導体装置１００ａの構成を簡略化することができ、コストダウンを図ることができる。

[0029] 封止部６は、半導体装置１００ａの主要部（リード端子部２ｂの一部を除く部分）を被覆しており、それによって上記主要部と外部との電気的絶縁性を付与している。また、封止部６は、上記主要部に含まれる部材（半導体チップ１、接着層３、本体部２ａ、接続部２ｃ、リード端子部２ｂの一部、ボンディングワイヤ４、補強ワイヤ５ａ）、およびそれら各部材の接続部を外

部から保護する機能も担っている。

[0030] なお、本実施形態では、トランスファーモールド法を用いて本体部２ａの両面を被覆する封止部６を形成することにより、フルモールドタイプの封止体構造を形成している。

[0031] 封止部６の材質は、トランスファーモールド法を利用可能な流動性と硬化性とを有し、かつ電気絶縁性を有するものであれば特に限定されるものではない。例えば、シリコン系樹脂、アクリル系樹脂、エポキシ系樹脂等の従来から公知の材料を用いることができる。

[0032] 図１は、封止部６の形成工程を示す説明図である。図１に示すように、封止部６の形成工程では、上金型１１と下金型１２との間に形成される封止材の充填空間１４内に半導体装置１００ａの主要部（封止部６によって被覆される部分）、すなわち、半導体チップ１、接着層３、本体部２ａ、接続部２ｃ、リード端子部２ｂの一部、ボンディングワイヤ４、および補強ワイヤ５ａを収容した状態で、上金型１１と下金型１２とでリードフレーム２のリード端子部２ｂを挟み込む。これにより、リードフレーム２は、上金型１１と下金型１２とに挟持されたリード端子部２ｂ側が固定端となり、本体部２ａ側が自由端となる片持ち状態で支持される。

[0033] その後、下金型１２に形成された封止材注入口１３から封止材を注入する注入工程を行う。

[0034] 封止材注入口１３から充填空間１４内に注入された封止材は、図１の矢印Ａ，Ｂに示すように、リードフレーム２（本体部２ａ）の表面側（半導体チップ１が搭載される側）および裏面側に分岐されて充填空間１４に充填されていく。この際、本実施形態では、補強ワイヤ５ａによってリードフレーム２を補強しているので、封止材の注入に伴う圧力によるリードフレーム２の変形（浮きあるいは反り）を防止できるようになっている。

[0035] 充填空間１４内の全域に封止材が充填されると、封止材を硬化させる硬化工程と、上金型１１および下金型１２を取り外す金型取外工程が行われ、封止部６の形成工程が完了する。これにより、図１に示したフルモールドパッ

ケージの半導体装置１００ａが完成する。なお、上記の硬化工程は、封止材の種類に応じて行えばよく、例えば、所定時間放置することによって硬化させる工程であってもよく、加熱あるいは冷却することによって硬化させる工程であってもよく、紫外線等の光を照射することにより硬化させる工程であってもよい。

[0036] 以上のように、本実施形態にかかる半導体装置１００ａは、一端側がリードフレーム２に取り付けられ、他端側が半導体チップ１に取り付けられた、リードフレーム２の変形を防止するための補強ワイヤ５ａを備えている。

[0037] これにより、封止部６の形成工程において封止材を金型内（充填空間１４内）に注入する際、封止材の注入による圧力がリードフレーム２に作用したとしても、リードフレーム２の変形を防止することができる。

[0038] また、固定ピン方式の従来技術のように、リードフレームにおける固定ピンに当接していた領域が封止材に被覆されずに露出するといった問題が生じない。また、可動ピン方式の従来技術のように、可動ピンを移動させるための機構を設ける必要がないので、製造装置のコストアップを招くことがない。したがって、絶縁性の高いフルモールドパッケージの半導体装置を容易かつ安価に製造することができる。また、リードフレーム２の変形を抑制することにより、封止部６の厚さ（リードフレーム２から封止部６の外表面までの距離）を一定にすることがきるので、半導体装置１００ａの放熱性を位置によらず均一に保つことができる。また、リードフレーム２の裏面側（半導体チップ２が搭載されない側）の封止部６の厚さを薄くかつ一定にすることができるので、半導体装置１００ａの放熱性を向上させることができる。

[0039] なお、本実施形態では、図１に示したように、封止材注入口１３が、半導体装置１００ａのヘッダ側（本体部２ａの先端側（リード端子部２ｂから遠い側））に設けており、かつ、リードフレーム２の裏面側（半導体チップ２が搭載されない側）に封止材を適切に充填するために、リードフレーム２の下方に設けられている。この場合、封止材の注入による圧力は、主にリードフレーム２の下方からリードフレーム２を押し上げる方向に作用するので、

リードフレーム２の浮き（リードフレーム２を上方に押し上げる方向への変形）が生じやすい。

[0040] しかしながら、本実施形態のように補強ワイヤ５ａを設けることにより、固定ピンあるいは可動ピンを用いることなく、リードフレーム２の変形（浮き）を防止あるいは抑制することができる。なお、補強ワイヤ５ａとして直径３００μｍ、本体部２ａの１／２倍程度の長さのアルミニウム製のワイヤを用いることにより、補強ワイヤ５ａを備えない構成に比べてリードフレーム２の変形量（浮き量）を１／５程度に減少させることができた。

[0041] また、本実施形態では、封止材注入口１３が、半導体装置１００ａのヘッダ側（本体部２ａの先端側（リード端子部２ｂから遠い側））、かつ、リードフレーム２の下方に設けられているが、これに限るものではなく、封止材注入口１３の位置は任意に設定してもよい。例えば、封止材注入口１３を半導体装置１００ａのリード端子部２ｂ側に設けてもよく、リードフレーム２の上方に設けてもよい。のまた、封止材注入口１３を複数個所に設けてもよい。

[0042] 〔実施形態２〕

本発明の他の実施形態について説明する。なお、説明の便宜上、実施形態１と同様の機能を有する部材については実施形態１と同じ符号を付し、その説明を省略する。

[0043] 図３は、本実施形態にかかる半導体装置１００ｂの断面図である。実施形態１に示した半導体装置１００ａと異なる点は、補強ワイヤ５ａに代えて補強ワイヤ５ｂを備えている点である。

[0044] 実施形態１では、一端側がリードフレーム２のリード端子部２ｂの一部に取り付けられ、他端側が半導体チップ１に取り付けられた補強ワイヤ５ａを用いていた。これに対して、本実施形態では、図３に示すように、一端側がリードフレーム２のリード端子部２ｂの一部（封止部６によって被覆される部分）に取り付けられ、他端側がリードフレーム２の本体部２ａにおける半導体チップ１が搭載されている領域よりも先端側（リード端子部２ｂから遠

い側）に取り付けられた補強ワイヤ５ｂを用いている。

[0045] これにより、本実施形態では、実施形態１と同様に封止材の注入によってリードフレーム２が変形することを防止できる。また、実施形態１のように半導体チップ１に補強ワイヤを取り付ける場合に比べて、半導体チップ１に負荷がかかることを防止できる。

[0046] また、本実施形態では、補強ワイヤ５ｂの他端側を本体部２ａにおける半導体チップ１が搭載されている領域よりも先端側に取り付けている。このように、補強ワイヤ５ｂの他端側をリード端子部２ｂから遠い位置に取り付けることにより、リードフレーム２の変形抑制効果を高めることができる。

[0047] ただし、本実施形態にこける補強ワイヤの取り付け位置はこれに限るものではない。例えば、図４に示す半導体装置１００ｃのように、補強ワイヤ５ｂに代えて、一端側がリードフレーム２のリード端子部２ｂの一部（封止部６によって被覆される部分）に取り付けられ、他端側がリードフレーム２の本体部２ａにおける半導体チップ１が搭載されている領域よりもリード端子部２ｂ側に取り付けられた補強ワイヤ５ｃを用いてもよい。

[0048] この場合、本体部２ａにおける半導体チップ１よりも先端側の領域に取り付けられた補強ワイヤ５ｂを用いる場合に比べて、補強ワイヤ５ｃが半導体チップ１やボンディングワイヤ４などの他のワイヤと干渉することを容易に避けることができる。

[0049] このように、補強ワイヤの取り付け位置は、半導体装置の構造や特性等に応じてより最適な位置を選択すればよい。

[0050] なお、上述した補強ワイヤ５ｂ，５ｃの両方を備えている構成としてもよい。また、補強ワイヤ５ｂおよび／または５ｃに加えて、実施形態１に示した補強ワイヤ５ａを備えている構成としてもよい。

[0051] 〔実施形態３〕

本発明のさらに他の実施形態について説明する。なお、説明の便宜上、上述した実施形態と同様の機能を有する部材については当該実施形態と同じ符号を付し、その説明を省略する。

[0052] 図５は、本実施形態にかかる半導体装置１００ｄの断面図である。実施形態２に示した半導体装置１００ｂ，１００ｃと異なる点は、補強ワイヤ５ｂ，５ｃに代えて補強ワイヤ５ｄを備えている点である。

[0053] 実施形態２では、一端側がリードフレーム２のリード端子部２ｂの一部に取り付けられ、他端側がリードフレーム２の本体部２ａにおける表面側（半導体チップ１が搭載されている側）に取り付けられた補強ワイヤ５ｂ，５ｃを用いていた。

[0054] これに対して、本実施形態では、図５に示したように、一端側がリードフレーム２のリード端子部２ｂの一部（封止部６によって被覆される部分）に取り付けられ、他端側がリードフレーム２の本体部２ａにおける裏面側（半導体チップ１が搭載されていない側）に取り付けられた補強ワイヤ５ｄを用いている。

[0055] これにより、本実施形態では、上述した各実施形態と同様、封止材の注入によってリードフレーム２が変形することを防止できる。

[0056] また、補強ワイヤ５ｄを本体部２ａの裏側（半導体チップ１が搭載されていない側）に取り付けることにより、補強ワイヤ５ｄが半導体チップ１やボンディングワイヤ４などの他の部材と干渉することを容易に避けることができる。

[0057] なお、図５に示した例では、半導体チップ１が本体部２ａの表面側にのみ搭載されているが、これに限るものではなく、例えば、表面側および裏面側の両方に半導体チップ１が搭載されていてもよい。また、本体部２ａの裏面側に半導体チップ１が搭載されている場合、補強ワイヤ５ｄの他端側の本体部２ａに対する取り付け位置は、半導体チップ１が取り付けられている領域よりも先端側（リード端子部２ｂから遠い側）であってもよく、リード端子部２ｂ側であってもよい。

[0058] また、補強ワイヤ５ｄに加えて、上述した補強ワイヤ５ａ，５ｂ，５ｃのうちのいずれか１つ以上を備えている構成としてもよい。

[0059] 〔実施形態４〕

本発明のさらに他の実施形態について説明する。なお、説明の便宜上、上述した実施形態と同様の機能を有する部材については当該実施形態と同じ符号を付し、その説明を省略する。

[0060] 図６は、本実施形態にかかる半導体装置１００ｅの断面図である。実施形態１に示した半導体装置１００ａと異なる点は、補強ワイヤ５ａに代えて、２本の補強ワイヤ５ｅ・５ｅを備えている点である。

[0061] 実施形態１では、一端側がリードフレーム２のリード端子部２ｂに取り付けられ、他端側が半導体チップ１に取り付けられた補強ワイヤ５ａを１本のみ用いていた。これに対して、本実施形態では、図６に示すように、一端側がリードフレーム２のリード端子部２ｂに取り付けられ、他端側が半導体チップ１に取り付けられた２本の補強ワイヤ５ｅ・５ｅを用いている。

[0062] これにより、補強ワイヤを１本のみ用いる場合に比べて、リードフレーム２の変形を抑制する効果を高めることができる。また、補強ワイヤ５ｅとして比較的細いワイヤを用いる場合であっても、２本の補強ワイヤ５ｅを用いることによってリードフレーム２の変形を抑制する効果を高めることができる。

[0063] なお、図６に示した例では、２本の補強ワイヤ５ｅ・５ｅを用いているが、補強ワイヤの本数はこれに限るものではなく、３本以上の補強ワイヤを用いてもよい。

[0064] また、図６に示した例では、各補強ワイヤ５ｅの他端側を半導体チップ１に取り付けているが、これに限らず、例えば、各補強ワイヤ５ｅの他端側を本体部２ａの表面側に取り付けてもよく、本体部２ａの裏面側に取り付けてもよい。

[0065] また、本実施形態では、半導体チップ１とリードフレーム２のリード端子部２ｂとに接続された補強ワイヤ５ｅを複数設ける構成について説明したが、これに限らず、補強ワイヤ５ｅに加えて、あるいは補強ワイヤ５ｅに代えて、１または複数本の補強ワイヤ５ｂ、１または複数本の補強ワイヤ５ｃ、および／または、１または複数本の補強ワイヤ５ｄを備える構成としてもよ

い。

[0066] 〔実施形態５〕

本発明のさらに他の実施形態について説明する。なお、説明の便宜上、上述した実施形態と同様の機能を有する部材については当該実施形態と同じ符号を付し、その説明を省略する。

[0067] 図７は、本実施形態にかかる半導体装置１００ｆの斜視図である。この図に示すように、半導体装置１００ｆは、３つのリード端子部２ｂ$_1$，２ｂ$_2$，２ｂ$_3$を備えている。そして、リード端子部２ｂ$_1$，２ｂ$_2$にはリードフレーム２と半導体チップ１とを電気的に接続するためのボンディングワイヤ４が接続されており、リード端子部２ｂ$_3$には補強ワイヤ５ｆの一端側が取り付けられている。すなわち、本実施形態では、補強ワイヤ５ｆの一端側が、この補強ワイヤ５ｆに専用のリード端子部２ｂ$_3$に取り付けられている。なお、補強ワイヤ５ｆの他端側は半導体チップ１に取り付けられている。

[0068] このように、補強ワイヤ５ｆの一端側を専用のリード端子部２ｂ$_3$に接続する構成にすることにより、補強ワイヤ５ｆがボンディングワイヤ４等の他のワイヤと競合することを防止し、リードフレーム２の変形抑制効果（フレームフラット保持力）をより高めることができる。

[0069] なお、図７の例では、補強ワイヤ５ｆの他端側を半導体チップ１に取り付けているが、これに限るものではなく、例えば、リードフレーム２の本体部２ａの表面あるいは裏面に取り付けてもよい。また、リード端子部２ｂ$_3$に複数本の補強ワイヤを取り付けるようにしてもよい。

[0070] また、本実施形態と上述したいずれかの実施形態とを組み合わせ、補強ワイヤ５ｆに加えて、補強ワイヤ５ａ～５ｅのうちのいずれか１つ以上を備える構成としてもよい。

[0071] 〔まとめ〕

本発明の態様１にかかる半導体装置は、板状の本体部と上記本体部の一端側に接続されたリード端子部とを有するリードフレームと、上記本体部に搭載され、上記リードフレームに電気的に接続された半導体チップと、上記本

体部と上記半導体チップと上記リード端子部の一部とを電気絶縁性を有する材料で被覆した封止部とを備えた半導体装置であって、一端側が上記リード端子部の上記一部に取り付けられ、他端側が上記本体部または上記本体部に搭載された部材に取り付けられた、上記リードフレームを補強する補強部材を備えていることを特徴としている。

[0072] 上記の構成によれば、補強部材を設けることにより、封止材の注入によってリードフレームの浮きあるいは反りが生じることを抑制できるので、リードフレーム上に形成される封止部の厚さを一定にすることができ、絶縁性の高い半導体装置を実現できる。また、従来の固定ピン方式におけるリードフレームにおける固定ピンに当接していた領域が封止材に被覆されずに露出してしまうという問題が生じることを防止できる。また、従来の可動ピン方式のように、可動ピンを移動させるための機構を設ける必要がないので、製造装置のコストアップを伴うことがない。したがって、絶縁性の高い半導体装置を容易かつ安価に実現することができる。また、リードフレーム上に形成される封止部の厚さを均一にすることができるので、リードフレームから封止部の外部への放熱性を向上させることができる。

[0073] 本発明の態様２にかかる半導体装置は、上記態様１において、上記補強部材は、上記他端側が上記半導体チップに取り付けられている構成である。

[0074] 上記の各構成によれば、絶縁性の高い半導体装置を容易かつ安価に実現することができる。

[0075] 本発明の態様３にかかる半導体装置は、上記態様２において、上記補強部材は、導電性を有する材質からなり、上記半導体チップと上記リードフレームとの間の信号伝達のための信号線として機能する構成である。

[0076] 上記の構成によれば、信号線と補強部材とを別々に設ける場合に比べて、部材数を減らすとともに半導体装置の構成を簡略化することができ、コストダウンを図ることができる。

[0077] 本発明の態様４にかかる半導体装置は、上記態様１において、上記半導体チップは、上記本体部の一方の面に搭載されており、上記補強部材は、上記

本体部における上記一方の面に取り付けられている構成である。

[0078] 上記の各構成によれば、絶縁性の高い半導体装置を容易かつ安価に実現することができる。また、補強部材の他端側を半導体チップに取り付ける場合に比べて、半導体チップに負荷がかかることを防止できる。

[0079] 本発明の態様５にかかる半導体装置は、上記態様１において、上記半導体チップは、上記本体部の一方の面に搭載されており、上記補強部材は、上記本体部の他方の面に取り付けられている構成である。

[0080] 上記の各構成によれば、絶縁性の高い半導体装置を容易かつ安価に実現することができる。また、補強部材の他端側を半導体チップに取り付ける場合に比べて、半導体チップに負荷がかかることを防止できる。また、補強部材が、半導体チップとリードフレームとを接続するボンディングワイヤ等と干渉することを防止できる。

[0081] 本発明の態様６にかかる半導体装置は、上記態様１～４のいずれかにおいて、上記補強部材は、複数本のワイヤ部材からなる構成である。

[0082] 上記の構成によれば、複数のワイヤ部材を補強部材として用いることにより、リードフレームの浮きあるいは反り等を抑制する効果を高めることができる。

[0083] 本発明の態様７にかかる半導体装置は、上記態様１～４のいずれかにおいて、複数の上記リード端子部を備えており、上記補強部材は、複数の上記リード端子部のうち上記封止部に被覆されて当該封止部の外部と電気的に絶縁されたダミー端子部に取り付けられている構成である。

[0084] 上記の構成によれば、補強部材が半導体チップとリードフレームとを接続するボンディングワイヤ等と干渉することを防止できる。

[0085] 本発明の一態様にかかる半導体装置の製造方法は、板状の本体部と上記本体部の一端側に接続されたリード端子部とを有するリードフレームと、上記本体部に搭載され、上記リードフレームに電気的に接続された半導体チップと、上記本体部と上記半導体チップと上記リード端子部の一部とを電気絶縁性を有する材料で被覆した封止部とを備えた半導体装置の製造方法であって

、上記リードフレームを補強する補強部材の一端側を上記リード端子部の上記一部に取り付け、他端側を上記本体部または上記本体部に搭載された部材に取り付ける補強工程と、上記本体部、上記半導体チップ、上記リード端子部の一部、および上記補強部材を金型内の上記封止部を形成するための封止材が充填される充填空間に配置する配置工程と、上記充填空間に上記封止材を注入する注入工程とを含むことを特徴としている。

[0086] 上記の方法によれば、補強部材を設けることにより、封止材の注入によってリードフレームの浮きあるいは反り等が生じることを抑制できるので、リードフレーム上に形成される封止部の厚さを一定にすることができ、絶縁性の高い半導体装置を実現できる。また、従来の固定ピン方式におけるリードフレームにおける固定ピンに当接していた領域が封止材に被覆されずに露出してしまうという問題が生じることを防止できる。また、従来の可動ピン方式のように、可動ピンを移動させるための機構を設ける必要がないので、製造装置のコストアップを伴うことがない。したがって、絶縁性の高い半導体装置を容易かつ安価に実現することができる。また、リードフレーム上に形成される封止部の厚さを均一にすることができるので、リードフレームから封止部の外部への放熱性を向上させることができる。

[0087] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。さらに、各実施形態にそれぞれ開示された技術的手段を組み合わせることにより、新しい技術的特徴を形成することができる。

産業上の利用可能性

[0088] 本発明は、リードフレームを備えたフルモールドパッケージの半導体装置およびその製造方法に適用できる。

符号の説明

[0089] 1 半導体チップ

2 リードフレーム

２ａ　本体部

２ｂ，２ｂ$_1$，２ｂ$_2$　リード端子部

２ｂ$_3$　リード端子部（ダミー端子部）

２ｃ　接続部

３　接着層

４　ボンディングワイヤ

５ａ～５ｆ　補強ワイヤ

６　封止部

１１　上金型

１２　下金型

１３　封止材注入口

１４　充填空間

１００ａ～１００ｆ　半導体装置

請求の範囲

[請求項1] 板状の本体部と上記本体部の一端側に接続されたリード端子部とを有するリードフレームと、

上記本体部に搭載され、上記リードフレームに電気的に接続された半導体チップと、

上記本体部と上記半導体チップと上記リード端子部の一部とを電気絶縁性を有する材料で被覆した封止部とを備えた半導体装置であって、

一端側が上記リード端子部の上記一部に取り付けられ、他端側が上記本体部または上記本体部に搭載された部材に取り付けられた、上記リードフレームを補強する補強部材を備えていることを特徴とする半導体装置。

[請求項2] 上記補強部材は、上記他端側が上記半導体チップに取り付けられていることを特徴とする請求項１に記載の半導体装置。

[請求項3] 上記補強部材は、導電性を有する材質からなり、上記半導体チップと上記リードフレームとの間の信号伝達のための信号線として機能することを特徴とする請求項２に記載の半導体装置。

[請求項4] 上記半導体チップは、上記本体部の一方の面に搭載されており、

上記補強部材は、上記本体部における上記一方の面に取り付けられていることを特徴とする請求項１から３のいずれか１項に記載の半導体装置。

[請求項5] 上記半導体チップは、上記本体部の一方の面に搭載されており、

上記補強部材は、上記本体部の他方の面に取り付けられていることを特徴とする請求項１から３のいずれか１項に記載の半導体装置。

[請求項6] 板状の本体部と上記本体部の一端側に接続されたリード端子部とを有するリードフレームと、上記本体部に搭載され、上記リードフレームに電気的に接続された半導体チップと、上記本体部と上記半導体チップと上記リード端子部の一部とを電気絶縁性を有する材料で被覆し

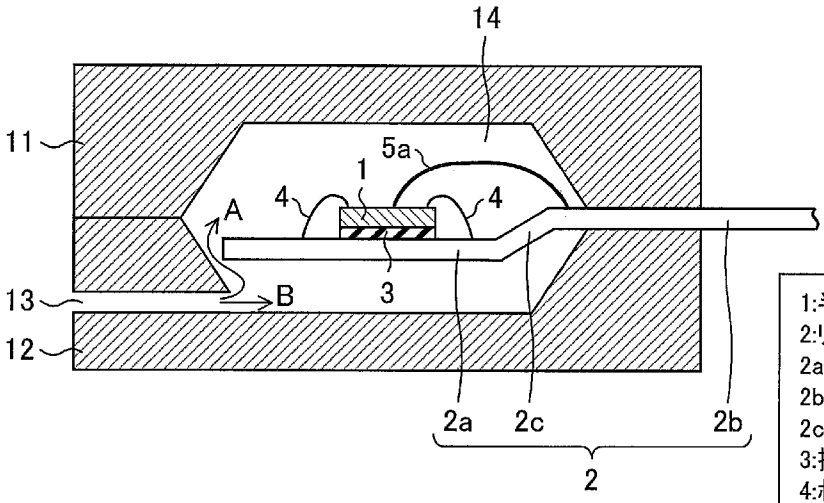
た封止部とを備えた半導体装置の製造方法であって、

上記リードフレームを補強する補強部材の一端側を上記リード端子部の上記一部に取り付け、他端側を上記本体部または上記本体部に搭載された部材に取り付ける補強工程と、

上記本体部、上記半導体チップ、上記リード端子部の一部、および上記補強部材を金型内の上記封止部を形成するための封止材が充填される充填空間に配置する配置工程と、

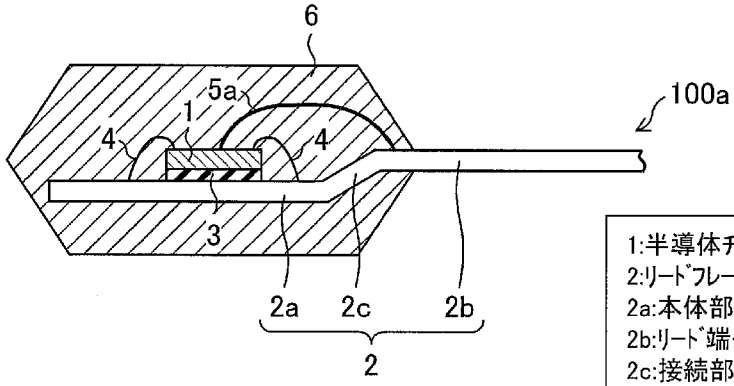
上記充填空間に上記封止材を注入する注入工程とを含むことを特徴とする半導体装置の製造方法。

[図1]



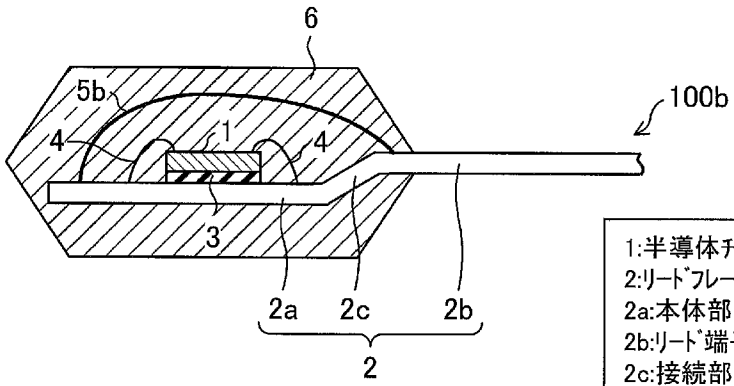
1:半導体チップ
2:リードフレーム
2a:本体部
2b:リード端子部
2c:接続部
3:接着層
4:ボンディングワイヤ
5a:補強ワイヤ
11:上金型
12:下金型
13:封止材注入口
14:充填空間

[図2]



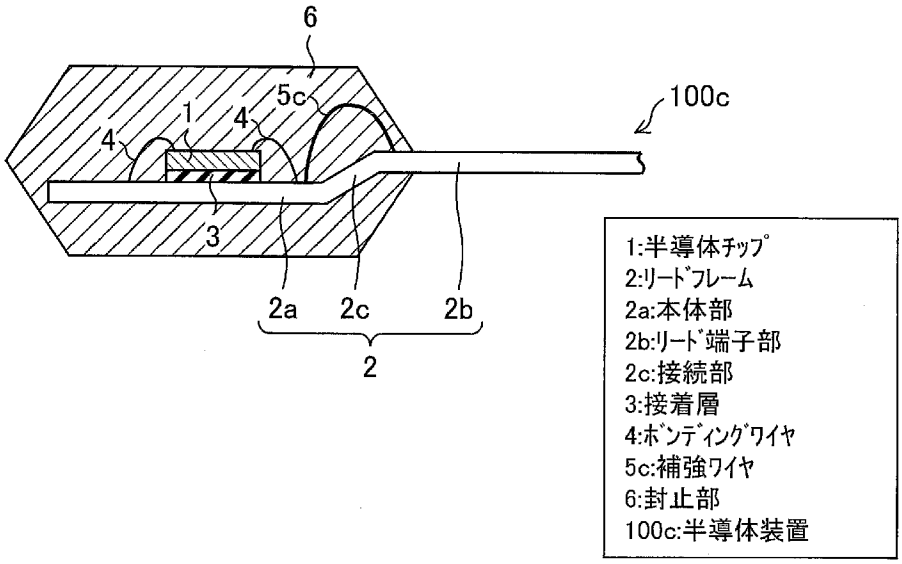
1:半導体チップ
2:リードフレーム
2a:本体部
2b:リード端子部
2c:接続部
3:接着層
4:ボンディングワイヤ
5a:補強ワイヤ
6:封止部
100a:半導体装置

[図3]

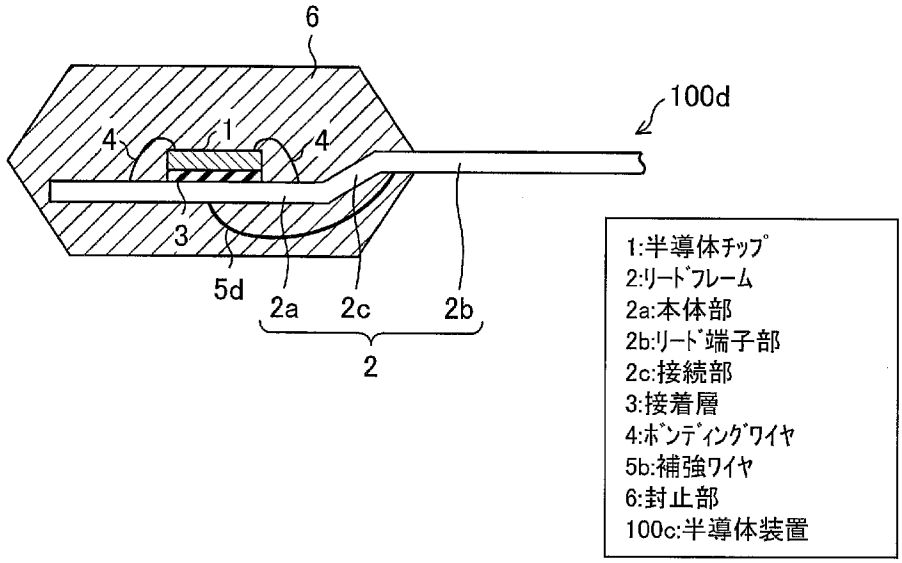


1:半導体チップ
2:リードフレーム
2a:本体部
2b:リード端子部
2c:接続部
3:接着層
4:ボンディングワイヤ
5b:補強ワイヤ
6:封止部
100c:半導体装置

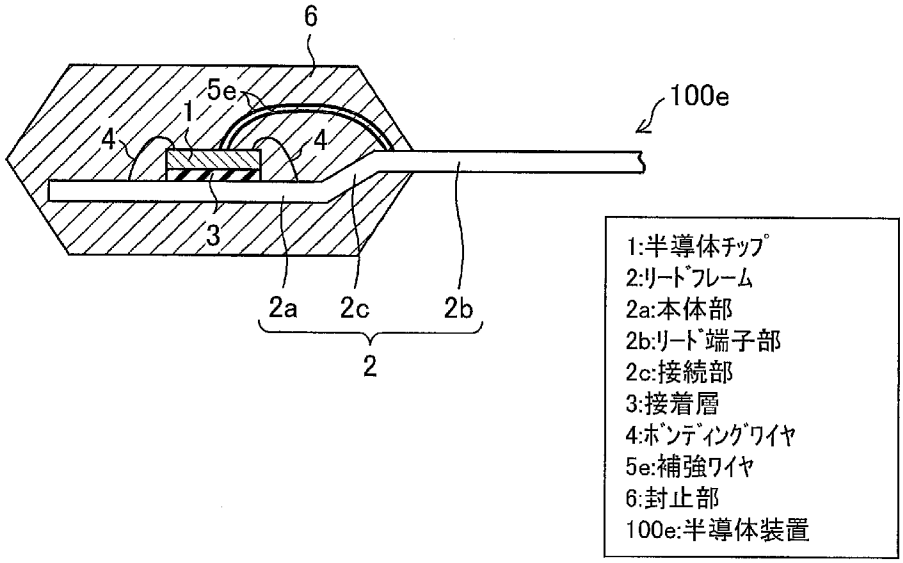
[図4]


6
5c
1
4
4
100c
3
2a
2c
2b
2
1:半導体チップ
2:リードフレーム
2a:本体部
2b:リード端子部
2c:接続部
3:接着層
4:ボンディングワイヤ
5c:補強ワイヤ
6:封止部
100c:半導体装置

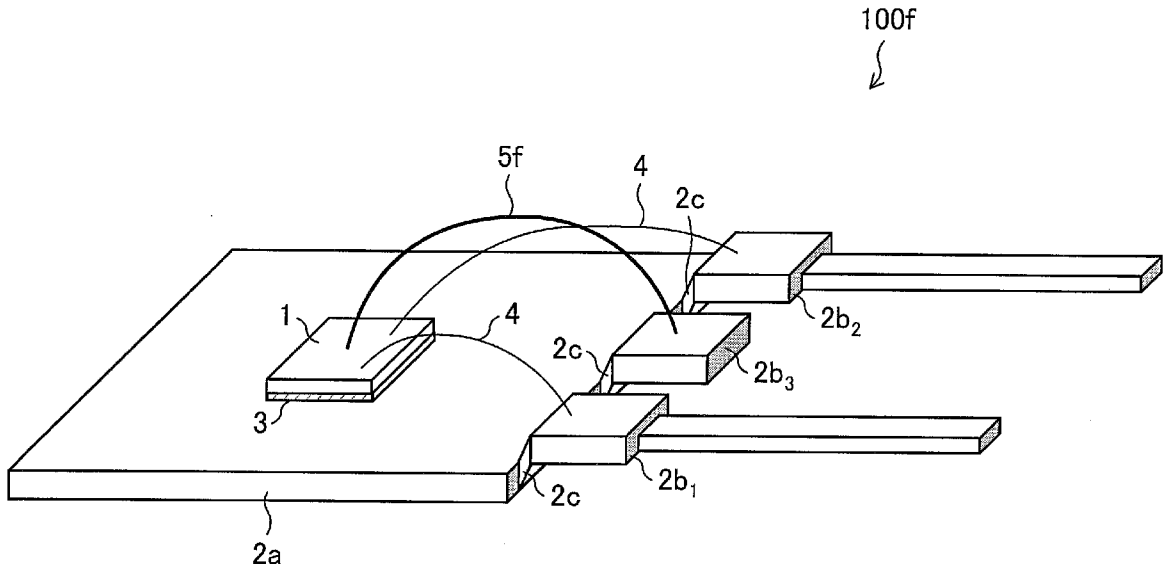
[図5]


6
100d
4
1
4
3
5d
2a
2c
2b
2
1:半導体チップ
2:リードフレーム
2a:本体部
2b:リード端子部
2c:接続部
3:接着層
4:ボンディングワイヤ
5b:補強ワイヤ
6:封止部
100c:半導体装置

[図6]


6
5e
1
100e
4
4
3
2a
2c
2b
2
1:半導体チップ
2:リードフレーム
2a:本体部
2b:リード端子部
2c:接続部
3:接着層
4:ボンディングワイヤ
5e:補強ワイヤ
6:封止部
100e:半導体装置

[図7]



1:半導体ﾁｯﾌﾟ
2a:本体部
$2b_1$,$2b_2$,$2b_3$:ﾘｰﾄﾞ端子部
2c:接続部
3:接着層
4:ﾎﾞﾝﾃﾞｨﾝｸﾞﾜｲﾔ
5f:補強ﾜｲﾔ
100f:半導体装置

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/052876

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/60(2006.01)i, *H01L21/56*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/60, H01L21/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2014
Kokai Jitsuyo Shinan Koho 1971-2014 Toroku Jitsuyo Shinan Koho 1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2001-68586 A (Fujitsu Ltd.), 16 March 2001 (16.03.2001), fig. 13, 14; paragraphs [0067] to [0078] & US 6373140 B1 & TW 473883 B & KR 10-2001-0020672 A	1-4,6 5
A	JP 2010-40613 A (Nichia Chemical Industries, Ltd.), 18 February 2010 (18.02.2010), fig. 5, 6; paragraphs [0037] to [0051] (Family: none)	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
06 March, 2014 (06.03.14)	18 March, 2014 (18.03.14)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１４／０５２８７６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/60(2006.01)i, H01L21/56(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/60, H01L21/56

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１４年
日本国実用新案登録公報	１９９６－２０１４年
日本国登録実用新案公報	１９９４－２０１４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X A	JP 2001-68586 A（富士通株式会社）2001.03.16, 第１３，１４図、【００６７】－【００７８】 & US 6373140 B1 & TW 473883 B & KR 10-2001-0020672 A	１－４，６ ５
A	JP 2010-40613 A（日亜化学工業株式会社）2010.02.18, 第５，６図、【００３７】－【００５１】（ファミリーなし）	１－６

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０６．０３．２０１４	１８．０３．２０１４

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｏ　９１７０
大嶋　洋一
電話番号　０３－３５８１－１１０１　内線　３５５９