



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201804538 A

(43) 公開日：中華民國 107 (2018) 年 02 月 01 日

(21) 申請案號：106134572

(22) 申請日：中華民國 99 (2010) 年 06 月 29 日

(51) Int. Cl. : H01L21/336 (2006.01)

H01L21/324 (2006.01)

(30) 優先權：2009/06/30 日本

2009-156422

(71) 申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72) 發明人：佐佐木俊成 SASAKI, TOSHINARI (JP)；坂田淳一郎 SAKATA, JUNICHIRO (JP)；
大原宏樹 OHARA, HIROKI (JP)；山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74) 代理人：林志剛

申請實體審查：有 申請專利範圍項數：12 項 圖式數：38 共 151 頁

(54) 名稱

半導體裝置的製造方法

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

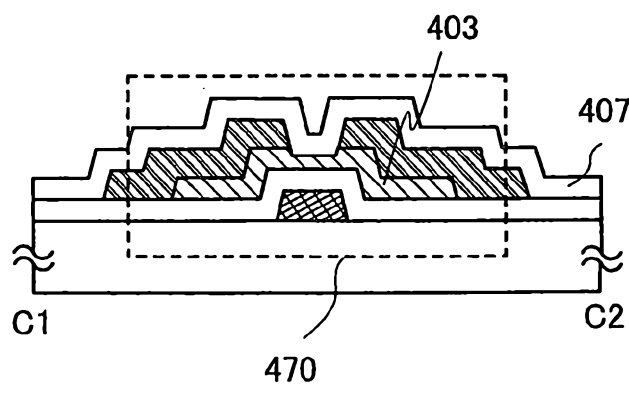
(57) 摘要

本發明的目的在於製造包含具有穩定電性特徵之薄膜電晶體的高度可靠之半導體裝置。在包含其中使用氧化物半導體膜於包含通道形成區之半導體層的薄膜電晶體之半導體裝置的製造方法中，熱處理(用於脫水或脫氫)被執行以改善氧化物半導體膜的純度，及降低包含水分或其類似物之雜質。然後，在氧氛圍之下執行緩慢冷卻。除了包含存在於氧化物半導體膜中之水分或其類似物的雜質之外，熱處理致使包含存在於閘極絕緣層中之水分或其類似物的雜質，以及包含存在於氧化物半導體膜與設置在該氧化物半導體膜之上面及下面且與其接觸的膜之間的介面中之該等水分或其類似物的雜質降低。

An object is to manufacture a highly reliable semiconductor device including a thin film transistor with stable electric characteristics. In a method for manufacturing a semiconductor device including a thin film transistor in which an oxide semiconductor film is used for a semiconductor layer including a channel formation region, heat treatment (for dehydration or dehydrogenation) is performed to improve the purity of the oxide semiconductor film and reduce impurities including moisture or the like. After that, slow cooling is performed under an oxygen atmosphere. Besides impurities including moisture or the like existing in the oxide semiconductor film, heat treatment causes reduction of impurities including moisture or the like existing in a gate insulating layer and those in interfaces between the oxide semiconductor film and films which are provided over and below the oxide semiconductor and in contact therewith.

指定代表圖：

第 1D 圖



- 符號簡單說明：
- 403 . . . 氧化物半導體層
 - 407 . . . 氧化物絕緣膜
 - 470 . . . 薄膜電晶體

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置的製造方法

Method for manufacturing semiconductor device

【技術領域】

本發明有關包含氧化物半導體的半導體裝置及其製造方法。

在此說明書中，半導體裝置通常意指可藉由使用半導體特徵而作用的裝置，且電光裝置、半導體電路、及電子設備均係半導體裝置。

【先前技術】

近年來，藉由使用形成於具有絕緣表面之基板上的半導體薄膜（具有大約數奈米至數百奈米之厚度）而形成薄膜電晶體（TFT）的技術已引起注意，薄膜電晶體被應用至諸如 IC 或電光裝置之寬廣範圍的電子裝置；且尤其，將被使用做為影像顯示裝置中的開關元件之薄膜電晶體的推廣發展正被推動著。為金屬氧化物之實例的氧化銦被使用於液晶顯示器或其類似物中所需之透明電極的材料。

某些金屬氧化物具有半導體特徵。具有半導體特徵之該等金屬氧化物的實例係氧化鎢，氧化錫，氧化銦，氧化鋅，及其類似物。其中通道形成區係使用具有半導體特徵

之該等金屬氧化物而形成的薄膜電晶體係已知的（專利文獻 1 至 4 及非專利文獻 1）。

進一步地，不僅單一成分的氧化物，而且多重成分的氧化物係熟知為金屬氧化物。例如，同系化合物之 $\text{InGaO}_3(\text{ZnO})_m$ （ m 係自然數）係熟知為包含 In、Ga、及 Zn 之多重成分的氧化物（亦稱為 In-Ga-Zn 基的氧化物）（非專利文獻 2 至 4）。

再者，確定的是，包含該 In-Ga-Zn 基的氧化物之氧化物半導體可施加至薄膜電晶體的通道層（專利文獻 5，非專利文獻 5 及 6）。

〔參考文件〕

〔專利文獻〕

〔專利文獻 1〕日本公開專利申請案第 S60-198861 號

〔專利文獻 2〕日本公開專利申請案第 H8-264794 號

〔專利文獻 3〕PCT 國際申請案第 H11-505377 號之日文翻譯本

〔專利文獻 4〕日本公開專利申請案第 2000-150900 號

〔專利文獻 5〕日本公開專利申請案第 2004-103957 號

〔非專利文獻〕

〔非專利文獻 1〕M. W. Prins, K.O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, 及 R. M. Wolf, “鐵電透明薄膜電晶體”, *Appl. Phys. Lett.*,

1996 年 6 月 17 日，第 68 冊，第 3650 至 3652 頁

〔非專利文獻 2〕M. Nakamura, N. Kimizuka, 及 T. Mohri, “在 1350°C 之 $\text{In}_2\text{O}_3\text{-Ga}_2\text{ZnO}_4\text{-ZnO}$ 系統中的相關係”, *J. Solid State Chem.*, 1991 年，第 93 冊，第 298 至 315 頁

〔非專利文獻 3〕N. Kimizuka, M. Isobe, 及 M. Nakamura, “在 $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$ 系統中之同系化合物 $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3, 4$, 及 5) , $\text{InGaO}_3(\text{ZnO})_3$, 及 $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7, 8, 9$, 及 16) 的合成及單晶資料”, *J. Solid State Chem.*, 1995 年，第 116 冊，第 170 至 178 頁

〔非專利文獻 4〕M. Nakamura, N. Kimizuka, T. Mohri, 及 M. Isobe, “新同系化合物銦鐵鋅氧化物 ($\text{InFeO}_3(\text{ZnO})_m$) (m : 自然數) 及相關化合物的合成及晶體結構”, *KOTAI BUTSURI* (固態物理), 1993 年，第 28 冊，第 5 號，第 317 至 327 頁

〔非專利文獻 5〕K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, 及 H. Hosono, “在單晶透明氧化物半導體中所製造的薄膜電晶體”, *SCIENCE*, 2003 年，第 300 冊，第 1269 至 1272 頁

〔非專利文獻 6〕K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, 及 H. Hosono, “使用非晶氧化物半導體之透明撓性薄膜電晶體的室溫製造”, *NATURE*, 2004 年，第 432 冊，第 488 至 492 頁

【發明內容】

目的在於製造包含具有穩定電性特徵的薄膜電晶體之高度可靠的半導體裝置。

在包含薄膜電晶體，其中氧化物半導體膜係使用於包含通道形成區之半導體層的半導體裝置之製造方法中，熱處理（其係使用於脫水或脫氫）被執行以便改善氧化物半導體膜的純度及降低包含水分或其類似物的雜質。除了包含存在於氧化物半導體膜中之水分或其類似物的雜質之外，熱處理致使包含存在於閘極絕緣層 402 中之水分或其類似物的雜質，及包含存在於氧化物半導體膜與設置在該氧化物半導體膜的上面及下面且與其接觸的膜之間的介面中之該等水分或其類似物的雜質降低。

爲了要降低包含水分或其類似物的雜質，在氧化物半導體膜的 formed 之後，熱處理係執行於包含氮或諸如氬或氦之稀有氣體的惰性氣體氛圍中或在降低壓力之下，於 200℃ 或更高，較佳地，400℃ 至 600℃，包含 400℃ 及 600℃ 處，而所形成的氧化物半導體膜係暴露於此條件之中。結果，可降低包含於氧化物半導體膜中之包含水分或其類似物的雜質。在該熱處理之後，緩慢的冷卻係執行於氧氛圍中，直至等於或高於室溫且低於 100℃ 之溫度。

其中所包含之包含水分或其類似物的雜質係藉由執行於包含氮、氬、或其類似物的惰性氣體之下或在降低壓力之下的熱處理而降低，且被交付至氧氛圍中緩慢冷卻之氧

化物半導體膜的使用允許包含該氧化物半導體膜的薄膜電晶體之電性特徵的改善，以及高性能的薄膜電晶體之大量生產的增強。

除非另有指明，否則將溫變率施加至氮氛圍中的複數個取樣。該複數個取樣係以熱脫附光譜術（TDS）設備測量。測量結果係顯示於第 5 圖，第 6 圖，及第 7 圖中。

熱脫附光譜術設備係使用以藉由四極柱式質量分析儀而偵測及識別自該等取樣所排放或產生的氣體成分；因此，可觀察由該等取樣的表面及內部所排放的氣體及分子。當在高度真空中加熱該等取樣且溫度上升的同時，來自該等取樣之氣體的排放或產生會發生。藉由使用由 ESCO 公司所製造之熱脫附光譜儀（產品名稱：EMD-WA1000S），測量係在其中上升溫度約為 10°C /分鐘，SEM 電壓設定為 1500 伏，駐留時間為 0.2 秒，以及將被使用的通道數目係 23 的條件之下執行。此外，在測量的期間，壓力係在大約 1×10^{-7} 巴的真空度。注意的是， H_2O 的游離係數，破碎係數，穿通係數，及泵排量分別為 1.0，0.805，1.56，及 1.0。

第 5 圖係顯示僅包含玻璃基板的取樣（比較實例）與其中具有 50 奈米厚度之 In-Ga-Zn-O 基非單晶膜係形成於玻璃基板上的取樣（取樣 1）之間的 TDS 比較結果之圖形。第 5 圖顯示藉由測量 H_2O 所獲得的結果。來自 In-Ga-Zn-O 基非單晶膜之諸如水分（ H_2O ）的雜質之排放可由 300°C 附近之峰值所確定。

第 6 圖係顯示取樣的比較之圖形，其顯示 H_2O 之 TDS 測量結果。比較係在以下的取樣之上執行：其中具有 50 奈米厚度之 In-Ga-Zn-O 基非單晶膜係形成於玻璃基板上的取樣（取樣 1）；其中取樣 1 之結構係在大氣氛圍下接受 350°C 之熱處理 1 小時的取樣（取樣 2）；以及其中取樣 1 之結構係在氮氛圍下接受 350°C 之熱處理 1 小時的取樣（取樣 3）。從第 6 圖中所示之結果可知，在取樣 3 之 300°C 附近的峰值強度係比取樣 2 之 300°C 附近的峰值強度更低。因而，可確定由於在氮氛圍下所執行之熱處理的水分（ H_2O ）及其類似物的排放。此外，可發現的是，在氮氛圍下所執行的熱處理會比在大氣氛圍下所執行的熱處理降低更多之諸如水分（ H_2O ）的雜質。

第 7 圖係顯示取樣中之 H_2O 的 TDS 測量結果之圖形。個別取樣係形成如下：其中具有 50 奈米厚度之 In-Ga-Zn-O 基非單晶膜係形成於玻璃基板上的取樣（取樣 1）；其中取樣 1 之結構係在氮氛圍下接受 250°C 之熱處理 1 小時的取樣（取樣 4）；其中取樣 1 之結構係在氮氛圍下接受 350°C 之熱處理 1 小時的取樣（取樣 3）；其中取樣 1 之結構係在氮氛圍下接受 450°C 之熱處理 1 小時的取樣（取樣 5）；以及其中取樣 1 之結構係在氮氛圍下接受 350°C 之熱處理 10 小時的取樣（取樣 6）。從第 7 圖中所示之結果可知，所發現的是，在氮氛圍下之熱溫度愈高，則自 In-Ga-Zn-O 基非單晶膜所排放之諸如水分（ H_2O ）的雜質數量會變得愈小。

此外，從第 6 圖及第 7 圖的圖形可知的是，二峰值可被確定：在 200 °C 至 250 °C 之附近，指示諸如水分 (H_2O) 之雜質的排放之第一峰值；以及在 300 °C 或更高處，指示諸如水分 (H_2O) 之雜質的排放之第二峰值。

注意的是，在其中將已在氮氛圍下接受 450 °C 之熱處理的取樣留在大氣氛圍中之室溫甚至約一週的情況中，並未觀察到在 200 °C 或更高處之水分的排放。因而，可發現到，藉由熱處理，In-Ga-Zn-O 基非單晶膜會變得穩定。

進一步地，第 4 圖顯示載子濃度的測量結果。在氮氛圍中之熱溫度的條件係設定為 150 °C，175 °C，200 °C，225 °C，250 °C，275 °C，300 °C，325 °C，350 °C，375 °C，400 °C，425 °C，及 450 °C，且在各個溫度處之載子濃度被測量。

從第 4 圖、第 5 圖、第 6 圖、及第 7 圖之結果可知的是，發現到在 TDS 測量中之 250 °C 或更高處，具有關係於來自 In-Ga-Zn-O 基非單晶膜之諸如水分 (H_2O) 的雜質之排放與載子濃度中的改變之間。當諸如水分 (H_2O) 的雜質係自 In-Ga-Zn-O 基非單晶膜排放時，載子濃度會增加。

此外，除了 H_2O 之外，H、O、OH、 H_2 、 O_2 、N、 N_2 、及 Ar 係各自地藉由 TDS 而測量。測量顯示出可觀察到 H_2O 、H、O、及 OH 的有效峰值，但並未觀察到 H_2 、 O_2 、N、 N_2 、及 Ar 的峰值。做為上述測量的實例，係使用其中具有 50 奈米厚度的 In-Ga-Zn-O 基非單晶膜係形成

於玻璃基板上之結構。熱處理的條件係設定如下：在氮氛圍中之 250°C 熱處理 1 小時；在氮氛圍中之 350°C 熱處理 1 小時；在氮氛圍中之 350°C 熱處理 10 小時；在大氣氛圍中之 350°C 熱處理 1 小時；以及在大氣氛圍中之 450°C 熱處理 1 小時。做為比較實例，係測量其中並未執行熱處理於 In-Ga-Zn-O 基非單晶膜上的結構，及僅包含玻璃基板之結構。

依據上述之結果，所發現的是，藉由施加 In-Ga-Zn-O 基非單晶膜熱處理，水分會被主要地排放。換言之，熱處理主要地致使來自 In-Ga-Zn-O 基非單晶膜之水分 (H_2O) 的排放，以及水分子之分解致使 H、O、OH、或其類似物的排放。注意的是，被視為係包含於 In-Ga-Zn-O 基非單晶膜中之氫及 OH 係藉由熱處理而被一起排放。

在此說明書中，於包含氮或諸如氫或氦之惰性氣體的惰性氣體氛圍之下或在降低壓力之下所執行的熱處理係稱為用於脫水或脫氫之熱處理。在此說明書中，“脫氫”並非表示藉由熱處理之僅 H_2 的排除。為便利之緣故，H、OH、及其類似物的排除稱為“脫水或脫氫”。

包含於氧化物半導體層中之雜質 (H_2O ，H，OH，或其類似物) 係藉由執行於惰性氣體中的熱處理而降低，以及載子濃度係藉由該熱處理而增加，且然後，緩慢冷卻被執行。在該緩慢冷卻之後，在氧化物半導體層中的載子濃度係藉由與氧化物半導體層或其類似物接觸的氧化物絕緣膜之形成而降低，此引起可靠度的改善。

藉由在氮氛圍之下所執行的熱處理，氧化物半導體層的電阻會降低（載子濃度係較佳地增加至 $1 \times 10^{18}/\text{cm}^3$ 或更高），以致可獲得低電阻的氧化物半導體層。之後，若氧化物絕緣膜係形成為與低電阻的氧化物半導體層接觸時，則在該低電阻的氧化物半導體層之中，與氧化物絕緣膜接觸之至少一區域的電阻會增加（載子濃度係較佳地降低至低於 $1 \times 10^{18}/\text{cm}^3$ ）。因此，可獲得高電阻的氧化物半導體區。在半導體裝置的製造處理期間，藉由在惰性氣體氛圍中（或在降低壓力下）之加熱、在氧氛圍中之緩慢冷卻、氧化物絕緣膜之形成，及其類似者的施加，以增加及降低氧化物半導體層中的載子濃度係重要的。換言之，用於脫水或脫氫的熱處理係執行於氧化物半導體層之上，而導致氧化物半導體層變成氧欠缺型且轉換成為 n 型（諸如 n^- 或 n^+ 型）氧化物半導體層。然後，藉由氧化物絕緣膜的形成，氧化物半導體層係在氧過剩的狀態中，且形成 i 型氧化物半導體層。當形成氧化物絕緣膜於 In-Ga-Zn-O 基非單晶膜之上時，氧化物絕緣膜的載子濃度為 $1 \times 10^{14}/\text{cm}^3$ 或更低，其係由第 4 圖中的點線 10 所指示。在此方式中，可提供包含具有高度電性特徵及高度可靠性之薄膜電晶體的半導體裝置。

注意的是，做為將與低電阻氧化物半導體層接觸而形成的氧化物絕緣膜，係使用可阻隔諸如水分、氫離子、及 OH^- 之雜質的無機絕緣膜。特定地，係使用氧化矽膜或氧化氮化矽膜。

此外，在將用作保護膜的氧化物絕緣膜形成為在低電阻氧化物半導體層上，且與之接觸之後，可執行第二熱處理。在其中第二熱處理係執行於形成用作保護膜的氧化物絕緣膜於氧化物半導體層上且與之接觸之後的情況中，可降低薄膜電晶體的電性特徵中的變化。

包含於氧化物半導體層之中的水分可包含諸如水分 (H_2O)， M-OH 、 M-H 、及其類似物以及氫之各式各樣的形式 (M 表示金屬原子)。為絕對數量之氫濃度的平均值或峰值係 $3 \times 10^{20}/\text{cm}^{-3}$ 或更低，較佳地， $1 \times 10^{20}/\text{cm}^{-3}$ 或更低。

此濃度範圍可藉由二次離子質譜測定法 (SIMS) 或根據 SIMS 的資料而測量。

具有上述結構，可取得上文所界定目標的其中至少一者。

例如，在此說明書中所使用的氧化物半導體係具有由 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 所表示之組成的薄膜，且所製造的是使用該薄膜做為氧化物半導體層的薄膜電晶體。注意的是， M 表示選擇自 Ga 、 Fe 、 Ni 、 Mn 、及 Co 的其中一金屬元素或複數個金屬元素。例如，在一些情況中， M 表示 Ga ；同時，在其他情況中， M 可表示 Ni 或 Fe (例如， Ga 及 Ni 或 Ga 及 Fe)。進一步地，除了當作 M 之所包含的金屬元素之外，上述氧化物半導體可包含 Fe 或 Ni ，另一過渡金屬元素，或該過渡金屬元素的氧化物做為雜質元素。在此說明書中，其中包含至少 Ga 做為 M 之其組成公

式係表示為 $\text{InMO}_3 (\text{ZnO})_m$ ($m > 0$) 的氧化物半導體層係稱為 In-Ga-Zn-O 基氧化物半導體，且其之薄膜亦稱為 In-Ga-Zn-O 基非單晶膜。

做為被施加至氧化物半導體層之氧化物半導體，除了上述之外，可施加以下之氧化物半導體的任一者：In-Sn-Zn-O 基氧化物半導體；In-Al-Zn-O 基氧化物半導體；Sn-Ga-Zn-O 基氧化物半導體；Al-Ga-Zn-O 基氧化物半導體；Sn-Al-Zn-O 基氧化物半導體；In-Zn-O 基氧化物半導體；In-Ga-O 基氧化物半導體；Sn-Zn-O 基氧化物半導體；Al-Zn-O 基氧化物半導體；In-O 基氧化物半導體；Sn-O 基氧化物半導體；及 Zn-O 基氧化物半導體。此外，氧化矽可包含於上述氧化物半導體層之中。阻止結晶化於氧化物半導體層之內的氧化矽 (SiO_x ($x > 0$)) 之添加可在其中熱處理係執行於製程中之氧化物半導體層形成之後的情況中，抑制氧化物半導體層的結晶化。注意的是，氧化物半導體層的較佳狀態係非晶的，但其部分結晶化係可接收。

較佳地，該氧化物半導體包含 In；進一步較佳地，包含 In 及 Ga。跟隨在形成與氧化物半導體接觸的氧化物層之後的脫水或脫氫係有效於形成 i 型（本徵）氧化物半導體層。

因為薄膜電晶體容易由於靜電或其類似物而破損，所以較佳地將用以保護驅動器電路的保護電路設置於與該驅動器電路的閘極線或源極線相同的基板上。較佳地，保護電路係以包含氧化物半導體的非線性元件形成。

進一步地，可連續地執行同一電晶體之閘極絕緣層及氧化物半導體膜的形成，而無需暴露至空氣。此處理亦稱為連續處理，在原處之步驟，或連續的膜形成。無需暴露至空氣的連續形成使閘極絕緣層與氧化物半導體膜之間的介面能被形成，而不會受到諸如水分或碳化氫之飄浮於空氣中的氛圍成分或污染物雜質所污染。因而，可降低薄膜電晶體之特徵中的變化。

注意的是，在此說明書中之“連續處理”的用語意指的是，在從藉由 PCVD 法或濺鍍法所執行的第一處理步驟到藉由 PCVD 法或濺鍍法所執行的第二處理步驟之處理期間，其中設置將被處理之基板的氛圍並不會受到諸如空氣之污染物氛圍所污染，且係恆定地被控制成為真空或惰性氣體之氛圍（氮氛圍或稀有氣體氛圍）。藉由該連續處理，於防止水分及其類似物再附著至將被處理之在前已被清潔的基板之同時，可執行諸如膜形成的處理。

在同一腔室中執行從第一處理步驟到第二處理步驟之處理係在此說明書中之連續處理的範疇之內。

進一步地，其中從第一處理步驟到第二處理步驟之處理係以以下方式而在不同腔室中執行的情況亦係在此說明書中之連續處理的範疇之內：基板係在第一處理步驟之後無需暴露至空氣地被轉移至另一腔室，且接受第二處理。

注意的是，其中在第一處理步驟與第二處理步驟之間具有以下步驟的情況亦係在此說明書中之連續處理的範疇之內：基板轉移步驟，對齊步驟，緩慢冷卻步驟，用以設

定基板成為具有適合於第二膜形成步驟之溫度的加熱或冷卻步驟，或其類似步驟。

然而，以下情況並不在此說明書中之連續處理的範疇之內：具有其中使用液體之步驟，例如在第一處理步驟與第二處理步驟之間的清潔步驟、溼蝕刻步驟、或阻體形成步驟。

發明之功效

可製造出具有穩定電性特徵的薄膜電晶體。進一步地，可製造出包含具有優異電性特徵及高度可靠性之薄膜電晶體的半導體裝置。

【圖式簡單說明】

第 1A 至 1D 圖係橫剖面視圖，描繪其係本發明實施例之半導體裝置的製造步驟；

第 2A 及 2B 圖係本發明實施例之半導體裝置的頂視圖及橫剖面視圖；

第 3 圖係橫剖面視圖，描繪使用於本發明實施例中之電爐；

第 4 圖係圖形，顯示相對於加熱溫度之氧化物半導體層的載子濃度；

第 5 圖係顯示 TDS 測量結果的圖形；

第 6 圖係顯示 TDS 測量結果的圖形；

第 7 圖係顯示 TDS 測量結果的圖形；

第 8A 至 8D 圖係橫剖面視圖，描繪其係本發明實施例之半導體裝置的製造步驟；

第 9A 及 9B 圖係本發明實施例之半導體裝置的頂視圖及橫剖面視圖；

第 10A 至 10D 圖係橫剖面視圖，描繪其係本發明實施例之半導體裝置的製造步驟；

第 11A 至 11C 圖係橫剖面視圖，描繪其係本發明實施例之半導體裝置的製造步驟；

第 12 圖係描繪本發明實施例之半導體裝置的頂視圖；

第 13A1 及 13B1 圖係橫剖面視圖，以及第 13A2 及 13B2 圖係頂視圖，描繪本發明實施例之半導體裝置；

第 14 圖係本發明實施例之半導體裝置的橫剖面視圖；

第 15A1 及 15A2 圖係頂視圖，以及第 15B 圖係橫剖面視圖，描繪本發明實施例之半導體裝置；

第 16A 及 16B 圖係本發明實施例之半導體裝置的頂視圖及橫剖面視圖。

第 17 圖係本發明實施例之半導體裝置的像素之等效電路圖；

第 18A 至 18C 圖各係本發明實施例之半導體裝置的橫剖面視圖；

第 19A 及 19B 圖係方塊圖，各描繪本發明實施例之半導體裝置；

第 20 圖係顯示信號線驅動器電路之結構的圖式；

第 21 圖係顯示信號線驅動器電路之操作的時序圖；

第 22 圖係顯示信號線驅動器電路之操作的時序圖；

第 23 圖係顯示移位暫存器之結構的圖式；

第 24 圖係顯示第 23 圖之中所示的正反器之連接結構的圖式；

第 25 圖係本發明實施例之半導體裝置的橫剖面視圖；

第 26 圖描繪電子紙之使用模式的實例；

第 27 圖係電子書閱讀器之實例的外部視圖；

第 28A 及 28B 圖係分別描繪電視機及數位相框之實例的外部視圖；

第 29A 及 29B 圖係描繪娛樂機之實例的外部視圖；

第 30A 及 30B 圖係分別描繪攜帶式電腦之實例及行動電話之實例的外部視圖；

第 31A 至 31D 圖係橫剖面視圖，描繪本發明實施例之半導體裝置的製造方法；

第 32 圖係描繪本發明實施例之半導體裝置的橫剖面視圖；

第 33 圖係描繪本發明實施例之半導體裝置的橫剖面視圖；

第 34A 及 34B 圖係橫剖面視圖，以及第 34C 圖係頂視圖，描繪本發明實施例之半導體裝置；

第 35A 及 35B 圖係橫剖面視圖，各描繪本發明實施例

之半導體裝置；

第 36 圖係描繪本發明實施例之半導體裝置的橫剖面視圖；

第 37 圖係描繪使用於計算之氧化物半導體層的結構視圖；以及

第 38 圖係顯示氧化物半導體層之氧濃度的計算結果之圖形。

【實施方式】

在下文中，將參照附圖詳細地敘述本發明之實施例。然而，本發明並未受限於下文之說明，且由熟習於本項技藝之該等人士所易於瞭解的是，在此所揭示之模式及細節可以以各式各樣的方式修正而不會背離本發明之精神和範疇。因此，本發明不應被解讀為受限於該等實施例之說明。

〔實施例 1〕

將參照第 1A 至 1D 圖及第 2A 和 2B 圖來敘述半導體裝置及半導體裝置的製造方法。

第 2A 圖係半導體裝置之薄膜電晶體 470 的頂視圖，以及第 2B 圖係沿著第 2A 圖之線 C1-C2 的橫剖面視圖。薄膜電晶體 470 係反轉交錯型薄膜電晶體，且包含閘極電極層 401、閘極絕緣層 402、氧化物半導體層 403、以及源極及汲極電極層 405a 及 405b 於基板 400 之上，該基板

400 係具有絕緣表面之基板。此外，氧化物絕緣膜 407 係設置以覆蓋薄膜電晶體 470 且與半導體層 403 接觸。

在氧化物半導體層 403 形成之後，使該氧化物半導體膜 403 接受至少熱處理（用於脫水或脫氫之熱處理），用以降低諸如水分及其類似物之雜質，以致使其電阻減少（較佳地，使載子濃度增加至 $1 \times 10^{18}/\text{cm}^3$ 或更高）。然後，在執行緩慢冷卻於氧氛圍下之同時，形成氧化物絕緣膜 407 而與氧化物半導體層 403 接觸，此導致該電阻增加（較佳地，使載子濃度減少至低於 $1 \times 10^{18}/\text{cm}^3$ ），使得可使用氧化物半導體膜做為通道形成區。

在藉由施加用於脫水或脫氫之熱處理而排除諸如水分（ H_2O ）的雜質之後，較佳地，在氧氛圍之下執行緩慢冷卻。在脫水或脫氫之熱處理及氧氛圍下的緩慢冷卻之後，氧化物半導體層的載子濃度會由於與該氧化物半導體層或其類似物接觸之氧化物絕緣膜的形成而被降低，此將改善薄膜電晶體 470 的可靠度。

除了諸如在半導體層 403 內部之水分的雜質之外，熱處理可致使諸如在閘極絕緣層 402 之內部及其下方和上方表面處，以及氧化物半導體層 403 之介面，更特定地，在氧化物半導體層 403 與閘極絕緣層 402 及氧化物絕緣膜 407 之間的介面之水分的雜質降低。

與其係氧化物半導體層之氧化物半導體層 403 接觸的源極及汲極電極層 405a 及 405b 係使用選擇自鈦，鋁，錳，鎂，鋅，及鈹之一或更多個材料而形成。進一步地，

可將包含該等元素之組合的合金膜，及其類似物堆疊在一起。

包含通道形成區的氧化物半導體層 403 可使用具有半導體特徵之氧化物材料而形成。典型地，使用 In-Ga-Zn-O 基非單晶膜。

第 1A 至 1D 圖係描繪第 2A 及 2B 圖中所描繪之薄膜電晶體 470 的製造步驟之橫剖面視圖。

在第 1A 圖中，閘極電極層 401 係設置於其係具有絕緣表面之基板的基板 400 之上。用作基底膜之絕緣膜可設置於基板 400 與閘極電極層 401 之間。基底膜可具有防止雜質元素自基板 400 擴散之功能，且可使用一或更多個氮化矽膜、氧化矽膜、氧化氮化矽膜、及氮氧化矽膜而形成為具有單層或堆疊層之結構。閘極電極層 401 可使用諸如鈾、鈦、鉻、鉭、鎢、鋁、銅、銓、或銦的金屬材料，或包含任一該等材料做為主要成分的合金材料，而形成為單一層或堆疊層。

例如，做為各個閘極電極層 401 的雙層結構，以下之雙層結構係較佳的：鋁層及鈾層在上的雙層結構，銅層及鈾層在上的雙層結構，銅層及氮化鈦層或氮化鉭層在上的雙層結構，以及氮化鈦層及鈾層的雙層結構。選擇性地，可較佳地使用其中堆疊鎢層或氮化鎢層，鋁矽合金層或鋁鈦合金層，及氮化鈦層或鈦層之三層結構。

閘極絕緣層 402 係形成於閘極電極層 401 之上。

閘極絕緣層 402 可藉由電漿 CVD 法、濺鍍法、或其

類似方法，而以使用氧化矽層、氮化矽層、氮氧化矽層、或氧化氮化矽層之單一層或堆疊層來予以形成。例如，氮氧化矽層可藉由電漿 CVD 法而使用包含 SiH_4 、氧、及氮之沈積氣體以形成。

濺鍍法的實例包含其中使用高頻功率源做為濺鍍功率源之 RF 濺鍍法；DC 濺鍍法；以及其中偏壓係以脈波方式施加之脈波式 DC 濺鍍法。RF 濺鍍法係主要地使用於形成絕緣膜的情況中，以及 DC 濺鍍法係主要地使用於形成金屬膜的情況中。

此外，具有其中可設定複數個不同材料之靶極的多源濺鍍設備。具備該多源濺鍍設備，可在同一腔室中將不同材料的膜沈積成為堆疊，且可在同一腔室中將複數種材料的膜藉由放電而同時地沈積。

此外，具有以磁鐵系統在腔室內部所設置且使用於磁控管濺鍍法之濺鍍設備；以及使用於 ECR 濺鍍法之濺鍍設備，其中使用利用微波所產生之電漿而無需使用輝光放電。

再者，做為藉由濺鍍法之沈積方法，亦具有反應性濺鍍法，其中靶極物質及濺鍍氣體成分係在沈積期間彼此相互化學反應以形成其之薄化合物膜；以及偏壓濺鍍法，其中電壓在沈積期間亦被施加至基板。

接著，形成氧化物半導體膜於閘極絕緣層 402 之上。

注意的是，在藉由濺鍍法而形成氧化物半導體膜之前，較佳地係藉由其中引入氬氣體且產生電漿的逆濺鍍法

以去除閘極絕緣層 402 之表面上的粒子。逆濺鍍法意指其中，無需對靶極側施加電壓，而是在氬氛圍中使用 RF 功率源對基板側施加電壓，以產生電漿於基板附近而修飾表面的方法。注意的是，取代氬氛圍，可使用氮氛圍、氦氛圍、或其類似氛圍。選擇性地，可使用添加氧、 N_2O 、或其類似物的氬氛圍。進一步選擇性地，可使用添加 Cl_2 、 CF_4 、或其類似物的氬氛圍。

氧化物半導體膜係藉由使用 In-Ga-Zn-O 基金屬氧化物半導體靶極之濺鍍法所形成。選擇性地，氧化物半導體膜可藉由在稀有氣體（典型地，氬）氛圍、氧氛圍、或稀有氣體（典型地，氬）及氧之氛圍下的濺鍍法而形成。

閘極絕緣層 402 及氧化物半導體膜可連續地形成，而無需暴露至空氣。無需暴露至空氣之連續的膜形成可獲得不會受到諸如水分或碳化氫之飄浮於空氣中的氛圍成分或雜質元素所污染之堆疊層的介面。因此，可降低薄膜電晶體之特徵中的變化。

氧化物半導體膜係藉由光微影術步驟而被處理成為島狀的氧化物半導體層（第一氧化物半導體層）（請參閱第 1A 圖）。

熱處理係在惰性氣體（諸如氮，氦，氖，或氬）的氛圍中或在降低壓力之下，執行於氧化物半導體層之上；且然後，緩慢冷卻係執行於氧氛圍之中（請參閱第 1B 圖）。藉由在此氛圍中於氧化物半導體層 430 之上所執行的熱處理，可去除包含於氧化物半導體層 430 中之諸如氫

及水分的雜質。

注意的是，在熱處理中，較佳的是，水分、氫、及其類似物不包含於氮或諸如氮、氦、或氬的稀有氣體中。選擇性地，較佳的是，所引入至設備內以供熱處理用之氮或諸如氮、氦、或氬的稀有氣體具有 6N (99.9999%) 或更大，較佳地，7N (99.99999%) 或更大的純度；也就是說，雜質濃度係設定為 1ppm 或更低，較佳地，0.1ppm 或更低。

做為熱處理，可使用瞬時加熱法，例如使用電爐之加熱法，使用加熱之氣體的 GRTA (氣體快速熱退火) 法，或使用燈光之 LRTA (燈快速熱退火) 法。

在此，將參照第 3 圖來敘述使用電爐 601 之加熱法，做為氧化物半導體層 430 之加熱處理的一模式。

第 3 圖係電爐 601 的概略視圖。加熱腔室 602 的加熱器 603 係設置於該腔室 602 的外側。在該腔室 602 的內部，係設置其中安裝基板 604 的基座 605。基板 604 被轉移至腔室 602 之內或自腔室 602 轉移出。此外，該腔室 602 係設置有氣體供應裝置 606 和排氣裝置 607。具有該氣體供應裝置 606，可將氣體引導至腔室 602 之內。排氣裝置 607 可排出腔室 602 內部的氣體或降低腔室 602 中的壓力，注意的是，較佳地，將電爐的溫度上升特徵設定於 0.1°C /分鐘與 20°C /分鐘之間。較佳地，將電爐的溫度降低特徵設定於 0.1°C /分鐘與 15°C /分鐘之間。

氣體供應裝置 606 包含氣體供應源 611a，氣體供應源

611b，壓力調整閥 612a，壓力調整閥 612b，提純設備 613a，提純設備 613b，質量流量控制器 614a，質量流量控制器 614b，停止閥 615a，及停止閥 615b。在此實施例中，較佳的是，將提純設備 613a 及提純設備 613b 設置於氣體供應源 611a 及 611b 與腔室 602 之間。該提純設備 613a 及提純設備 613b 可去除自氣體供應源 611a 及氣體供應源 611b 引入至腔室 602 內的氣體中之諸如水分及氫的雜質；因此，可藉由提純設備 613a 及提純設備 613b 的提供而抑制諸如水分及氫之雜質進入至腔室 602 之內。

在此實施例中，氮或稀有氣體係自氣體供應源 611a 引入至腔室 602 之內，以致使腔室 602 的內部在氮或稀有氣體氛圍之中。在加熱於自 200°C 至 600°C（包含 200°C 及 600°C），較佳地，自 400°C 至 450°C（包含 400°C 及 450°C）的腔室 602 中，可加熱基板 604 上所形成之氧化物半導體層 430，藉以使該氧化物半導體層 430 脫水及脫氫。

選擇性地，可將其中壓力係由排氣裝置所降低之腔室 602 加熱於自 200°C 至 600°C（包含 200°C 及 600°C），較佳地，自 400°C 至 450°C（包含 400°C 及 450°C）處。在此腔室 602 中，可加熱基板 604 上所形成之氧化物半導體層 430，藉以使該氧化物半導體層 430 脫水及脫氫。

接著，停止自氣體供應源 611a 引入氮或稀有氣體至腔室 602，且關閉加熱器。然後，自氣體供應源 611b 引入氧至腔室 602 之內，且使加熱設備的腔室 602 緩慢地冷

卻。也就是說，將腔室 602 的內部設定成為氧氛圍，且使基板 604 緩慢冷卻。在此，較佳的是，自氣體供應源 611b 引入至腔室 602 之內的氧不包含諸如水分及氫的雜質。此外，較佳的是，自氣體供應源 611b 引入至腔室 602 之內的氧之純度為 6N（99.9999%）或更大，較佳地，7N（99.99999%）（亦即，在氧中之雜質濃度為 1ppm，較佳地，0.1ppm）或更大。該氧化物半導體層的電阻係藉由在惰性氣體氛圍之下或在降低壓力之下的熱處理及在氧氛圍之下的緩慢冷卻而降低（載子濃度增加，較佳地， $1 \times 10^{18}/\text{cm}^3$ 或更高），以致可獲得電阻降低之氧化物半導體層 431（第二氧化物半導體層）。

因而，可改善將於稍後被形成之薄膜電晶體的可靠度。

注意的是，在其中熱處理係在降低壓力之下被執行的情況中，氧可在熱處理之後被引入於腔室 602 之中，以致使壓力返回至大氣壓力，且然後，可執行冷卻。

此外，當自氣體供應源 611b 引入氧至腔室 602 之內時，可將氮及諸如氦、氖、或氬之稀有氣體的其中一者或二者引入至腔室 602 之內。

在使加熱設備之腔室 602 中的基板 604 冷卻至 300℃ 之後，可將基板 604 轉移至室溫的氛圍之內。因而，可縮短基板 604 的冷卻時間。

若加熱設備具有多重腔室之結構時，則熱處理及冷卻處理可在彼此相互不同的腔室之中執行。典型地，在基板

上之氧化物半導體層係加熱於充填有氮或稀有氣體的第一腔室之中，且加熱於自 200℃ 至 600℃（包含 200℃ 及 600℃），較佳地，於自 400℃ 至 450℃（包含 400℃ 及 450℃）處。接著，透過其中引入氮或稀有氣體的轉移腔室，將接受熱處理的基板轉移至充填有氧的第二腔室之內，且加熱於 100℃ 或更低，較佳地，於室溫；然後，執行冷卻處理於該處之中。透過上述步驟，可增加輸貫量。

在惰性氣體氛圍或降低壓力之下所執行的氧化物半導體層之熱處理可執行於尚未被處理成為島狀氧化物半導體層的氧化物半導體膜之上。在該情況之中，在惰性氣體氛圍或降低壓力之下所執行的氧化物半導體層 430 之熱處理之後，在氧氛圍之下將緩慢冷卻執行至高於或等於室溫且低於 100℃ 的溫度。然後，自加熱設備取出基板，且執行光微影術步驟。

已在惰性氣體氛圍之下或在降低壓力之下接受熱處理的氧化物半導體層 430 較佳地為非晶膜，但可使其之一部分結晶化。

然後，將導電膜形成於閘極絕緣層 402 及氧化物半導體層 431 之上。

做為導電膜 132 的材料，具有選擇自 Al、Cr、Ta、Ti、Mo、及 W 之元素，包含任何該等元素做為成分的合金，包含該等元素之組合的合金，及其類似物。

若熱處理係在導電膜的 formed 之後才執行時，則導電膜較佳地具有足以耐受熱處理的熱阻。因為 Al 的單獨使用

會帶來諸如低的熱阻和易於銹蝕之缺點，所以較佳地，鋁係與具有熱阻的導電材料結合而使用。做為可與 Al 結合而使用之具有熱阻的導電材料，可使用任何以下之材料：選擇自鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）、及釷（Sc）之元素，包含任何該等上述之元素做為成分的合金，包含該等元素之組合的合金，以及包含任何該等上述之元素做為成分的氮化物。

氧化物半導體層 431 及導電膜係蝕刻於蝕刻步驟中，以致使氧化物半導體層 432 以及源極及汲極電極層 405a 及 405b 形成（第 1C 圖）。注意的是，一部分之氧化物半導體層 432 係僅部分地蝕刻，使得該氧化物半導體層 432 具有刻槽（凹處）。

形成與氧化物半導體層 432 接觸的氧化物絕緣膜 407。為避免引入諸如水分或氫之雜質進入至氧化物絕緣膜 407 之內，該氧化物絕緣膜 407 可使用 CVD 法、濺鍍法、或其類似方法而適當地形成。在此，該氧化物絕緣膜 407 係使用濺鍍法而形成。形成為與低電阻氧化物半導體層接觸的氧化物絕緣膜 407 並不包含諸如水分及 OH 的雜質，且係使用無機絕緣膜而形成，以防止自外部所進入的雜質。典型地，係使用氮化氧化矽膜，氧化矽膜，或氧化氮化矽膜。

在此實施例中，係形成 300 奈米厚之氧化矽膜做為氧化物絕緣膜 407。在膜形成中的基板溫度可自室溫至 300℃ 或更低，且在此實施例中，係 100℃。藉由濺鍍法之氧

化矽膜的 formed 可執行於稀有氣體（典型地，氬）氛圍，氧氛圍，或稀有氣體（典型地，氬）和氧的氛圍中，做為靶極，可使用氧化矽靶極或矽靶極。例如，藉由矽靶極，氧化矽膜可在氧及氮的氛圍下由濺鍍法所形成。

當氧化物絕緣膜 407 係藉由濺鍍法、PCVD 法、或其類似方法而形成為與低電阻氧化物半導體層 432 接觸時，在該低電阻氧化物半導體層 432 之中，與氧化物絕緣膜 407 接觸之至少一區域的電阻會增加（載子濃度降低，較佳地低於 $1 \times 10^{18}/\text{cm}^3$ ）。因此，可獲得高電阻的氧化物半導體區。在半導體裝置的製造處理期間，透過在惰性氣體氛圍（或降低壓力）下之熱處理及在氧氛圍下之緩慢冷卻的施加、氧化物絕緣膜 407 的形成、及其類似者以增加及減少氧化物半導體層之中的載子濃度係重要的。氧化物半導體層 432 變成具有高電阻氧化物半導體區的半導體層 403（第三氧化物半導體層），且然後，可完成薄膜電晶體 470（請參閱第 1D 圖）。

包含於氧化物半導體層之中的雜質（諸如 H_2O ，H，及 OH）係藉由用於脫水或脫氫之熱處理的施加而降低，且載子濃度增加。隨後，緩慢冷卻係在氧氛圍之下被執行。然後，執行與氧化物半導體層接觸之氧化物絕緣膜或其類似物的形成，使得氧化物半導體層的載子濃度降低。因此，可改善薄膜電晶體 470 的可靠度。

進一步地，在形成氧化物絕緣膜 407 之後，較佳地，可在高於或等於 150°C 且低於 350°C 的溫度之氮氛圍

或空氣氛圍（在空氣中）下執行熱處理於薄膜電晶體 470 之上。例如，在 250℃ 之氮氛圍下的熱處理係執行 1 小時。於此熱處理中，在與氧化物絕緣膜 407 接觸之條件中的氧化物半導體層 432 被加熱；因此，可降低薄膜電晶體 470 之電性特徵中的變化。

〔實施例 2〕

在此實施例中，將參照第 8A 至 8D 圖以及第 9A 及 9B 圖來敘述與實施例 1 中不同的半導體裝置及半導體裝置之製造方法。與實施例 1 中所述之部分相同的部分或具有相似功能的部分可以以相似於實施例 1 中之方式來予以形成；因此，將省略冗餘的說明。

第 9A 圖係包含於此實施例中所述的半導體裝置中之薄膜電晶體 460 的頂視圖，以及第 9B 圖係沿著第 9A 圖之線 D1-D2 的橫剖面視圖。薄膜電晶體 460 係底部閘極薄膜電晶體，且包含閘極電極層 451、閘極絕緣層 452、源極及汲極電極層 455a 及 455b、以及氧化物半導體層 453 於其係具有絕緣表面之基板的基板 450 之上。此外，氧化物絕緣膜 457 係設置以便覆蓋薄膜電晶體 460 且與半導體層 453 接觸。用於氧化物半導體層 453，係使用 In-Ga-Zn-O 基非單一晶體。

在薄膜電晶體 460 中，閘極絕緣層 452 存在於包含薄膜電晶體 460 的全部區域，以及閘極電極層 451 係設置於閘極絕緣層 452 與具有絕緣表面的基板 450 之間。在閘極

絕緣層 452 之上，係設置源極或汲極電極層 455a 及 455b。進一步地，氧化物半導體層 453 係設置於閘極絕緣層 452 以及源極及汲極電極層 455a 及 455b 之上。雖然並未描繪，但除了源極及汲極電極層 455a 及 455b 之外，導線層係設置於閘極絕緣層 452 之上，且該導線層延伸越過氧化物半導體層 453 的周邊部分。

氧化物半導體層 453 係至少接受用以降低諸如水分及其類似物之雜質的熱處理（用於脫水或脫氫之處理），以及在氧化物半導體膜 453 的形成之後在氧氛圍下的緩慢冷卻，使得其之電阻降低（較佳地，載子濃度增加至 $1 \times 10^{18}/\text{cm}^3$ 或更高）。隨後，氧化物絕緣膜 457 被形成為與氧化物半導體層 453 接觸，以致使該電阻增加（較佳地，載子濃度降低至比 $1 \times 10^{18}/\text{cm}^3$ 更低）。因而，可使用該氧化物半導體膜做為通道形成區。

在藉由用於脫水或脫氫之熱處理的施加而排除諸如水分（ H_2O ）的雜質之後，緩慢冷卻係在氧氛圍之下執行。在用於脫水或脫氫的熱處理及氧氛圍下的緩慢冷卻之後，氧化物半導體層的載子濃度會由於與氧化物半導體層接觸之氧化物絕緣膜或其類似物的形成而降低，此將改善薄膜電晶體 460 的可靠度。

與半導體層 453 接觸的源極及汲極電極層 455a 及 455b 係使用選擇自鈦，鋁，錳，鎂，銦，及鉍之一或更多種材料而形成。

第 8A 至 8D 圖係描繪第 9A 及 9B 圖中所描繪之薄膜

電晶體 460 的製造步驟之橫剖面視圖。

閘極電極層 451 係設置於具有絕緣表面的基板 450 之上。注意的是，用作基底膜的絕緣膜可設置於基板 450 與閘極電極層 451 之間。該閘極電極層 451 可使用與實施例 1 中所述的閘極電極層 401 之材料相似的材料而形成。

閘極絕緣層 452 係形成於閘極電極層 451 之上。該閘極絕緣層 452 可使用與實施例 1 中所述的閘極絕緣層 402 之材料相似的材料而形成。

導電膜係形成於閘極絕緣層 452 之上，且藉由光微影術步驟而被處理成為島狀源極及汲極電極層 455a 及 455b（請參閱第 8A 圖）。該源極及汲極電極層 455a 及 455b 可以以與實施例 1 中所述的源極及汲極電極層 405a 及 405b 相似的方式形成。

然後，氧化物半導體膜係形成於閘極絕緣層 452 以及源極及汲極電極層 455a 及 455b 之上，且藉由光微影術步驟而被形成為島狀氧化物半導體層 483（第一氧化物半導體層）（請參閱第 8B 圖）。

氧化物半導體層 483 用作通道形成區，且因此，係以與實施例 1 中之氧化物半導體膜相似的方式形成。

注意的是，在藉由濺鍍法而形成氧化物半導體層 483 之前，較佳地係藉由其中引入氬氣體且產生電漿的逆濺鍍法以去除閘極絕緣層 452 之表面上的粒子。

用於脫水或脫氫的熱處理係執行於氧化物半導體層 483 之上，且然後，緩慢冷卻係執行於氧氛圍中。做為用

於脫水或脫氫之熱處理，熱處理係在 200℃ 與 600℃ 之間（包含 200℃ 及 600℃），較佳地在 400℃ 與 450℃ 之間（包含 400℃ 及 450℃）的溫度處執行於惰性氣體（諸如氮，氬，氦，及氫）氛圍中或在降低壓力下。藉由在上述氛圍中的熱處理及在氧氛圍中的緩慢冷卻，氧化物半導體層 483 的電阻會降低（較佳地，載子濃度增加至 $1 \times 10^{18}/\text{cm}^3$ 或更高），以致可獲得低電阻之氧化物半導體層 484（第二氧化物半導體層）（請參閱第 8C 圖）。

在用於脫水或脫氫的熱處理中，較佳的是，水分、氫、及其類似物不包含於所使用之氮或諸如氬、氦、或氫的稀有氣體中。選擇性地，較佳的是，所引入至設備內以供熱處理之用的氮或諸如氬、氦、或氫之稀有氣體具有 6N（99.9999%）或更大，較佳地，7N（99.99999%）或更大的純度；亦即，雜質濃度被設定為 1ppm 或更低，較佳地，0.1ppm 或更低。

可將惰性氣體氛圍中或降低壓力下之氧化物半導體層的熱處理，以及在氧氛圍下的緩慢冷卻執行於尚未被處理成為島狀氧化物半導體層的氧化物半導體膜之上。在該情況中，於惰性氣體氛圍中或降低壓力下之氧化物半導體膜的熱處理之後，可在氧氛圍下將緩慢冷卻執行至高於或等於室溫且低於 100℃ 的溫度。然後，自加熱設備取出基板，以及執行微影術步驟。

接著，氧化物絕緣膜 457 係藉由濺鍍法或 PCVD 法而形成為與氧化物半導體層 484 接觸。在此實施例中，係形

成 300 奈米厚之氧化矽膜做為氧化物絕緣膜 457。在膜形成中的基板溫度可自室溫至 300°C 或更低，且在此實施例中，係 100°C。當氧化物絕緣膜 457 係藉由濺鍍法而形成為與低電阻氧化物半導體層 484 接觸時，在該低電阻氧化物半導體層 484 之中，與其係氧化矽膜之氧化物絕緣膜 457 接觸之至少一區域的電阻會增加（較佳地，載子濃度降低至低於 $1 \times 10^{18}/\text{cm}^3$ ）。因此，可獲得高電阻的氧化物半導體區。在半導體裝置的製造處理期間，藉由在惰性氣體氛圍（或降低壓力）下之熱處理及在氧氛圍下之緩慢冷卻的施加、氧化物絕緣膜的形成、及其類似者以增加及減少氧化物半導體層之中的載子濃度係重要的。氧化物半導體層 484 變成具有高電阻氧化物半導體區的氧化物半導體層 453（第三氧化物半導體層），且然後，可完成薄膜電晶體 460（請參閱第 8D 圖）。

包含於氧化物半導體層之中的雜質（諸如 H_2O ，H，及 OH）係藉由用於脫水或脫氫之熱處理的施加而降低，且載子濃度增加。隨後，緩慢冷卻係在氧氛圍之下被執行。然後，執行與氧化物半導體層接觸之氧化物絕緣膜或其類似物的形成，使得氧化物半導體層的載子濃度降低。因此，可改善薄膜電晶體 460 的可靠度。

進一步地，在形成做為氧化物絕緣膜 457 的氧化矽膜之後，較佳地，熱處理可在高於或等於 150°C 且低於 350°C 的溫度之氮氛圍或空氣氛圍（在空氣中）下執行於薄膜電晶體 460 之上。例如，熱處理係在 250°C 的氮氛圍之下

執行 1 小時。在此熱處理中，與氧化物絕緣膜 457 接觸的半導體層 453 被加熱；因此，可降低薄膜電晶體 460 之電性特徵中的變化。

此實施例可以與實施例 1 自由地結合。

〔實施例 3〕

將參照第 10A 至 10D 圖，第 11A 至 11C 圖，第 12 圖，以及第 13A1、13A2、13B1、及 13B2 圖來敘述包含薄膜電晶體之半導體裝置的製造方法。

在第 10A 圖中，用於具有透光性質之基板 100，可使用由鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、或其類似物所形成的玻璃基板。

其次，將導電層形成於基板 100 的整個表面之上，且然後，執行第一光微影術處理而形成阻體罩幕。接著，導電層之不必要的部分係藉由蝕刻以去除，以致使導線及電極（包含閘極電極層 101 的閘極導線，電容器導線 108，及第一端子 121）形成。此時，蝕刻係執行使得閘極電極層 101 的至少末端部分成錐形。

包含閘極電極層 101 的閘極導線，電容器導線 108，及端子部分中的第一端子 121 可適當地使用與用於實施例 1 中所述的閘極電極層 401 所使用之材料相同的材料而形成。當閘極電極層 101 係使用熱阻導電性材料而形成時，可使用任何以下之材料：選擇自鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）、及釷（Sc）

之元素，包含任何該等上述之元素做為成分的合金，包含該等元素之組合的合金，以及包含任何該等上述之元素做為成分的氮化物。

其次，將閘極絕緣層 102 形成於閘極電極層 101 的整個表面之上。該閘極絕緣層 102 係使用濺鍍法，PCVD 法，或其類似方法而形成為 50 奈米至 250 奈米的厚度。

例如，做為閘極絕緣層 102，氧化矽膜係使用濺鍍法而形成為 100 奈米的厚度。不用多說地，該閘極絕緣層 102 並未受限於該氧化矽膜，且可為單層或堆疊之任何其他類型的絕緣膜，例如氮氧化矽膜、氮化矽膜、氧化鋁膜、及氧化鋇膜。

接著，形成氧化物半導體膜（In-Ga-Zn-O 基非單晶膜）於閘極絕緣層 102 之上。在使用濺鍍法形成閘極絕緣層 102 之後，無需暴露至空氣地形成該 In-Ga-Zn-O 基非單晶膜係有效於防止粒子或水分附著至閘極絕緣層與該半導體膜之間的介面。在此，氧化物半導體膜係在氧氛圍、氬氛圍、或氬及氧的氛圍下形成於其中靶極係具有 8 吋直徑之包含 In、Ga 及 Zn 的金屬氧化物半導體靶極（In-Ga-Zn-O 基金屬氧化物半導體靶極（ $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ ）），基板與靶極間之距離係 170 毫米，壓力係 0.4 巴，及直流（DC）功率供應係 0.5 千瓦的條件下。注意的是，脈波直流（DC）功率源係較佳的，因為可使粒子減少且可使膜厚度均勻。該 In-Ga-Zn-O 基非單晶膜係形成為 5 奈米至 200 奈米的厚度。做為氧化物半導體膜，具有

50 奈米厚度之 In-Ga-Zn-O 基非單晶膜係使用濺鍍法而利用 In-Ga-Zn-O 基金屬氧化物半導體靶極以形成。

接著，執行第二光微影術步驟以形成阻體罩幕。然後，蝕刻該氧化物半導體膜。例如，該氧化物半導體膜的不必要部分係藉由使用磷酸、醋酸、及硝酸之混合溶液的溼蝕刻法而去除，以致使氧化物半導體層 133 形成（請參閱第 10A 圖）。注意的是，在此，蝕刻並未受限於溼蝕刻法，且乾蝕刻法亦可予以執行。

做為使用於溼蝕刻法的蝕刻劑，可使用藉由混合磷酸、醋酸、及硝酸所獲得的溶液，或其類似物。此外，亦可使用 ITO 07N（由 KANTO CHEMICAL CO., INC. 所生產）。

使用於溼蝕刻中的蝕刻劑和所蝕刻掉的材料係藉由溼式清潔法而予以一起去除。包含該蝕刻劑和所蝕刻掉的材料之廢棄液體可被提純且該材料可予以再使用。當包含於氧化物半導體層中之諸如銦的材料在蝕刻後自廢棄液體被收集且再使用時，可有效率地使用資源且可降低成本。

注意的是，蝕刻條件（蝕刻劑，蝕刻時間，溫度，或其類似者）係根據材料而適當地調整，使得可將膜蝕刻成為所欲的形狀。

做為用於乾蝕刻法的蝕刻氣體，較佳地，使用含氯氣體（諸如氯氣（ Cl_2 ）、氯化硼（ BCl_3 ）、氯化矽（ SiCl_4 ）、或四氯化碳（ CCl_4 ）之氯基氣體）。

選擇性地，可使用含氟氣體（諸如四氟化碳

(CF_4)，氟化硫(SF_6)，氟化氮(NF_3)，或三氟化甲烷(CHF_3)之氟基氣體)；溴化氫(HBr)；氧氣(O_2)；添加諸如氦(He)或氬(Ar)之任何該等氣體；或其類似物，做為用於乾蝕刻法的蝕刻氣體。

做為乾蝕刻法，可使用平行板 RIE (反應性離子蝕刻) 法、ICP (電感耦合電漿) 蝕刻法、或其類似方法。為了要將膜蝕刻成為所欲的形狀，可適當地調整蝕刻條件 (施加至線圈狀電極之電功率的量，施加至基板側電極之電功率的量，基板側之電極的溫度，或其類似者)。

其次，執行用於氧化物半導體層 133 之脫水或脫氫的熱處理。該氧化物半導體層 133 係在惰性氣體 (氮，氬，氖，氫，或其類似物) 氛圍中或在降低壓力下接受熱處理，且該氧化物半導體層 133 的緩慢冷卻係在氧氛圍中執行。

較佳地，熱處理係執行於 200°C 或更高。例如，熱處理係在氮氛圍下執行於 450°C ，1 小時。在氮氛圍中的熱處理之後，將緩慢冷卻執行於氧氛圍之中。因此，氧化物半導體層 133 的電阻會降低 (較佳地，載子濃度增加至 $1 \times 10^{18}/\text{cm}^3$ 或更高)，且導電率會增加。從而，可形成低電阻的氧化物半導體層 134 (請參閱第 10B 圖)。較佳地，該氧化物半導體層 134 的導電率係 $1 \times 10^{-1} \text{ S/cm}$ 至 $1 \times 10^2 \text{ S/cm}$ ，包含 $1 \times 10^{-1} \text{ S/cm}$ 及 $1 \times 10^2 \text{ S/cm}$ 。

其次，導電膜 132 係使用利用金屬材料之濺鍍法或真空蒸鍍法而形成於氧化物半導體層 134 之上 (請參閱第

10C 圖)。

做為導電膜 132 的材料，可適當地使用與實施例 1 中所述的源極及汲極電極層 405a 及 405b 之材料相似的材料。

在其中熱處理係執行於導電膜 132 形成之後的情況中，較佳的是，導電膜 132 具有熱阻性質，以便耐受此熱處理。

接著，執行第三光微影術步驟以形成阻體罩幕，且然後，蝕刻導電膜 132 的不必要部分，以致使源極及汲極電極層 105a 及 105b 以及第二端子 122 形成（請參閱第 10D 圖）。此時，係使用溼蝕刻法或乾蝕刻法做為蝕刻方法。例如，當使用鋁膜或鋁合金膜做為導電膜 132 時，可使用其中混合磷酸、醋酸、及硝酸的溶液而執行溼蝕刻。選擇性地，可使用過氧化氫混合物（過氧化氫：氫：水=5：2：2）而溼蝕刻導電膜 132，以形成源極及汲極電極層 105a 及 105b。在此蝕刻步驟中，係部分地蝕刻氧化物半導體層 134 的暴露區，以形成氧化物半導體層 135。因此，位於源極及汲極電極層 105a 及 105b 之間的氧化物半導體層 135 之區域具有小的厚度。在第 10D 圖中，用以形成源極及汲極電極層 105a 及 105b 以及氧化物半導體層 135 的蝕刻係藉由乾蝕刻法而一次地執行。因而，源極及汲極電極層 105a 及 105b 的末端部分係與氧化物半導體層 135 的末端部分對齊；所以，形成連續的結構。

在第三光微影術步驟中，藉由與源極及汲極電極層

105a 及 105b 相同的材料所形成的第二端子 122 亦係留在端子部分中。注意的是，第二端子 122 係電性連接至導線（導線可為任一源極及汲極電極層 105a 及 105b）。

進一步地，藉由使用具有複數個厚度之區域的阻體罩幕（典型地，二不同厚度），可減少阻體罩幕的數目，而導致簡化的處理及更低的成本，該複數個厚度係使用多段式調整罩幕所形成。

然後，去除該組體罩幕，且形成保護絕緣層 107，以覆蓋閘極絕緣層 102、氧化物半導體層 103、以及源極及汲極電極層 105a 及 105b。該保護絕緣層 107 係使用利用 PCVD 法所形成的氮氧化矽膜而形成。設置於源極及汲極電極層 105a 及 105b 之間的氧化物半導體層 135 之暴露區，以及由氮氧化矽膜所製成的保護絕緣層 107 係彼此相互接觸地設置，以致可增加與保護絕緣層 107 接觸的氧化物半導體層 135 中之區域的電阻（較佳地，載子濃度降低至低於 $1 \times 10^{18}/\text{cm}^3$ ），且因此，可形成包含電阻降低之通道形成區的氧化物半導體層 103（請參閱第 11A 圖）。

在該保護絕緣層 107 的形成之後，可執行熱處理。該熱處理可在高於或等於 150°C 及低於 350°C 之溫度的空氣氛圍或氮氛圍中執行。當執行熱處理時，氧化物半導體層 103 係在與保護絕緣層 107 接觸的同時被加熱，而使氧化物半導體層 103 的電阻能進一步地增加。因此，可改善電晶體的電性特徵且可減少電晶特徵的變化。

透過上述步驟，可製造出薄膜電晶體 170。

其次，執行第四光微影術步驟以形成阻體罩幕。將保護絕緣層 107 及閘極絕緣層 102 蝕刻，以形成到達汲極電極層 105b 的接觸孔 125。此外，到達第二端子 122 的接觸孔 127 及到達第一端子 121 的接觸孔 126 亦係在相同的蝕刻步驟中形成。此階段的橫剖面視圖係第 11B 圖。

接著，去除該阻體罩幕，且然後，形成透明導電膜。該透明導電膜係使用氧化銦 (In_2O_3)、氧化銦錫（縮寫為 ITO）、或其類似物，而利用濺鍍法、真空蒸鍍法、或其類似方法形成。此材料係以氫氯酸基溶液蝕刻。取代地，因為殘留物易於產生，尤其在 ITO 的蝕刻中，所以可使用氧化銦及氧化鋅的合金 ($\text{In}_2\text{O}_3\text{-ZnO}$) 做為該透明導電膜，以便改善蝕刻加工性。

其次，執行第五光微影術步驟以形成阻體罩幕。然後，蝕刻透明導電膜的不必要部分，以致使像素電極層 110 形成。

透過第五光微影術步驟，儲存電容器係以電容器導線 108 及像素電極層 110 而形成，其中在電容器部分中之閘極絕緣層 102 及保護絕緣層 107 係使用做為電介質。

此外，在第五光微影術步驟中，第一端子 121 及第二端子 122 係以阻體罩幕覆蓋，以及透明導電膜 128 及 129 係留在該等端子部之中。透明導電膜 128 及 129 作用為連接至 FPC 的電極或導線。形成於第一端子 121 之上的透明導電膜 128 係用作閘極導線的輸入端子之連接端子電極。形成於第二端子 122 之上的透明導電膜 129 係作用成

為源極導線的輸入端子之連接端子電極。

隨後，去除該阻體罩幕。在此階段之橫剖面視圖係第 11C 圖。注意的是，在此階段之平面視圖對應於第 12 圖。

進一步地，第 13A1 及 13A2 圖分別係此階段之閘極導線端子部分的橫剖面視圖及其平面視圖。第 13A1 圖係沿著第 13A2 圖之線 E1-E2 所取得的橫剖面視圖。在第 13A1 圖之中，形成於保護絕緣層 154 之上的透明導電膜 155 係用作輸入端子的連接端子電極。再者，在第 13A1 圖的端子部之中，藉由與閘極導線相同的材料所形成的第一端子 151 和藉由與源極導線相同的材料所形成的連接電極層 153 係以閘極絕緣層 152 插入其間而相互重疊，且透過透明導電膜 155 而彼此相互地電性連接。注意的是，其中透明導電膜 128 及第一端子 121 相互接觸於第 11C 圖中之部分對應於其中透明導電膜 155 及第一端子 151 相互接觸於第 13A1 圖中之部分。

第 13B1 及 13B2 圖分別係源極導線端子部分的橫剖面視圖及頂視圖，其係與第 11C 圖中所描繪的源極端子部分不同。此外，第 13B1 圖對應於沿著第 13B2 圖之 F1-F2 所取得的橫剖面視圖。在第 13B1 圖中，形成於保護絕緣層 154 之上的透明導電膜 155 係用作輸入端子的連接端子電極。再者，在第 13B1 圖的端子部之中，藉由與閘極導線相同的材料所形成的電極層 156 係設置於第二端子 150 的下方，且以閘極絕緣層 152 插入其間而與第二端子 150

重疊，該第二端子 150 係電性連接至源極導線。電極層 156 並未電性連接至第二端子 150，且若電極層 156 的電位係設定為諸如浮動、GND、或 0V 之與第二端子 150 的電位不同的電位時，則可形成防止雜訊或靜電的電容器。第二端子 150 係透過保護絕緣層 154 的開口部分而電性連接至透明導電膜 155。

複數個閘極導線，源極導線，及電容器導線係根據像素密度而設置。而且，在端子部之中，與閘極導線相同電位的第一端子、與源極導線相同電位的第二端子、與電容器導線相同電位的第三端子、及其類似端子係各自複數個地設置。各該等端子的數目可為任何數目，且該等端子的數目可由業者適當地決定。

透過上述之五個光微影術步驟，儲存電容器及包含底部閘極交錯型薄膜電晶體 170 的像素薄膜電晶體部可使用五個光罩而完成。然後，將它們配置於對應於像素的矩陣之中，以致使像素部形成；因此，可形成用以製造主動矩陣顯示裝置的一基板。在此說明書中，為便利起見，將此基板稱為主動矩陣基板。

在製造主動矩陣液晶顯示裝置的情況中，主動矩陣基板與設置有相對電極的相對基板係以液晶層插入其間而被接合在一起。注意的是，電性連接至相對基板的相對電極之共用電極係設置於主動矩陣基板之上，以及電性連接至共用電極的第四端子係設置於端子部之中。該第四端子係設置使得共用電極被設定為諸如 GND 或 0V 的固定電位。

此外，像素電極可以以保護絕緣層及閘極絕緣層插入其間而與鄰接之像素的閘極導線重疊，以便無需電容器導線而形成儲存電容器。

在主動矩陣液晶顯示裝置中，配置於矩陣中的像素電極被驅動而形成顯示圖案於螢幕上。特定地，電壓係施加於所選擇的像素電極與對應於該像素電極的相對電極之間，使得設置在像素電極與相對電極之間的液晶層被光學地調變，且此光學調變係由觀測者辨識成為顯示圖案。

在顯示移動影像中，液晶顯示裝置具有液晶分子本身的長回應時間會造成移動影像之殘留影像或模糊的問題。爲了要改善液晶顯示裝置的移動影像特徵，係使用其中黑色係在各個像框週期中顯示於整個螢幕上之所謂黑色插入的驅動方法。

選擇性地，可使用其中垂直同步頻率係比一般的垂直同步頻率高 1.5 倍或 2 倍或更多倍之所謂雙像框速率驅動法的驅動方法，以改善移動影像特徵。

進一步選擇性地，爲了要改善液晶顯示裝置的移動影像特徵，可使用其中使用複數個 LED（發光二極體）或複數個 EL 光源以形成表面光源做為背光，且該表面光源的各個光源係在一像框週期中以脈波方式予以驅動的驅動方法。做為表面光源，可使用三或更多種 LED，且可使用發射出白色光的 LED。因爲可獨立地控制複數個 LED，所以 LED 的發光時序可與光學調變液晶層的時序同步。根據此驅動方法，可使 LED 部分地關閉；因此，可獲得降低功

率消耗的能效，尤其是在顯示具有大部分顯示黑色之影像的情況中。

藉由結合該等驅動方法，當與習知之液晶顯示裝置的顯示特徵相比較時，可改善諸如移動影像特徵之液晶顯示裝置的該等顯示特徵。

在此說明書中所揭示的 n 通道電晶體包含氧化物半導體膜，其係使用於通道形成區且具有優異的動態特徵；因此，其可與該等驅動方法結合。

在製造發光顯示裝置中，有機發光元件的一電極（亦稱為陰極）係設定為諸如 GND 或 0V 之低電源供應電位；因此，端子部係設置有第四端子，用以設定該陰極成為諸如 GND 或 0V 之低電源供應電位。而且，在製造發光顯示裝置中，除了源極導線及閘極導線之外，亦設置電源供應線。從而，端子部係設置有電性連接至電源供應線的第五端子。

用於薄膜電晶體之氧化物半導體的使用使製造成本降低。特別地，因為諸如水分或其類似物之雜質係藉由用於脫水或脫氫的熱處理而予以降低，以便增加氧化物半導體膜的純度，所以可製造出包含具有優異電性特徵之高度可靠薄膜電晶體的半導體裝置，而無需使用其中沈積室的露點被降低之特殊的濺鍍設備或超高純度的金屬氧化物靶極。

在氧化物半導體層中的通道形成區係高電阻區；因此，使薄膜電晶體的電性特徵穩定，且可防止截止電流增

加。因而，可提供包含具有優異電性特徵之高度可靠薄膜電晶體的半導體裝置。

此實施例可與其他實施例中所述的任一結構適當地結合而實施。

〔實施例 4〕

將敘述顯示裝置於下文，其係本發明一實施例之半導體裝置的一實例。在該顯示裝置中，至少一部分之驅動器電路及將被設置於像素部中的薄膜電晶體係形成於一基板之上。

在像素部之中的薄膜電晶體係依據實施例 1 至 3 之任一實施例而形成。在實施例 1 至 3 之任一實施例中所述的薄膜電晶體係 n 通道 TFT；因此，可使用 n 通道 TFT 而形成之驅動器電路的部分係形成於與像素部分之薄膜電晶體相同的基板之上。

第 19A 圖係主動矩陣液晶顯示裝置之方塊圖的實例，其係半導體裝置的實例。第 19A 圖中所描繪的顯示裝置包含：像素部 5301，其包含複數個像素，該等像素係各設置有顯示元件；掃描線驅動器電路 5302，其選擇像素；以及信號線驅動器電路 5303，其控制輸入至所選擇之像素的視頻信號，於基板 5300 之上。

此外，實施例 1 至 3 的任一實施例中所述的薄膜電晶體係 n 通道 TFT，且包含該 n 通道 TFT 的信號線驅動器電路將參照第 20 圖來加以敘述。

第 20 圖中之信號線驅動器電路包含驅動器 IC 5601，開關組群 5602_1 至 5602_M，第一導線 5611，第二導線 5612，第三導線 5613，及導線 5621_1 至 5621_M。各開關組群 5602_1 至 5602_M 包含第一薄膜電晶體 5603a，第二薄膜電晶體 5603b，及第三薄膜電晶體 5603c。

驅動器 IC 5601 係連接至第一導線 5611，第二導線 5612，第三導線 5613，及導線 5621_1 至 5621_M。各個開關組群 5602_1 至 5602_M 係連接至第一導線 5611，第二導線 5612，及第三導線 5613；以及該等導線 5621_1 至 5621_M 係分別連接至開關組群 5602_1 至 5602_M。各導線 5621_1 至 5621_M 係經由第一薄膜電晶體 5603a，第二薄膜電晶體 5603b，及第三薄膜電晶體 5603c 而連接至三條信號線。例如，第 J 行之導線 5621_J（導線 5621_1 至 5621_M 的其中一者）係經由包含於開關組群 5602_J 中之第一薄膜電晶體 5603a，第二薄膜電晶體 5603b，及第三薄膜電晶體 5603c 而連接至信號線 Sj-1，信號線 Sj，及信號線 Sj+1。

信號係輸入至各第一導線 5611，第二導線 5612，及第三導線 5613。

注意的是，驅動器 IC 5601 係較佳地形成於單晶基板之上。進一步地，開關組群 5602_1 至 5602_M 係較佳地形成於與像素部相同的基板之上。因此，驅動器 IC 5601 及開關組群 5602_1 至 5602_M 係較佳地透過 FPC 或其類似物而連接。

其次，將參照第 21 圖的時序圖來敘述第 20 圖中所描繪之信號線驅動器電路的操作。第 21 圖係當選擇第 i 列中之掃描線 G_i 時的時序圖。第 i 列之掃描線 G_i 的選擇週期係畫分成爲第一子選擇週期 T_1 ，第二子選擇週期 T_2 ，及第三子選擇週期 T_3 。此外，第 20 圖中之信號線驅動器電路係與第 21 圖中之操作相似地操作，即使當選擇另一列的掃描線時亦然。

注意的是，第 21 圖中之時序圖顯示其中第 J 行之導線 5621_J 係經由第一薄膜電晶體 $5603a$ ，第二薄膜電晶體 $5603b$ ，及第三薄膜電晶體 $5603c$ 而連接至信號線 S_{j-1} ，信號線 S_j ，及信號線 S_{j+1} 。

第 21 圖中的時序圖顯示選擇第 i 列之掃描線 G_i 時的時序，第一薄膜電晶體 $5603a$ 之開/關的時序 $5703a$ ，第二薄膜電晶體 $5603b$ 之開/關的時序 $5703b$ ，第三薄膜電晶體 $5603c$ 之開/關的時序 $5703c$ ，及輸入至第 J 行之導線 5621_J 的信號 5721_J 。

在第一子選擇週期 T_1 、第二子選擇週期 T_2 、及第三子選擇週期 T_3 中，不同的視頻信號輸入至導線 5621_1 至 5621_M 。例如，在第一子選擇週期 T_1 中之輸入至導線 5621_J 的視頻信號係輸入至信號線 S_{j-1} ，在第二子選擇週期 T_2 中之輸入至導線 5621_J 的視頻信號係輸入至信號線 S_j ，以及在第三子選擇週期 T_3 中之輸入至導線 5621_J 的視頻信號係輸入至信號線 S_{j+1} 。此外，在第一子選擇週期 T_1 ，第二子選擇週期 T_2 ，及第三子選擇週期 T_3 中之輸入

至導線 5621_J 的該等視頻信號係由資料_j-1，資料_j，及資料_j+1 所表示。

如第 21 圖中所描繪地，在第一子選擇週期 T1 中，第一薄膜電晶體 5603a 開啓，以及第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 關閉。此時，輸入至導線 5621_J 的資料_j-1 係經由第一薄膜電晶體 5603a 而輸入至信號線 Sj-1。在第二子選擇週期 T2 中，第二薄膜電晶體 5603b 開啓，以及第一薄膜電晶體 5603a 及第三薄膜電晶體 5603c 關閉。此時，輸入至導線 5621_J 的資料_j 係經由第二薄膜電晶體 5603b 而輸入至信號線 Sj。在第三子選擇週期 T3 中，第三薄膜電晶體 5603c 開啓，以及第一薄膜電晶體 5603a 及第二薄膜電晶體 5603b 關閉。此時，輸入至導線 5621_J 的資料_j+1 係經由第三薄膜電晶體 5603c 而輸入至信號線 Sj+1。

如上述，在第 20 圖中的信號線驅動器電路之中，藉由畫分一開極選擇週期成為三個週期，可在一開極選擇週期中將視頻信號自一導線 5621 輸入至三信號線。因此，在第 20 圖中的信號線驅動器電路之中，設置有驅動器 IC 5601 的基板與設置有像素部的基板之連接數目可約為信號線數目的 1/3。連接數目降低至信號線數目的大約 1/3，以致可改善第 20 圖中之信號線驅動器電路的可靠度、產能、…等等。

注意的是，在薄膜電晶體的配置、數目、驅動方法、及類似者上，並無特殊的限制，只要可將一開極選擇週期

畫分成爲複數個子選擇週期，且如第 20 圖中所描繪地，可在個別的子選擇週期中將視頻信號自一導線輸入至複數個信號線即可。

例如，當在三或更多個子選擇週期中將視頻信號自一導線輸入至三或更多個信號線時，僅需增加薄膜電晶體和用以控制該薄膜電晶體的導線。注意的是，當將一閘極選擇週期畫分成爲四或更多個子選擇週期時，一子選擇週期會變得更短。因此，較佳地，將一選擇週期畫分成爲二或三個子選擇週期。

做爲另一實例，可將一選擇週期畫分成爲預充電週期 T_p 、第一子選擇週期 T_1 、第二子選擇週期 T_2 、及第三子選擇週期 T_3 ，如第 22 圖中之時序圖中所描繪地。第 22 圖中的時序圖顯示選擇第 i 列之掃描線 G_i 時的時序，第一薄膜電晶體 5603a 之開/關的時序 5803a，第二薄膜電晶體 5603b 之開/關的時序 5803b，第三薄膜電晶體 5603c 之開關的時序 5803c，及輸入至第 J 行之導線 5621_J 的信號 5821_J。如第 22 圖中所描繪地，第一薄膜電晶體 5603a、第二薄膜電晶體 5603b、第三薄膜電晶體 5603c 係開啓於預充電週期 T_p 中。此時，輸入至導線 5621_J 的預充電壓 V_p 係經由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b、及第三薄膜電晶體 5603c 而輸入至各個信號線 S_{j-1} 、信號線 S_j 、及信號線 S_{j+1} 。在第一子選擇週期 T_1 中，第一薄膜電晶體 5603a 開啓，以及第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 關閉。此時，輸入至導線

5621_J 的資料 $_j-1$ 係經由第一薄膜電晶體 5603a 而輸入至信號線 S_{j-1} 。在第二子選擇週期 T2 中，第二薄膜電晶體 5603b 開啓，以及第一薄膜電晶體 5603a 及第三薄膜電晶體 5603c 關閉。此時，輸入至導線 5621_J 的資料 $_j$ 係經由第二薄膜電晶體 5603b 而輸入至信號線 S_j 。在第三子選擇週期 T3 中，第三薄膜電晶體 5603c 開啓，以及第一薄膜電晶體 5603a 及第二薄膜電晶體 5603b 關閉。此時，輸入至導線 5621_J 的資料 $_j+1$ 係經由第三薄膜電晶體 5603c 而輸入至信號線 S_{j+1} 。

如上述地，在施加第 22 圖的時序圖之第 20 圖的信號線驅動器電路中，信號線可藉由提供預充電選擇週期於子選擇週期之前而予以預充電。因此，視頻信號可高速地寫入至像素。注意的是，與第 21 圖中的該等部分相似之第 22 圖中的部分係由共同的參考符號所表示，且相同部分及具有相似功能的部分之詳細說明將予以省略。

進一步地，將敘述掃描線驅動器電路的結構。掃描線驅動器電路包含移位暫存器。此外，掃描線驅動器電路可在某些情況中包含位準移位器，緩衝器，及其類似物。在掃描線驅動器電路中，當輸入時脈信號 (CLK) 及起始脈波信號 (SP) 至移位暫存器時，產生選擇信號。所產生的選擇信號係藉由緩衝器而緩衝及放大，且所生成的信號係供應至對應的信號線。在一列像素中之電晶體的閘極電極係連接至掃描線。因為在一列像素中之電晶體必須一次全部地開啓，所以使用可供應大電流之緩衝器。

將參照第 23 圖及 24 圖來敘述使用於掃描線驅動器電路的一部分之移位暫存器的一模式。

第 23 圖描繪移位暫存器的電路組態。第 23 圖中所描繪的移位暫存器包含複數個正反器：正反器 5701_1 至 5701_n。該移位暫存器係以第一時脈信號，第二時脈信號，起始脈波信號，及重設信號的輸入而操作。

將敘述第 23 圖中之移位暫存器的連接關係。在第 23 圖之移位暫存器中的第 i 級正反器 5701_i（正反器 5701_1 至 5701_n 的其中任一者）中，第 24 圖中所描繪的第一導線 5501 係連接至第七導線 5717_i-1；第 24 圖中所描繪的第二導線 5502 係連接至第七導線 5717_i+1；第 24 圖中所描繪的第三導線 5503 係連接至第七導線 5717_i；以及第 24 圖中所描繪的第六導線 5506 係連接至第五導線 5715。

進一步地，第 24 圖中所描繪的第四導線 5504 係連接至奇數級之正反器中的第二導線 5712，且連接至偶數級之正反器中的第三導線 5713。第 24 圖中所描繪的第五導線 5505 係連接至第四導線 5714。

注意的是，第一級之正反器 5701_1 的第 24 圖中所示之第一導線 5501 係連接至第一導線 5711，以及第 n 級之正反器 5701_n 的第 24 圖中所示之第二導線 5502 係連接至第六導線 5716。

注意的是，第一導線 5711，第二導線 5712，第三導線 5713，及第六導線 5716 可分別稱為第一信號線，第二信號線，第三信號線，及第四信號線。第四導線 5714 及

第五導線 5715 可分別稱為第一電源供應線及第二電源供應線。

其次，第 24 圖描繪第 23 圖中所描繪之正反器的細節。第 24 圖中所描繪的正反器包含第一薄膜電晶體 5571，第二薄膜電晶體 5572，第三薄膜電晶體 5573，第四薄膜電晶體 5574，第五薄膜電晶體 5575，第六薄膜電晶體 5576，第七薄膜電晶體 5577，以及第八薄膜電晶體 5578。第一薄膜電晶體 5571，第二薄膜電晶體 5572，第三薄膜電晶體 5573，第四薄膜電晶體 5574，第五薄膜電晶體 5575，第六薄膜電晶體 5576，第七薄膜電晶體 5577，及第八薄膜電晶體 5578 各係 n 通道電晶體，且當閘極－源極電壓（ V_{gs} ）超過臨限電壓（ V_{th} ）時開啓。

接著，將敘述第 23 圖中所描繪的正反器之連接於下文。

第一薄膜電晶體 5571 的第一電極（源極電極及汲極電極的其中一者）係連接至第四導線 5504。第一薄膜電晶體 5571 的第二電極（源極電極及汲極電極的另一者）係連接至第三導線 5503。

第二薄膜電晶體 5572 的第一電極係連接至第六導線 5506。第二薄膜電晶體 5572 的第二電極係連接至第三導線 5503。

第三薄膜電晶體 5573 的第一電極係連接至第五導線 5505，而且第三薄膜電晶體 5573 的第二電極係連接至第二薄膜電晶體 5572 的閘極電極。第三薄膜電晶體 5573 的

閘極電極係連接至第五導線 5505。

第四薄膜電晶體 5574 的第一電極係連接至第六導線 5506。第四薄膜電晶體 5574 的第二電極係連接至第二薄膜電晶體 5572 的閘極電極。第四薄膜電晶體 5574 的閘極電極係連接至第一薄膜電晶體 5571 的閘極電極。

第五薄膜電晶體 5575 的第一電極係連接至第五導線 5505。第五薄膜電晶體 5575 的第二電極係連接至第一薄膜電晶體 5571 的閘極電極。第五薄膜電晶體 5575 的閘極電極係連接至第一導線 5501。

第六薄膜電晶體 5576 的第一電極係連接至第六導線 5506。第六薄膜電晶體 5576 的第二電極係連接至第一薄膜電晶體 5571 的閘極電極。第六薄膜電晶體 5576 的閘極電極係連接至第二薄膜電晶體 5572 的閘極電極。

第七薄膜電晶體 5577 的第一電極係連接至第六導線 5506。第七薄膜電晶體 5577 的第二電極係連接至第一薄膜電晶體 5571 的閘極電極。第七薄膜電晶體 5577 的閘極電極係連接至第二導線 5502。第八薄膜電晶體 5578 的第一電極係連接至第六導線 5506。第八薄膜電晶體 5578 的第二電極係連接至第二薄膜電晶體 5572 的閘極電極。第八薄膜電晶體 5578 的閘極電極係連接至第一導線 5501。

注意的是，連接第一薄膜電晶體 5571 的閘極電極，第四薄膜電晶體 5574 的閘極電極，第五薄膜電晶體 5575 的第二電極，第六薄膜電晶體 5576 的第二電極，及第七薄膜電晶體 5577 的第二電極於該處之點係各稱為結點

5543。連接第二薄膜電晶體 5572 的閘極電極，第三薄膜電晶體 5573 的第二電極，第四薄膜電晶體 5574 的第二電極，第六薄膜電晶體 5576 的閘極電極，及第八薄膜電晶體 5578 的第二電極於該處之點係各稱為結點 5544。

注意的是，第一導線 5501，第二導線 5502，第三導線 5503，及第四導線 5504 可分別稱為第一信號線，第二信號線，第三信號線，及第四信號線。第五導線 5505 及第六導線 5506 可分別稱為第一電源供應線及第二電源供應線。

此外，信號線驅動器電路及掃描線驅動器電路可僅使用實施例 1 至 3 之任一實施例中所述的 n 通道 TFT 而製造。在實施例 1 至 3 之任一實施例中所述的 n 通道 TFT 具有高遷移率，且因此，可使驅動器電路的驅動頻率變高。進一步地，在實施例 1 至 3 之任一實施例中所述的 n 通道 TFT 的情況中，因為寄生電容降低，所以頻率特徵（亦稱為 f 特徵）係優異的。例如，使用實施例 1 至 3 之任一實施例中所述的 n 通道 TFT 的掃描線驅動器電路可高速地操作，且因此，可增加像框頻率以及可實現黑色影像及其類似物的插入。

此外，例如當增加掃描線驅動器電路中的通道寬度，或提供複數個掃描線驅動器電路時，可實現更高的像框頻率。當提供複數個掃描線驅動器電路時，用以驅動偶數列的掃描線之掃描線驅動器電路係設置於一側，以及用以驅動奇數列的掃描線之掃描線驅動器電路係設置於相對側；

因此，可實現像框頻率的增加。再者，在增加顯示裝置的尺寸中，用以對相同掃描線的信號輸出之複數個掃描線驅動器電路的使用係有利的。

進一步地，當製造半導體裝置之實例的主動矩陣發光顯示裝置時，複數個薄膜電晶體係配置於至少一像素之中，且較佳的是，提供複數個掃描線驅動器電路。第 19B 圖係主動矩陣發光顯示裝置之方塊圖的實例。

第 19B 圖中所描繪的發光顯示裝置包含：像素部 5401，包含各設置有顯示元件之複數個像素；第一掃描線驅動器電路 5402 及第二掃描線驅動器電路 5404，其各輸入信號於與給定像素接觸的掃描線中；以及信號線驅動器電路 5403，其控制所輸入至與給定像素接觸之信號線的視頻信號，於基板 5400 之上。

在輸入數位視頻信號至第 19B 圖的發光顯示裝置之像素的情況中，像素係藉由切換像素之電晶體的開/關而被置於發光狀態或非發光狀態中。因此，灰階可使用區域灰階法或時間灰階法而顯示。區域灰階法意指其中將一像素畫分成爲複數個子像素，且個別之子像素係根據視頻信號而被獨立地驅動，以致使灰階顯示之驅動方法。此外，時間灰階法意指其中控制像素發射出光之期間的週期，以致使灰階顯示之驅動方法。

因爲發光元件的回應速度係比液晶元件或其類似物的回應速度更快，所以發光元件比液晶元件更適用於時間灰階法。特定地，在以時間灰階法顯示的情況中，一像素週

期係畫分成爲複數個子像框週期。然後，依據視頻信號，使像素中的發光元件在各個子像框週期中成爲發光狀態或不發光狀態。藉由畫分一像框週期成爲複數個子像框週期，則其中像素在一像框週期中實際發射出光的總時間長度可藉由視頻信號而控制，以致可顯示灰階。

注意的是，在第 19B 圖中所示的發光顯示裝置中，在其中一像素包含二開關 TFT 於該處的情況中，輸入至用作開關 TFT 之其中一者的閘極導線之第一掃描線的信號係由第一掃描線驅動器電路 5402 所產生，以及輸入至用作開關 TFT 之另一者的閘極導線之第二掃描線的信號係由第二掃描線驅動器電路 5404 所產生。然而，輸入至第一掃描線的信號及輸入至第二掃描線的信號可由一掃描線驅動器電路而產生。此外，具有使用以控制開關元件之操作的複數個掃描線係根據一像素中所包含之開關 TFT 的數目而被設置於各個像素中的可能。在此情況中，一掃描線驅動器電路可產生輸入至複數個掃描線的所有信號，或複數個掃描線驅動器電路可產生輸入至複數個掃描線的信號。

而且，在發光顯示裝置中，於驅動器電路中之可包含 n 通道 TFT 的驅動器電路之一部分可形成於與像素部之薄膜電晶體相同的基板之上。此外，信號線驅動器電路及掃描線驅動器電路可僅使用實施例 1 至 3 之任一實施例中所述的 n 通道 TFT 來加以製造。

此外，上述驅動器電路可使用於電子紙，而無需受限

於液晶顯示裝置或發光顯示裝置的應用，該電子紙可使用電性連接至開關元件的元件而驅動電子墨水。電子紙亦稱為電泳顯示裝置（電泳顯示器），且係有利於其中其具有與平面紙相同層級的可讀取性，其具有比其他顯示裝置更低的功率消耗，以及可使其變薄及變得輕便。

電泳顯示器可具有各式各樣的模式。然而，電泳顯示器包含分散於溶劑或溶質中之複數個微囊，各微囊包含可正充電的第一粒子及可負充電的第二粒子。藉由施加電場至該等微囊，在該等微囊之中的粒子會以彼此相反的方向移動，且僅聚集於一側之粒子的顏色會被顯現。注意的是，第一粒子及第二料子各包含顏料，且係透過電場而移動。此外，第一粒子及第二粒子具有不同的顏色（其可為無色）。

因此，電泳顯示器係使用所謂介電泳效應之顯示器，由於介電泳效應，具有高電介質常數之物質會移動至高電場區域。電泳顯示器並不需要使用在液晶顯示裝置中所需的偏光器基板；因此，電泳顯示裝置的重量會降低。

其中上述微囊分散於溶劑中的溶液稱為電子墨水。此電子墨水可被印刷於玻璃，塑膠，布料，紙張，或其類似物的表面上。再者，藉由使用濾色片或具有顏料之粒子，亦可獲得彩色顯示器。

此外，若複數個上述微囊係適當地配置於主動矩陣基板之上，以便插入於二電極之間時，可完成主動矩陣顯示裝置，且可藉由施加電場至該等微囊而執行顯示。例如，

可使用利用實施例 1 至 3 之任一實施例的薄膜電晶體所獲得之主動矩陣基板。

注意的是，在該等微囊中之第一粒子及第二粒子可各自地由選擇自導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、強誘電性材料、電致發光材料、電致色變材料、及磁泳材料之單一材料所形成，或由任何該等材料的複合材料所形成。

透過上述處理，可製造出高度可靠的顯示裝置成為半導體裝置。

此實施例可以以與其他實施例中所述之任一結構適當地結合而實施。

〔實施例 5〕

製造薄膜電晶體，以及可使用該薄膜電晶體於像素部之中且進一步地於驅動器電路之中而製造出具有顯示功能的半導體裝置（亦稱為顯示裝置）。此外，部分或全部的驅動器電路可使用薄膜電晶體而形成於與像素部相同的基板上，因而可獲得系統在面板上。

顯示裝置包含顯示元件。做為顯示元件，可使用液晶元件（亦稱為液晶顯示元件）或發光元件（亦稱為發光顯示元件）。發光元件在其種類中包含光亮度係由電流或電壓所控制之元件；且特定地，在該元件的種類中包含無機電致發光（EL）元件、有機 EL 元件、及其類似物。再者，可使用諸如電子墨水之對比係藉由電效應而改變的顯

示媒體。

此外，顯示裝置包含：面板，其中顯示元件係密封；以及模組，其中包含控制器或其類似物之 IC 係安裝於面板上。再者，對應於顯示裝置之製造方法中所使用的一實施例之元件基板係設置有用以供應電流至複數個像素的各個像素中之顯示元件的裝置。特定地，該元件基板可在其中僅設置顯示元件的像素電極之狀態，在形成將做為像素電極的導電膜之後的狀態，及在蝕刻導電膜以形成像素電極之前的狀態，或任何其他的狀態。

注意的是，在此說明書中之顯示裝置意指影像顯示裝置，顯示裝置，或光源（包含照明裝置）。進一步地，“顯示裝置”在其種類中包含以下模組：包含諸如撓性印刷電路（FPC），卷帶自動接合（TAB）帶，或卷帶承載器構裝（TCP）之連接器被附著的模組；具有 TAB 帶或 TCP，而該 TAB 帶或 TCP 係設置有印刷導線板於其末端處的模組；以及具有積體電路（IC），而該積體電路（IC）係藉由晶片在玻璃上（COG）方法以直接安裝於顯示元件上的模組。

將參照第 15A1，15A2，及 15B 圖來敘述半導體裝置之一實施例的液晶顯示面板之外觀及橫剖面。第 15A1 及 15A2 圖各係面板的平面視圖，其中各包含實施例 3 中所述的氧化物半導體層之高度可靠的薄膜電晶體 4010 及 4011，以及液晶元件 4013 係以密封劑 4005 而密封於第一基板 4001 與第二基板 4006 之間。第 15B 圖係沿著第

15A1 及 15A2 圖中之線 M-N 所取得的橫剖面視圖。

密封劑 4005 係設置以便包圍設置於第一基板 4001 上之像素部 4002 及掃描線驅動器電路 4004。第二基板 4006 係設置於像素部 4002 及掃描線驅動器電路 4004 之上。因此，像素部 4002 及掃描線驅動器電路 4004 係與液晶層 4008 藉由第一基板 4001，密封劑 4005，及第二基板 4006 而被一起密封。此外，使用單晶半導體膜或多晶半導體膜而形成於分離所製備之基板上的信號線驅動器電路 4003 係設置於第一基板 4001 上之與由密封劑 4005 所包圍之區域不同的區域中。

注意的是，分離所形成的驅動器電路之連接方法並未特別地受到限制，且 COG 法、線接合法、TAB 法、或其類似方法可予以使用。第 15A1 圖描繪其中信號線驅動器電路 4003 係由 COG 法所安裝的實例，以及第 15A2 圖描繪其中信號線驅動器電路 4003 係由 TAB 法所安裝的實例。

進一步地，設置於第一基板 4001 上的像素部 4002 及掃描線驅動器電路 4004 各包含複數個薄膜電晶體。第 15B 圖描繪包含於像素部 4002 中的薄膜電晶體 4010 及包含於掃描線驅動器電路 4004 中的薄膜電晶體 4011。在該等薄膜電晶體 4010 及 4011 之上，係設置絕緣層 4020 及 4021。

包含實施例 3 中所述之氧化物半導體層的任何高度可靠之薄膜電晶體可使用做為薄膜電晶體 4010 及 4011。選

擇性地，可使用實施例 1 或 2 中所述的薄膜電晶體。在此實施例中，該等薄膜電晶體 4010 及 4011 係 n 通道薄膜電晶體。

包含於液晶元件 4013 中之像素電極層 4030 係電性連接至薄膜電晶體 4010。液晶元件 4013 的相對電極層 4031 係設置用於第二基板 4006。其中像素電極層 4030，相對電極層 4031，及液晶層 4008 彼此相互重疊於該處的部分對應於液晶元件 4013。注意的是，像素電極層 4030 及相對電極層 4031 係分別設置有各自作用成為配向膜的絕緣層 4032 及絕緣層 4033，且液晶層 4008 係以絕緣層 4032 及 4033 於其間而插入於像素電極層 4030 與相對電極層 4031 之間。

注意的是，第一基板 4001 及第二基板 4006 可由玻璃、金屬（典型地，不銹鋼）、陶質物、或塑膠所形成。做為塑膠，可使用玻璃纖維強化塑膠（FRP）板、聚氟乙烯（PVF）膜、聚酯膜、或丙烯酸樹脂膜。此外，可使用具有其中鋁箔係插入於 PVF 膜或聚脂膜間之結構的薄片。

間隔物 4035 係藉由選擇性地蝕刻絕緣膜所獲得的柱狀間隔物，且係設置以便控制像素電極層 4030 與相對電極層 4031 之間的距離（胞格間隙）。選擇性地，亦可使用球狀間隔物。此外，相對電極層 4031 係電性連接至共用電位線，該共用電位線係形成於與薄膜電晶體 4010 相同的基板上。透過共用連接部分的使用，相對電極層

4031 及共用電位線可藉由配置於成對基板之間的導電粒子而彼此相互電性連接。注意的是，該等導電粒子係包含於密封劑 4005 之中。

選擇性地，可使用顯示藍色相而無需配向膜的液晶。藍色相係在當增加膽甾醇液晶的溫度時之同時，且正好在膽甾醇相改變成為各向同性相之前所產生的液晶相。因為藍色相係產生於唯一狹窄的溫度範圍之內，所以使用包含 5wt% 或更多的對掌劑以便改善溫度範圍之液晶組成物於液晶層 4008。包含顯示藍色相之液晶及對掌劑的液晶組成物具有 1 毫秒或更小之短的回應時間，且具有光學各向同性，而使得配向處理不再需要以及允許小的視角相依。

除了透射式液晶顯示裝置之外，本發明之實施例亦可施加至反射式液晶顯示裝置或半透射式液晶顯示裝置。

將敘述液晶顯示裝置的實例，其中偏光板係設置於基板的外表面之上（在觀視者側），以及使用於顯示元件的彩色層及電極層係設置於基板的內表面之上；然而，偏光板可設置於基板的內表面之上。偏光板和彩色層的堆疊結構並未受限於此實施例，且可根據偏光板及彩色層的材料或製造處理的條件而適當地設定。進一步地，可提供用作黑色矩陣的遮光膜。

爲了要降低薄膜電晶體的不平坦性及改善薄膜電晶體的可靠度，在任一上述實施例中所獲得的薄膜電晶體係以作用成為保護膜或平坦化絕緣膜的絕緣層（絕緣層 4020 及絕緣層 4021）來加以覆蓋。注意的是，保護膜係設置

以防止諸如有機物質、金屬、或存在於空氣中的水分之污染物雜質的進入，且較佳地係密質膜。該保護膜可透過濺鍍法，而以任一氧化矽膜、氮化矽膜、氮氧化矽膜、氧化氮化矽膜、氧化鋁膜、氮化鋁膜、氮氧化鋁膜、及氧化氮化鋁膜的單一層或堆疊層來加以形成。雖然其中保護膜係藉由濺鍍法而形成的實例係敘述於此實施例之中，但本發明的實施例並未受限於此方法，且各式各樣的方法可予以使用。

在此實施例中，具有堆疊層結構的絕緣層 4020 被形成為保護膜。在此，氧化矽膜係藉由濺鍍法而形成為絕緣層 4020 的第一層。當作保護膜之氧化矽膜的使用具有防止鋁膜之小丘的功效，該鋁膜係使用做為源極及汲極電極層。

做為保護膜的第二層，係形成絕緣層。在此，氮化矽膜係藉由濺鍍法而形成為絕緣層 4020 的第二層。當作保護膜之氮化矽膜的使用可防止鈉或其類似物之移動離子進入半導體區，以致可防止 TFT 之電性特徵的變化。

進一步地，在保護膜的 formed 之後，可在氮氛圍或空氣氛圍之下執行熱處理（在 300°C 或更低處）。

絕緣層 4021 係形成為平坦化絕緣膜。做為絕緣層 4021，可使用諸如聚醯亞胺、丙烯酸、苯并環丁烯、聚醯胺、或環氧之具有熱阻的有機材料。除了該等有機材料之外，亦可使用低電介質常數之材料（低 k 之材料）、矽氧烷基樹脂、PSG（磷矽酸鹽玻璃）、BPSG（硼矽酸鹽玻

璃)、或其類似物。注意的是,絕緣層 4021 可藉由堆疊複數個由該等材料所形成的絕緣膜而形成。

注意的是,矽氧烷基樹脂對應於使用矽氧烷基材料做為起始材料所形成之包含 Si-O-Si 鍵的樹脂。矽氧烷基樹脂可包含有機基(例如,烷基或芳香基)或氟基做為替代基。此外,該有機基可包含氟基。

絕緣層 4021 的形成方法並未受到特別的限制,且可根據材料而使用以下方法:濺鍍法、SOG 法、旋塗法、浸漬法、噴塗法、微滴排放法(例如,噴墨法,網版印刷法,平板印刷法,或其類似方法)、刮刀法、滾輪塗佈機、簾幕塗佈機、刀塗機、或其類似方法。當同時地執行絕緣層 4021 的烘烤及氧化物半導體層的退火時,可有效率地製造出半導體裝置。

像素電極層 4030 及相對電極層 4031 可使用諸如包含氧化鎢之氧化銦,包含氧化鎢之銦鋅氧化物,包含氧化鈦之氧化銦,包含氧化鈦之銦錫氧化物,銦錫氧化物(下文稱爲 ITO),銦鋅氧化物,添加氧化矽之銦錫氧化物,或其類似之透光導電材料而形成。

包含高分子量之導電分子的導電組成物(亦稱爲導電聚合物)可使用於像素電極層 4030 及相對電極層 4031。使用導電組成物所形成的像素電極較佳地具有低於或等於每平方 10000 歐姆的片電阻,以及在 550 奈米的波長處大於或等於 70%的透射比。進一步地,包含於導電組成物中的高分子量之導電分子的電阻率較佳地係低於或等於 0.1

歐姆・公分。

做為高分子量之導電分子，可使用所謂 π 電子共軛導電聚合物。例如，可給定聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、該等之二或多種的共聚物、及其類似物。

進一步地，各式各樣的信號及電位係自 FPC 4018 供應至分離所形成之信號線驅動器電路 4003，掃描線驅動器電路 4004，或像素部 4002。

連接端子電極 4015 係使用與包含於液晶元件 4013 中之像素電極層 4030 相同的導電膜而形成。端子電極 4016 係使用與包含於薄膜電晶體 4010 及 4011 中之源極及汲極電極層相同的導電膜而形成。

連接端子電極 4015 係經由各向異性導電膜 4019 而電性連接至 FPC 4018 中所包含的端子。

注意的是，第 15A1、15A2、及 15B 圖描繪其中信號線驅動器電路 4003 係分離地形成，且安裝於第一基板 4001 上之實例；然而，本發明並未受限於此結構。掃描線驅動器電路可分離地形成且然後被安裝，或僅部分之信號線驅動器電路或部分之掃描線驅動器電路可分離地形成且然後被安裝。

第 25 圖顯示其中液晶顯示模組係使用依據此說明書中所揭示的製造方法所製造之 TFT 基板 2600 而形成為半導體裝置的實例。

第 25 圖描繪液晶顯示模組的實例，其中 TFT 基板

2600 與相對基板 2601 係以密封劑 2602 而彼此相互地固定，且包含 TFT 或其類似物之像素部 2603、包含液晶層之顯示元件 2604、及彩色層 2605 係設置於該等基板之間以形成顯示區。彩色層 2605 係執行彩色顯示所必要的。在 RGB 系統中，對應於紅、綠、及藍之彩色的個別彩色層係設置用於個別的像素。偏光板 2606 及 2607 以及漫射板 2613 係設置於 TFT 基板 2600 及相對基板 2601 的外側。光源包含冷陰極管 2610 及反射板 2611，以及電路基板 2612 係藉由撓性導線板 2609 而連接至 TFT 基板 2600 的導線電路部 2608 且包含諸如控制電路或電源電路的外部電路。偏光板及液晶層可以以延遲板於其間而堆疊。

液晶顯示模組可使用 TN（扭轉向列）模式，IPS（平面切換）模式，FFS（邊界電場切換）模式，MVA（多域垂直配向）模式，PVA（圖案垂直配向）模式，ASM（軸對稱配向微胞）模式，OCB（光學補償雙折射）模式，FLC（強誘電性液晶）模式，AFLC（反強誘電性液晶）模式，或其類似模式。

透過上述處理，可製造出成為半導體裝置之高度可靠的液晶顯示面板。

此實施例可以與其他實施例中所述之結構適當地結合而實施。

〔實施例 6〕

將敘述電子紙做為半導體裝置的實例。

在實施例 1 至 3 之任一實施例中所述的薄膜電晶體可使用於電子紙，其中電子墨水係由電性連接至開關元件的元件所驅動。電子紙亦稱為電泳顯示裝置（電泳顯示器），且具有其中其具有與普通紙相同層級的可讀取性、其具有比其他顯示裝置更低的功率消耗、以及可使其變薄及輕便的益處。

電泳顯示器可具有各式各樣的模式。電泳顯示器包含分散於溶劑或溶質中之複數個微囊，各微囊包含可正充電的第一粒子及可負充電的第二粒子。藉由施加電場至該等微囊，在該等微囊之中的粒子會以彼此相反的方向移動，且僅集中於一側之粒子的顏色會被顯現。注意的是，第一粒子及第二粒子各包含顏料，且係透過電場而移動。此外，第一粒子及第二粒子具有不同的顏色（其可為無色）。

因此，電泳顯示器係使用所謂介電泳效應之顯示器，由於介電泳效應，具有高電介質常數之物質會移動至高電場區域。

其中上述微囊分散於溶劑中的溶液稱為電子墨水。此電子墨水可被印刷於玻璃，塑膠，布料，紙張，或其類似物的表面上。再者，藉由使用濾色片或具有顏料之粒子，亦可獲得彩色顯示器。

此外，若複數個上述微囊係適當地配置於主動矩陣基板之上，以便插入於二電極之間時，可完成主動矩陣顯示裝置，且可藉由施加電場至該等微囊而執行顯示。例如，

可使用利用實施例 1 至 3 之任一實施例的薄膜電晶體所獲得之主動矩陣基板。

注意的是，在該等微囊中之第一粒子及第二粒子可各自地藉由選擇自導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、強誘電性材料、電致發光材料、電致色變材料、及磁泳材料之單一材料所形成，或由任何該等材料的複合材料所形成。

第 14 圖描繪主動矩陣電子紙做為半導體裝置的實例。使用於該半導體裝置之薄膜電晶體 581 可以以與實施例 1 中所述之薄膜電晶體相似的方式而形成，其係包含氧化物半導體層之高度可靠的薄膜電晶體。在實施例 2 或實施例 3 中所述的薄膜電晶體亦可使用做為此實施例的薄膜電晶體 581。

第 14 圖中之電子紙係使用扭轉球顯示系統之顯示裝置的實例。該扭轉球顯示系統意指其中各以黑色及白色所著色的球狀粒子係配置於第一電極層與第二電極層之間，且電位差係產生於第一電極層與第二電極層之間以控制該等球狀粒子的取向，以致執行顯示的方法。

薄膜電晶體 581 係底部閘極薄膜電晶體且係覆蓋以絕緣膜 583，該絕緣膜 583 係與氧化物半導體層接觸。薄膜電晶體 581 的源極電極層或汲極電極層係在絕緣層 585 中所形成的開口部之中與第一電極層 587 接觸，藉以使薄膜電晶體 581 電性連接至第一電極層 587。在第一電極層 587 與第二電極層 588 之間，係設置球狀粒子 589。各個

球狀粒子 589 包含黑色區 590a 及白色區 590b，以及充填有液體於黑色區 590a 及白色區 590b 周圍的空腔 594。該等球狀粒子 589 係由諸如樹脂之充填劑 595 所包圍。第一電極層 587 對應於像素電極，以及第二電極層 588 對應於共用電極。第二電極層 588 係電性連接至設置於與薄膜電晶體 581 相同的基板 580 上之共同電位線，透過共同連接部的使用，第二電極層 588 可經由設置於基板 580 與基板 596 之間的導電粒子而電性連接至共同電位線。

進一步地，亦可使用電泳元件以取代扭轉球。使用其中封包透明液體，正充電的白色微粒，及負充電的黑色微粒之具有約 10 微米至 200 微米的直徑之微囊。在設置於第一電極層與第二電極層之間的微囊中，當電場係由第一電極層及第二電極層所施加時，白色微粒及黑色微粒會移動至相反側，以致可顯示白色或黑色。針對此理由，通常將電泳顯示裝置指定做為“電子紙”。電泳顯示元件具有比液晶顯示元件更高的反射比，且因此，輔助光並非必要，功率消耗低，以顯示部可在暗處辨識。進一步地，即使當電力並未被供應至顯示部時，可維持一旦已顯示的影像。因此，可儲存所顯示的影像，即使當具有顯示功能之半導體裝置（可簡稱為顯示裝置或設置有顯示裝置的半導體裝置）係遠距於電力源時亦然。

透過此處理，可製造出成為半導體裝置之高度可靠的電子紙。

此實施例可以以與其他實施例中所述之任一結構適當

地結合而實施。

〔實施例 7〕

將敘述發光顯示裝置做為半導體裝置的實例。在此，係敘述使用電致發光的發光元件做為包含於顯示裝置之中的顯示元件。使用電致發光的發光元件係依據發光材料係有機化合物或無機化合物而分類。大致地，前者係稱為有機 EL 元件，以及後者係稱為無機 EL 元件。

在有機 EL 元件中，藉由施加電壓至發光元件，電子及電洞係分別自成對的電極注入至包含發光有機化合物的層之內，且電流流動。該等載子（電子及電洞）復合，且因此，激發該發光有機化合物。該發光有機化合物自受激狀態返回至基態，藉以發射出光。由於此一機制，此發光元件係稱為電流激發發光元件。

無機 EL 元件係依據其元件結構而分類成為分散型無機 EL 元件及薄膜無機 EL 元件。分散型無機 EL 元件具有其中發光材料的粒子係分散於結合劑之中的發光層，且其之光發射機制係使用施體位準及受體位準的施體－受體復合型光發射。薄膜無機 EL 元件具有其中發光層係插入於電介質層之間，而該等電介質層係進一步插入於電極之間的結構，且其之光發射機制係使用金屬離子之內殼電子躍遷的局部型光發射。注意的是，在此將敘述有機 EL 元件做為發光元件的實例。

第 17 圖描繪可施加數位時間灰階驅動法之像素結構

的實例，做為施加本發明實施例之半導體裝置的實例。

將敘述可施加數位時間灰階驅動法之像素的結構及操作。此處，一像素包含二 n 通道電晶體，其各包含氧化物半導體層做為通道形成區。

像素 6400 包含開關電晶體 6401，驅動器電晶體 6402，發光元件 6404，及電容器 6403。開關電晶體 6401 的閘極係連接至掃描線 6406，開關電晶體 6401 的第一電極（源極電極及汲極電極的其中一者）係連接至信號線 6405，以及開關電晶體 6401 的第二電極（源極電極及汲極電極的另一者）係連接至驅動器電晶體 6402 的閘極。驅動器電晶體 6402 的閘極係經由電容器 6403 而連接至電源供應線 6407，驅動器電晶體 6402 的第一電極係連接至電源供應線 6407，以及驅動器電晶體 6402 的第二電極係連接至發光元件 6404 的第一電極（像素電極）。發光元件 6404 的第二電極對應於共用電極 6408。該共用電極 6408 係電性連接至設置在相同基板上之共用電位線。

發光元件 6404 的第二電極（共用電極 6408）係設定為低電源供應電位。注意的是，低電源供應電位係參考設定至電源供應線 6407 之高電源供應電位，而滿足低電源供應電位 < 高電源供應電位的電位。做為低電源供應電位，例如可使用 GND、0V、或其類似者。在高電源供應電位與低電源供應電位之間的電位差係施加至發光元件 6404，且電流係供應至發光元件 6404，以致使發光元件 6404 發射出光。在此，為了要使發光元件 6404 發射出

光，各個電位係設定使得高電源供應電位與低電源供應電位之間的電位差為發光元件 6404 的順向臨限電壓或更高。

注意的是，可將驅動器電晶體 6402 的閘極電容器使用成為電容器 6403 的替代物，以致可省略電容器 6403。驅動器電晶體 6402 的閘極電容器可形成於通道區與閘極電極之間。

在電壓輸入之電壓驅動法的情況中，視頻信號係輸入至驅動器電晶體 6402 的閘極，使得驅動器電晶體 6402 係在充分導通或關閉之二狀態的任一者之中。也就是說，驅動器電晶體 6402 操作於線性區之中。因為驅動器電晶體 6402 操作於線性區之中，所以將高於電源供應線 6407 之電壓的電壓施加至驅動器電晶體 6402 的閘極。注意的是，高於或等於（電源供應線之電壓+驅動器電晶體 6402 之 V_{th} ）的電壓被施加至信號線 6405。

在執行類比灰階驅動法以取代數位時間灰階驅動法的情況中，可藉由改變信號輸入而使用與第 17 圖中之像素結構相同的像素結構。

在執行類比灰階驅動法的情況中，高於或等於（發光元件 6404 之順向電壓+驅動器電晶體 6402 之 V_{th} ）的電壓被施加至驅動器電晶體 6402 的閘極。發光元件 6404 的順向電壓表示可獲得所欲之光亮度的電壓，且至少包含順向臨限電壓。輸入使驅動器電晶體 6402 可操作於飽和區中的視頻信號，以致電流可供應至發光元件 6404。為了

要使驅動器電晶體 6402 操作於飽和區之中，電源供應線 6407 的電位係設定為比驅動器電晶體 6402 的閘極電位更高。當使用類比視頻信號時，可依據該視頻信號而饋送電流至發光元件 6404 且執行類比灰階驅動。

注意的是，第 17 圖中所描繪的像素結構並未受限於該結構。例如，可將開關，電阻器，電晶體，邏輯電路，或其類似物添加至第 17 圖中所描繪的像素。

其次，將參照第 18A 至 18C 圖以敘述發光元件的結構。此處，係敘述 n 通道驅動 TFT 的情況中之像素的橫剖面結構做為實例。分別描繪於第 18A、18B、及 18C 圖中之使用於半導體裝置中的驅動 TFT 7001、7011、及 7021 可以以與實施例 1 中所述的薄膜電晶體之方式相似的方式而形成，且係各包含氧化物半導體層之高度可靠的薄膜電晶體。選擇性地，可將實施例 2 或 3 中所述的薄膜電晶體使用做為驅動 TFT 7001、7011、7021。

爲了要提取發光元件的光發射，陽極及陰極的至少一者可為透明的。薄膜電晶體及發光元件係形成於基板上。發光元件可具有頂部發射結構，其中光發射係透過與基板相反的表面而提取；底部發射結構，其中光發射係透過基板側的表面而提取；或雙重發射結構，其中光發射係透過與基板相反的表面及基板側的表面而提取。像素結構可施加至具有任何該等發射結構的發光元件。

將參照第 18A 圖來敘述具有頂部發射結構的發光元件。

第 18A 圖係其中為驅動 TFT 的薄膜電晶體 (TFT) 7001 係 n 通道 TFT，且自發光元件 7002 所發射出的光通過陽極 7005 之情況中的像素之橫剖面視圖。在第 18A 圖中，發光元件 7002 的陰極 7003 係電性連接至用作驅動器 TFT 的 TFT 7001，且發光層 7004 及陽極 7005 係以此順序而堆疊於陰極 7003 之上。陰極 7003 可使用各式各樣的導電材料而形成，只要該等導電材料具有低功函數且可反射光即可。例如，所欲的是，使用 Ca、Al、MgAg、AlLi、或其類似物。發光層 7004 可使用單層或堆疊的複數個層而形成。在使用複數個層的情況中，電子注入層、電子傳輸層、發光層、電洞傳輸層、及電洞注入層係以此順序而堆疊於陰極 7003 之上。無需一定要形成所有該等層。陽極 7005 係使用諸如包含氧化鎢之氧化銦，包含氧化鎢之銦鋅氧化物，包含氧化鈦之氧化銦，包含氧化鈦之銦錫氧化物，銦錫氧化物，銦鋅氧化物，或添加氧化矽之銦錫氧化物之膜的透光導電膜而形成。

發光元件 7002 對應於其中發光層 7004 係插入於陰極 7003 與陽極 7005 之間的區域。在第 18A 圖中所示之像素的情況中，自發光元件 7002 所發射出的光係發射至陽極 7005 側，如箭頭所指示地。

接著，將參照第 18B 圖來敘述具有底部發射結構的發光元件。第 18B 圖係其中驅動 TFT 7011 係 n 通道 TFT，且在發光元件 7012 中所產生的光係發射出而通過陰極 7013 之情況中的像素之橫剖面視圖。在第 18B 圖中，發

光元件 7012 的陰極 7013 係形成於電性連接至驅動器 TFT 7011 的透光導電膜 7017 之上，且發光層 7014 及陽極 7015 係以此順序而堆疊於陰極 7013 之上。當陽極 7015 具有透光性質時，可將用以反射或阻擋光之遮光膜 7016 形成以覆蓋陽極 7015。用於陰極 7013，如在第 18A 圖之情況中一樣地，可使用各式各樣的材料，只要該陰極 7013 係具有低功函數的導電材料即可。該陰極 7013 係形成為具有可透射光的厚度（較佳地，約 5 奈米至 30 奈米）。例如，可使用具有 20 奈米之厚度的鋁膜做為陰極 7013。與第 18A 圖的情況相似地，發光層 7014 可使用單層或複數個層之堆疊層而形成。陽極 7015 係無需透射光，但可如第 18A 圖的情況中似地使用具有相對於可見光之透光性質的導電材料而形成。做為遮光膜 7016，例如可使用反射光之金屬或其類似物；然而，其並未受限於金屬膜。例如，亦可使用添加黑色顏料的樹脂或其類似物。

發光元件 7012 對應於其中發光層 7014 係插入於陰極 7013 與陽極 7015 之間的區域。在第 18B 圖中所描繪之像素的情況中，光係自發光元件 7012 發射出至陰極 7013 側，如箭頭所指示地。

其次，將參照第 18C 圖來敘述具有雙重發射結構的發光元件。在第 18C 圖中，發光元件 7022 的陰極 7023 係形成於電性連接至驅動 TFT 7021 的透光導電膜 7027 之上，且發光層 7024 及陽極 7025 係順序地堆疊於陰極 7023 之上。如在第 18A 圖的情況中似地，陰極 7023 可使用任何

種類的材料而形成，只要其係具有低功函數的導電材料即可。該陰極 7023 係形成為具有可透射光的厚度。例如，可使用具有 20 奈米之厚度的 Al 之膜做為陰極 7023。進一步地，發光層 7024 可由單層或堆疊之複數個層所形成，如第 18A 圖的情況中似地。陽極 7025 可如第 18A 圖的情況中似地由透光導電材料所製成。

發光元件 7022 對應於其中陰極 7023，發光層 7024，及陽極 7025 相互重疊的區域。在第 18C 圖中所描繪之像素的情況中，光係自發光元件 7022 發射出至陽極 7025 側及陰極 7023 側二側，如箭頭所指示地。

注意的是，雖然在此係敘述有機 EL 元件做為發光元件，但亦可提供無機 EL 元件做為發光元件。

注意的是，實例係敘述其中控制發光元件之驅動的薄膜電晶體（驅動 TFT）係連接至發光元件；然而，可使用其中用於電流控制之 TFT 係連接於驅動 TFT 與發光元件之間的結構。

注意的是，半導體裝置的結構並未受限於第 18A 至 18C 圖中所描繪的該等結構，且可根據此說明書中所揭示之技術而以各式各樣的方式來修正。

其次，將參照第 16A 及 16B 圖來敘述對應於依據本發明之半導體裝置之一模式之發光顯示面板（亦稱為發光面板）的外觀及橫剖面。第 16A 圖係面板的頂視圖，其中形成於第一基板上的薄膜電晶體及發光元件係以密封劑而密封於第一基板與第二基板之間。第 16B 圖係沿著第 16A

圖之線 H-I 所取得的橫剖面視圖。

密封劑 4505 係設置以便圍住設置在第一基板 4501 上之像素部 4502，信號線驅動器電路 4503a 及 4503b，以及掃描線驅動器電路 4504a 及 4504b。此外，第二基板 4506 係設置於像素部 4502，信號線驅動器電路 4503a 及 4503b，以及掃描線驅動器電路 4504a 及 4504b 之上。因此，像素部 4502、信號線驅動器電路 4503a 及 4503b、以及掃描線驅動器電路 4504a 及 4504b 係藉由第一基板 4501、密封劑 4505、及第二基板 4506 而與充填劑 4507 密封在一起。較佳的是，面板係透過具有高氣密性之保護膜（諸如疊層膜或紫外線硬化樹脂膜）或覆蓋材料，及少許脫泡而封裝（密封），以致使面板在此方式中不致暴露至外面空氣。

形成於第一基板 4501 上的像素部 4502、信號線驅動器電路 4503a 及 4503b、及掃描線驅動器電路 4504a 及 4504b 各包含複數個電晶體，且包含於像素部 4502 中的薄膜電晶體 4510 及包含於信號線驅動器電路 4503a 中的薄膜電晶體 4509 係描繪於第 16B 圖之中做為實例。

用於薄膜電晶體 4509 及 4510，可使用實施例 3 中所述之包含氧化物半導體層的高度可靠之薄膜電晶體。選擇性地，可使用實施例 1 或 2 中所述的薄膜電晶體做為薄膜電晶體 4509 及 4510。薄膜電晶體 4509 及 4510 係 n 通道薄膜電晶體。

此外，參考符號 4511 表示發光元件。包含於發光元

件 4511 中之為像素電極的第一電極層 4517 係電性連接至薄膜電晶體 4510 的源極電極層或汲極電極層。注意的是，雖然發光元件 4511 具有第一電極層 4517、發光層 4512、及第二電極層 4513 之堆疊結構，但發光元件 4511 的結構並未受限於此實施例中所述的結構。發光元件 4511 的結構可根據其中光自發光元件 4511 所提取的方向，或其類似者，而予以適當地改變。

隔板 4520 係使用有機樹脂膜，無機絕緣膜，或有機聚矽氧烷而形成。尤其，較佳的是，隔板 4520 係使用光敏材料而形成，且開口係形成於第一電極層 4517 上，以致使開口的側壁形成為具有連續曲率之傾斜表面。

發光層 4512 可使用單層或堆疊之複數個層而形成。

保護膜可形成於第二電極層 4513 及隔板 4520 之上，以防止氧、氫、水分、二氧化碳、或其類似物進入至發光元件 4511 之內。做為保護膜，可形成氮化矽膜、氧化氮化矽膜、DLC 膜、或其類似物。

此外，各式各樣的信號及電位係自撓性印刷電路（FPC）4518a 及 4518b 供應至信號線驅動器電路 4503a 及 4503b、掃描線驅動器電路 4504a 及 4504b、或像素部 4502。

連接端子電極 4515 係藉由與包含於發光元件 4511 中之第一電極層 4517 相同的導電膜所形成，以及端子電極 4516 係藉由與包含於薄膜電晶體 4509 及 4510 中之源極及汲極電極層相同的導電膜所形成。

連接端子電極 4515 係經由各向異性導電膜 4519 而電性連接至 FPC 4518a 之中所包含的端子。

當作位於其中光係自發光元件 4511 提取的方向中之第二基板 4506，需具有透光性質。在該情況中，諸如玻璃板、塑膠板、聚酯膜、或丙烯酸膜之透光材料被使用於該第二基板 4506。

做為充填劑 4507，除了諸如氮或氬之惰性氣體外，可使用紫外線硬化樹脂或熱固性樹脂。例如，可使用 PVC（聚氯乙烯）、丙烯酸、聚醯亞胺、環氧樹脂、矽基樹脂、PVB（聚乙烯醇縮丁醛）、或 EVA（乙烯－醋酸乙烯）。例如，氮係使用於該充填劑。

若需要時，可適當地設置諸如偏光板、圓形偏光板（包含橢圓偏光板）、延遲板（四分之一波板或半波板）、或濾色片以供發光元件的發光表面之用。進一步地，偏光板或橢圓偏光板可設置有抗反射膜。例如，可執行能藉由突出物及凹陷物來漫射反射光之抗眩光處理，以便降低眩光。

做為信號線驅動器電路 4503a 及 4503b 以及掃描線驅動器電路 4504a 及 4504b，可將使用單晶半導體膜或多晶半導體膜所形成的驅動器電路安裝於分離所製備的基板之上。此外，僅信號線驅動器電路或其部分，或僅掃描線驅動器電路或其部分可被分離地形成且安裝。此實施例並未受限於第 16A 及 16B 圖中所描繪的結構。

透過上述處理，可製造出成為半導體裝置之高度可靠

的發光顯示裝置（顯示面板）。

此實施例可與其他實施例中所述之任一結構適當地結合而實施。

〔實施例 8〕

在此說明書中所揭示的半導體裝置可施加至電子紙。電子紙可使用於各式各樣領域的電子器具，只要該等器具可顯示資料即可。例如，電子紙可施加至 e-book 閱讀器（電子書）、海報、諸如火車之交通工具中的廣告、或諸如信用卡之各式各樣卡片的顯示。該等電子裝置的實例係描繪於第 26 圖及第 27 圖之中。

第 26 圖描繪使用電子紙的海報 2631。在其中廣告媒體係印刷紙的情況中，廣告係由手所置換；然而，藉由使用此說明書中所揭示的電子紙，可在短時間改變廣告顯示。再者，可獲得穩定的影像而無顯示缺陷。注意的是，該海報可具有能無線傳送及接收資料的組態。

第 27 圖描繪電子書閱讀器 2700 的實例。例如，電子書閱讀器 2700 包含二外殼，外殼 2701 及外殼 2703。該外殼 2701 及外殼 2703 係以合葉 2711 而結合，以致使該電子書閱讀器 2700 可以以該合葉 2711 當作軸而打開及閉合。透過此結構，電子書閱讀器 2700 可以與紙做的書一樣地操作。

顯示部 2705 及顯示部 2707 係分別結合於外殼 2701 及外殼 2703 中。顯示部 2705 及顯示部 2707 可顯示一影

像或不同的影像。例如，在其中顯示部 2705 及顯示部 2707 顯示不同影像的情況中，在右側的顯示部（第 27 圖中之顯示部 2705）可顯示本文，以及在左側的顯示部（第 27 圖中之顯示部 2707）可顯示圖形。

第 27 圖描繪其中外殼 2701 係設置有操作部及其類似物的實例。例如，外殼 2701 係設置有電源開關 2721、操作鍵 2723、揚聲器 2725、及其類似物。透過操作鍵 2723，可翻轉書頁。注意的是，鍵盤、指標裝置、或其類似物亦可設置於配置有顯示器之外殼的表面。再者，外部連接端子（耳機端子，USB 端子，可連接至諸如 AC 轉接器及 USB 電纜之各式各樣電纜的端子，或其類似物）、記錄媒體插入部、及其類似物可設置於外殼的背面或側表面。此外，電子書閱讀器 2700 可具有電子字典的功能。

電子書閱讀器 2700 可具有能無線傳送及接收資料的組態。透過無線通訊，可自電子書伺服器採購及下載所欲的書資料或其類似物。

〔實施例 9〕

在此說明書中所揭示的半導體裝置可施加至各式各樣的電子器具（包含遊戲機）。電子器具的實例係電視機（亦稱為電視或電視接收器），電腦或其類似物之監測器，諸如數位相機或數位攝影機之相機，數位相框，行動電話機（亦稱為行動電話或行動電話裝置），可攜帶式遊戲機，可攜帶式資訊終端機，聲頻重現裝置，諸如柏青哥

機之大型遊戲機，及其類似物。

第 28A 圖描繪電視機 9600 的實例。在該電視機 9600 中，顯示部 9603 係結合於外殼 9601 中。該顯示部 9603 可顯示影像。在此，外殼 9601 係由座台 9605 所支撐。

電視機 9600 可以以外殼 9601 的操作開關或分離的遙控器 9610 操作。頻道和音量可以以遙控器 9610 的操作鍵 9609 控制，以致可控制顯示部 9603 上所顯示的影像。再者，遙控器 9610 可設置有顯示部 9607，用以顯示自遙控器 9610 所輸出的資料。

注意的是，電視機 9600 係設置有接收器、調變解調器、及其類似物。透過接收器，可接收一般的電視廣播。進一步地，當電視機 9600 係藉由有線或無線連接而經由調變解調器連接至通訊網路時，可執行單向（自發射器至接收器）或雙向（在發射器與接收器之間或在接收器之間）的資料通訊。

第 28B 圖描繪數位相框 9700 的實例。例如，在數位相框 9700 中，顯示部 9703 係結合於外殼 9701 中。顯示部 9703 可顯示各式各樣的影像。例如，顯示部 9703 可顯示透過數位相機或其類似物所拍攝之影像的資料。

注意的是，數位相框 9700 係設置有操作部、外部連接部（USB 端子，可連接至諸如 USB 電纜之各式各樣電纜的端子，或其類似物）、記錄媒體插入部、及其類似物。雖然該等組件可設置於配置顯示部的表面之上，但較佳的是，針對數位相框 9700 的設計而將它們設置於側表

面或背面之上。例如，儲存透過數位相機所拍攝的影像之資料的記憶體係插入於數位相框的記錄媒體插入部之中，藉以使影像資料可被轉移，且然後顯示於顯示部 9703 之上。

數位相框 9700 可組構以無線地傳送及接收資料。可使用其中所欲的影像資料係無線地轉移而被顯示的結構。

第 29A 圖係可攜帶式遊戲機且包含二外殼，外殼 9881 及外殼 9891，該等外殼係透過連接部 9893 而連接，以致使該可攜帶式遊戲機可被打開或摺疊。顯示部 9882 及顯示部 9883 係分別地結合於外殼 9881 及外殼 9891 之中。此外，第 29A 圖中所描繪之可攜帶式遊戲機係設置有揚聲器部 9884、記錄媒體插入部 9886、LED 燈 9890、輸入裝置（操作鍵 9885，連接端子 9887，感測器 9888（具有測量力、位移、位置、速度、加速度、角速率、轉數、距離、光、液體、磁性、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電功率、輻射線、流率、溼度、梯度、振動、氣味、或紅外線之功能），及微音器 9889）、及其類似物。不用多說地，可攜帶式遊戲機的結構並未受限於上述結構，且至少設置有在此說明書中所揭示之半導體裝置的其他結構可予以使用。可攜帶式遊戲機可適當地包含其他的附屬裝備。第 29A 圖中之可攜帶式遊戲機具有讀取儲存於記錄媒體中之程式或資料而顯示其於顯示部上的功能，以及藉由無線通訊而與另一可攜帶式遊戲機分享資訊的功能。注意的是，第 29A 圖中所描繪的可

攜帶式遊戲機之功能並未受限於上述功能，且該可攜帶式遊戲機可具有各式各樣的功能。

第 29B 圖描繪大型遊戲機之拉霸機 9900 的實例。在該拉霸機 9900 中，顯示部 9903 係結合於外殼 9901 之中。此外，拉霸機 9900 包含諸如起動桿或停止開關、投幣孔、揚聲器、及其類似物之操作裝置。不用多說地，拉霸機 9900 的結構並未受限於上述結構，且至少設置有在此說明書中所揭示之半導體裝置的其他結構可予以使用。該拉霸機 9900 可適當地包含其他的附屬裝備。

第 30A 圖係描繪可攜帶式電腦之實例的透視圖。

在第 30A 圖的可攜帶式電腦中，具有顯示部 9303 的頂部外殼 9301 及具有鍵盤 9304 的底部外殼 9302 可藉由閉合連接該頂部外殼 9301 及底部外殼 9302 的合葉單元而彼此相互重疊。第 30A 圖的可攜帶式電腦可便於攜帶，且在使用鍵盤以供輸入之用的情況中，該合葉單元被打開，且使用者可注視顯示部 9303 而輸入資料。

除了鍵盤 9304 之外，底部外殼 9302 包含指標裝置 9306，輸入可透過該指標裝置 9306 而執行。進一步地，當顯示部 9303 係觸控輸入面板時，輸入可藉由顯示部的觸控部件而執行。底部外殼 9302 包含諸如 CPU 或硬碟之算術功能部。此外，該底部外殼 9302 包含另一裝置，例如外部連接埠 9305，該外部連接埠可插入符合 USB 通訊標準的通訊電纜。

包含顯示部 9307 且可藉由滑動該顯示部 9307 朝向頂

部外殼 9301 之內部而保持該顯示部 9307 於其中的頂部外殼 9301 可具有大的顯示螢幕。此外，使用者可調整可保持於該頂部外殼 9301 中之顯示部 9307 的螢幕取向。當可保持於頂部外殼 9301 的顯示部 9307 係觸控輸入面板時，輸入可藉由可保持於頂部外殼 9301 中之顯示部 9307 的觸控部件而執行。

顯示部 9303 或可保持於頂部外殼 9301 中的顯示部 9307 係使用液晶顯示面板，諸如有機發光元件或無機發光元件之發光顯示面板，或其類似物而形成。

此外，在第 30A 圖中之可攜帶式電腦可設置有接收器及其類似物，且可接收電視廣播而顯示影像於顯示部之上。當連接頂部外殼 9301 及底部外殼 9302 的合葉單元保持閉合之同時，顯示部 9307 的整個螢幕藉由滑動該顯示部 9307 而暴露出時，使用者可觀看電視廣播。在此情況中，合葉單元並未打開，且顯示亦未執行於顯示部 9303 之上。此外，僅執行用以顯示電視廣播之電路的啟動。因此，可使功率消耗至最小，此係有用於電池容量受到限制之可攜帶式電腦。

第 30B 圖係透視圖，描繪類似於手錶之使用者可穿戴在手腕上的行動電話之實例。

此行動電話係透過主體而形成，該主體包含：通訊裝置，其包含至少電話功能，及電池；條帶部，其致使主體能被穿戴在手腕上；調整部 9205，用以調整被固定於手腕之條帶部的固著；顯示部 9201；揚聲器 9207；及微音

器 9208。

此外，該主體包含操作開關 9203。除了用作電源開關之外，該等操作開關 9203 可用作例如當按壓時用以起動網際網路之程式的開關、用以移轉顯示的開關、用以指示開始拍攝影像的開關、或其類似者，且可被組構以具有個別的功能。

對此行動電話的輸入係藉由以手指或輸入筆來碰觸顯示部 9201，操作該等操作開關 9203，或輸入語音至微音器 9208 內而操作。注意的是，顯示於顯示部 9201 之上的顯示鈕 9202 係描繪於第 30B 圖之中，輸入可藉由以手指或其類似物來碰觸顯示鈕 9202 而執行。

進一步地，主體包含相機部 9206，該相機部 9206 包含影像攝像裝置，該影像攝像裝置具有將透過相機鏡頭所形成之目標的影像轉換成為電子影像信號的功能。注意的是，無需一定要設置相機部。

第 30B 圖中所描繪的行動電話係設置有電視廣播之接收器及其類似物，且可藉由接收電視廣播而顯示影像於顯示部 9201 之上。此外，第 30B 圖中所描繪的行動電話係設置有諸如記憶體之記憶體裝置及其類似物，且可記錄電視廣播於該記憶體之中。第 30B 圖中所描繪的電話可具有諸如 GPS 之收集位置資訊的功能。

液晶顯示面板，諸如有機發光元件或無機發光元件之發光顯示面板，或其類似物係使用做為顯示部 9201。第 30B 圖中所描繪的電話係小型且輕便的，且因此，具有受

限的電池容量。因此，較佳地，使用可透過低功率消耗所驅動之面板做為顯示部 9201 的顯示裝置。

注意的是，第 30B 圖描繪穿戴在手腕上的電子裝置；然而，此實施例並未受限於該處，只要係使用可攜帶式形狀即可。

〔實施例 10〕

在此實施例中，將敘述製造方法的實例，此製造方法係與實施例 1 之製造方法部分地不同。在第 31A 至 31D 圖之中，描繪其中用於脫水或脫氫之熱處理係執行於源極及汲極電極層 405a 及 405b 形成之後的實例。注意的是，與第 1A 至 1D 圖之該等部分相似的部分係由相同的參考符號所表示。

以與實施例 1 相似的方式，在具有絕緣表面的基板 400 之上，形成閘極電極層 401、閘極絕緣層 402、及氧化物半導體層 430（請參閱第 31A 圖）。

形成源極及汲極電極層 405a 及 405b 於氧化物半導體層 430 之上，且將氧化物半導體層 430 部分地蝕刻，以致使氧化物半導體層 441 形成（請參閱第 31B 圖）。

其次，使氧化物半導體層 441 以及源極及汲極電極層 405a 及 405b 接受惰性氣體（氮，氬，氖，氫，或其類似物）氛圍下或降低壓力下的熱處理，且然後，接受氧氛圍下的緩慢冷卻。此熱處理造成氧化物半導體層 441 中的脫水或脫氫處理，以致使該氧化物半導體層 441 的電阻降

低。因此，可獲得低電阻氧化物半導體層 432（請參閱第 31C 圖）。注意的是，當作源極及汲極電極層 405a 及 405b，可使用諸如鎢或鉬之可耐受該熱處理的材料。

在熱處理及緩慢冷卻之後，氧化物絕緣膜 407 係藉由無需暴露至空氣的濺鍍法或 PCVD 法，而形成爲與氧化物半導體層 432 接觸。當氧化物絕緣膜 407 係藉由濺鍍法或 PCVD 法而形成爲與低電阻氧化物半導體層 432 接觸時，在該低電阻氧化物半導體層 432 中，至少與氧化物絕緣膜 407 接觸之區域的電阻會增加（較佳地，載子濃度降低至低於 $1 \times 10^{18}/\text{cm}^3$ ），以致可獲得高電阻氧化物半導體區。因此，該氧化物半導體層 432 變成具有高電阻氧化物半導體區的氧化物半導體層 403（第三氧化物半導體層），且然後，可完成薄膜電晶體 470（請參閱第 31D 圖）。

包含於氧化物半導體層中的雜質（諸如 H_2O ，H，及 OH）係藉由執行用於脫水或脫氫之熱處理而降低，且載子濃度會增加。隨後，緩慢冷卻係執行於氧氛圍之下。然後，執行與氧化物半導體層接觸之氧化物絕緣膜或其類似物的形成，使得載子濃度降低。因此，可改善薄膜電晶體 470 的可靠度。

進一步地，此實施例可與實施例 1 自由地結合。

〔實施例 11〕

將參照第 32 圖來敘述半導體裝置及該半導體裝置的製造方法。與實施例 1 中所述之該等部分相同的部分或具

有相似功能的部分可以以相似於實施例 1 中之方式來予以形成；因此，將省略重複的說明。

第 32 圖中所描繪的薄膜電晶體 471 係實例，其中導電層 408 被設置成以絕緣膜插入於其間而與閘極電極層 401 及氧化物半導體層 403 的通道區重疊。

第 32 圖係包含於半導體裝置中之薄膜電晶體 471 的橫剖面視圖。薄膜電晶體 471 係雙重閘極薄膜電晶體，且包含閘極電極層 401、閘極絕緣層 402、半導體層 403、源極及汲極電極層 405a 及 405b、氧化物絕緣膜 407、及導電層 408 於基板 400 之上，該基板 400 係具有絕緣表面的基板。導電層 408 係設置於氧化物絕緣膜 407 之上，以便與閘極電極層 401 重疊。

導電層 408 可使用與閘極電極層 401 以及源極及汲極電極層 405a 及 405b 之材料相似的材料，而藉由與該處相似的方法以形成，在提供像素電極層的情況中，導電層 408 可使用與像素電極之材料相似的材料，而藉由與該處相似的方法以形成。在此實施例中，導電層 408 係使用鈦膜、鋁膜、及鈦膜的堆疊層而形成。

導電層 408 可具有與閘極電極層 401 相同的電位或具有與閘極電極層 401 之電位不同的電位，且可作用成為第二閘極電極層。進一步地，導電層 408 可在浮動狀態中。

此外，藉由提供導電層 408 於與氧化物半導體層 403 重疊的位置中，在用以檢驗薄膜電晶體的可靠度之偏動溫度應力測試（BT 測試）中，可降低該 BT 測試的前後之間

之薄膜電晶體 471 的臨限電壓中之偏移量。尤其，依據其中在基板溫度增加至 150℃ 之後施加 -20V 的電壓至閘極之一 BT 測試，可抑制臨限電壓中的偏移。

此實施例可以與實施例 1 自由地結合。

〔實施例 12〕

此實施例使用第 33 圖來敘述半導體裝置及該半導體裝置的製造方法。與實施例 1 中所敘述之該等部分相同的部分或具有相似功能的部分，以及用以製成該等部分之製造步驟可以以相似於實施例 1 中所述方式的方式來加以形成；因此，將省略重複的說明。

第 33 圖中所描繪的薄膜電晶體 472 係其中導電層 419 被設置成與閘極電極層 401 及半導體層 403 的通道區重疊之模式。在此實施例中，氧化物絕緣膜 407 及絕緣層 410 係插入於在一側的導電層 419 與在另一側的閘極電極層 401 及氧化物半導體層 403 的通道區之間。

第 33 圖係包含於半導體裝置中之薄膜電晶體 472 的橫剖面視圖。該薄膜電晶體 472 係雙重閘極薄膜電晶體，且包含閘極電極層 401、閘極絕緣層 402、氧化物半導體層 403、源極及汲極區 404a 及 404b、源極及汲極電極層 405a 及 405b、氧化物絕緣膜 407、絕緣層 410、及導電層 419 於具有絕緣表面的基板 400 之上。導電層 419 係設置於絕緣層 410 之上，而與閘極電極層 401 重疊。

當源極及汲極區 404a 及 404b 係設置於氧化物半導體

層 403 與源極及汲極電極層 405a 及 405b 之間時，可獲得良好的接面於源極及汲極電極層 405a 及 405b 與氧化物半導體層 403 之間，該等源極及汲極電極層 405a 及 405b 係金屬層。結果，在此情況中可獲得比在提供肖特基（Schottky）接面的情況中更高的熱穩定性。此外，因為電阻降低，所以可確保良好的遷移率，即使具有高的汲極電壓時亦然。

進一步地，此實施例並未受限於包含源極及汲極區 406a 及 406b 之上述結構。例如，可使用不具有源極及汲極區的結構。

在此實施例中所敘述的薄膜電晶體中，作用成為平坦化膜的絕緣層 410 係堆疊於氧化物絕緣膜 407 之上，且到達源極及汲極電極層（在此係 405b）的開口係形成於氧化物絕緣膜 407 及絕緣層 410 之中。導電膜係形成於絕緣層 410 之上以及在氧化物絕緣膜 407 及絕緣層 410 中所形成的開口之中，且被蝕刻成為所欲的形狀，以致使導電層 419 及像素電極層 411 形成。在此方式中，導電層 419 可使用相同的材料而藉由相同的方法以與像素電極層 411 一起形成。在此實施例中，像素電極層 411 及導電層 419 係使用包含氧化矽之氧化銦－氧化錫合金（包含氧化矽之 In-Sn-O 基氧化物）而形成。

導電層 419 可使用與用於閘極電極層 401 以及源極及汲極電極層 405a 及 405b 之該等材料相似的材料，且使用與該處相似的方法而形成。

導電層 419 可具有與閘極電極層 401 相同的電位或具有與閘極電極層 401 之電位不同的電位。該導電層 419 可作用成為第二閘極電極層。進一步地，導電層 419 可在浮動狀態中。

此外，藉由提供導電層 419 於與氧化物半導體層 403 重疊的部分中，在用以檢驗薄膜電晶體的可靠度之偏動溫度應力測試（BT 測試）中，可降低該 BT 測試的前後之間之薄膜電晶體 472 的臨限電壓的偏移量。

此實施例可以與實施例 1 自由地結合。

〔實施例 13〕

此實施例使用第 34A，34B，及 34C 圖來敘述通道阻絕型薄膜電晶體 1430 的實例。第 34C 圖描繪該薄膜電晶體之頂視圖的實例，而沿著該圖之點線 Z1-Z2 的橫剖面視圖對應於第 34B 圖。此實施例敘述其中使用並不包含銻的氧化物半導體材料於薄膜電晶體 1430 的氧化物半導體層 1403 之模式。

例如，在第 34A 圖之中，閘極電極層 1401 係形成於基板 1400 之上。其次，氧化物半導體層係形成於覆蓋該閘極電極層 1401 的閘極絕緣層 1402 之上。

在此實施例中，氧化物半導體層 1403 係藉由濺鍍法而使用 Sn-Zn-O 基氧化物半導體而形成。當並不使用銻於氧化物半導體層時，成本可因並未使用昂貴的靶極於氧化物半導體層的形成中而降低。

脫水或脫氫係執行於正好在沈積氧化物半導體膜之後，或在圖案化該氧化物半導體膜之後。

爲了要執行脫水或脫氫，熱處理係在惰性氣體（氮，氬，氦，氫，或其類似物）的氛圍下或在降低壓力之下執行，且然後，緩慢冷卻係在氧氛圍之下執行。熱處理係執行於 200°C 至 600°C，包含 200°C 及 600°C，較佳地，於 400°C 至 450°C，包含 400°C 及 450°C。在惰性氣體氛圍下或降低壓力下的熱處理及在氧氛圍下的緩慢冷卻致使該氧化物半導體層的電阻能降低（較佳地，載子濃度增加至 $1 \times 10^{18}/\text{cm}^3$ 或更高），以致可獲得低電阻氧化物半導體層 1403（請參閱第 34A 圖）。

其次，通道保護層 1418 係以與氧化物半導體層 1403 接觸而形成。在氧化物半導體層 1403 上之通道保護層 1418 的形成可防止稍後所執行之用以形成源極區 1406a 及汲極區 1406b 的步驟時之損害（諸如由於在蝕刻中之電漿或蝕刻所造成的厚度降低）。因此，可改善薄膜電晶體 1430 的可靠度。

此外，在脫水或脫氫之後，通道保護層 1418 可無需暴露至空氣地連續形成。無需暴露至空氣的連續處理可在堆疊層之間獲得不會受到諸如水分，碳化氫，或其類似物之飄浮在空氣中的氛圍成分或雜質元素所污染的各個介面。因此，可降低薄膜電晶體之特徵的變化。

當爲氧化物絕緣膜之通道保護層 1418 係使用濺鍍法、PCVD 法、或其類似方法而形成，以便與低電阻氧化

物半導體層 1403 接觸時，在該低電阻氧化物半導體層 1403 中之至少與通道保護層 1418 接觸的區域之電阻會增加（較佳地，載子濃度係降低至低於 $1 \times 10^{18}/\text{cm}^3$ ，更佳地，低於或等於 $1 \times 10^{14}/\text{cm}^3$ ），以致使該區域變成高電阻氧化物半導體區。在半導體裝置的製造處理中，藉由在惰性氛圍下（或降低壓力下）之加熱、在氧氛圍下之緩慢冷卻、及形成氧化物絕緣膜以增加或減少氧化物半導體的載子濃度係重要的。

通道保護層 1418 可使用包含氧之無機材料（諸如氧化矽，氧化氮化矽，或氮氧化矽）而形成。通道保護層 1418 可使用諸如電漿 CVD 法或熱 CVD 法之氣相成長法，或濺鍍法而形成。通道保護層 1418 係藉由處理沈積膜之形狀而獲得。此處，通道保護層 1418 係以此方式而形成，亦即，氧化矽膜係使用濺鍍法而形成，且藉由使用光微影術所形成的罩幕之蝕刻法而處理的方式。

然後，源極區 1406a 及汲極區 1406b 係形成於通道保護層 1418 及氧化物半導體層 1403 之上。在此實施例中，用作源極區及汲極區之源極區 1406a 及汲極區 1406b 係 Al-Zn-O 基非單晶膜。該源極區 1406a 及汲極區 1406b 係在不同於氧化物半導體層 1403 的沈積條件下形成，且係具有更低電阻的氧化物半導體層。此外，源極區 1406a 及汲極區 1406b 可使用包含氮之 Al-Zn-O 基非單晶膜，亦即，Al-Zn-O-N 基非單晶膜（亦稱為 AZON 膜）而形成。

接著，源極電極層 1405a 及汲極電極層 1405b 係分別

形成於源極區 1406a 及汲極區 1406b 之上，使得製造出薄膜電晶體 1430（請參閱第 34B 圖）。該源極電極層 1405a 及汲極電極層 1405b 可以以相似於實施例 1 中所述之源極及汲極電極層 405a 及 405b 的方式而形成。

當分別形成源極區 1406a 及汲極區 1406b 於氧化物半導體層 1403 與源極電極層 1405a 之間以及氧化物半導體層 1403 與汲極電極層 1405b 之間時，可獲得良好的接面於源極及汲極電極層 1405a 及 1405b 與氧化物半導體層 1403 之間，該等源極及汲極電極層 1405a 及 1405b 係金屬層。結果，在此情況中可獲得比在提供肖特基（Schottky）接面的情況中更高的熱穩定性。此外，因為電阻降低，所以可確保良好的遷移率，即使具有高的汲極電壓時亦然。

進一步地，此實施例並未受限於包含源極區 1406a 及汲極區 1406b 之上述結構。例如，可使用不具有源極區及汲極區的結構。

再者，在形成通道保護層 1418 之後，可使薄膜電晶體 1430 接受氮氛圍或空氣氛圍（在空氣中）下之熱處理（較佳地，在高於或等於 150℃ 且低於 350℃ 之溫度處）。例如，熱處理係在 250℃ 的氮氛圍之下執行 1 小時。當執行熱處理時，氧化物半導體層 1403 於與通道保護層 1418 接觸之同時被加熱，而致使薄膜電晶體 1430 之電性特徵中的變化能降低。並無加熱處理（較佳地，在高於或等於 150℃ 且低於 350℃ 之溫度處）之時序的特殊限

制，只要其係執行於通道保護層 1418 的形成之後即可。當該熱處理係與諸如用作平坦化膜之絕緣膜形成中的熱處理或用以降低透明導電膜之電阻的熱處理之另一步驟結合而執行時，步驟的數目並不會增加。

此實施例可以與其他實施例中所敘述的任一結構適當地結合而實施。

[實施例 14]

此實施例使用第 35A 及 35B 圖來敘述半導體裝置及該半導體裝置的製造方法。與實施例 13 中所敘述之該等部分相同的部分或具有相似功能的部分，以及用以形成該等部分之製造步驟可以以相似於實施例 13 中所述之方式的方式來予以執行；因此，將省略重複的說明。

第 35A 圖中所描繪的薄膜電晶體 1431 係其中導電層 1409 被設置成與閘極電極層 1401 及氧化物半導體層 1403 的通道區重疊之實例。在此實施例中，通道保護層 1418 及絕緣層 1407 可插入於導電層 1409 與在一側的閘極電極層 1401 之間，及在另一側之氧化物半導體層 1403 的通道區之間。

薄膜電晶體 1431 係雙重閘極薄膜電晶體，且包含閘極電極層 1401、閘極絕緣層 1402、氧化物半導體層 1403、源極及汲極區 1406a 及 1406b、源極及汲極電極層 1405a 及 1405b、絕緣層 1407、及導電層 1409 於具有絕緣表面的基板 1400 之上。導電層 1409 係設置於絕緣層

1407 之上，而與閘極電極層 1401 重疊。

導電層 1409 可使用與用於閘極電極層 1401 或用於源極及汲極電極層 1405a 及 1405b 之材料及方法相同的材料及方法而形成。在其中設置像素電極層於該處的情況中，導電層 1409 可使用與用於該像素電極層相同的材料及方法而形成。在此實施例中，係使用堆疊的鈦膜、鋁膜、及鈦膜做為導電層 1409。

導電層 1409 可具有與閘極電極層 1401 相同的電位或具有與閘極電極層 1401 之電位不同的電位，且可作用成為第二閘極電極層。進一步地導電層 1409 可在浮動狀態中。

此外，藉由提供導電層 1409 於與氧化物半導體層 1403 重疊的部分中，在用以檢驗薄膜電晶體的可靠度之偏動溫度應力測試（BT 測試）中，可降低在該 BT 測試的前後之間之薄膜電晶體 1431 的臨限電壓的改變量。

第 35B 圖描繪與第 35A 圖部分地不同的實例。與第 35A 圖中所描繪之該等部分及步驟或具有相似功能的部分可以以相似於第 35A 圖中所描繪之方式的方式來予以製成；因此，將省略重複的說明。

第 35B 圖中所描繪的薄膜電晶體 1432 係其中導電層 1409 被設置成與閘極電極層 1401 及氧化物半導體層 1403 的通道區重疊之實例。在此情況中，通道保護層 1418、絕緣層 1407、及絕緣層 1408 係插入於在一側的導電層 1409 與在另一側的閘極電極層 1401 及氧化物半導體層

1403 的通道區之間。

在第 35B 圖之中，作用成為平坦化膜的絕緣層 1408 係堆疊於絕緣層 1407 之上。

此外，在第 35B 圖中並不需要源極及汲極區的結構，其中氧化物半導體層 1403 係與源極電極層 1405a 及汲極電極層 1405b 直接接觸。

而且，在第 35B 圖的結構中，藉由提供導電層 1409 於與氧化物半導體層 1403 重疊的部分中，在用以檢驗薄膜電晶體的可靠度之 BT 測試中，可降低在該 BT 測試的前後之間之薄膜電晶體 1432 的臨限電壓的改變量。

此實施例可與其他實施例中所述之任一結構適當地結合而實施。

〔實施例 15〕

此實施例將參照第 36 圖來敘述與實施例 1 之結構部分地不同的結構之實例。與實施例 1 中所敘述之該等部分相同的部分或具有相似功能的部分，以及用以形成該等部分之製造步驟可以以相似於實施例 1 中所述之方式的方式來予以執行；因此，將省略重複的說明。

在此實施例中，於第一氧化物半導體層的圖案化之後，熱處理係執行於惰性氣體（氮，氬，氦，氫，或其類似物）之氛圍下或在降低壓力之下，且然後，緩慢冷卻係執行於氧氛圍之下。藉由使第一氧化物半導體層接受在該氛圍下之熱處理，可去除在氧化物半導體層 403 中之諸如

氫及水分的雜質。

接著，形成用以形成薄膜電晶體之源極及汲極區所使用的第二氧化物半導體膜（亦稱為 n^+ 層或緩衝層）於第一氧化物半導體層之上，且然後，形成導電膜。

接著，透過蝕刻步驟以選擇性地蝕刻第一氧化物半導體層、第二氧化物半導體膜、及導電膜，而形成氧化物半導體層 403、源極及汲極區 404a 及 404b，以及源極及汲極電極層 405a 及 405b。注意的是，該氧化物半導體層 403 被部分地蝕刻，而具有刻槽部（凹陷部）。

其次，做為氧化物絕緣膜 407 之氧化矽膜係使用濺鍍法或 PCVD 法而形成為與氧化物半導體層 403 接觸。做為與低電阻氧化物半導體層接觸而形成的氧化物絕緣膜 407，係使用並不包含諸如水分、氫離子、氧離子、或 OH^- 之雜質且可阻擋該等雜質自外面進入的無機絕緣膜。特定地，可使用氧化矽膜或氧化氮化矽膜。

當氧化物絕緣膜 407 係使用濺鍍法、PCVD 法、或其類似方法而形成為與低電阻氧化物半導體層 403 接觸時，在該低電阻氧化物半導體層 403 中之至少與該氧化物絕緣膜 407 接觸的區域之電阻會增加（較佳地，載子濃度係降低至低於 $1 \times 10^{18}/\text{cm}^3$ ，更佳地，低於或等於 $1 \times 10^{14}/\text{cm}^3$ ），以致使該區域變成高電阻氧化物半導體區。當將氧化物絕緣膜 407 形成為與氧化物半導體層 403 接觸時，可獲得高電阻氧化物半導體區。因此，可製造出薄膜電晶體 470（請參閱第 36 圖）。

在第 36 圖中所描繪的結構中，係使用 In-Ga-Zn-O 基非單晶於源極及汲極區 404a 及 404b。

此外，源極區係設置於氧化物半導體層 403 與源極電極層之間，以及汲極區係設置於氧化物半導體層與汲極電極層之間。做為源極及汲極區，係使用顯示 n 型導電性的氧化物半導體層。

此外，使用於薄膜電晶體 473 之源極及汲極區 404a 及 404b 的第二氧化物半導體層較佳地係比使用於通道形成區的氧化物半導體層 403 更薄，且較佳地具有比該氧化物半導體層 403 更高的傳導性（導電性）。

進一步地，在若干情況中，使用於通道形成區的氧化物半導體層 403 具有非晶結構，以及使用於源極及汲極區的第二氧化物半導體層包含晶粒（奈米晶體）於非晶結構中。使用於源極區及汲極區之第二氧化物半導體層中的晶粒（奈米晶體）具有 1 奈米至 10 奈米，典型地，約 2 奈米至 4 奈米的直徑。

進一步地，在形成氧化物絕緣膜 407 之後，可使薄膜電晶體 473 接受氮氛圍或空氣氛圍（在空氣中）下之熱處理（較佳地，在高於或等於 150℃ 且低於 350℃ 之溫度處）。例如，熱處理係在 250℃ 的氮氛圍之下執行 1 小時。當執行熱處理時，氧化物半導體層 403 於與氧化物絕緣膜 407 接觸之同時被加熱，而致使薄膜電晶體 473 之電性特徵中的變化能降低。

此實施例可以與其他實施例中所敘述的任一結構適當

地結合而實施。

〔實例 1〕

在此實例中，將參照第 37 圖及第 38 圖來敘述在包含具有高氧濃度之區域及具有低氧濃度之區域的氧化物半導體層中，在熱處理之前後的氧濃度改變中之氧濃度的模擬結果。做為用於模擬之軟體，係使用由 Fijitsu Limited 所製造之 Materials Explorer 5.0。

第 37 圖描繪使用於該模擬之氧化物半導體層的模型。在此，係使用其中堆疊低氧濃度層 703 及高氧濃度層 705 之結構於氧化物半導體層 701。

用於低氧濃度層 703，係使用其中 In 原子、Ga 原子、及 Zn 原子的數目各為 15 以及 O 原子的數目為 54 之非晶結構。

此外，用於高氧濃度層 705，係使用其中 In 原子、Ga 原子、及 Zn 原子的數目各為 15 以及 O 原子的數目為 66 之非晶結構。

此外，氧化物半導體層 701 的密度係設定於 5.9 g/cm^3 。

接著，執行正統的分子動態（MD）模擬於氧化物半導體層 701 之上，以在 NVT 系綜的條件及 250°C 的溫度下計算氧濃度的變化。時間步階係設定於 0.2fs ，以及總模擬時間係設定於 200ps 。此外，使用 Born-Mayer-Huggins 電位於金屬－氧鍵結及氧－氧鍵結之電位。此外，使在氧

化物半導體層 701 的上端部分及下端部分處之原子的移動被固定。

然後，模擬結果顯示於第 38 圖之中。在 Z 軸座標中，0 奈米至 1.15 奈米的範圍表示低氧濃度層 703，以及 1.15 奈米至 2.3 奈米的範圍表示高氧濃度層 705。在該 MD 模擬之前的氧密度分佈係由實線 707 所表示，以及在該 MD 模擬之後的氧密度分佈係由點線 709 所表示。

實線 707 顯示氧密度係在分離低氧濃度層 703 與高氧濃度層 705 的介面上，及在高氧濃度層 705 之中較高。相反地，點線 709 顯示的是，在整個低氧濃度層 703 及高氧濃度層 705 上之氧密度係均勻的。

如上述地，例如在低氧濃度層 703 及高氧濃度層 705 的堆疊中，當具有非均勻性於氧濃度分佈之中時，可發現的是，氧係藉由熱處理而自其中氧濃度較高之處擴散至其中氧濃度較低之處，且因此，氧濃度變成均勻。

也就是說，如在實施例 1 中所述地，因為在氧化物半導體層 431 與氧化物絕緣膜 407 間的介面處之氧濃度係由於形成氧化物絕緣膜 407 於氧化物半導體層 431 之上而增加，所以氧會擴散至其中在該處氧濃度為低的氧化物半導體層 431 之內，且因此，氧化物半導體層 431 的電阻增加。進一步地，在將氧化物半導體層加熱於惰性氣體（氮，氬，氦，氫，或其類似物）的氛圍中或在降低壓力下之後，將氧化物半導體層緩慢冷卻於氧氛圍之下，且然後，形成氧化物絕緣膜 407，可藉以增加該氧化物半導體

層之表面的氧濃度。因此，氧擴散至其中在該處氧濃度為低的氧化物半導體層 431 之內，且因而，該氧化物半導體層 431 的電阻增加。如上述地，可改善薄膜電晶體的可靠度。

此申請案係根據 2009 年 6 月 30 日在日本專利局所申請之日本專利申請案序號 2009-156422，該申請案之全部內容係結合於本文以供參考之用。

【符號說明】

100，400，450，580，596，604，1400，4001，
4006，4501，4506，5300，5400：基板

101，401，451，1401：閘極電極層

102，152，402，452，1402：閘極絕緣層

103，133，134，135，403，431，432，430，441，
453，483，484，701，1403：氧化物半導體層

107，154：保護絕緣層

108：電容器導線

110，411，4030：像素電極層

121，122，150，151：端子

125，126，127：接觸孔

128，129，155：透明導電膜

132：導電膜

153：連接電極層

156，587，588，4513，4517：電極層

170 , 460 , 470 , 471 , 472 , 473 , 581 , 1430 ,
1431 , 1432 , 1470 , 4010 , 4011 , 4509 , 4510 ,
5571~5578 , 5603a~5603c : 薄膜電晶體

407 , 457 : 氧化物絕緣膜

410 , 585 , 1407 , 1408 , 4020 , 4021 , 4032 : 絕緣層

408 , 419 , 1409 : 導電層

583 : 絕緣膜

589 : 球狀粒子

594 : 空腔

595 , 4507 : 充填劑

601 : 電爐

602 : 腔空

603 : 加熱器

605 : 基座

606 : 氣體供應裝置

607 : 排氣裝置

703 , 705 : 層

707 : 實線

709 : 點線

105a , 105b , 405a , 405b , 455a , 1405b : 汲極電極層

1418 : 通道保護層

2600 : TFT 基板

2601 : 相對基板

2602 , 4005 , 4505 : 密封劑

2603, 4002, 4502, 5301, 5401 : 像素部

2604 : 顯示元件

2605 : 彩色層

2606, 2607 : 偏光板

2608 : 導線電路部

2609 : 撓性導線板

2610 : 冷陰極管

2611 : 反射板

2612 : 電路基板

2613 : 漫射板

2631 : 海報

2700 : 電子書閱讀器

2701, 2703 : 外殼

2705, 2707 : 顯示部

2711 : 合葉

2721 : 電源開關

2723, 9609, 9885 : 操作鍵

2725, 9207 : 揚聲器

4003, 5303, 5403, 4503a : 信號線驅動器電路

4004, 5302, 5402, 5404, 4504a : 掃描線驅動器電路

4008 : 液晶層

4013 : 液晶元件

4015, 4515 : 連接端子電極

4016, 4516 : 端子電極

4018，FPC

4019，4519：各向異性導電膜

4031：相對電極層

404a，406a，1406b：汲極區

4511，6404，7002，7012，7022：發光元件

4512，7004，7014，7024：發光層

4520：隔板

5501~5506，5611~5613，5621，5711~5717：導線

5543，5544：結點

5601：驅動器 IC

5602：開關組群

5701：正反器

5721，5821：信號

590a：黑色區

590b：白色區

611a，611b：氣體供應源

612a，612b：壓力調整閥

613a，613b：提純設備

614a，614b：質量流量控制器

615a，615b：停止閥

6400：像素

6401：開關電晶體

6402：驅動器電晶體

6403：電容器

6405：信號線

6406：掃描線

6407：電源供應線

6408：共用電極

7003，7013，7023：陰極

7005，7015，7025：陽極

7011，7021：驅動器 TFT

7016：遮光膜

7017，7027：導電膜

9201，9303，9307，9603，9607，9882，9883，

9903，9703：顯示部

9202：顯示鈕

9203：操作開關

9205：調整部

9206：相機部

9208，9889：微音器

9301：頂部外殼

9302：底部外殼

9304：鍵盤

9305：外部連接埠

9306：指標裝置

9600：電視機

9601，9701，9881，9891，9901：外殼

9605：座台

9610：遙控器
9700：數位相框
9884：揚聲器部
9886：記錄媒體插入部
9887：接連端子
9888：感測器
9890：LED 燈
9893：連接部
9900：拉霸機
1405a：源極電極層
1406a：源極區
5703a~5703c，5803a，5803b：時序
7001：薄膜電晶體（TFT）
4518a：撓性印刷電路（FPC）

發明摘要

※申請案號：106134572（由105140249分割）

※申請日：099年06月29日

※IPC分類：H01L 21/336 (2006.01)
H01L 21/324 (2006.01)

【發明名稱】(中文/英文)

半導體裝置的製造方法

Method for manufacturing semiconductor device

【中文】

本發明的目的在於製造包含具有穩定電性特徵之薄膜電晶體的高度可靠之半導體裝置。在包含其中使用氧化物半導體膜於包含通道形成區之半導體層的薄膜電晶體之半導體裝置的製造方法中，熱處理（用於脫水或脫氫）被執行以改善氧化物半導體膜的純度，及降低包含水分或其類似物之雜質。然後，在氧氛圍之下執行緩慢冷卻。除了包含存在於氧化物半導體膜中之水分或其類似物的雜質之外，熱處理致使包含存在於閘極絕緣層中之水分或其類似物的雜質，以及包含存在於氧化物半導體膜與設置在該氧化物半導體膜之上面及下面且與其接觸的膜之間的介面中之該等水分或其類似物的雜質降低。

【 英文 】

An object is to manufacture a highly reliable semiconductor device including a thin film transistor with stable electric characteristics. In a method for manufacturing a semiconductor device including a thin film transistor in which an oxide semiconductor film is used for a semiconductor layer including a channel formation region, heat treatment (for dehydration or dehydrogenation) is performed to improve the purity of the oxide semiconductor film and reduce impurities including moisture or the like. After that, slow cooling is performed under an oxygen atmosphere. Besides impurities including moisture or the like exiting in the oxide semiconductor film, heat treatment causes reduction of impurities including moisture or the like exiting in a gate insulating layer and those in interfaces between the oxide semiconductor film and films which are provided over and below the oxide semiconductor and in contact therewith.

【代表圖】

【本案指定代表圖】：第(1D)圖。

【本代表圖之符號簡單說明】：

403：氧化物半導體層

407：氧化物絕緣膜

470：薄膜電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1. 一種半導體裝置的製造方法，包含以下步驟：

在基板上形成第一電極；

在該第一電極上形成絕緣膜；

在該絕緣膜上形成氧化物半導體層；

在腔室中執行熱處理於該氧化物半導體層上，藉此該氧化物半導體層的氫濃度被降低；

形成電連接至該氧化物半導體層的源極電極及汲極電極；以及

形成在該氧化物半導體層上並與該氧化物半導體層接觸的氧化物絕緣膜；

其中該熱處理被執行在降低的壓力之下或被執行在惰性氛圍中。

2. 如申請專利範圍第 1 項之半導體裝置的製造方法，其中在該熱處理後，在該氧化物半導體層中的該氫濃度低於 $3 \times 10^{20} \text{cm}^{-3}$ 。

3. 一種半導體裝置的製造方法，包含以下步驟：

在基板上形成第一電極；

在該第一電極上形成絕緣膜；

在該絕緣膜上形成氧化物半導體層；

在腔室中執行熱處理於該氧化物半導體層上；

形成電連接至該氧化物半導體層的源極電極及汲極電極；以及

形成在該氧化物半導體層上並與該氧化物半導體層接

觸的氧化物絕緣膜；

其中該熱處理被執行在降低的壓力之下或被執行在惰性氛圍中；以及

其中該熱處理被執行在高於或等於 400℃ 的溫度下。

4. 一種半導體裝置的製造方法，包含以下步驟：

在基板上形成第一電極；

在該第一電極上形成絕緣膜；

在該絕緣膜上形成氧化物半導體層；

在腔室中執行熱處理於該氧化物半導體層上；

形成電連接至該氧化物半導體層的源極電極及汲極電極；以及

形成在該氧化物半導體層上並與該氧化物半導體層接觸的氧化物絕緣膜；

其中該熱處理被執行在降低的壓力之下或被執行在惰性氛圍中；以及

其中在該熱處理後，該氧化物半導體層包括結晶。

5. 如申請專利範圍第 1、3 和 4 項中任一項之半導體裝置的製造方法，其中該氧化物半導體層包含選自由 In-Sn-Zn-O 基氧化物半導體；In-Al-Zn-O 基氧化物半導體；Sn-Ga-Zn-O 基氧化物半導體；Al-Ga-Zn-O 基氧化物半導體；Sn-Al-Zn-O 基氧化物半導體；In-Zn-O 基氧化物半導體；In-Ga-O 基氧化物半導體；Sn-Zn-O 基氧化物半導體；Al-Zn-O 基氧化物半導體；In-O 基氧化物半導體；Sn-O 基氧化物半導體；及 Zn-O 基氧化物半導體所組成的

群組之材料。

6. 如申請專利範圍第 1、3 和 4 項中任一項之半導體裝置的製造方法，更包含以下步驟：

在該熱處理後，引入氧至該腔室中。

7. 如申請專利範圍第 1、3 和 4 項中任一項之半導體裝置的製造方法，其中該惰性氛圍含有氮或稀有氣體。

8. 如申請專利範圍第 3 或 4 項之半導體裝置的製造方法，其中該熱處理藉由使用氣體快速熱退火（Gas rapid thermal annealing；GRTA）法，或燈快速熱退火（Lamp rapid thermal annealing；LRTA）法而被執行。

9. 如申請專利範圍第 1、3 和 4 項中任一項之半導體裝置的製造方法，

其中藉由該熱處理，在該氧化物半導體層中的載子濃度變得高於或等於 $1 \times 10^{18} \text{cm}^{-3}$ ，以及

其中該氧化物絕緣膜被形成以與該氧化物半導體層的部分接觸，藉此該氧化物半導體層的該部分的載子濃度低於 $1 \times 10^{18} \text{cm}^{-3}$ 。

10. 如申請專利範圍第 1、3 和 4 項中任一項之半導體裝置的製造方法，

其中在該熱處理後，該氧化物半導體層包含在氧欠缺狀態中的氧化物半導體，以及

其中該氧化物絕緣膜被形成以與該氧化物半導體層的部分接觸，藉此該氧化物半導體層的該部分包含在氧過剩狀態中的氧化物半導體。

11. 如申請專利範圍第 1、3 和 4 項中任一項之半導體裝置的製造方法，更包含以下步驟：

在該氧化物絕緣膜上形成第二電極，

其中該第二電極以該氧化物半導體層置於中間的方式而與該第一電極重疊。

12. 如申請專利範圍第 11 項之半導體裝置的製造方法，更包含以下步驟：

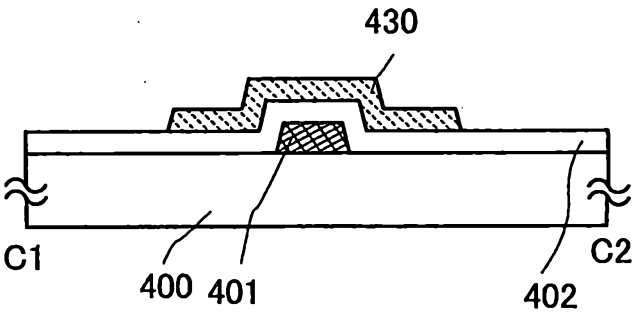
在該氧化物絕緣膜上形成像素電極；

其中該像素電極電連接至該源極電極及該汲極電極中的一個，以及

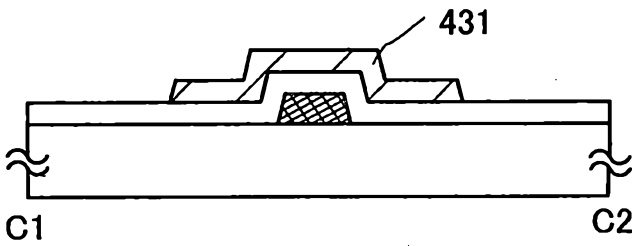
其中該像素電極及該第二電極被從相同的導電層形成。

圖式

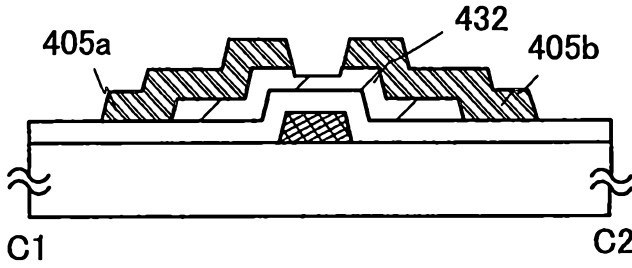
第 1A 圖



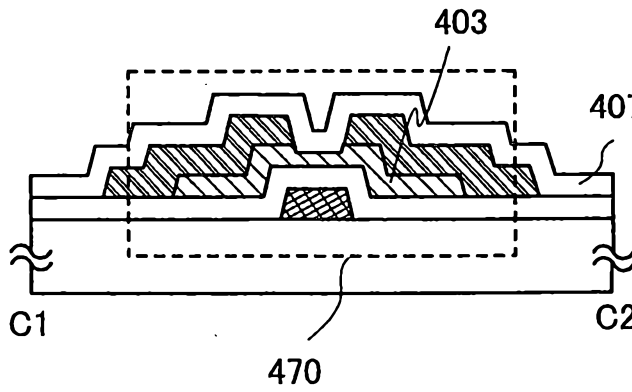
第 1B 圖



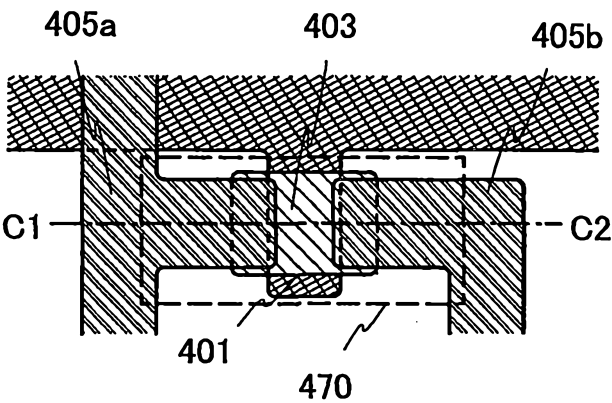
第 1C 圖



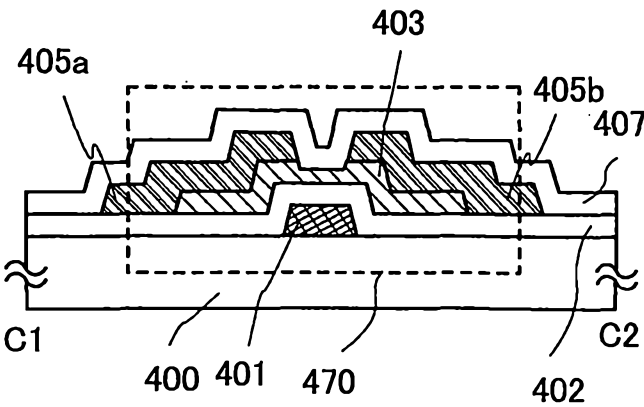
第 1D 圖



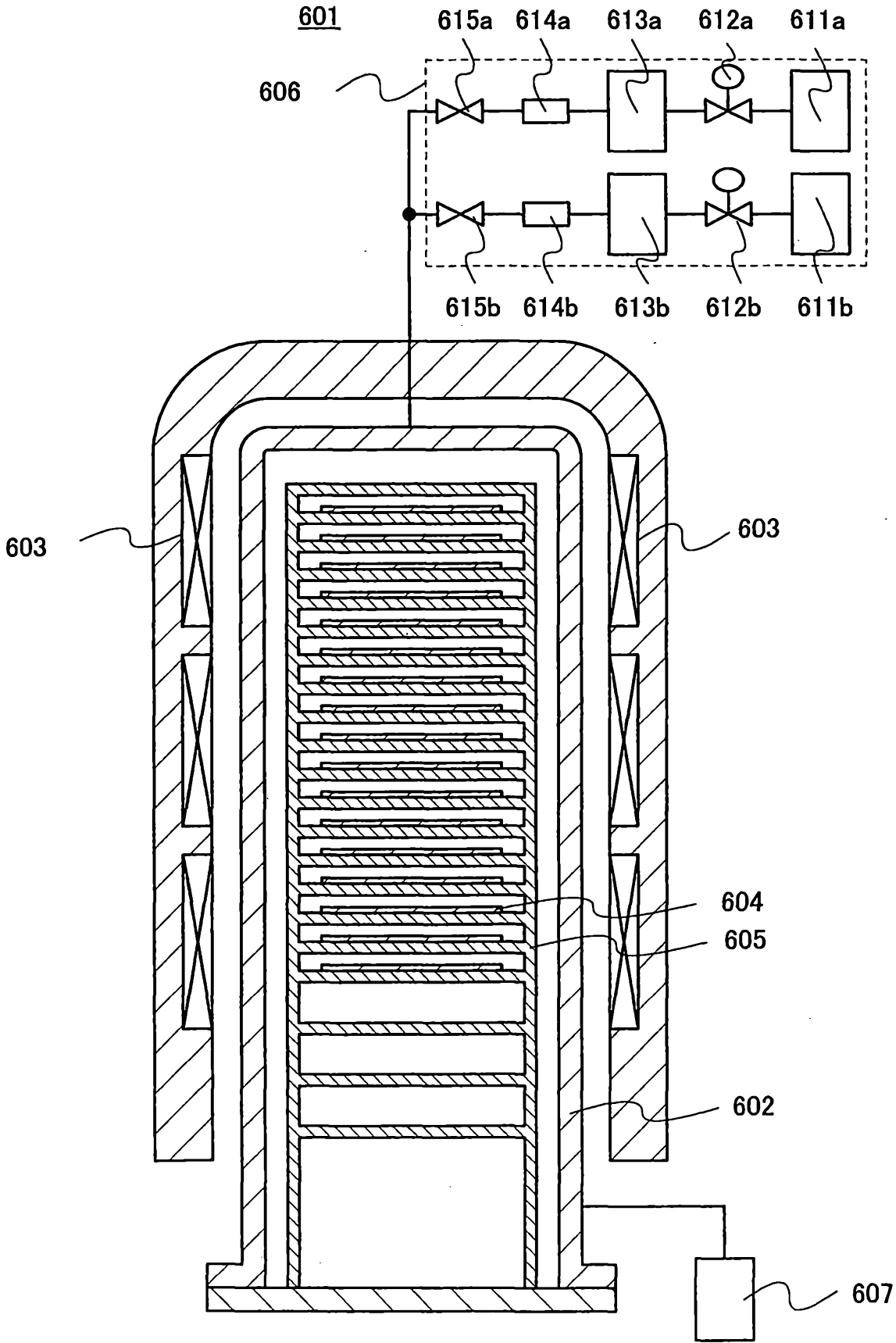
第 2A 圖



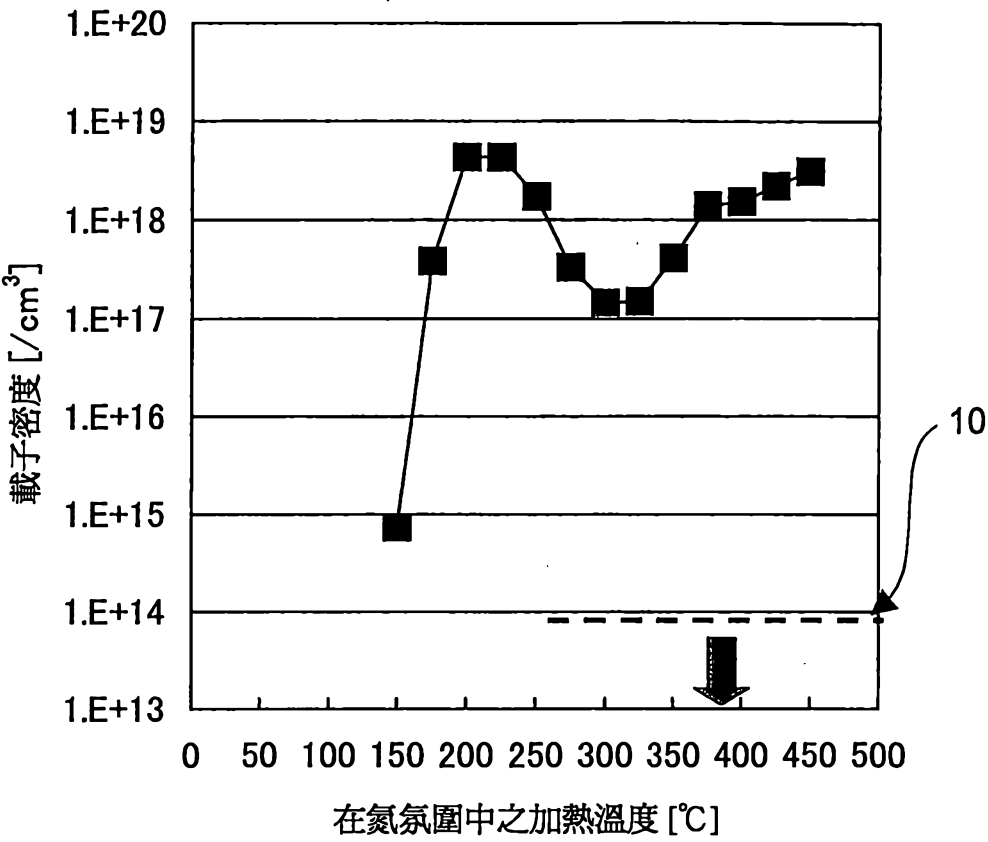
第 2B 圖



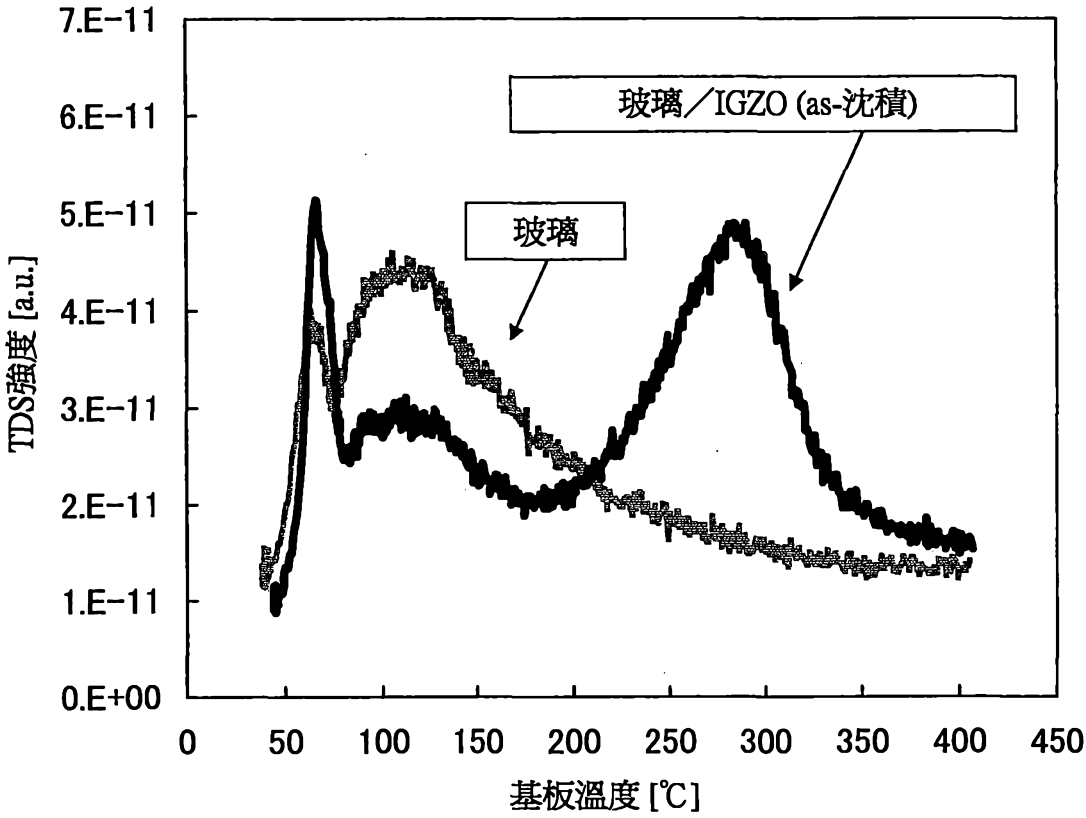
第 3 圖



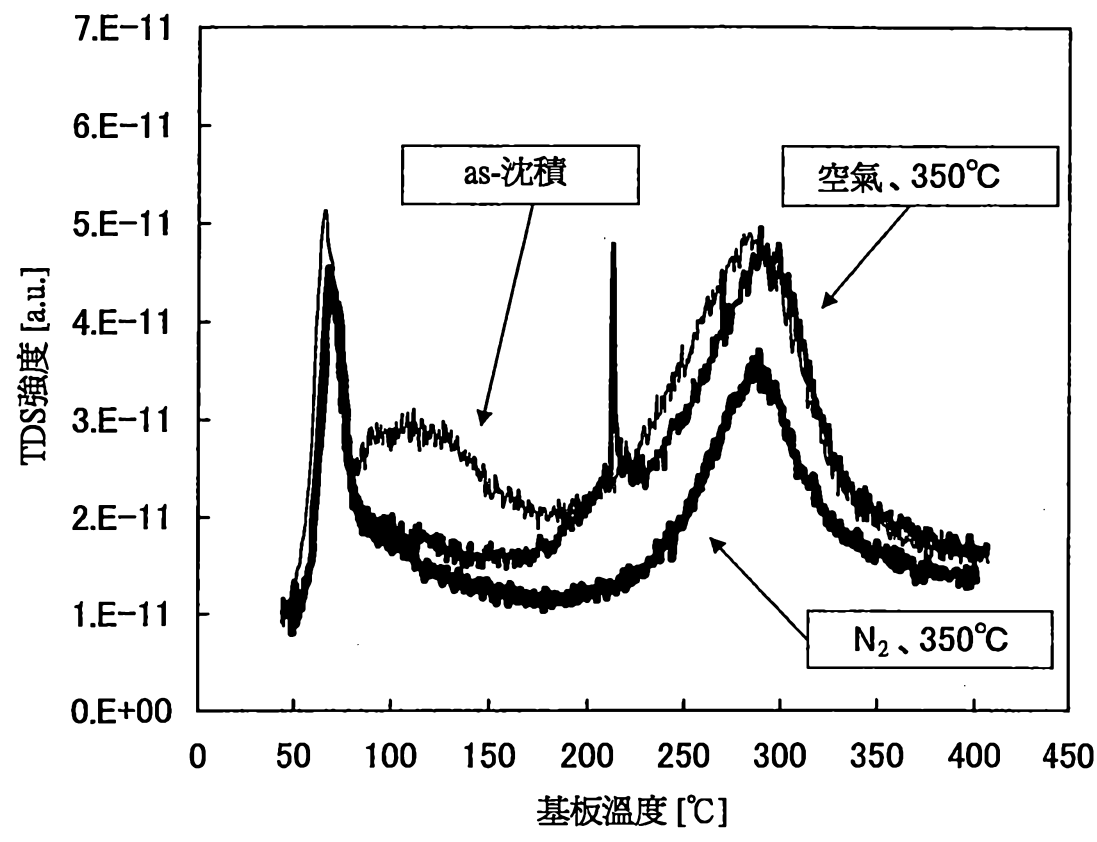
第 4 圖



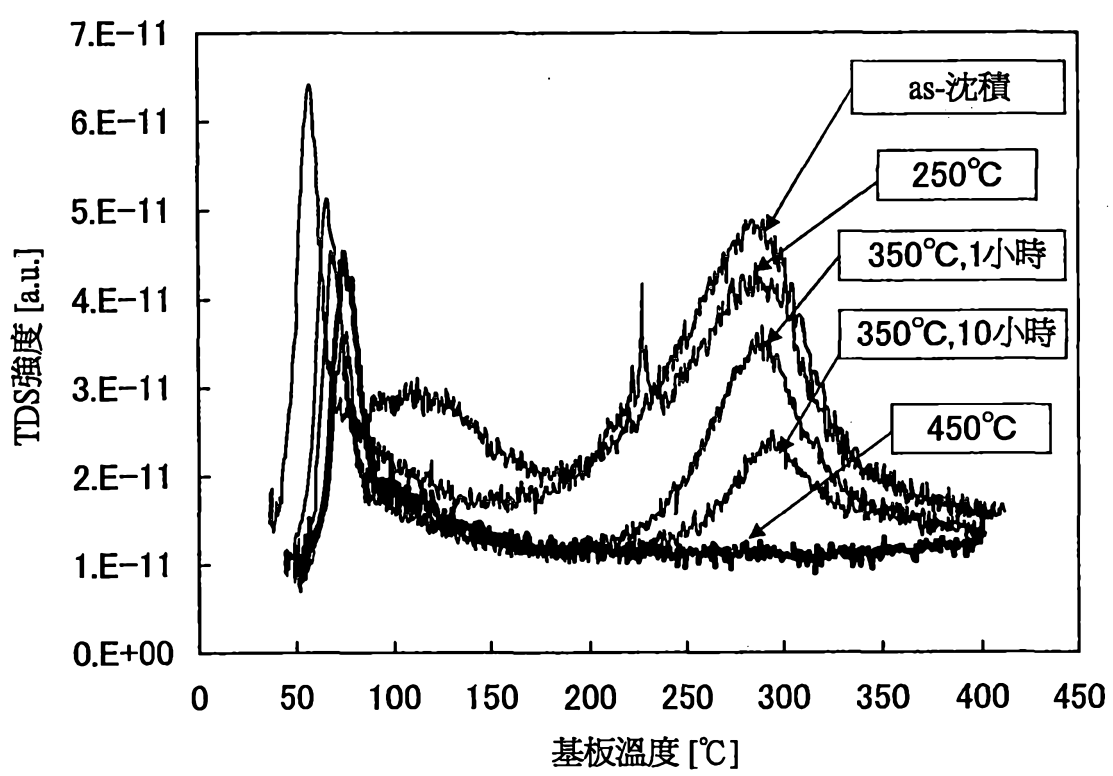
第 5 圖



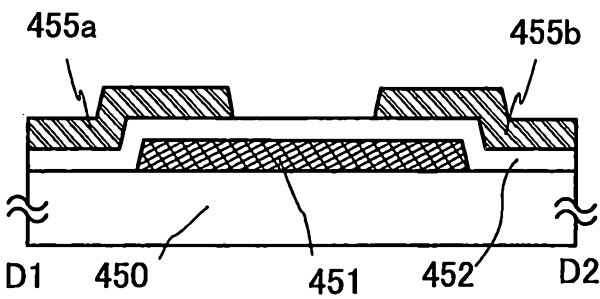
第 6 圖



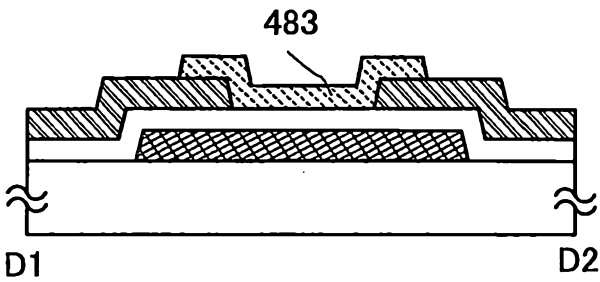
第 7 圖



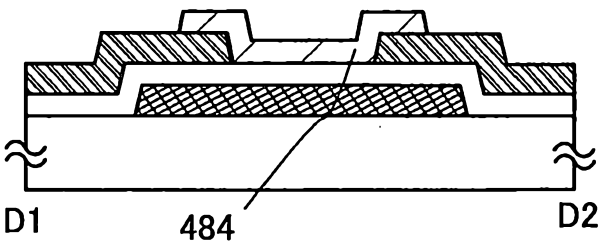
第 8A 圖



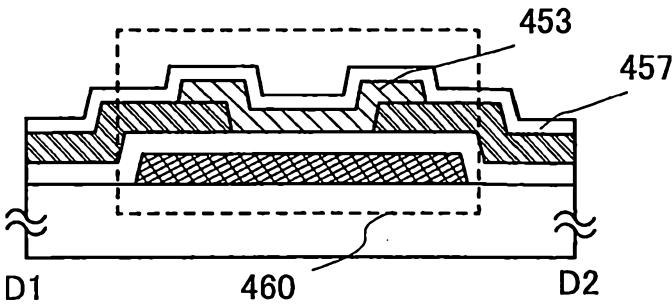
第 8B 圖



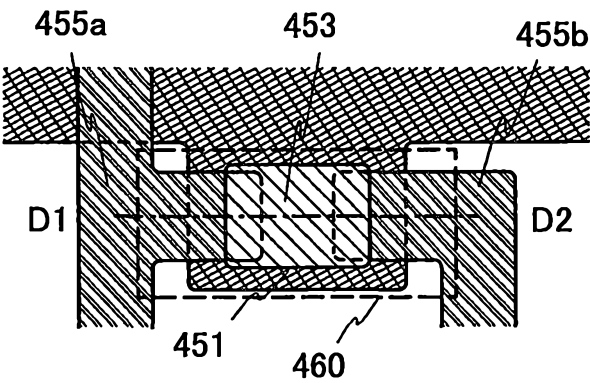
第 8C 圖



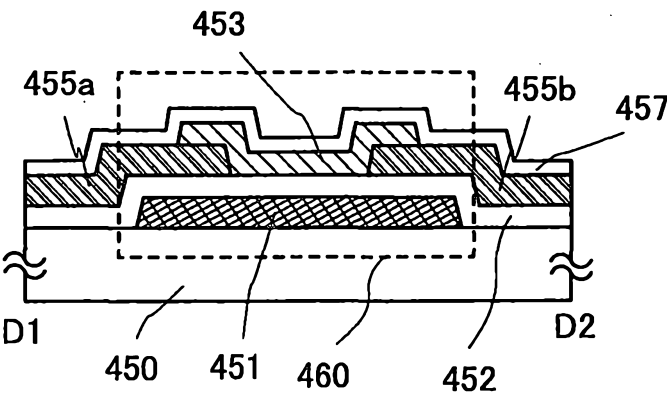
第 8D 圖



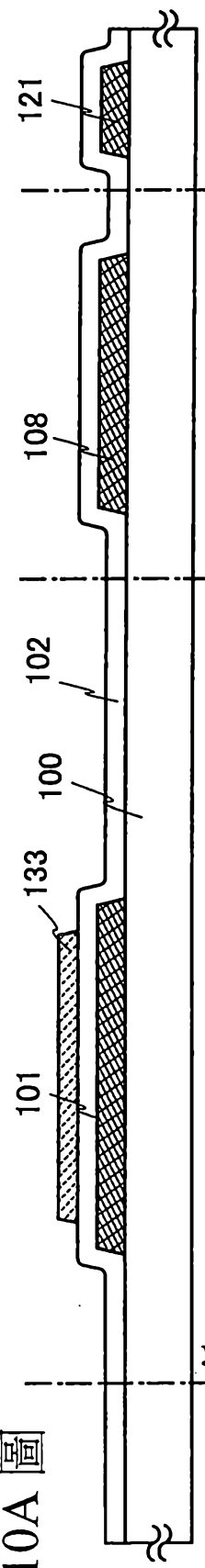
第 9A 圖



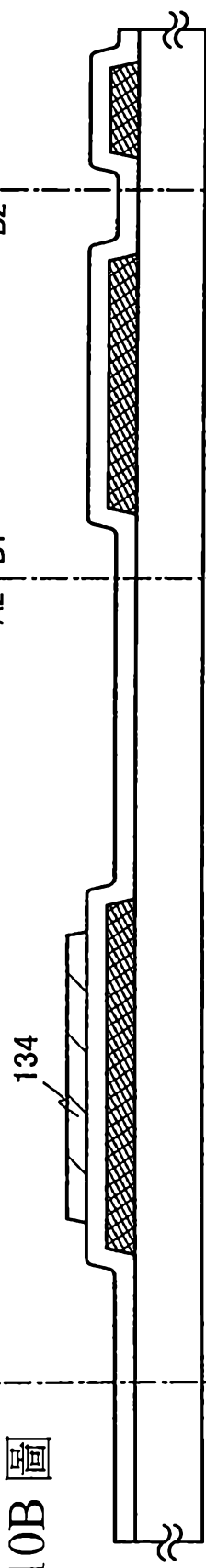
第 9B 圖



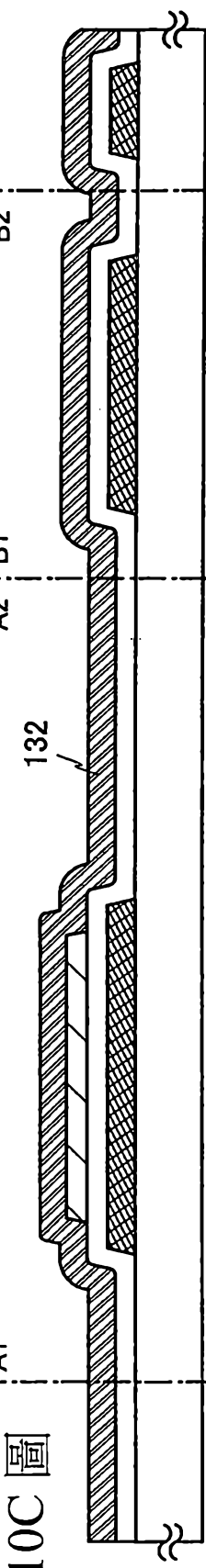
第 10A 圖



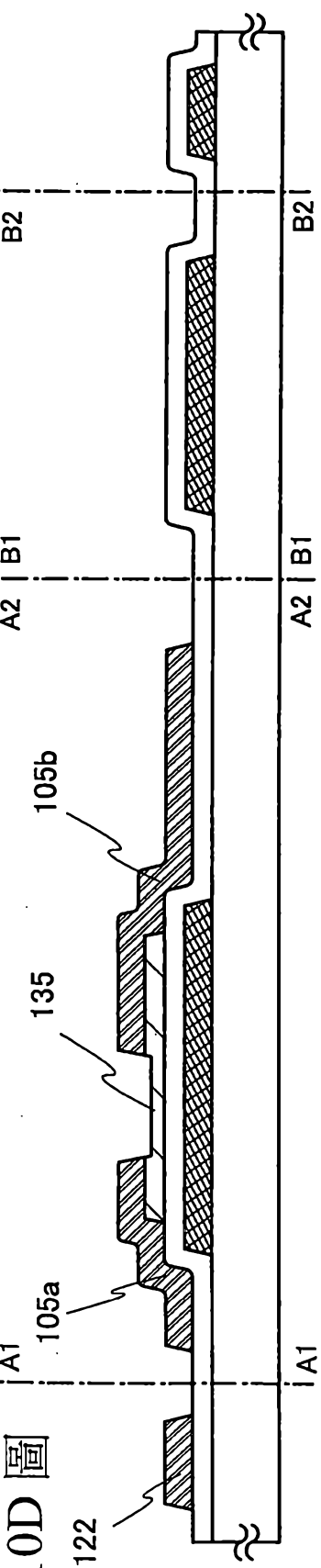
第 10B 圖



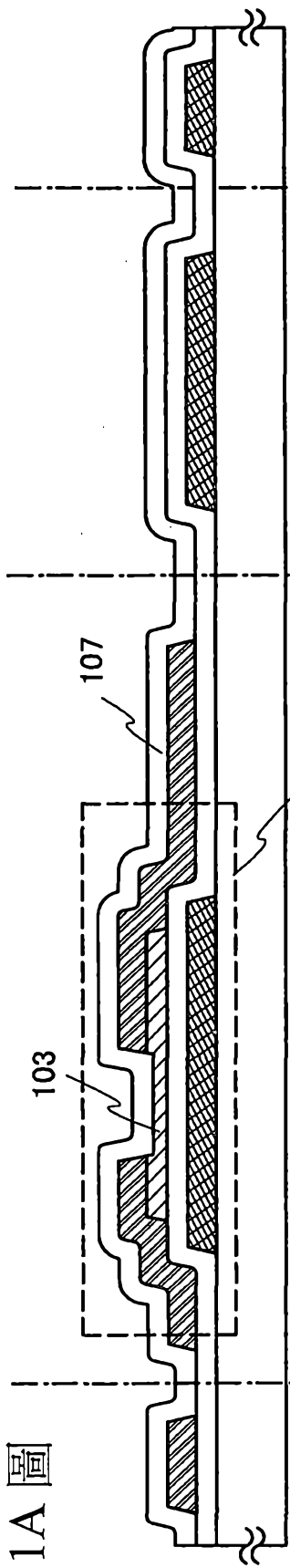
第 10C 圖



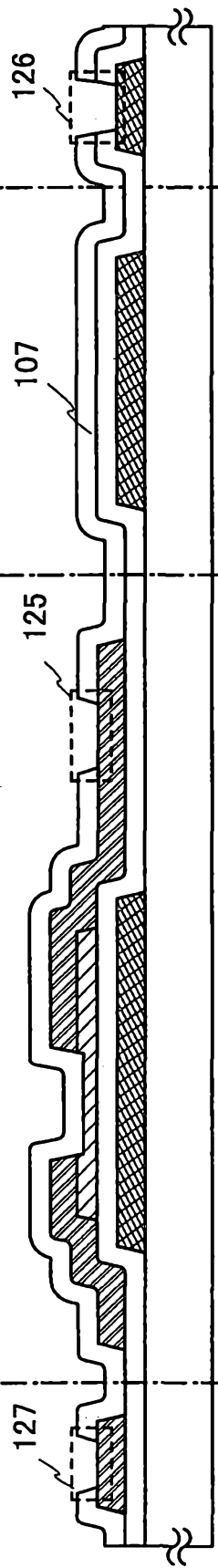
第 10D 圖



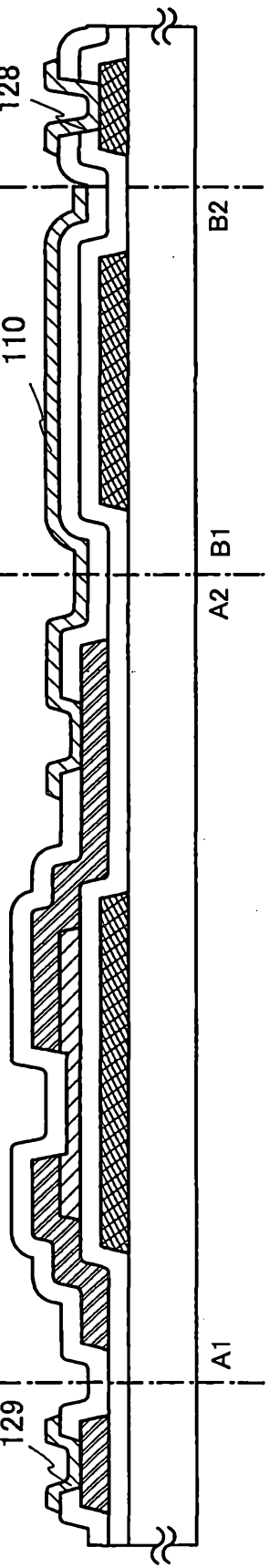
第11A圖



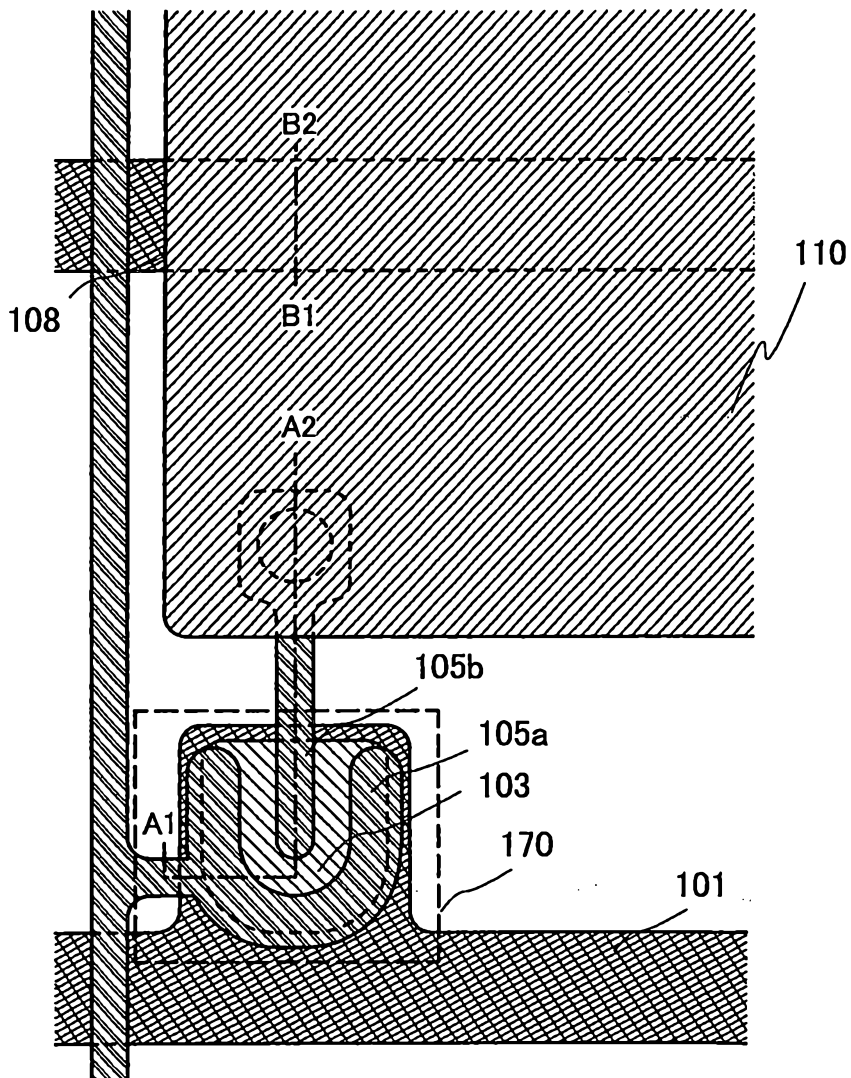
第11B圖



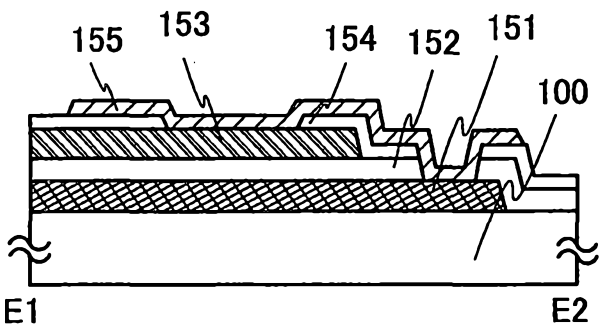
第11C圖



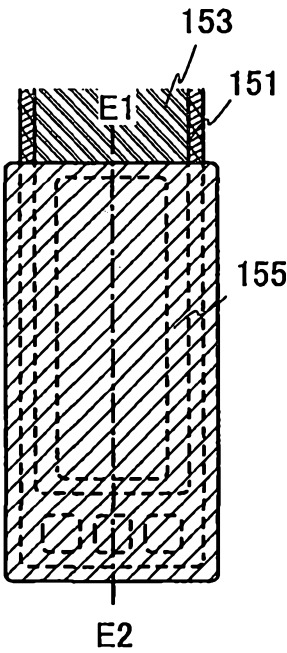
第 12 圖



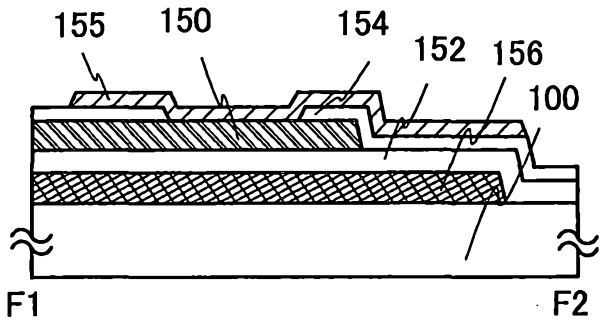
第 13A1 圖



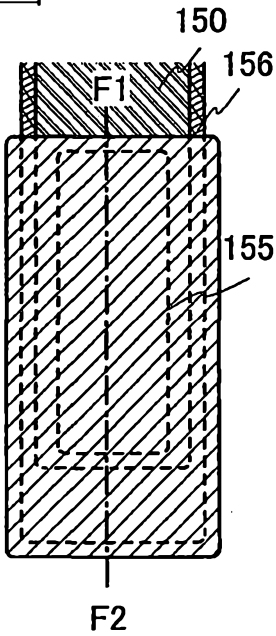
第 13A2 圖



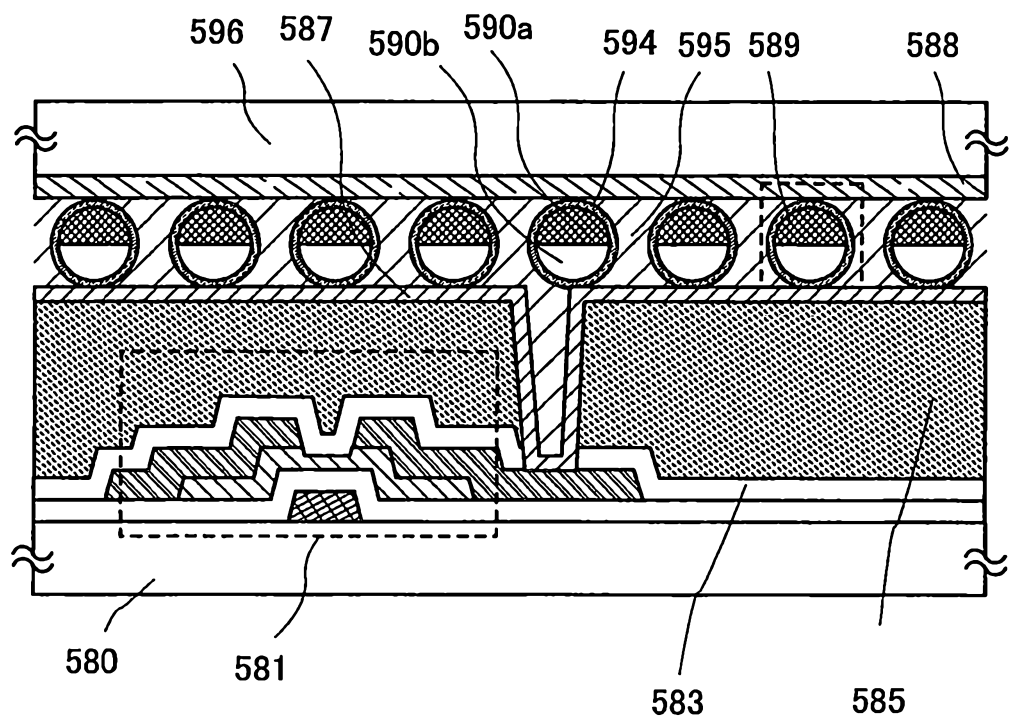
第 13B1 圖



第 13B2 圖

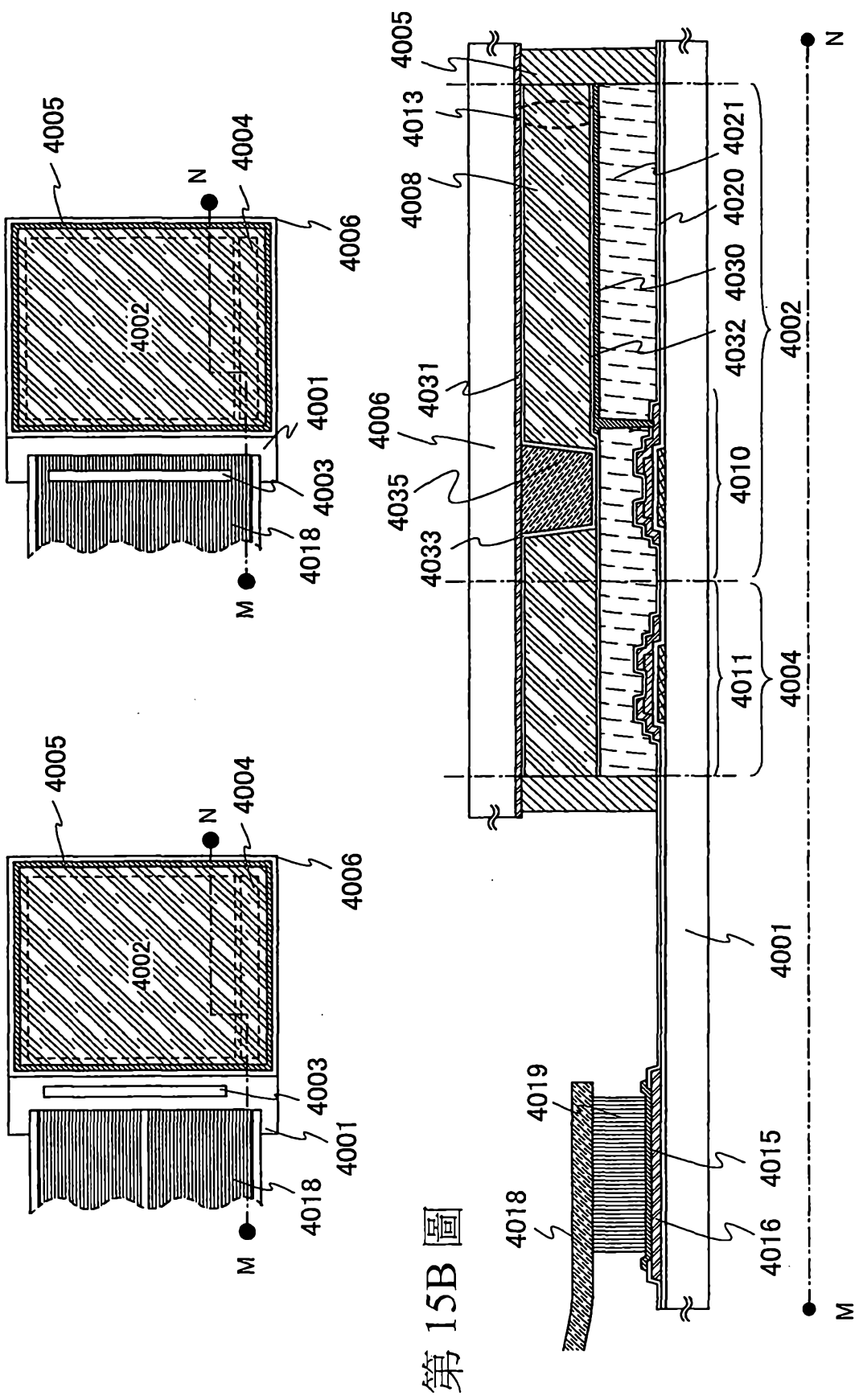


第 14 圖

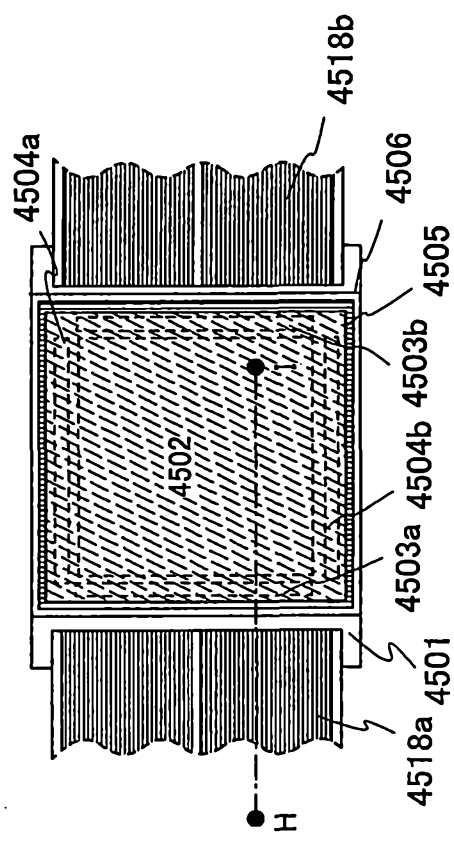


第 15A1 圖

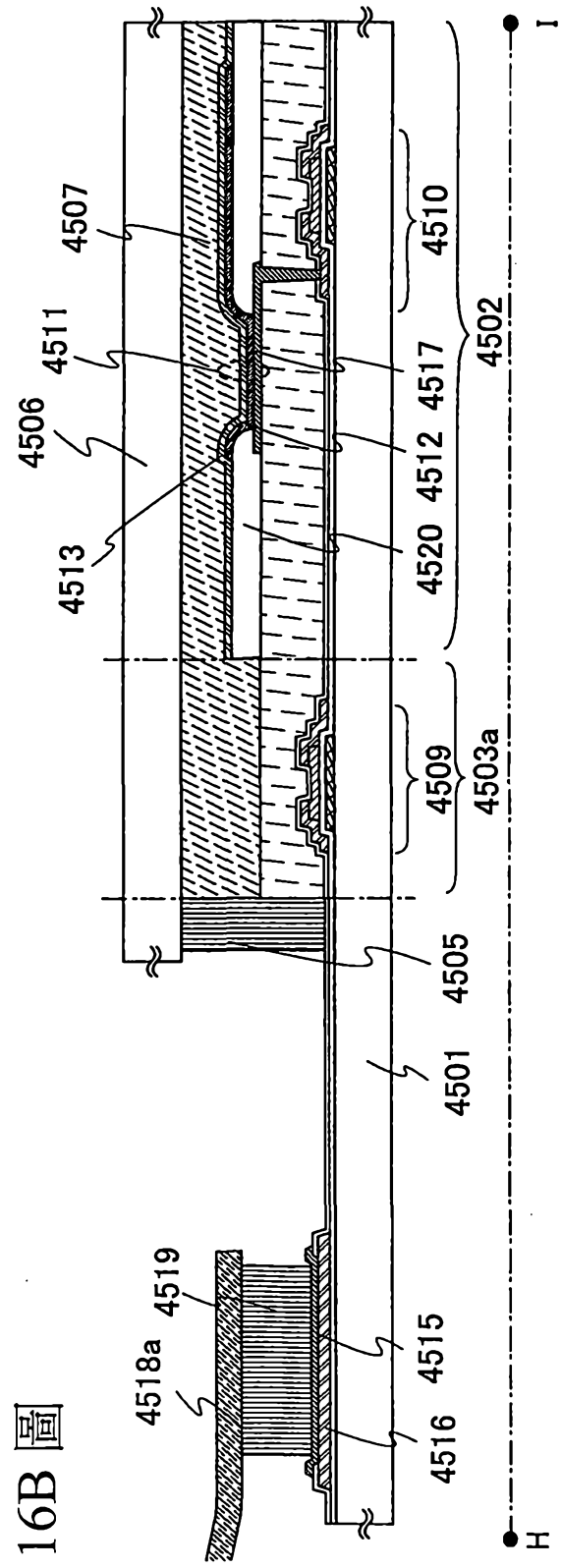
第 15A2 圖



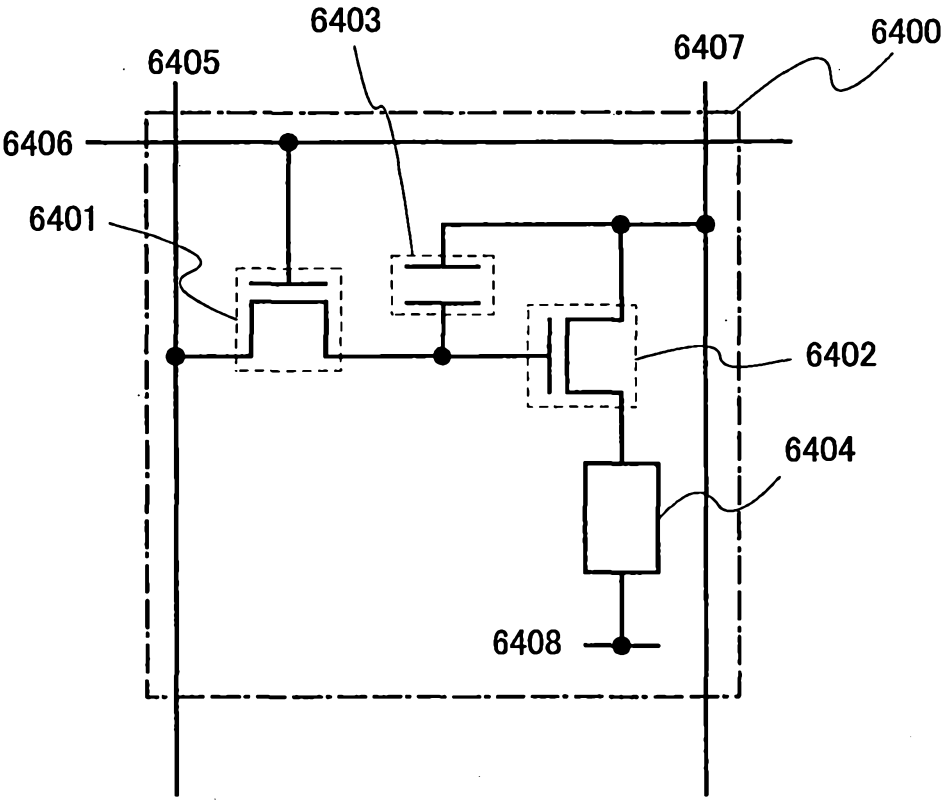
第 16A 圖



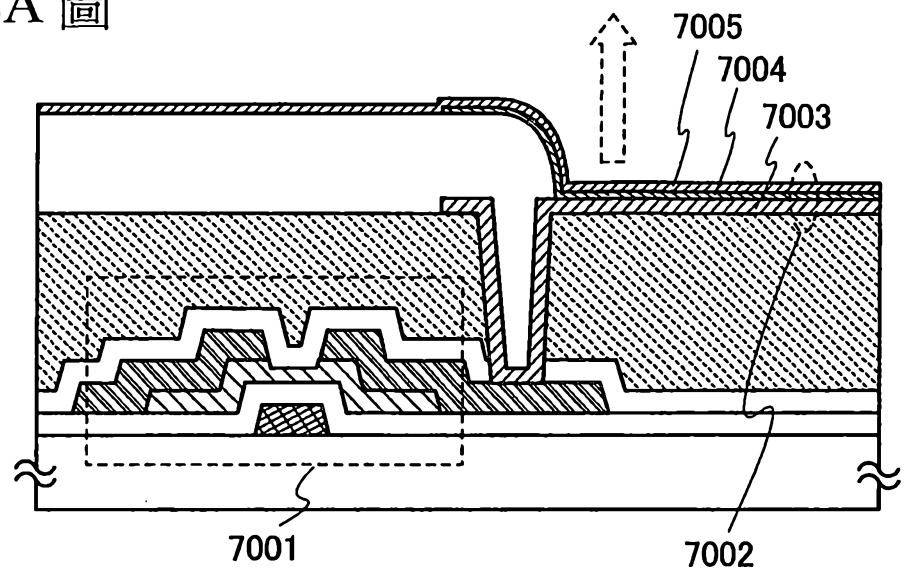
第 16B 圖



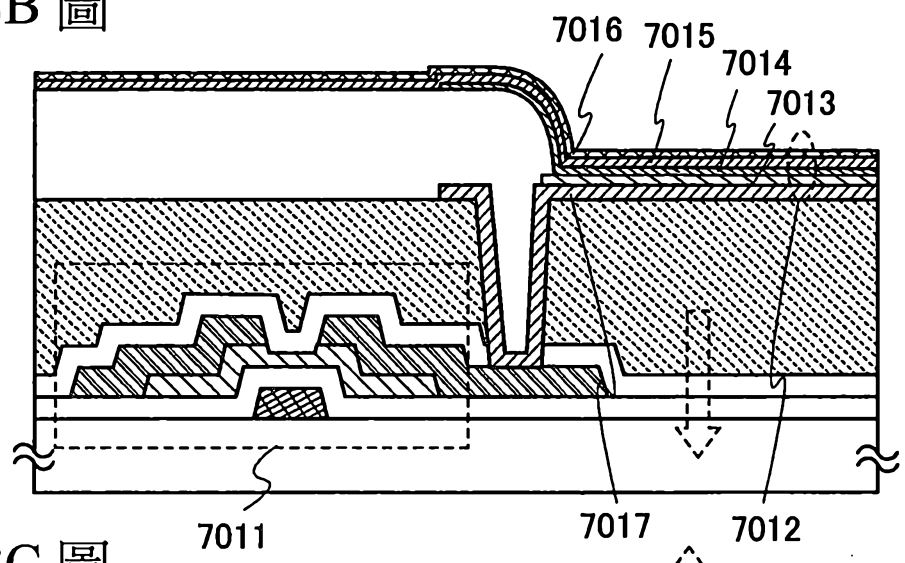
第 17 圖



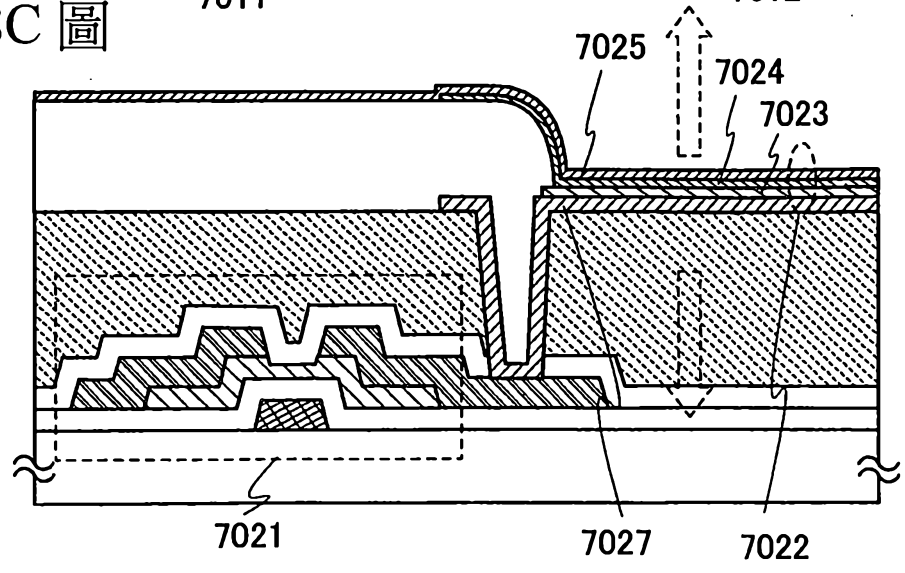
第 18A 圖



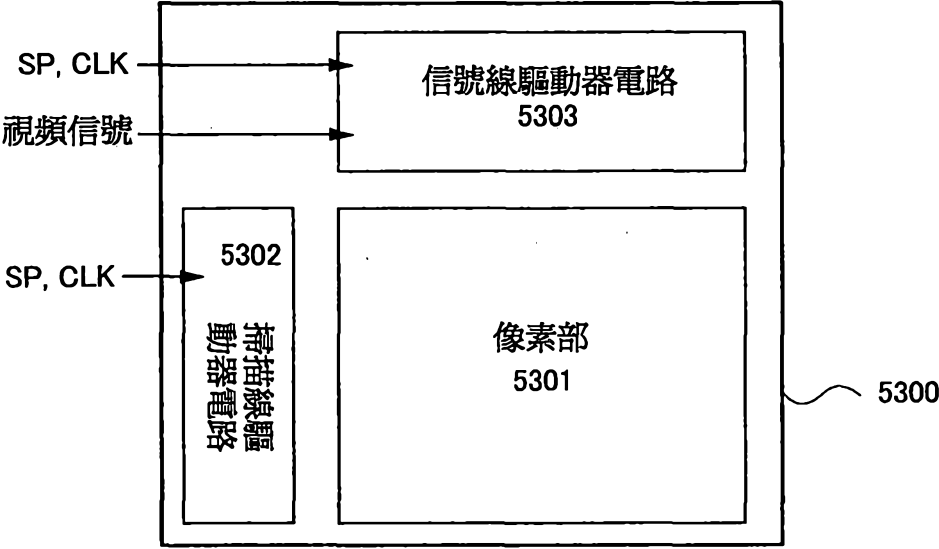
第 18B 圖



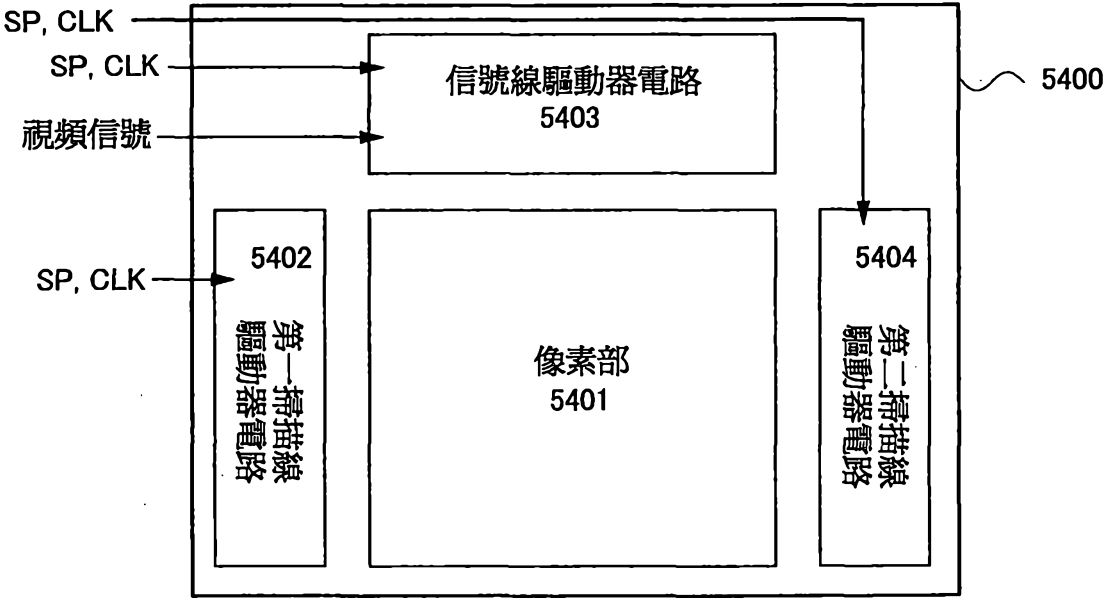
第 18C 圖



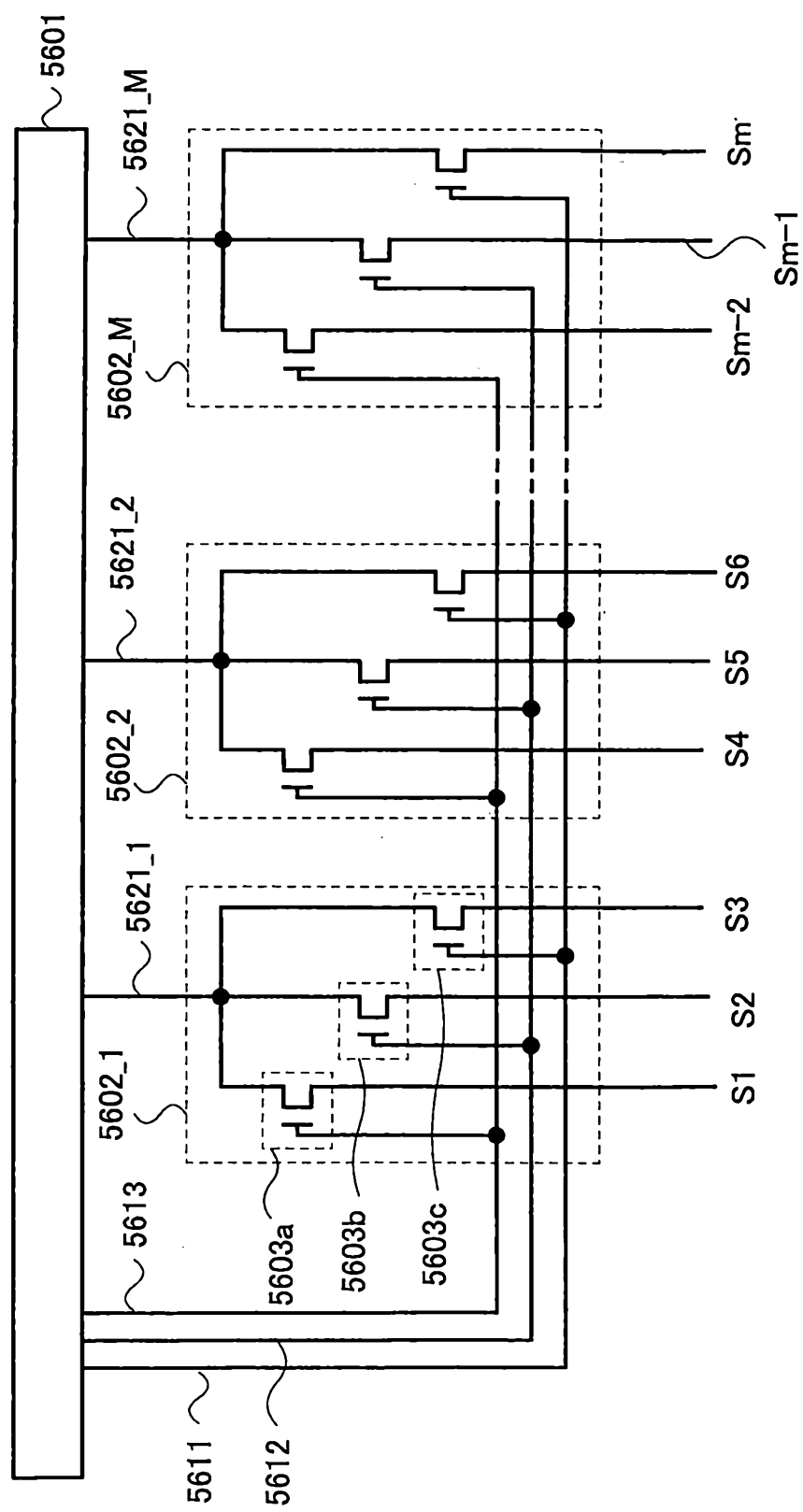
第 19A 圖



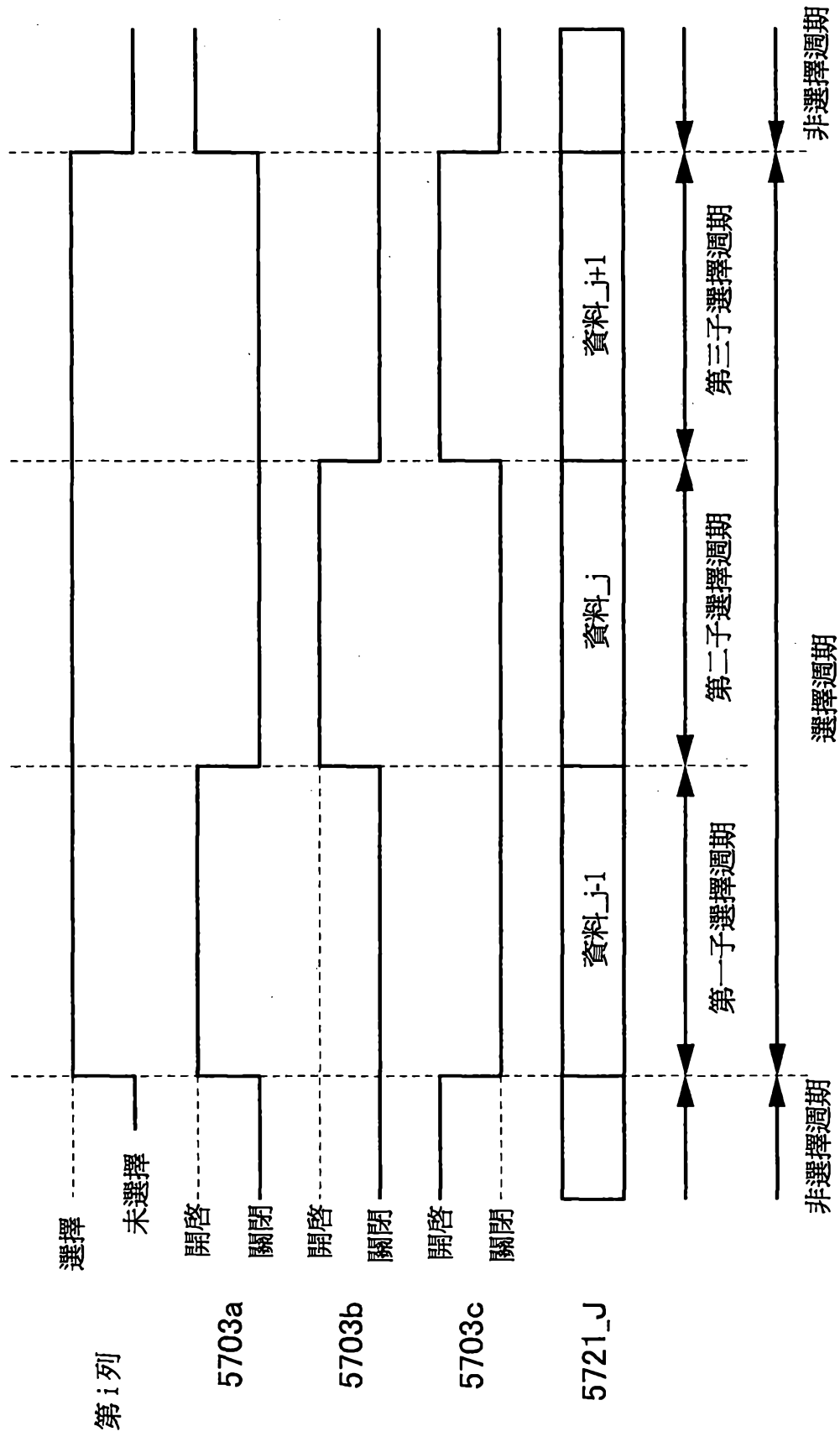
第 19B 圖



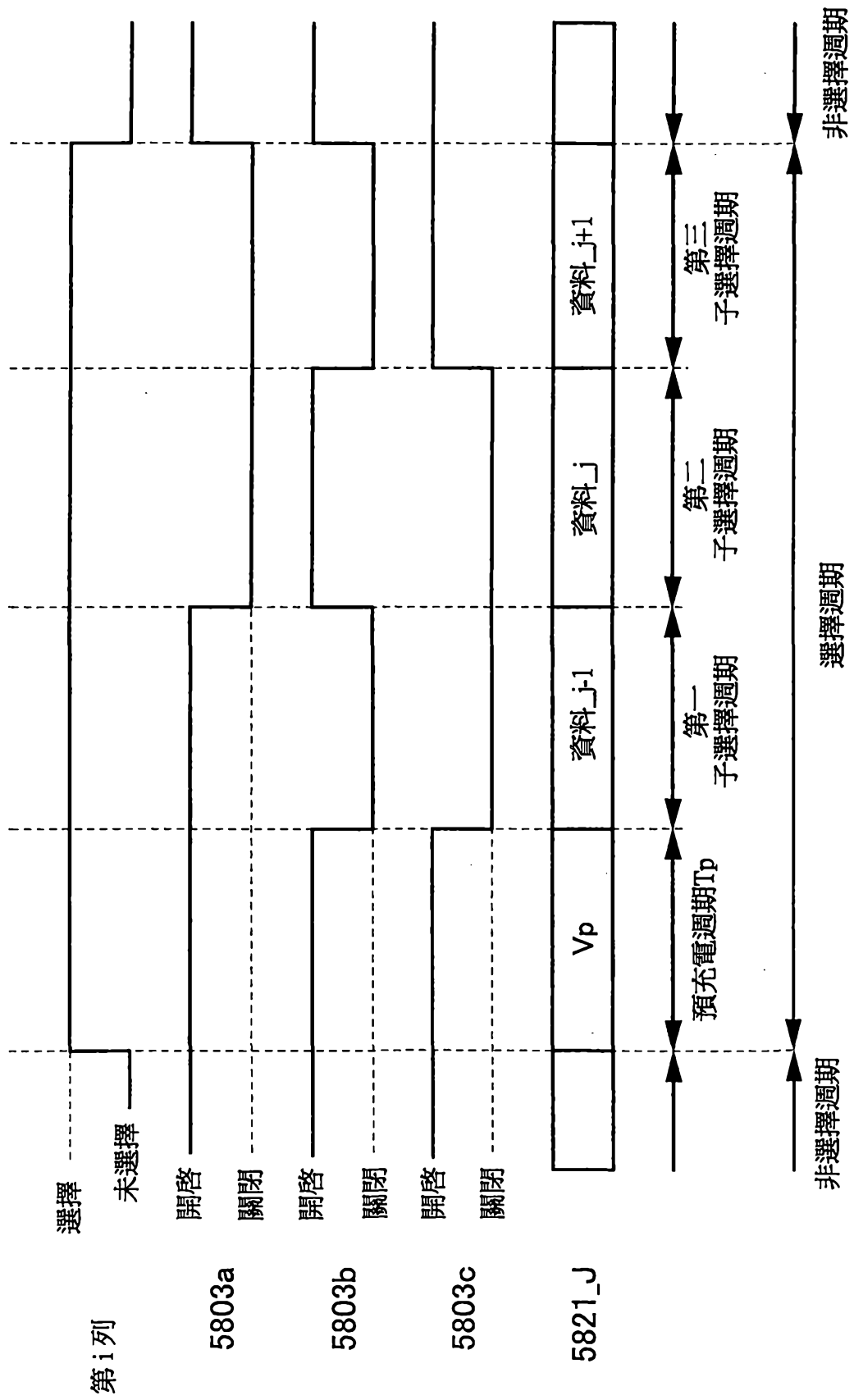
第 20 圖



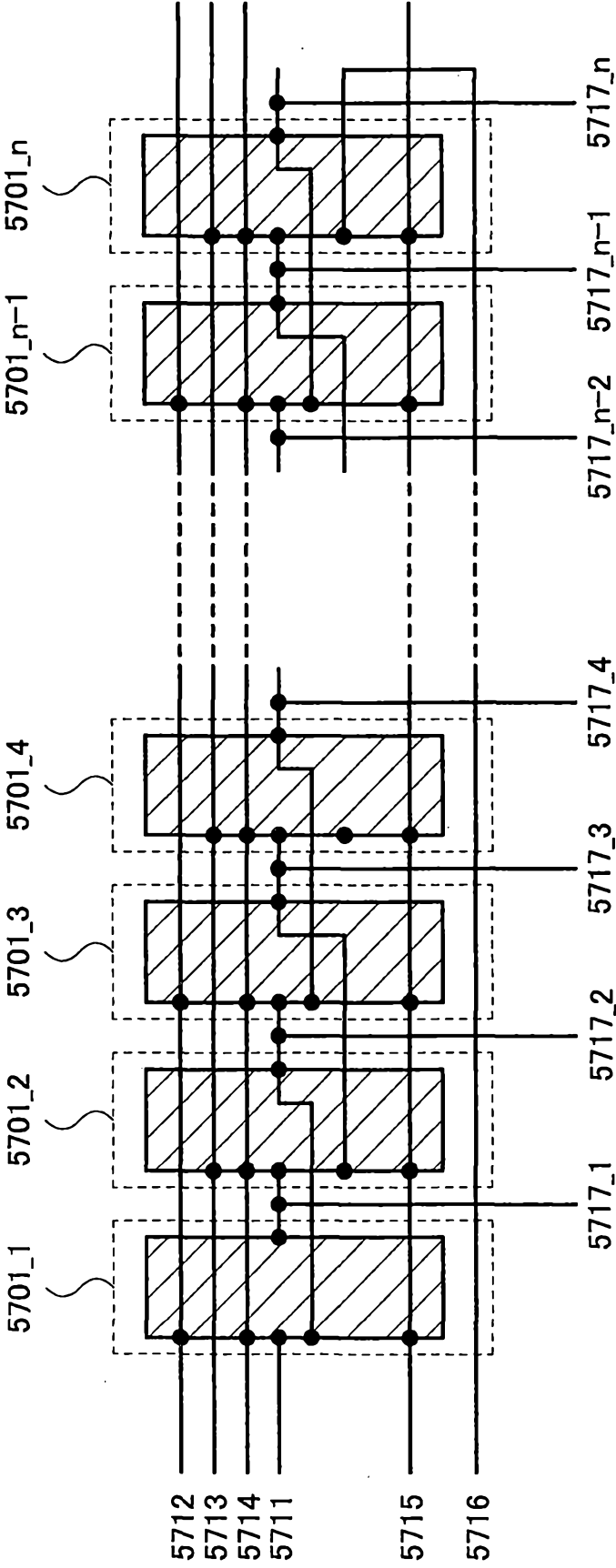
第 21 圖



第 22 圖



第 23 圖



第 24 圖

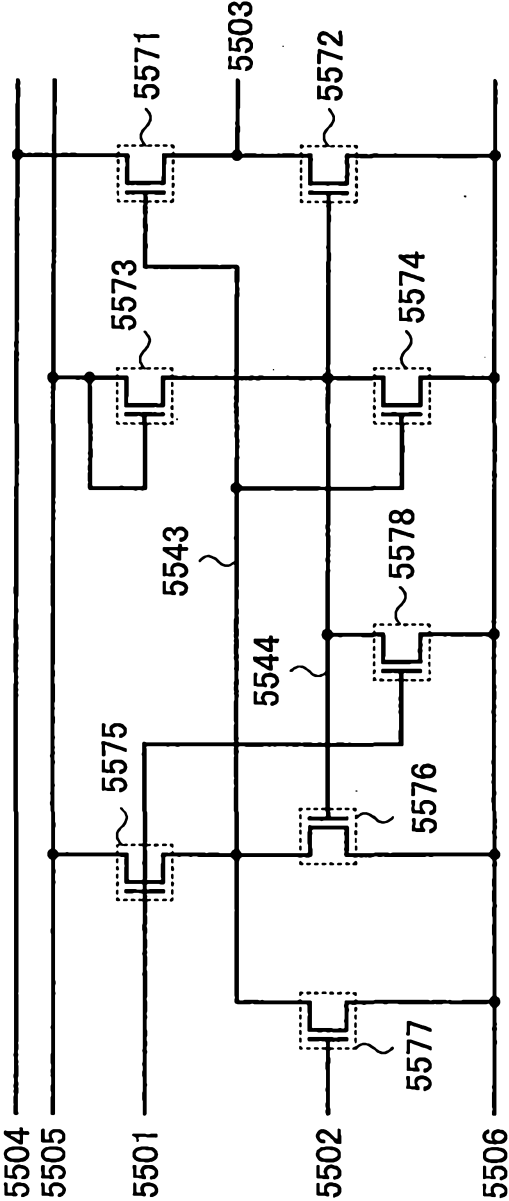
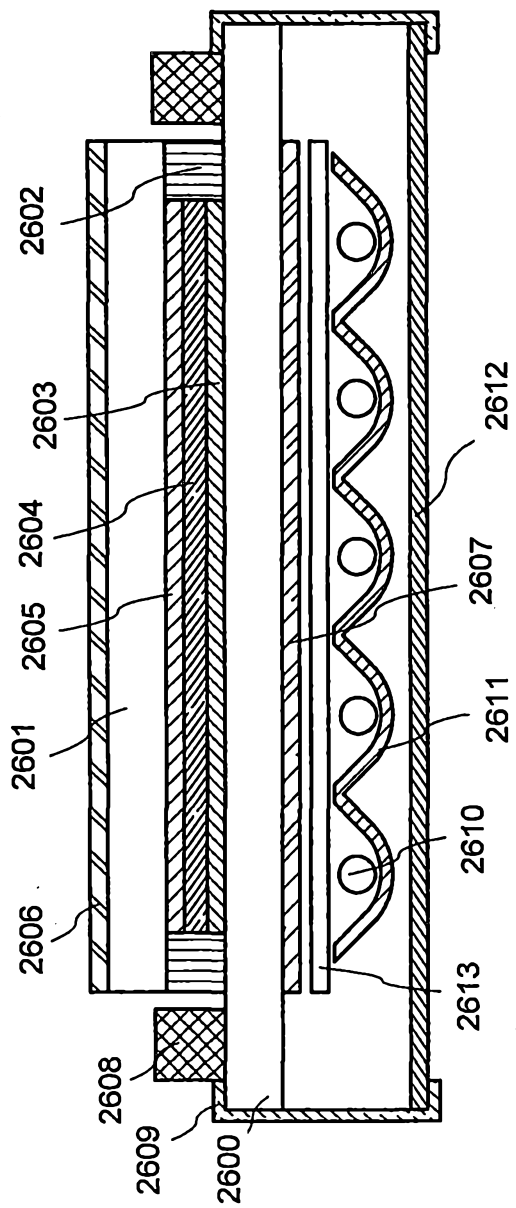
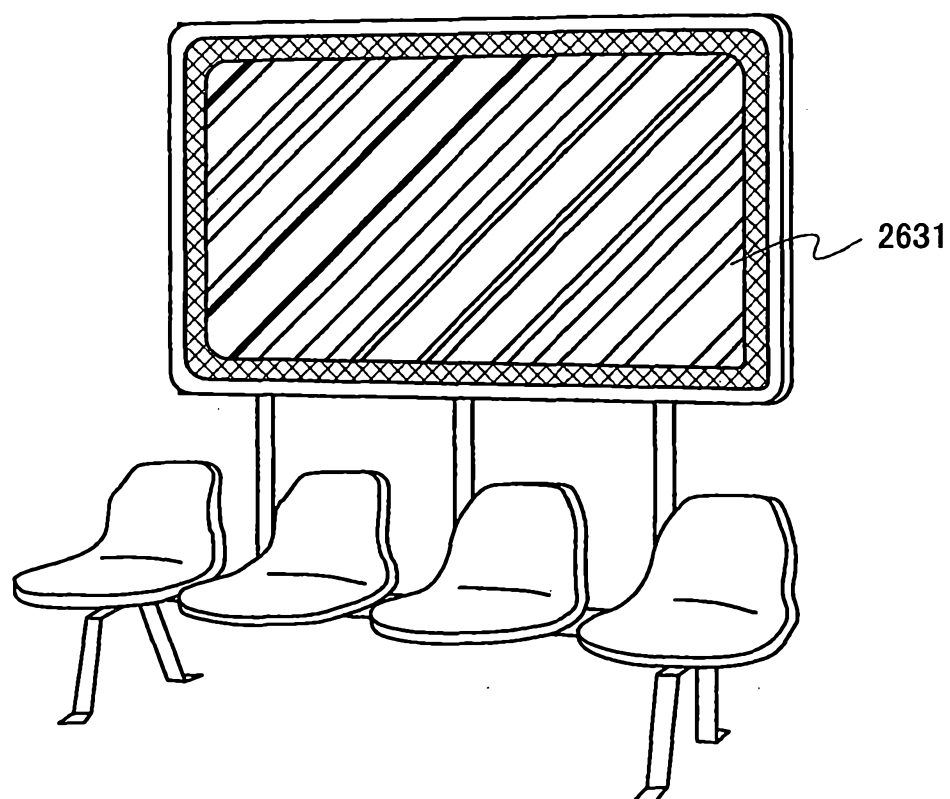


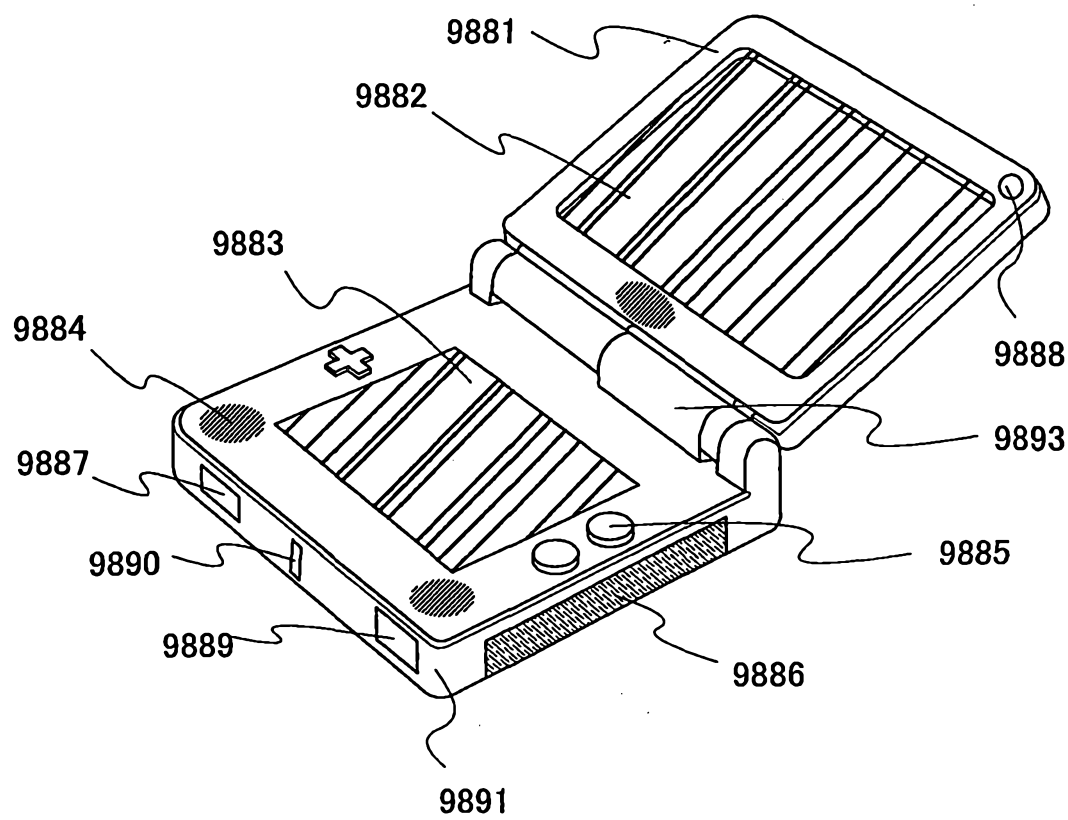
圖 25 第



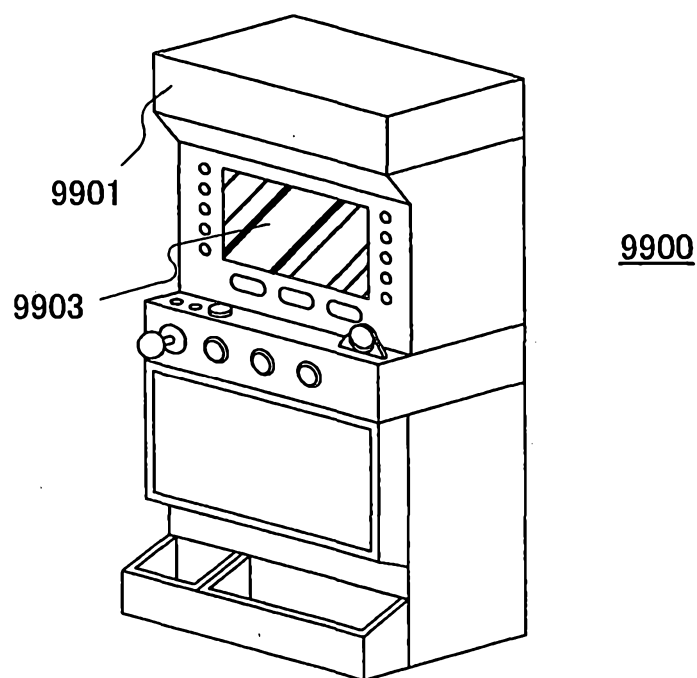
第 26 圖



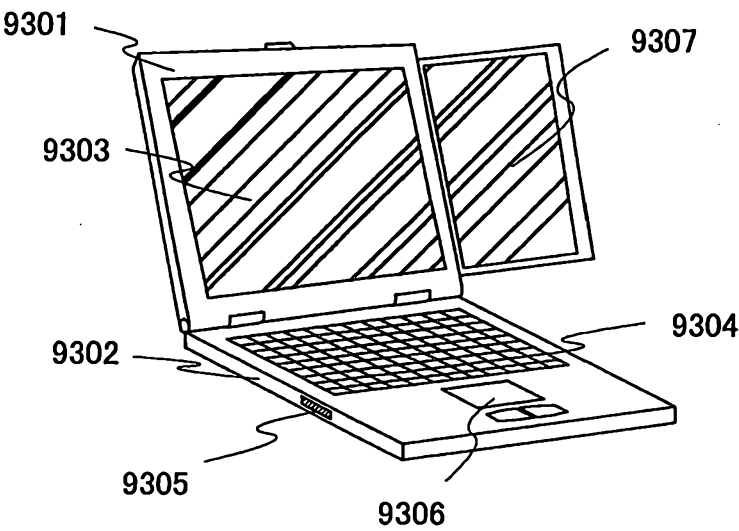
第 29A 圖



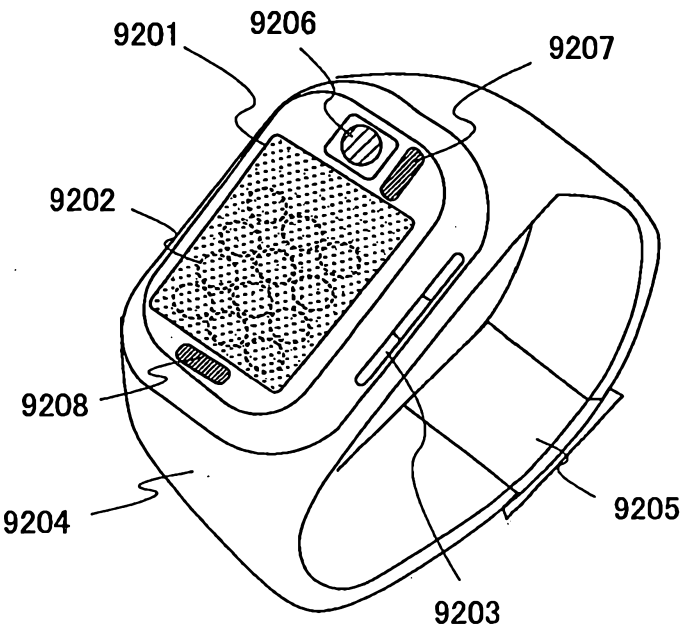
第 29B 圖



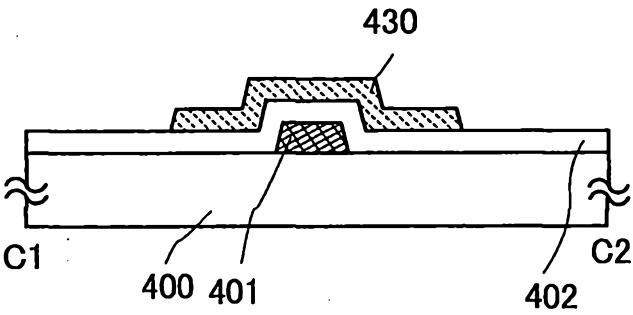
第 30A 圖



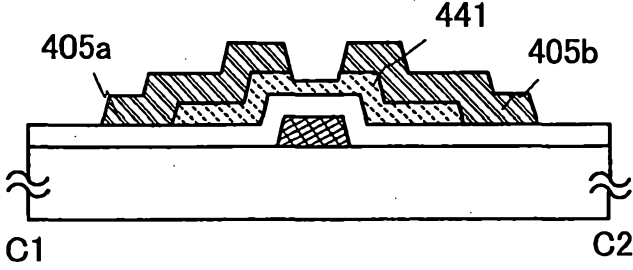
第 30B 圖



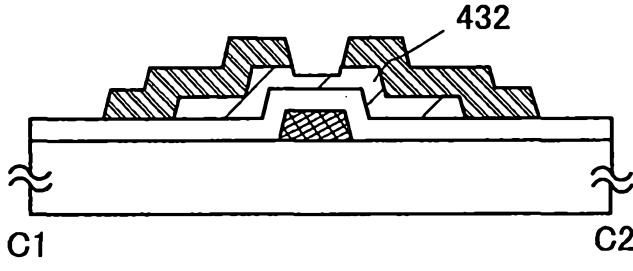
第 31A 圖



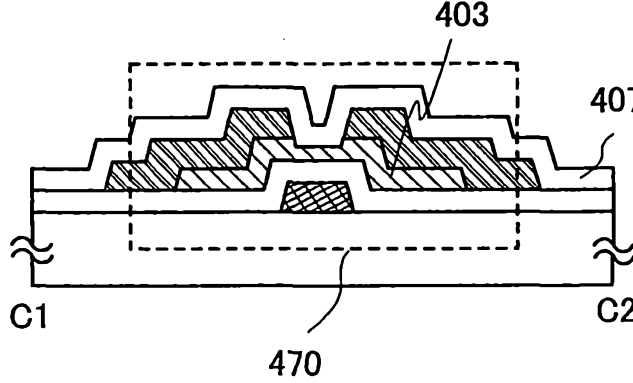
第 31B 圖



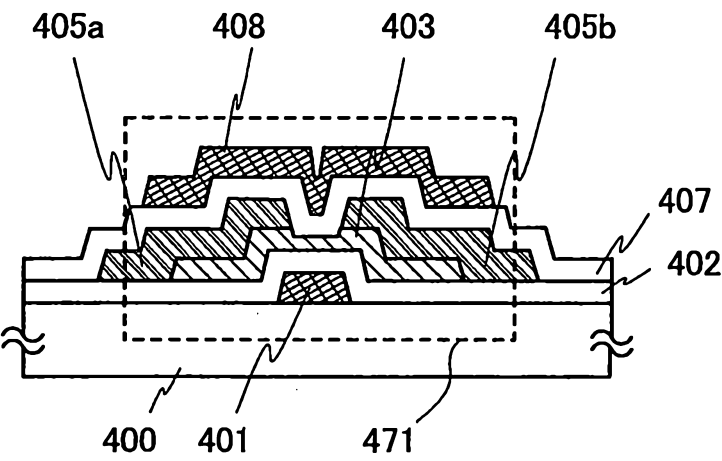
第 31C 圖



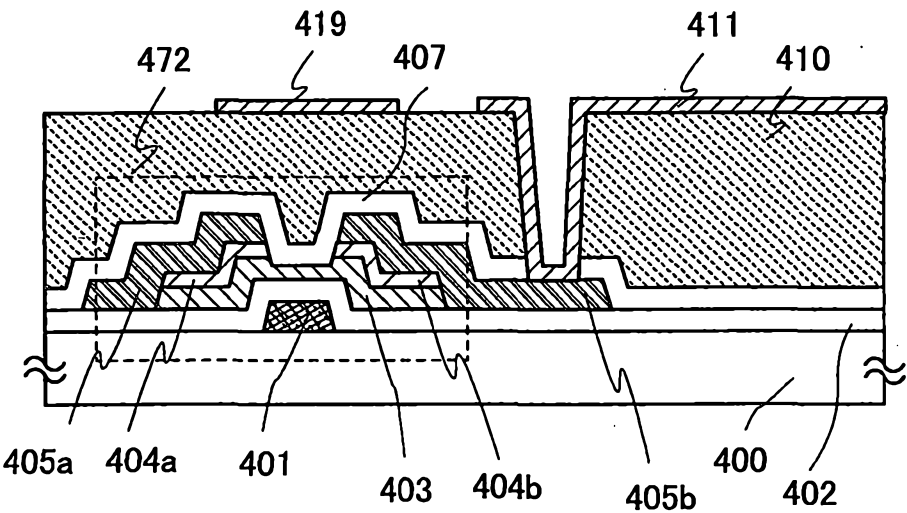
第 31D 圖



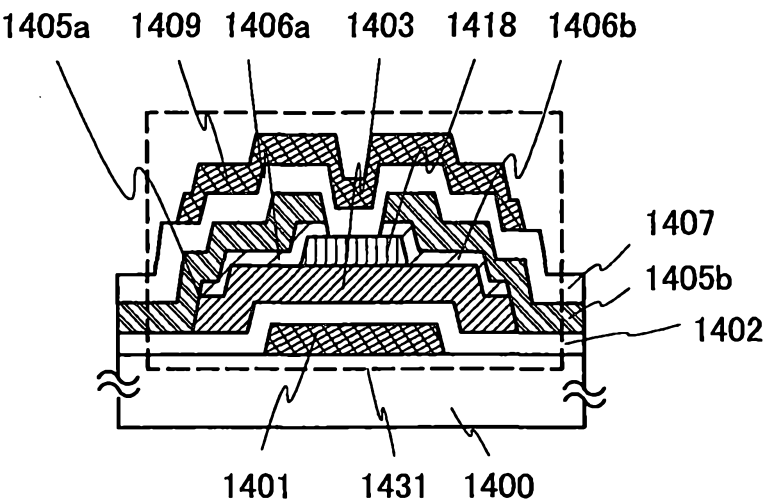
第 32 圖



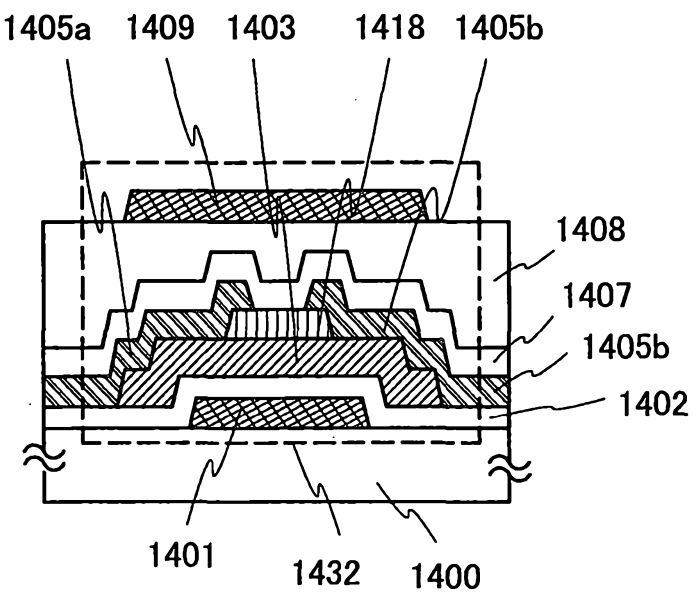
第 33 圖



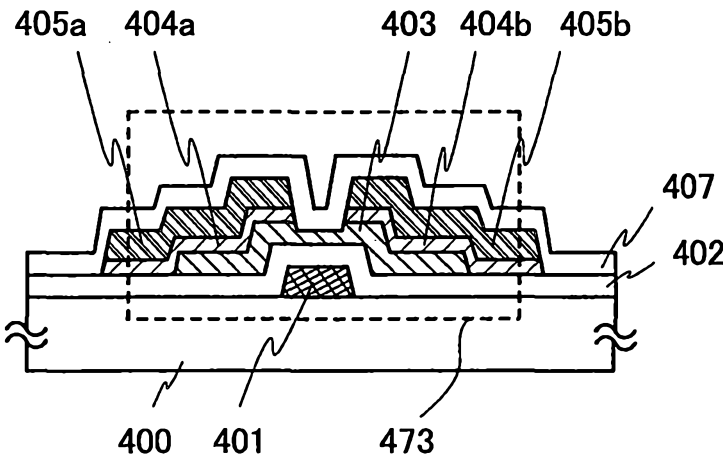
第 35A 圖



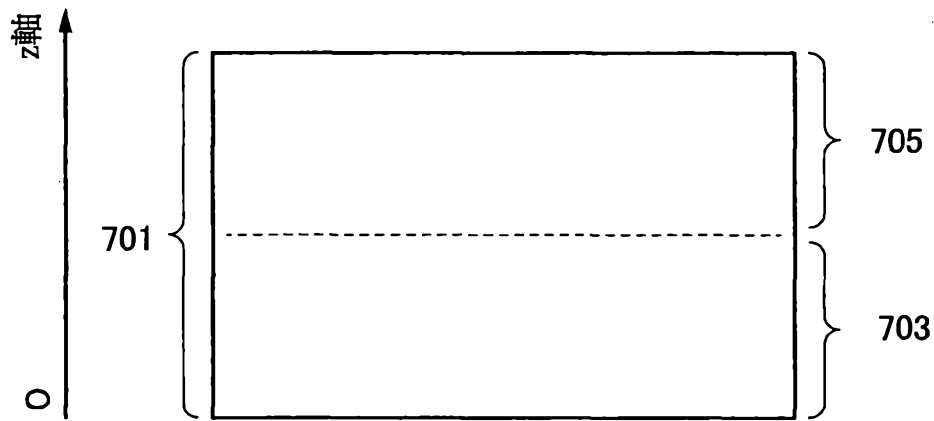
第 35B 圖



第 36 圖



第 37 圖



第 38 圖

