



(12) 发明专利

(10) 授权公告号 CN 101271926 B

(45) 授权公告日 2013. 04. 17

(21) 申请号 200810086033. 7

(22) 申请日 2008. 03. 10

(30) 优先权数据

11/684, 261 2007. 03. 09 US

(73) 专利权人 二极管构造技术股份有限公司

地址 美国密苏里州

(72) 发明人 R·J·哈莫斯基 Z·陈 J·M-F·洪

J·D·V·程 C·D·哈鲁斯卡

T·伊斯特曼

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 李玲

(51) Int. Cl.

H01L 29/868 (2006. 01)

H01L 29/78 (2006. 01)

H01L 21/329 (2006. 01)

H01L 21/336 (2006. 01)

(56) 对比文件

US 5182222 A, 1993. 01. 26,

US 5182222 A, 1993. 01. 26,

US 5182222 A, 1993. 01. 26,

审查员 高铭洁

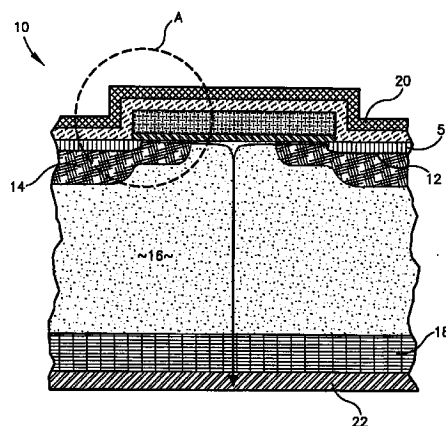
权利要求书 2 页 说明书 6 页 附图 11 页

(54) 发明名称

高效整流器

(57) 摘要

一种高效功率半导体整流器件 (10) 包括： δ P₊₊层 (12)、P 本底 (14)、N 漂移区域 (16)、N₊基片 (18)、阳极 (20) 和阴极 (22)。一种制造该器件的方法包括如下步骤：在 N₊基片 (18) 上沉积 N 漂移区域 (16)；将硼掺入 N 漂移区域 (16) 从而创建 P 本底区域 (14)；在 P 本底区域 (14) 上形成一层硅化钛 (56)；以及使一部分注入的硼集中在硅化钛 (56) 层和 P 本底区域 (14) 之间的界面区域处从而创建过饱和的 P 掺杂硅的 δ P₊₊层 (12)。



1. 一种半导体整流器件,包括:
 - δP_{++} 层;
 - 在 δP_{++} 层之下且与其相邻的 P 本底;
 - 在 P 本底区域之下且与其相邻的 N 漂移区域;以及
 - 在 N 漂移区域之下的 N_{+} 基片;
 - 在 δP_{++} 层之上并与其相邻的高级硅化物区域;
 - 一层用作栅极电介质的氧化物,这层氧化物位于 N 漂移区域、P 本底、 δP_{++} 层和硅化钛区域中的一种或者多种之上并与之相邻;
 - 一层在氧化层之上且与其相邻的多晶硅;以及
 - 一层在多晶硅层之上且与其相邻的钛。
2. 如权利要求 1 所述的半导体整流器件,其特征在于,所述钛具有 $300\text{\AA}$ 的厚度。
3. 如权利要求 1 所述的半导体整流器件,其特征在于,还包括一层在钛层之上且与其相邻的氮化钛。
4. 如权利要求 2 所述的半导体整流器件,其特征在于,所述氮化钛层具有 $500\text{\AA}$ 的厚度。
5. 一种制造半导体整流器件的方法,该方法包括如下步骤:
 - (a) 在第二导电类型的基片上沉积第二导电类型的漂移区域;
 - (b) 将第一导电类型的掺杂剂注入漂移区域从而形成第一导电类型的本底区域;
 - (c) 在本底区域上形成一层高级硅化物;以及
 - (d) 使一部分注入的掺杂剂集中在高级硅化物层和本底区域之间的界面区域处从而产生一层用第一导电类型的掺杂剂使其过饱和的硅。
6. 如权利要求 5 所述的方法,其特征在于,所述高级硅化物层包括硅化钛。
7. 一种制造半导体整流器件的方法,该方法包括如下步骤:
 - (a) 在 N_{+} 基片上沉积 N 漂移区域;
 - (b) 将硼注入到 N 漂移区域从而产生 P 本底区域;
 - (c) 在 P 本底区域上形成一层硅化钛;以及
 - (d) 使一部分注入的硼集中在硅化钛层和 P 本底区域之间的界面区域处从而产生过饱和的 P 掺杂硅的 δP_{++} 层。
8. 如权利要求 7 所述的方法,其特征在于,所述 δP_{++} 层具有几个原子层的厚度。
9. 一种制造半导体整流器件的方法,该方法包括如下步骤:
 - (a) 在硅 N_{+} 基片上沉积 N 层;
 - (b) 在 N 层上生长一层氧化硅;
 - (c) 进行第一次光刻步骤,通过去除氧化硅层的第一部分来定义保护环;
 - (d) 将硼注入到保护环,从而产生硼注入区域;
 - (e) 对硼注入区域进行扩散;
 - (f) 在硼注入区域上再生长氧化硅层的第一部分;
 - (g) 进行第二次光刻步骤,以去除氧化硅层的第二部分,从而开放有源区域;
 - (h) 在有源区域中生长栅极氧化物;
 - (i) 在栅极氧化物上沉积一层多晶硅;

- (j) 采用砷来注入多晶硅层；
- (k) 使多晶硅层发生局部氧化，从而产生一层氧化多晶硅和一层非氧化多晶硅，并产生 N 掺杂的多晶硅栅极；
- (l) 进行第三次光刻步骤，进一步定义多晶硅栅极；
- (m) 采用反应离子刻蚀工艺来刻蚀氧化的多晶硅层；
- (n) 将硼注入到 N 漂移区域，以产生 P 本底区域；
- (o) 去除光刻胶；
- (p) 刻蚀氧化的多晶硅层和栅极氧化物的顶面；
- (q) 在氧化的多晶硅层和栅极氧化物上沉积一层钛，并且在钛层上沉积一层氮化钛；
- 以及
- (r) 通过将一部分氧化的多晶硅层暴露在至少 650 摄氏温度下，在 P 本底区域和钛层之间形成一层硅化钛，从而使得硼进入到一界面并在硅化钛层和 P 本底区域之间产生过饱和的 P 掺杂硅的 δP_{++} 层。
10. 如权利要求 9 所述的方法，其特征在于，步骤 (b) 中的氧化硅生长到在 0.5 微米和 1.0 微米之间的厚度。
11. 如权利要求 9 所述的方法，其特征在于，步骤 (h) 的栅极氧化物生长到 **85Å** 的厚度。
12. 如权利要求 9 所述的方法，其特征在于，步骤 (i) 的多晶硅生长到 **1500Å** 的厚度。
13. 如权利要求 9 所述的方法，其特征在于，在步骤 (j) 中，砷是以 40KeV 的能量注入的。
14. 如权利要求 9 所述的方法，其特征在于，所述非氧化多晶硅层具有 **800Å** 的厚度。
15. 如权利要求 9 所述的方法，其特征在于，在步骤 (o) 中，硼是以 80KeV 的能量注入的。
16. 如权利要求 9 所述的方法，其特征在于，在步骤 (q) 中，硼是以 30KeV 的能量注入的。
17. 如权利要求 9 所述的方法，其特征在于，在步骤 (q) 中，钛层具有 **300Å** 的厚度，氮化钛层具有 **500Å** 的厚度。
18. 如权利要求 9 所述的方法，其特征在于，在步骤 (t) 中， δP_{++} 层具有几个原子层的厚度。
19. 如权利要求 9 所述的方法，其特征在于，还包括沉积阳极的步骤。
20. 如权利要求 9 所述的方法，其特征在于，还包括进行第四次光刻工艺以刻蚀阳极的步骤。
21. 如权利要求 9 所述的方法，其特征在于，还包括使 N_+ 基片变薄的步骤。
22. 如权利要求 9 所述的方法，其特征在于，还包括沉积阴极的步骤。

高效整流器

[0001] 发明领域

[0002] 本发明涉及半导体器件及其制造方法。更具体地说,本发明涉及功率半导体整流器件及其制造方法。

[0003] 发明背景

[0004] 现代功率电路需要具有改良功率开关特性的功率整流器。对于高电压应用,当需要高击穿电压和高工作温度时经常会采用具有高开关速度的 P_+/N 整流器。对于低电压应用,当需要高开关速度和非常低的正向电压降时经常采用肖特基 (Schottky) 势垒整流器。肖特基势垒整流器是一种多数载流子器件,它允许在恢复过程中仅仅只有很小的反向电流流过。不幸的是,当工作在升高的温度时,肖特基势垒整流器会承受所不希望出现的高反向漏电流。

[0005] 已经采用的一些改进措施来改善肖特基整流器的闭塞能力。这类改善方法之一是结势垒肖特基 (JBS) 整流器,它将 P/N 结栅极与足够小的肖特基势垒区域相结合,从 P_+/N 结栅极扩展空间电荷区域,从而消除镜像电荷所引起的肖特基势垒的降低。对于相同的芯片面积和正向电压降而言,JBS 整流器可提供漏电流净减大约 50%。对于 50% 占空比的二极管工作而言,这等同于功率损耗中的大约 11 度绝对温度 (开氏温标) 的改善。

[0006] 另一种这类改善方法是沟槽式肖特基,这对于较高的电压应用是十分有利的,在较高的电压应用中,正向电压降超过 0.7 伏特并且 JBS 整流器停止作为多数载流子器件的工作。例如,当击穿电压上升到 250V 时,沟槽式 MOS 势垒控制肖特基 (MBS) 整流器具有比 $P-i-N$ 整流器更低的正向电压降并且仍旧作为多数载流子器件工作。

[0007] 除了这些高电压应用之外,低电压应用的需求正在增加,然而这些常规的沟槽式肖特基并不能很好的适用。沟槽式肖特基需要,在闭塞状态中,内部沟槽的分开充分的接近,并且本底部分的相邻区域是充分低的掺杂,从而使得在本底部分中所形成的耗尽层以比击穿电压更小的电压耗尽在沟槽之间的本底部分的中间区域。这样能够改善正向电压的闭塞特性。不幸的是,这也会导致肖特基势垒的有效区域的显著减小,因为沟槽可以消耗大于 50% 的芯片有效面积。

[0008] 美国专利 No. 6, 979, 861 披露了一种类似 MOS 晶体管的两端器件。该专利中的图 2 显示了这一器件的垂直结构和正向电流流动模式。该器件是一个两端器件:上电极提供与 N_+ 源极、栅极和 P 本底的直接接触,而下电极是漏极。当将正的电压施加于上电极时实现正向导通。在栅极进入 N 沟道的条件下,栅极上的正的偏置使得 P 本底反型,从而允许正向电流流动。栅极上的负电压不会引起 N 沟道的形成。 $P-$ 基极 $N-$ 漂移区域变成为反向偏置的 pin 二极管并且提供反向电压。不幸的是,这种器件会呈现出它的寄生 $N_+/P/N$ 双极性结构,从而导致 dV/dt 特性变差。

发明内容

[0009] 本发明通过提供一种改良的半导体整流器件来克服上述问题和限制。一般来说,该器件包括:一层用第一导电类型的掺杂剂使其过饱和的硅,;第一导电类型的本底区域,

大致位于过饱和硅层之下且与其相邻；第二导电类型的漂移区域，大致位于本底区域之下且与其相邻；以及第二导电类型的基片，大致位于漂移区域之下。

[0010] 一般来说，制造上述器件的方法包括如下步骤：在第二导电类型的基片上沉积第二导电类型的漂移区域；将第一导电类型的掺杂剂注入漂移区域从而创建第一导电类型的本底区域；在本底区域上形成一层高级硅化物（例如，硅化钛）；以及使一部分注入的掺杂剂集中在硅化物层和本底区域之间的界面上，从而形成一层用第一导电类型的掺杂剂使其过饱和的硅。

[0011] 在一个实施例中，第一导电类型是P型，而第二导电类型是N型。于是，在该实施例中，该器件一般包括 δP_{++} 层、P本底、N漂移区域、 N_{+} 基片、阳极和阴极。在该实施例中，P本底大致位于 δP_{++} 层之下且与其相邻，N漂移区域大致位于P本底之下且与其相邻， N_{+} 基片大致位于N漂移区域之下，阳极大致位于 δP_{++} 层之上，以及阴极大致位于 N_{+} 基片之下。

[0012] 于是，在该实施例中，制造该器件的方法包括如下步骤：在 N_{+} 基片上沉积N漂移区域；将硼注入N漂移区域从而创建P本底区域；在P本底区域上形成一层硅化钛；以及使一部分注入的硼集中在硅化钛层和P本底区域之间的界面区域处从而创建过饱和P掺杂硅的 δP_{++} 层。

[0013] 在以下本发明的具体实施方法中详细地讨论了本发明的上述以及其它性能。

[0014] 附图的简要描述

[0015] 以下将参照附图讨论本发明，附图中更加强调清晰的表述而不是具体的尺寸：

[0016] 图1是本发明器件的一个实施例的部分截面正视图；

[0017] 图2是图1所示器件的区域A的部分截面正视图，其中器件处于热平衡状态；

[0018] 图3是图1所示器件的区域A的部分截面正视图，其中器件处于正向偏置状态；

[0019] 图4是图1所示器件的区域A的部分截面正视图，其中器件处于反向偏置状态；

[0020] 图5是该器件制造方法的一个实施例中的第一步骤之后器件的部分截面正视图；

[0021] 图6是第二步骤之后器件的部分截面正视图；

[0022] 图7是第三步骤之后器件的部分截面正视图；

[0023] 图8是第五步骤之后器件的部分截面正视图；

[0024] 图9是第六步骤之后器件的部分截面正视图；

[0025] 图10是第七步骤之后器件的部分截面正视图；

[0026] 图11是第八步骤之后器件的部分截面正视图；

[0027] 图12是第十步骤之后器件的部分截面正视图；

[0028] 图13是第十一步骤之后器件的部分截面正视图；

[0029] 图14是第十二步骤之后器件的部分截面正视图；

[0030] 图15是第十三步骤之后器件的部分截面正视图；

[0031] 图16是第十四步骤之后器件的部分截面正视图；

[0032] 图17是第十五步骤之后器件的部分截面正视图；

[0033] 图18是第十六步骤之后器件的部分截面正视图；

[0034] 图19是第十七步骤之后器件的部分截面正视图；以及，

[0035] 图20是第十八步骤之后器件的部分截面正视图。

具体实施方式

[0036] 本文将参照附图,根据本发明的各个实施例,包括较佳实施例,来讨论、显示以及披露高效功率半导体整流器件 10。

[0037] 一般来说,器件 10 包括:一层用第一导电类型的掺杂剂使其过饱和的硅;与过饱和硅层大致相邻的第一导电类型的本底区域;与本底区域大致相邻的第二导电类型的漂移区域;以及位于漂移区域之下的第二导电类型的基片。

[0038] 在一个实施例中,第一导电类型是 P 型,而第二导电类型是 N 型。于是,在该实施例中,参照图 1 至图 4,器件 10 主要包括: δP_{++} 层 12、P 本底 14、N 漂移区域 16、 N_{+} 基片 18、阳极 20 和阴极 22。在该实施例中,P 本底 14 大致相邻于 δP_{++} 层 12,N 漂移区域 16 大致相邻于 P 本底 14, N_{+} 基片 18 在 N 漂移区域 16 之下,阳极 20 在 δP_{++} 层 12 之上,以及阴极 22 在 N_{+} 基片 18 之下。正如本文所使用的,术语“大致”,当与诸如“在...之上”、“在...之下”或者“与...相邻”的位置术语组合时,则表示与上述元件的相对定位并且允许:(A) 复合形状,在该形状中,至少元件的主要部分适合于所描述的相对位置;以及 (B) 介入元件,例如,区域或者层,特别是中间的少数元件,例如,由于制造工艺和/或在元件之间的相互作用所引起的稍微不同性能的界面区域。也正如本文所使用的,术语“在...之上”和“在...之下”表示元件的各个侧面,例如,“在...之上”是指元件的一个侧面,而“在...之下”是指元件的另一侧面。通常,任何东西以阳极 20 作为相对方向都称之为“在其之上”,而任何东西以阴极 22 作为相对方向则都称之为“在其之下”。但是,值得注意的是,正如本文所使用的,“在...之上”和“在...之下”仅仅只是主观性定义并不依赖于器件 10 整体的任何取向。

[0039] 在一个实施例中, δP_{++} 层 12 是 P 型掺杂硅的过饱和区域并且具有大约几个原子层的厚度;P 本底 14 是硼注入多晶硅的区域;N 漂移区域 16 具有大约每厘米 0.4 欧姆的电阻率并且其厚度大约 3 微米;以及 N_{+} 基片 18 具有大约等于或者小于每厘米 5×10^{-3} 欧姆的电阻率并且采用砷或磷进行掺杂。

[0040] 在一个实施例中,器件 10 还包括下列其它元件。硅化钛区域 56 或者其它高级硅化物定位在 δP_{++} 层 12 之上并与其大致相邻。一层氧化硅 36 具有栅极电介质的功能并且在 N 漂移区域 16、P 本底 14、 δP_{++} 层 12 和硅化钛区域 56 之上与其中的一种或者多种相邻。在一个实施例中,栅极氧化层 36 具有大约 85 Å 的厚度。一层多晶硅 38 定位在氧化硅层 36 之上且与其大致相邻。在一个实施例中,多晶硅层 38 采用大约每平方厘米 $8e^{15}$ 的剂量和大约 40KeV 的能量注入砷。一层钛 52 定位在多晶硅层 38 之上且与其大致相邻。在一个实施例中,钛 52 具有 300 Å 的厚度。一层氮化钛 54 定位在一层钛 52 之上且与其大致相邻,并且在阳极 20 之下且与其大致相邻。在一个实施例中,氮化钛 54 具有 500 Å 的厚度。

[0041] 在没有栅极电压的情况下,器件 10 作为 pin 二极管工作。施加正的栅极电压导致在栅极电介质下的二维电子沟道和隧道 $\delta P_{+}/N_{+}$ 结的形成。

[0042] 将正的偏置施加于 δP_{++} 层 12 形成由于能带与能带隧道所引起的大的正向电流流动。图 2 显示了器件 10 在热平衡条件中的能带图,而图 3 显示了器件的半导体表面的能带图,其中电子电流从二维 MOSFET 沟道流入三维 δP_{++} 层 12。施加较高的正向偏置会导致正向电流的增加,这是由于阱辅助的隧道电流所引起的。

[0043] 施加反向偏置会导致负的栅极偏置,使得 P 本底 14 的表面停止反型,并且还使得器件 10 作为 P-i-N 二极管工作。图 4 显示了适用于反向偏置二极管的器件半导体表面的能带图。施加较高的反向偏置会导致 P 本底 14 的表面变成更多的积累,从而导致较低的反向泄漏电流。

[0044] 一般来说,制造器件 10 的方法包括步骤:在第二导电类型的基片上沉积第二导电类型的漂移区域;将第一导电类型的掺杂剂注入漂移区域从而形成第一导电类型的本底区域;在本底区域上形成高级硅化层,例如,硅化钛;以及使一部分注入的掺杂剂集中在硅化层和本底区域之间的界面区域处从而创建一层用第一导电类型的掺杂剂使其过饱和的硅。

[0045] 如上所述,在一个实施例中,第一导电类型是 P 型,而第二导电类型是 N 型。于是,在一个实施例中,该方法包括步骤:在 N_+ 基片上沉积 N 漂移区域;将硼注入到 N 漂移区域从而创建 P 本底区域;在 P 本底区域上形成一层硅化钛层;以及使一部分注入的掺杂剂集中在硅化钛层和 P 本底区域之间的界面区域处从而创建过饱和 P 掺杂硅的 δP_+ 层。

[0046] 在一个实施例中,参照图 5,器件 10 是根据下列详细步骤制造的。

[0047] 步骤 1:如图 5 所示,在硅 N_+ 基片 18 上外延沉积将成为 N 漂移区域 16 的 N 层 26。

[0048] 步骤 2:如图 6 所示,在 N 层上生长一层初始氧化硅层 28。在一个实施例中,氧化硅层 28 具有大约 0.75 微米的厚度;在另一实施例中,厚度大致在 0.5 微米和 1.0 微米之间。

[0049] 步骤 3:如图 7 所示,在第一光刻步骤中通过刻蚀或者去除部分氧化硅 28 来定义保护环 30。随后,剥离在光刻步骤中所使用的光刻胶。对于具有等于或者小于 40V 的相对较低击穿电压的二极管而言,可以消除这一步骤以及所形成的 P_+ 保护环。此外,深度硼注入和浅度硼注入足以使有源区域的边界沿着在步骤 6 中所创建的开放区域 34 而终止。通过将步骤 6 的第二光刻步骤所创建的开放区域 34 的边界重叠于步骤 11 的第三光刻步骤所创建的开放区域就能够获得这一简化。

[0050] 步骤 4:将硼注入保护环 30 从而创建硼注入区域 32。适用于硼注入 30 的剂量和能量的范围可以有很宽的变化。在一个实施例中,适用于硼注入 30 的剂量是大约每平方厘米 $3e^{13}$ 以及能量大约 30KeV。在一个涉及相对较低击穿电压(例如,大约等于或者小于 40V)的实施例中,可以消除该硼注入以及后续的操作。

[0051] 步骤 5:如图 8 所示,对硼注入 30 进行扩散并且在提供边缘终止的硼注入硅上重新生长一层薄的氧化硅层。

[0052] 步骤 6:如图 9 所示,在第一光刻步骤中,刻蚀在芯片中心的氧化硅 28,从而开放有源区域 34。

[0053] 步骤 7:如图 10 所示,在有源区域 34 中生长栅极氧化物 36。在一个实施例中,栅极氧化物 36 具有大约 85 Å 的厚度。

[0054] 步骤 8:如图 11 所示,沉积多晶硅,从而创建多晶硅层 38。在一个实施例中,多晶硅层 38 具有大约 1500 Å 的厚度。

[0055] 步骤 9:采用砷来注入多晶硅层 38。在一个实施例中,砷注入的剂量是大约每平方厘米 $8e^{15}$ 以及能量大约 40KeV。

[0056] 步骤 10:如图 12 所示,对多晶硅层 38 进行部分氧化,留下大约 800 Å 没有氧化的

多晶硅,并且创建高 N 掺杂的多晶硅栅极 40。

[0057] 步骤 11:如图 13 所示,刻蚀栅极,即,在第三光刻步骤中进一步定义。

[0058] 步骤 12:如图 14 所示,湿法刻蚀氧化硅 40,从而创建具有下凹的区域 42。下凹的程度定义了沟道的长度。在一个实施例中,消除该步骤以及所形成的下凹。

[0059] 步骤 13:如图 15 所示,对多晶硅层 38 进行刻蚀。在一个实施例中,使用反应离子刻蚀工艺来完成刻蚀。

[0060] 步骤 14:如图 16 所示,将硼注入 N 漂移区域,从而创建硼注入区域 46,构成 P 本底 14。在一个实施例中,硼注入的剂量是大约每平方厘米 $3e^{13}$ 以及能量大约 80KeV。

[0061] 步骤 15:如图 17 所示,将硼注入到相邻于在步骤 14 所创建的 P 本底 14 的沟道区域 48。在一个实施例中,消除这一步骤及其附加的硼注入。

[0062] 步骤 16:如图 18 所示,对上层氧化硅 38 以及在多晶硅区域之外的栅极氧化物进行刻蚀,从而确保在栅极多晶硅和 P 本底 14 之间的良好接触,并且在步骤 17 中添加钛/氮化钛溅射金属系统。

[0063] 步骤 17:如图 19 所示,分别采用溅射和反应溅射沉积工艺沉积钛 52 和氮化钛 54。在一个实施例中,钛 52 具有大约 300 Å 的厚度,以及氮化钛 54 具有大约 500 Å 的厚度。

[0064] 步骤 18:参照图 20,形成硅化钛层 56。在等于或者高于 650 摄氏温度下将接触区域中的一些硅转换成硅化钛。在接触区域中的硼被移动或者“滑到”在硅化钛和硅之间的界面区域,从而创建过饱和 P 掺杂硅的 δP_{++} 层且具有大约几个原子层的厚度。

[0065] 其它创建过饱和 δP_{++} 层的方法包括分子束外延 (MBE) 和原子层沉积 (ALD),但是这些都十分昂贵和复杂。本发明的方法使用高级硅化物的形成,例如,硅化钛。通过在硅化物进入硅化物/硅界面之前,扫描或者滑动硼原子,并且如果硅化物形成的工艺是在没有氧化氛围(例如,具有良好控制温度的氮气氛围)中进行的话,则扫描过车硼原子将仍旧在界面区域内。这是因为硅化物是在小于一分钟的条件形成的且温度也足够低,从而防止硼原子扩散到足够深的硅晶格中,以避免 δP_{++} 层形成。

[0066] 步骤 19:沉积阳极 20 或者上层金属,例如,通过溅射沉积工艺。金属的类型将取决于所要使用的电极接触类型。在一个涉及引线键合接触的实施例中,上层金属是铝。在另一涉及焊接接触的实施例中,上层金属可以是金或银。

[0067] 步骤 20:对阳极进行刻蚀,从而在第四光刻步骤中定义它的图形。

[0068] 步骤 21:根据需要使晶片变薄,典型的是,从晶片的阴极或者背面去除一些硅,从而减小最终芯片的厚度。

[0069] 步骤 22:在晶片的阴极面上沉积阴极 22 或者阻挡金属。所使用的金属系统将取决于阴极接触的类型,例如,焊接或共熔。

[0070] 从上述讨论中,很显然,本发明的器件提供了优于现有技术的显著优点,包括,在正向电压降和反向泄漏电流之间的有利平衡、快速开关能力以及有利的 dV/dt 性能。通过消除在现有技术器件中所存在着的寄生 $N_+/P/N$ 晶体管,至少能够部分获得这种改进。此外,仅仅只需要四个拍照步骤就能够生产器件,这少于某些现有技术的器件所需要的五个步骤。对于等于或者小于 40V 的低击穿电压来说,通过消除 P_+ 保护环,有可能将四个步骤进一步减小到三个步骤。另外,适用于生产器件的工艺在 N_+ 源或重掺杂 P 本底不一定要注入的情况下可以得到明显简化。这就允许减小单元的沟道密度和其它几何尺寸,从而进一

步减小芯片的体积。减小芯片的体积导致减小现代功率整流器件的覆盖区域并且也减小成本。

[0071] 尽管已经参照各种特殊的实施例披露了本发明,但是应该理解的是,可以在没有背离权利要求书所阐述的发明范围的条件下采用等效和替代。

[0072] 于是,本发明所已经讨论的较佳实施例,即,作为新的和希望要求保护的内容受到包含下列权利要求的书面专利的保护。

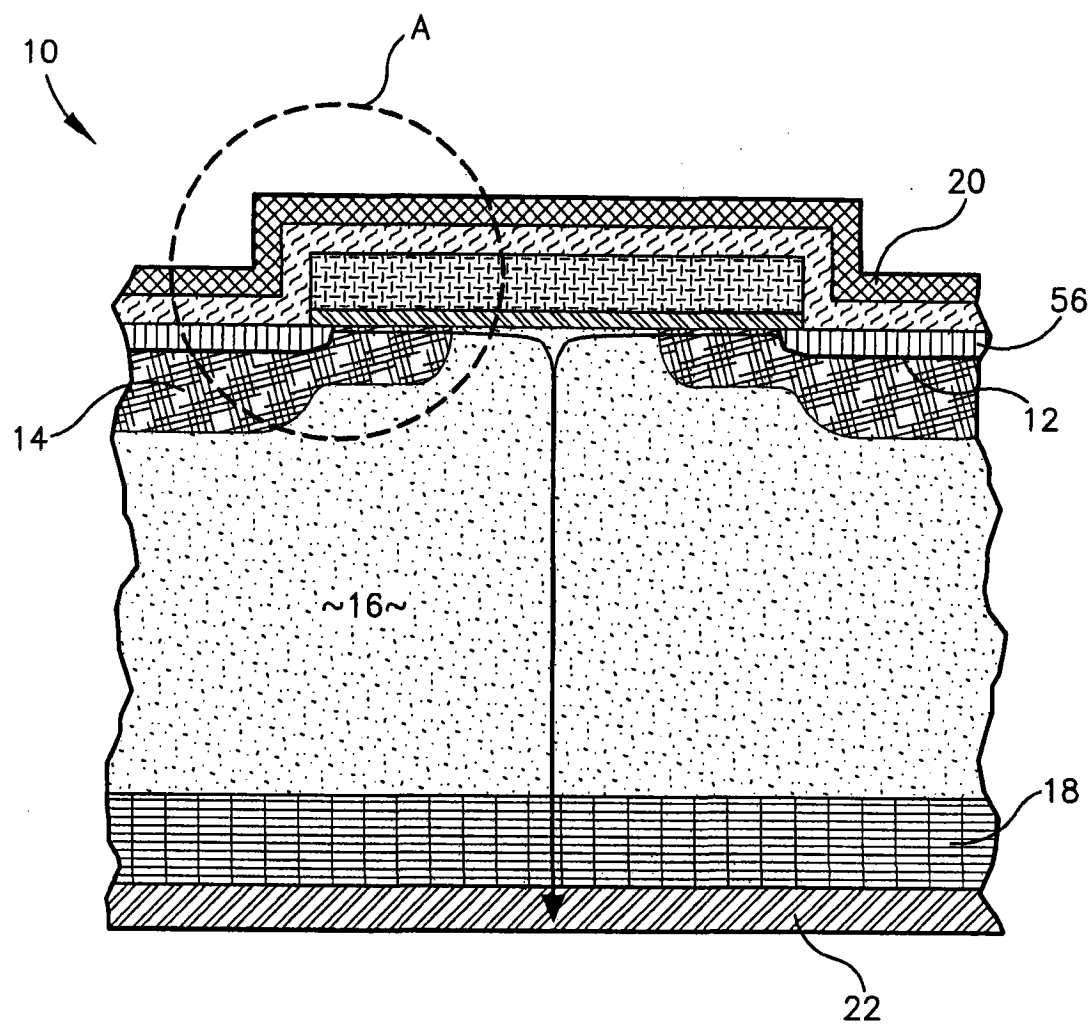


图 1

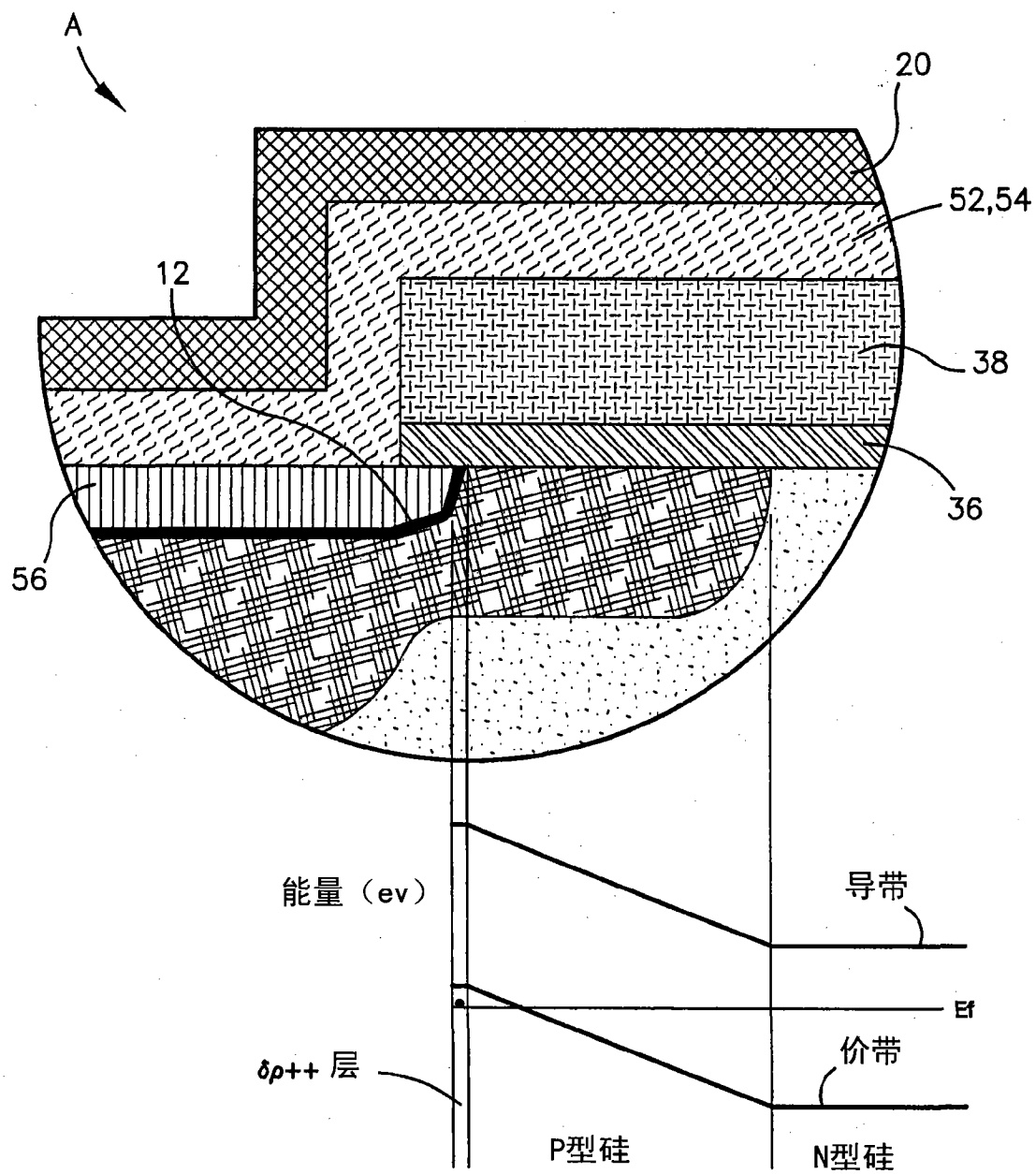


图 2

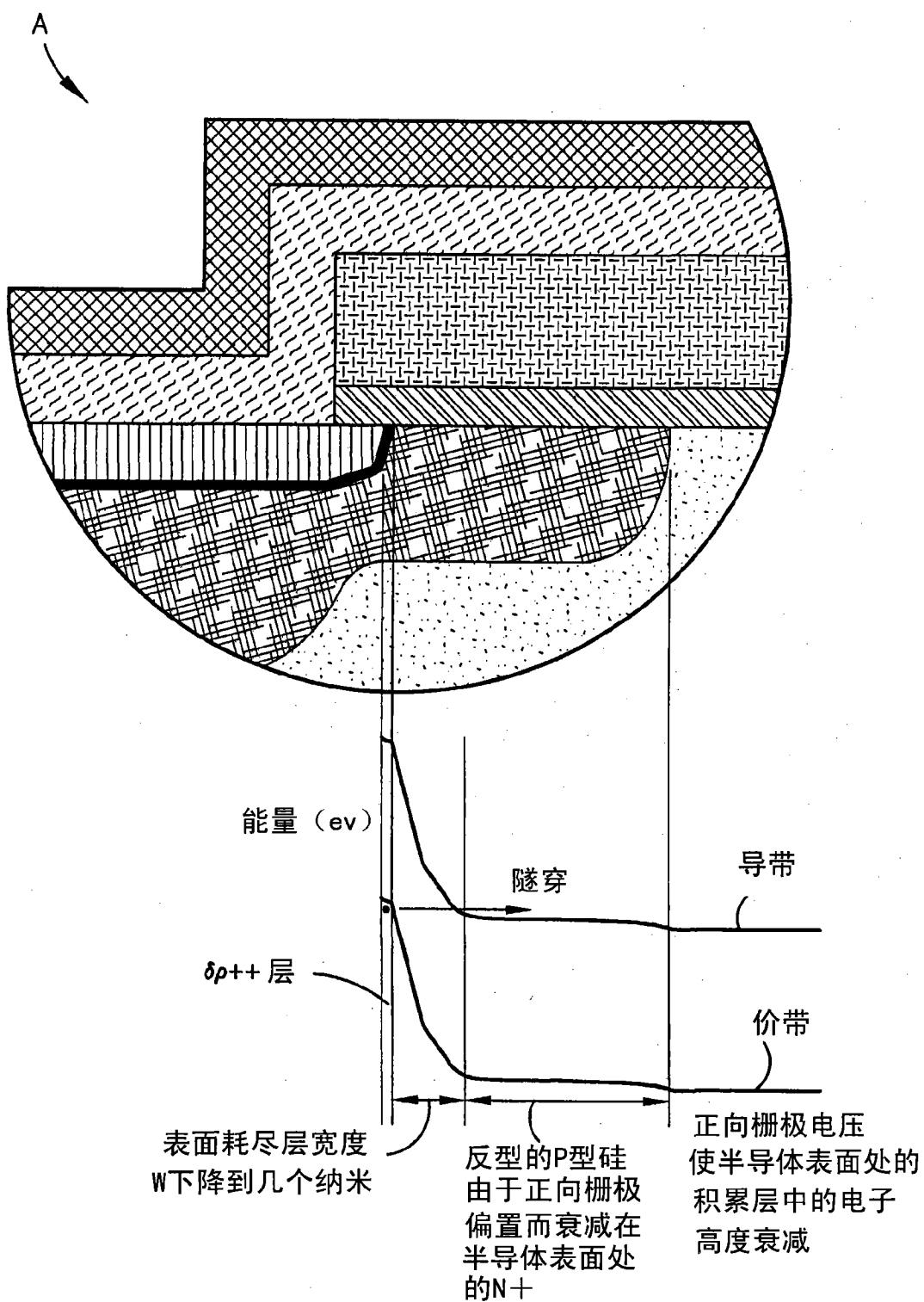


图 3

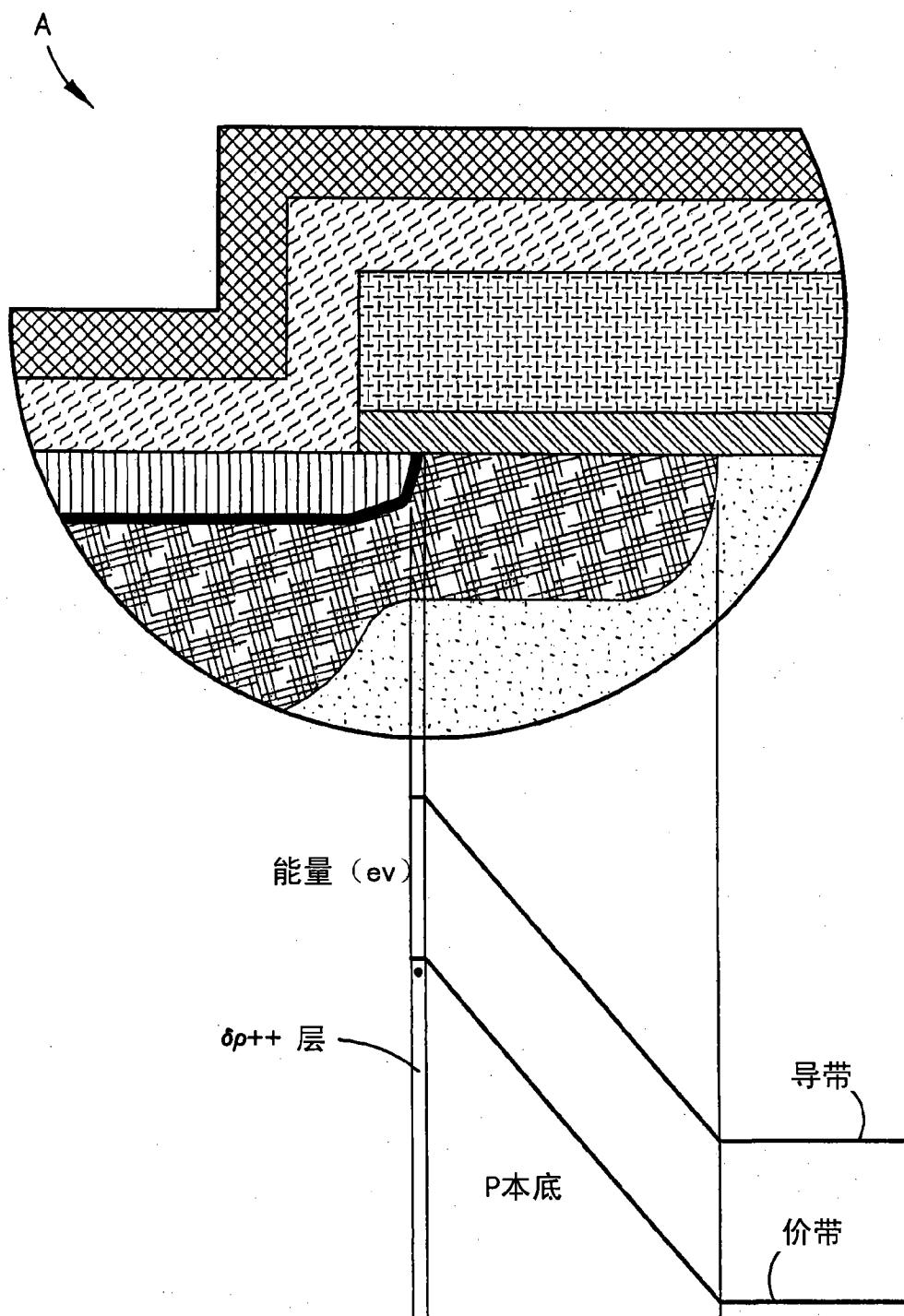


图 4

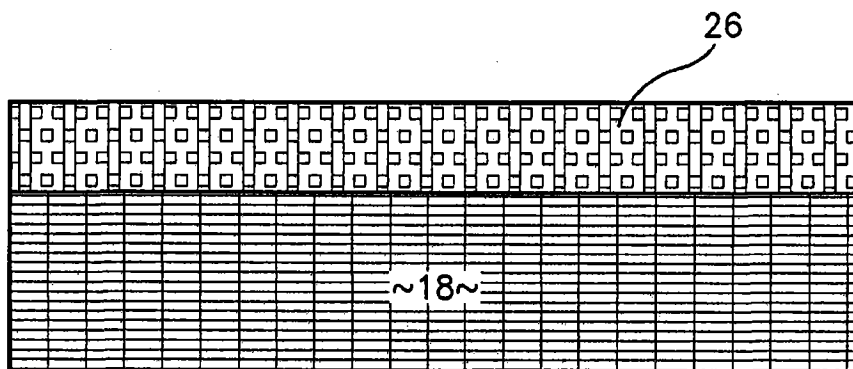


图 5

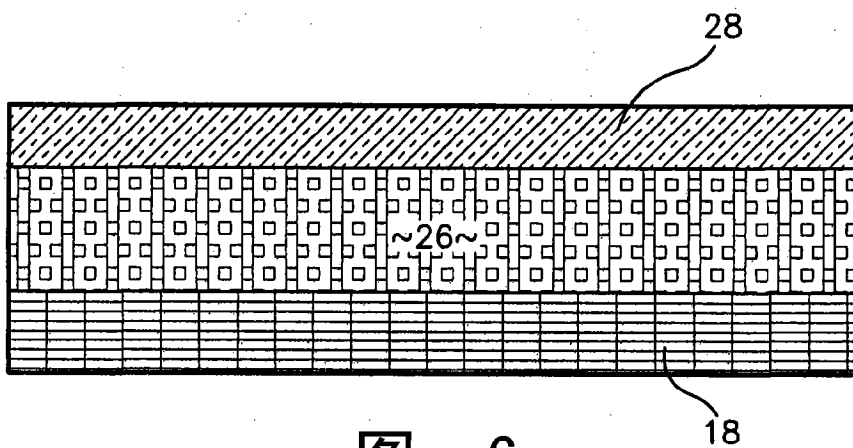


图 6

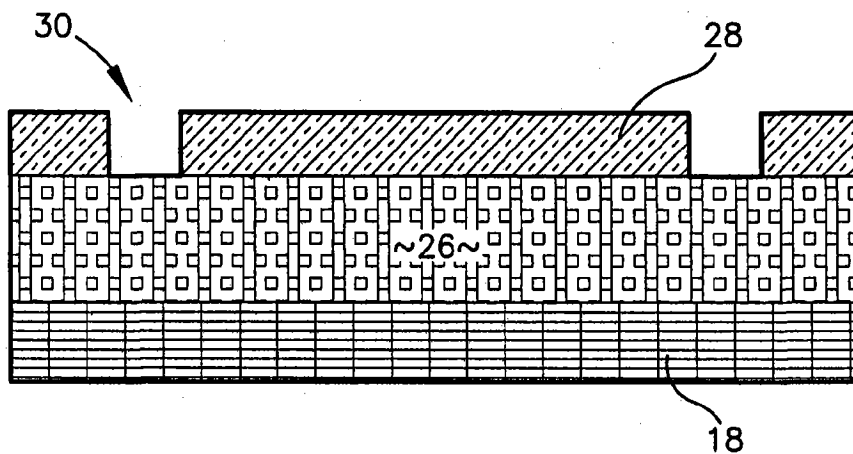


图 7

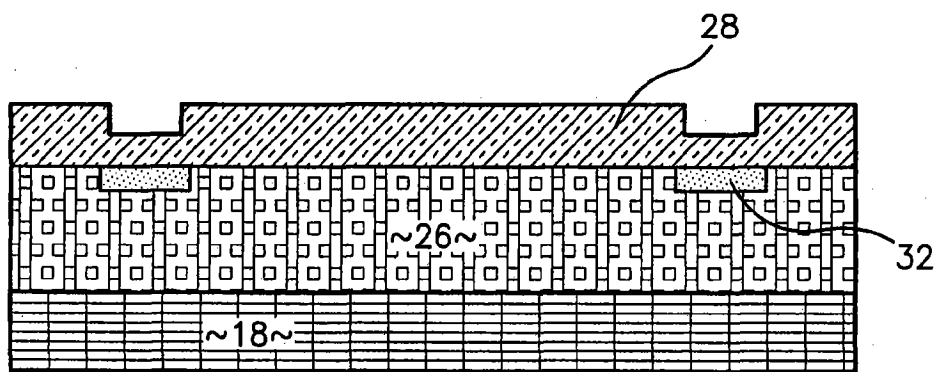


图 8

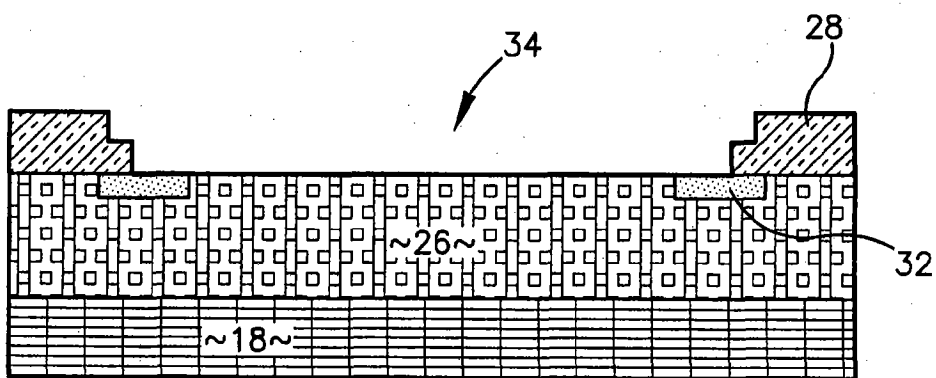


图 9

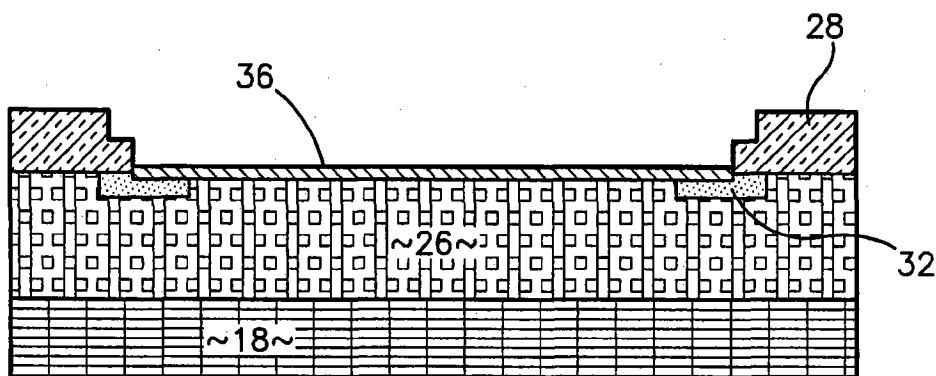


图 10

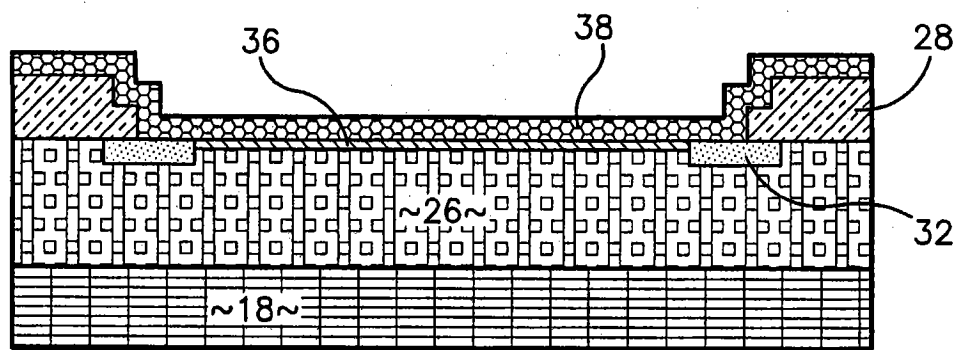


图 11

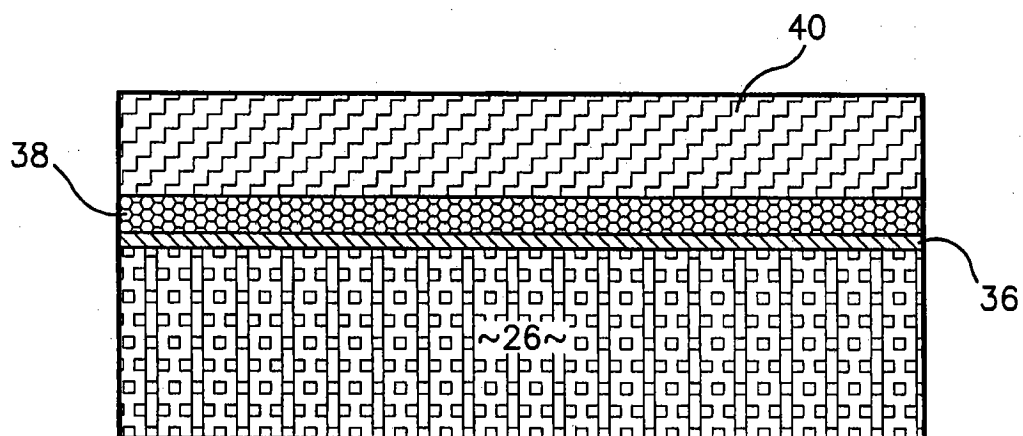


图 12

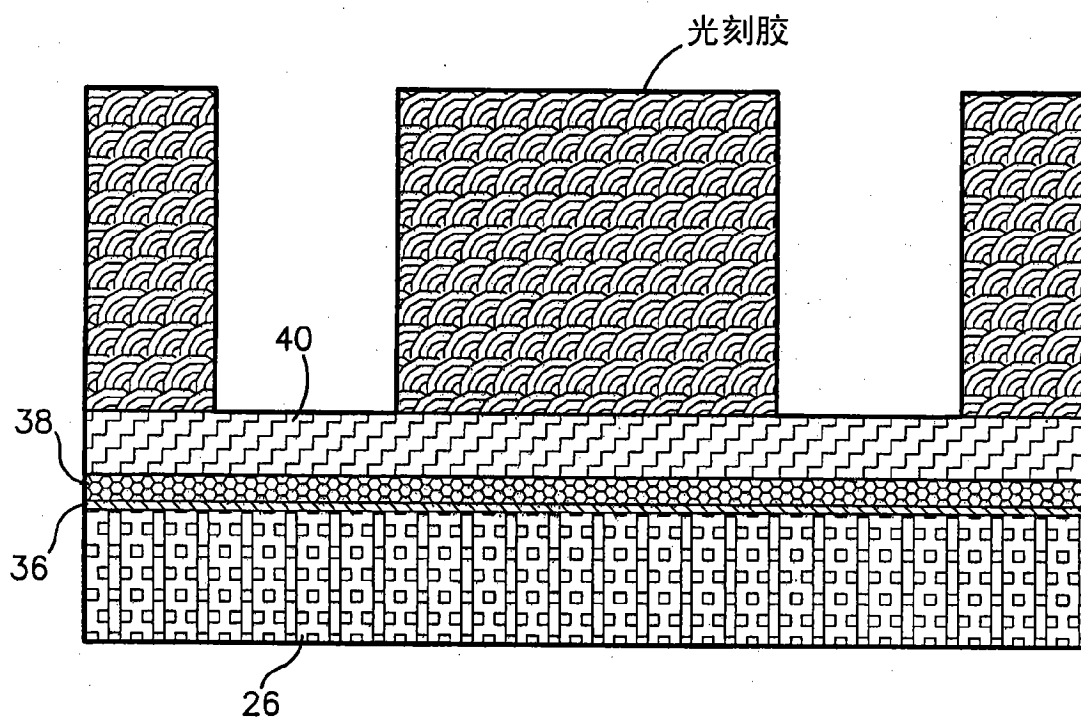


图 13

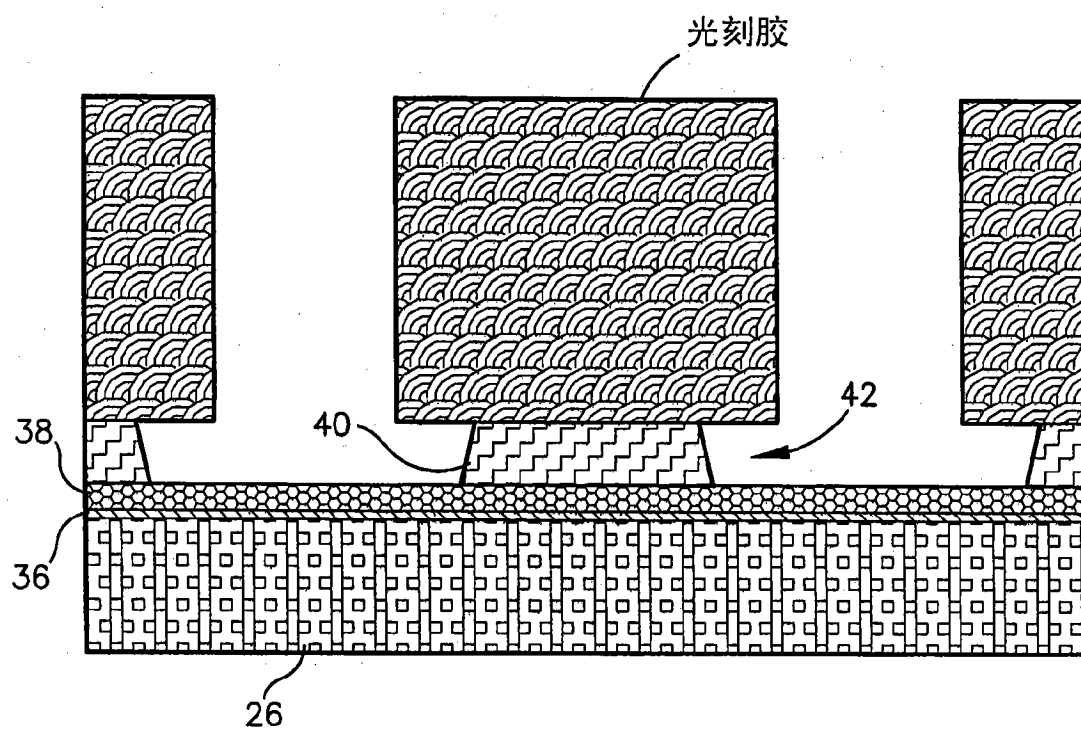


图 14

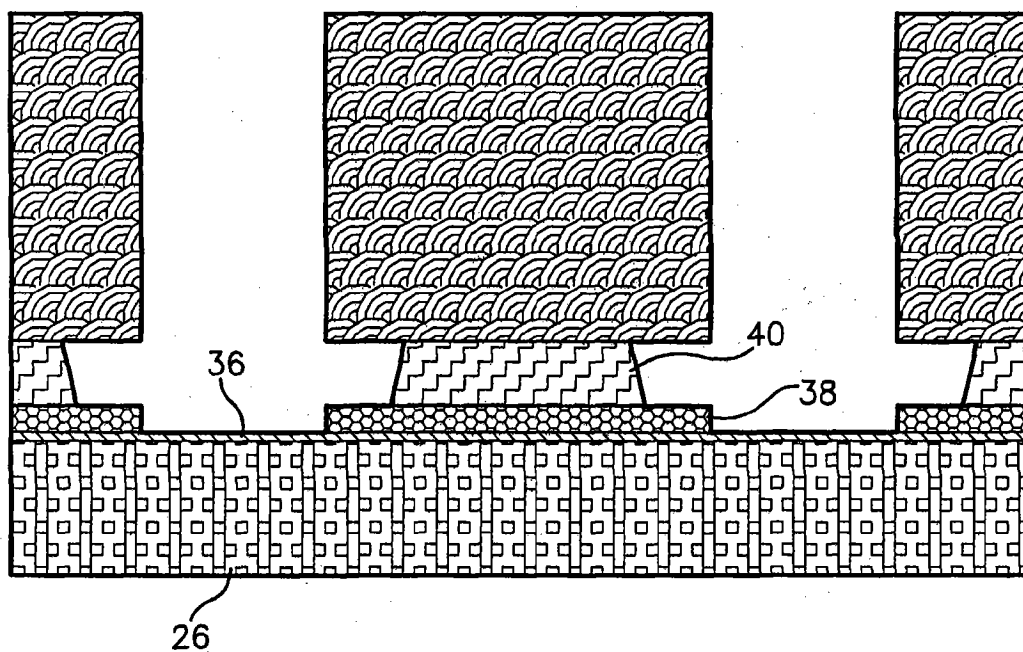


图 15

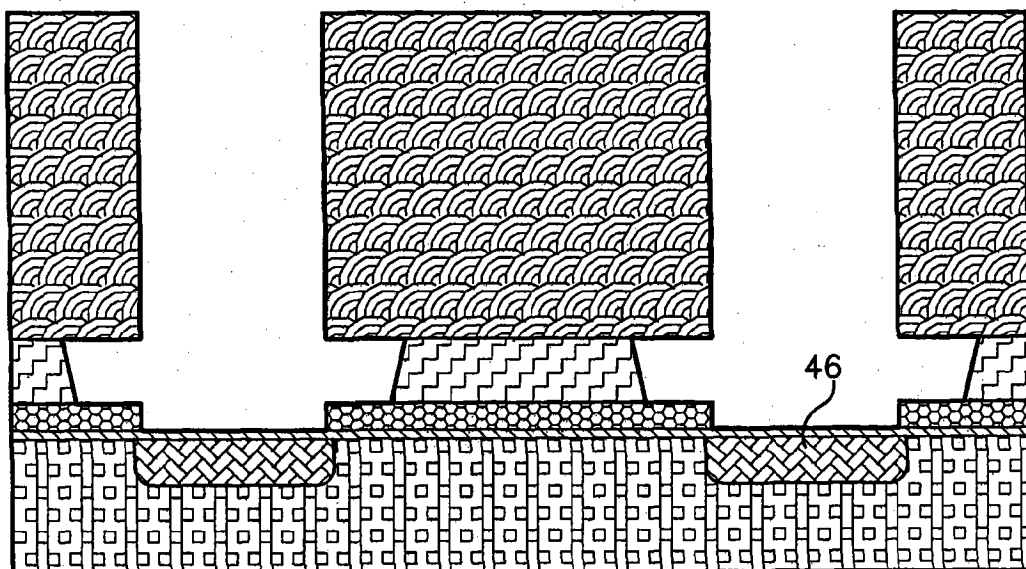


图 16

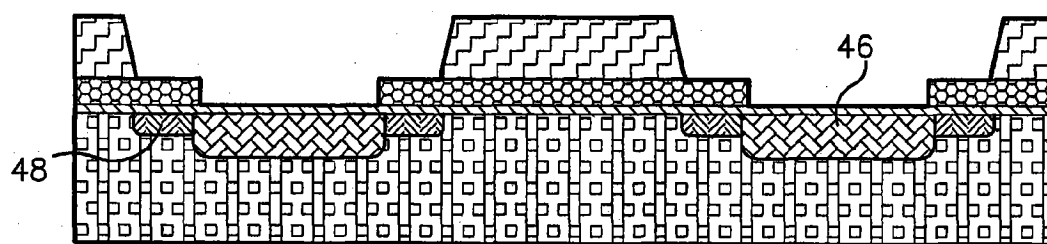


图 17

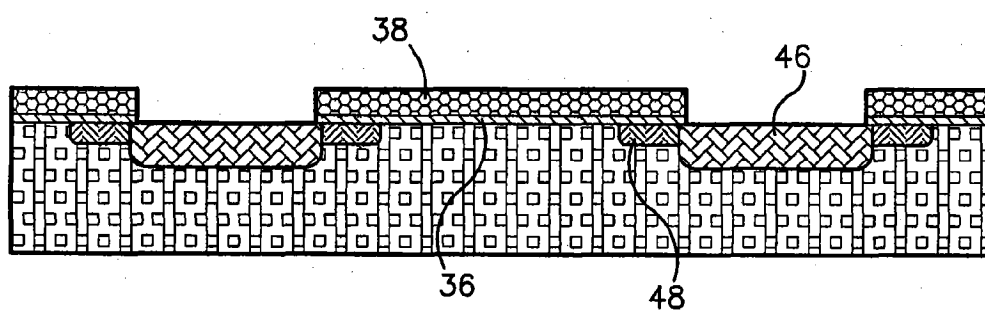


图 18

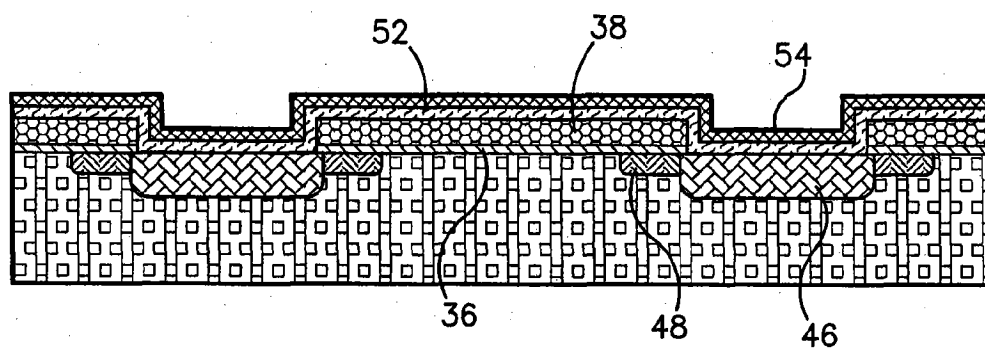


图 19

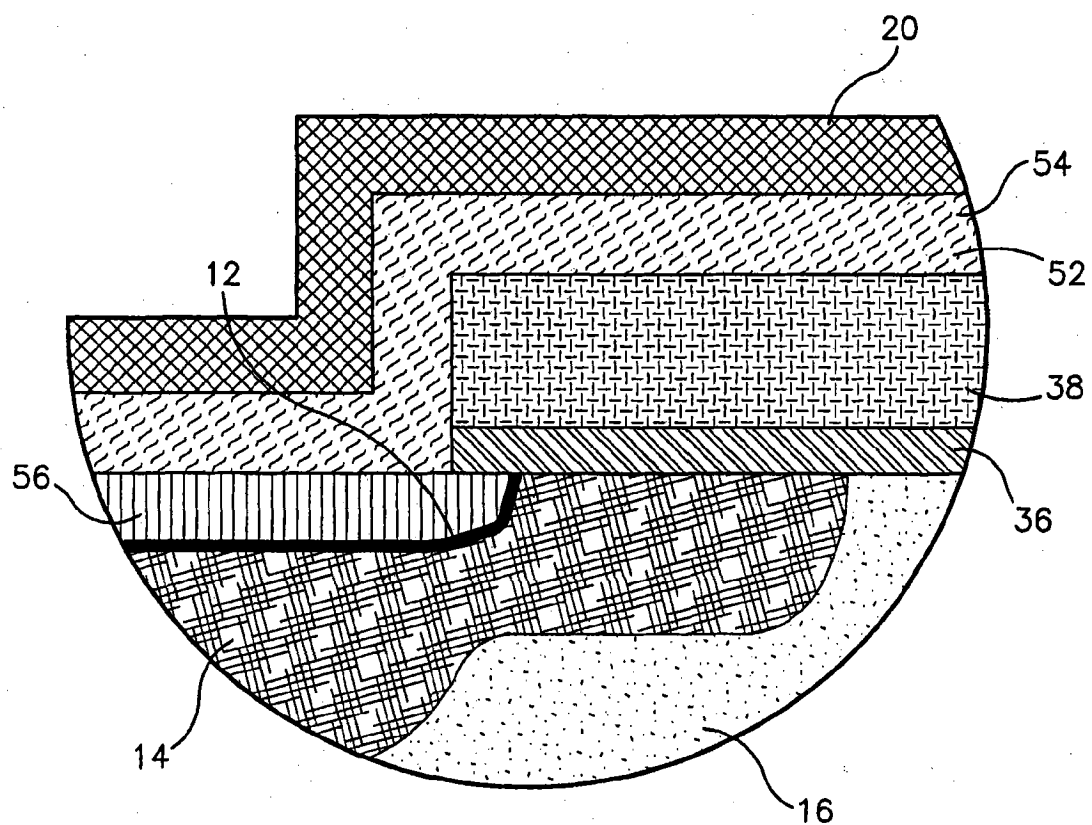


图 20