



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 202341471 A

(43) 公開日：中華民國 112 (2023) 年 10 月 16 日

(21) 申請案號：111143391

(22) 申請日：中華民國 111 (2022) 年 11 月 14 日

(51) Int. Cl. : H01L29/06 (2006.01)

H01L29/423 (2006.01)

H01L29/786 (2006.01)

(30) 優先權：2021/12/21

美國

17/557,995

(71) 申請人：美商英特爾股份有限公司 (美國) INTEL CORPORATION (US)

美國

(72) 發明人：哈桑 穆罕默德 HASAN, MOHAMMAD (BD)；庫瑪 尼泰斯 KUMAR, NITESH (IN)；夏 魯沙布 SHAH, RUSHABH (IN)；穆爾蒂 阿南德 MURTHY, ANAND S. (US)；派特爾 波提克 PATEL, PRATIK (US)；古勒 李奧納 GULER, LEONARD P. (US)；甘尼 塔何 GHANI, TAHIR (US)

(74) 代理人：林志剛

申請實體審查：無 申請專利範圍項數：20 項 圖式數：10 共 61 頁

(54) 名稱

具有有再生中心部分的源極或汲極結構的全環繞閘極積體電路結構

(57) 摘要

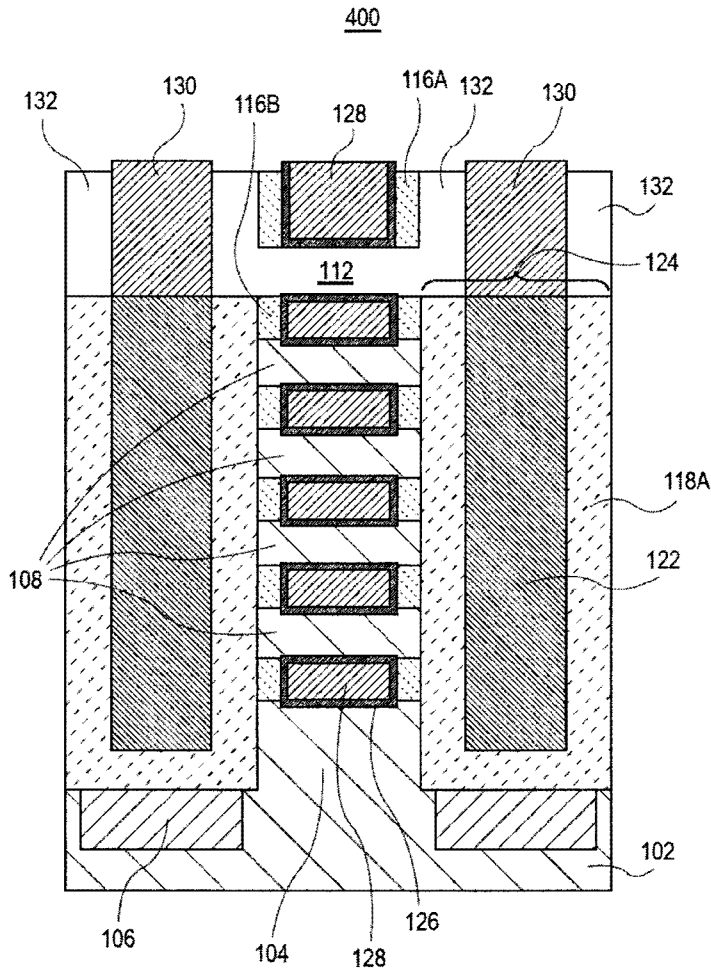
在此描述了具有有再生中心部分的源極或汲極結構的全環繞閘極積體電路結構，以及製造具有有再生中心部分的源極或汲極結構的全環繞閘極積體電路結構的方法。例如，積體電路結構包括奈米線的垂直配置。閘極堆疊位於奈米線的垂直配置之上。第一磊晶源極或汲極結構位於奈米線的垂直配置的第一端。第二磊晶源極或汲極結構位於奈米線的垂直配置的第二端。第一或第二磊晶源極或汲極結構之一或二者具有在外部部分內的中心部分，和在中心部分和外部部分之間的介面。

Gate-all-around integrated circuit structures having source or drain structures with regrown central portions, and methods of fabricating gate-all-around integrated circuit structures having source or drain structures with regrown central portions, are described. For example, an integrated circuit structure includes a vertical arrangement of nanowires. A gate stack is over the vertical arrangements of nanowires. A first epitaxial source or drain structure is at a first end of the vertical arrangement of nanowires. A second epitaxial source or drain structure is at a second end of the vertical arrangement of nanowires. One or both of the first or second epitaxial source or drain structures has a central portion within an outer portion, and an interface between the central portion and the outer portion.

指定代表圖：

符號簡單說明：

- 102:基板
- 104:子鱗
- 106:隔離結構
- 108:奈米線
- 112:介電蓋
- 116A:介電閘極間隔物
- 116B:內部間隔物
- 118A:蝕刻磊晶源極或汲極結構/外部部分
- 122:磊晶材料/中心部分
- 124:源極或汲極結構
- 126:高k閘極介電質層/閘極堆疊
- 128:金屬閘極電極/閘極堆疊
- 130:導電接觸
- 132:間隔物/層間介電材料
- 400:積體電路結構



【圖 4】

## 【發明摘要】

### 【中文發明名稱】

具有有再生中心部分的源極或汲極結構的全環繞閘極積體電路結構

### 【英文發明名稱】

GATE-ALL-AROUND INTEGRATED CIRCUIT STRUCTURES  
HAVING SOURCE OR DRAIN STRUCTURES WITH REGROWN  
CENTRAL PORTIONS

### 【中文】

在此描述了具有有再生中心部分的源極或汲極結構的全環繞閘極積體電路結構，以及製造具有有再生中心部分的源極或汲極結構的全環繞閘極積體電路結構的方法。例如，積體電路結構包括奈米線的垂直配置。閘極堆疊位於奈米線的垂直配置之上。第一磊晶源極或汲極結構位於奈米線的垂直配置的第一端。第二磊晶源極或汲極結構位於奈米線的垂直配置的第二端。第一或第二磊晶源極或汲極結構之一或二者具有在外部部分內的中心部分，和在中心部分和外部部分之間的介面。

## 【 英文 】

Gate-all-around integrated circuit structures having source or drain structures with regrown central portions, and methods of fabricating gate-all-around integrated circuit structures having source or drain structures with regrown central portions, are described. For example, an integrated circuit structure includes a vertical arrangement of nanowires. A gate stack is over the vertical arrangements of nanowires. A first epitaxial source or drain structure is at a first end of the vertical arrangement of nanowires. A second epitaxial source or drain structure is at a second end of the vertical arrangement of nanowires. One or both of the first or second epitaxial source or drain structures has a central portion within an outer portion, and an interface between the central portion and the outer portion.

【指定代表圖】圖4

【代表圖之符號簡單說明】

102:基板

104:子鰭

106:隔離結構

108:奈米線

112:介電蓋

116A:介電閘極間隔物

116B:內部間隔物

118A:蝕刻磊晶源極或汲極結構/外部部分

122:磊晶材料/中心部分

124:源極或汲極結構

126:高k閘極介電質層/閘極堆疊

128:金屬閘極電極/閘極堆疊

130:導電接觸

132:間隔物/層間介電材料

400:積體電路結構

【特徵化學式】無

# 【發明說明書】

## 【中文發明名稱】

具有有再生中心部分的源極或汲極結構的全環繞閘極積體電路結構

## 【英文發明名稱】

GATE-ALL-AROUND INTEGRATED CIRCUIT STRUCTURES  
HAVING SOURCE OR DRAIN STRUCTURES WITH REGROWN  
CENTRAL PORTIONS

## 【技術領域】

【0001】本揭示內容的實施例屬於積體電路結構和處理的領域，特定地，具有有再生中心部分的源極或汲極結構的全環繞閘極積體電路結構，以及製造具有有再生中心部分的源極或汲極結構的全環繞閘極積體電路結構的方法。

## 【先前技術】

【0002】在過去的幾十年裡，積體電路中特徵的縮放一直是不斷增長的半導體工業背後的驅動力。縮放到越來越小的特徵使得能夠在半導體晶片的有限面積上增加功能單元的密度。例如，縮小電晶體尺寸允許在晶片上結合更多數量的記憶體或邏輯裝置，有助於製造具有更高容量的產品。然而，對更大容量的驅動並非沒有問題。最佳化每

個裝置的性能的必要性變得越來越重要。

**【0003】** 在積體電路裝置的製造中，隨著裝置尺寸繼續按比例縮小，諸如三閘極電晶體的多閘極電晶體變得更加普遍。在習知處理中，三閘極電晶體通常在塊狀矽基板或絕緣體上矽基板上製造。在一些情況下，塊狀矽基板是首選，因為它們的成本較低，並且因為它們能夠實現不太複雜的三閘極製造處理。另一態樣，隨著微電子裝置尺寸縮小到10奈米(nm)節點以下，保持遷移率改進和短通道控制對裝置製造提出了挑戰。用於製造裝置的奈米線提供改進的短通道控制。

**【0004】** 然而，縮放多閘極和奈米線電晶體並非沒有後果。隨著微電子電路的這些基本構建區塊的尺寸減小以及在給定區中製造的基本構建區塊的顯著數量增加，對用於圖案化這些構建區塊的光刻處理的限制變得勢不可擋。特別地，在半導體堆疊中圖案化的特徵的最小尺寸(臨界尺寸)和這些特徵之間的間隔之間可能存在權衡。

#### **【圖式簡單說明】**

**【0005】** [圖1至3]示出了，根據本揭示內容的實施例，表示製造具有有再生中心部分的源極或汲極結構的全環繞閘極積體電路結構的方法中的各種操作的橫截面圖。

**【0006】** [圖4]示出了，根據本揭示內容的實施例，表示具有有再生中心部分的源極或汲極結構的全環繞閘極積體電路結構的橫截面圖。

【0007】[圖5]示出了，根據本揭示內容的實施例，非平面積體電路結構沿閘極線截取的橫截面圖。

【0008】[圖6]示出了，根據本揭示內容的實施例，對於非端蓋架構(左側(a))與自對準閘極端蓋(SAGE)架構(右側(b))的奈米線和鱗片截取的橫截面圖。

【0009】[圖7]示出了，根據本揭示內容的實施例，表示製造具有全環繞閘極裝置的自對準閘極端蓋(SAGE)架構的方法中的各種操作的橫截面圖。

【0010】[圖8A]示出了，根據本揭示內容的實施例，基於奈米線的積體電路結構的三維橫截面圖。

【0011】[圖8B]示出了，根據本揭示內容的實施例，沿圖8A的a-a'軸截取的基於奈米線的積體電路結構的橫截面源極或汲極視圖。

【0012】[圖8C]示出了，根據本揭示內容的實施例，沿圖8A的b-b'軸截取的基於奈米線的積體電路結構的橫截面通道視圖。

【0013】[圖9]示出了根據本揭示內容的實施例的一種實現的計算裝置。

【0014】[圖10]示出了包括本揭示內容一或多個實施例的中介層。

## 【發明內容】及【實施方式】

【0015】本文描述了具有有再生中心部分的源極或汲極結構的全環繞閘極積體電路結構，以及製造具有有再生

中心部分的源極或汲極結構的全環繞閘極積體電路結構的方法。在下面的描述中，闡述了許多特定細節，例如特定整合和材料體系，以便提供對本揭示內容的實施例的透徹理解。對於本領域的技術人員來說顯而易見的是，可以在沒有這些特定細節的情況下實踐本揭示內容的實施例。在其他情況下，不詳細描述眾所周知的特徵，例如積體電路設計佈局，以免不必要地模糊本揭示內容的實施例。此外，應當理解，圖中所示的各種實施例是示例性表示而不一定按比例繪製。

**【0016】** 某些術語也可以在以下描述中使用，僅出於參考的目的，因此不旨在限制。例如，諸如「上」、「下」、「上方」和「下方」的術語是指圖式中所參考的方向。「前」、「後」、「背」和「側」等術語描述了組件部分在一致但任意參考框架內的方向和/或位置，其透過參考正文和描述討論的組件的相關圖式而清楚了解。此類術語可以包括上面特別提到的詞、其衍生詞和類似含義的詞。

**【0017】** 本文描述的實施例可以針對前端製程(FEOL)半導體處理和結構。FEOL是積體電路(IC)製造的第一部分，其中單個裝置(例如電晶體、電容器、電阻器等)在半導體基板或層中形成圖案。FEOL通常涵蓋一切直到(但不包括)金屬互連層的沉積。在最後一次FEOL操作之後，結果通常是帶有隔離電晶體的晶圓(例如，沒有任何佈線)。

**【0018】** 此處描述的實施例可以針對後端製程

(BEOL)半導體處理和結構。BEOL是IC製造的第二部分，其中單個裝置(例如電晶體、電容器、電阻器等)與晶圓上的佈線互連，例如金屬化層或若干個金屬化層。BEOL包括用於晶片到封裝連接的接觸、絕緣層(介電質)、金屬層和鍵合位點。在製造階段的BEOL部分，形成接觸(焊盤)、互連線、通孔和介電結構。對於現代IC處理，可以在BEOL中添加10層以上的金屬層。

【0019】以下描述的實施例可適用於FEOL處理和結構、BEOL處理和結構、或者FEOL和BEOL處理和結構。特別地，儘管可以使用FEOL處理場景來說明示例性處理方案，但是這樣的方法也可以適用於BEOL處理。同樣，雖然示例性處理方案可以使用BEOL處理場景來說明，但是這樣的方法也可以適用於FEOL處理。

【0020】本文描述的一或多個實施例是針對磊晶源極或汲極材料的各向異性蝕刻和再生長以提高生長品質並增強全環繞閘極電晶體中的通道應變。實施例包括全環繞閘極(GAA)積體電路或FinFET電晶體架構。應當理解，除非另有說明，否則本文提及的奈米線可表示奈米線或奈米帶。

【0021】作為提供背景，習知的GAA電晶體不具有用於生長磊晶材料(epi)的連續表面。共形磊晶生長可潛在地包含缺陷並減少通道應變。

【0022】根據本揭示內容的一或多個實施例，實施用於磊晶形成的多個操作。首先，共形磊晶化學物用於填充

源極/汲極空間。然後，使用各向異性蝕刻在磊晶的中間創建溝槽。最後，使用自下而上的磊晶化學物填充溝槽(或者，使用共形磊晶化學物填充溝槽)。在一個實施例中，各向異性蝕刻為第二磊晶生長提供連續表面。在一個這樣的實施例中，這導致更好的生長品質和更強的通道應變以提高裝置性能。

**【0023】** 作為示例性處理流程，圖1至3示出了，根據本揭示內容的實施例，表示製造具有有再生中心部分的源極或汲極結構的全環繞閘極積體電路結構的方法中的各種操作的橫截面圖。圖4示出了，根據本揭示內容的實施例，表示具有有再生中心部分的源極或汲極結構的全環繞閘極積體電路結構的橫截面圖。應當理解，更一般地，所描述的源極或汲極結構可以與奈米線堆疊、奈米帶堆疊或鱗片相鄰。

**【0024】** 參考圖1，起始結構100包括基板102(例如矽基板)，具有穿過隔離結構106(例如氧化矽或氧化矽隔離結構)突出的子鱗104。在替代實施例中，描繪的隔離結構106是磊晶延伸。複數個奈米線108(例如矽奈米線)在子鱗狀物104上方。犧牲材料110(例如矽鍺)與複數個奈米線108交替。假性閘極結構114(例如多晶矽假性閘極結構)在犧牲材料110和複數個奈米線108之上。介電蓋112(例如氮化矽蓋)可以位於假性閘極結構114和頂部犧牲材料110之間。在另一個實施例中，介電蓋112是不包括的。在此階段，包括閘極間隔物(例如介電閘極間隔物116A和內部間

隔物 116B)。

【0025】再次參考圖 1，初始磊晶源極或汲極結構 118 形成在複數個奈米線 108 的端部。在一個實施例中，初始磊晶源極或汲極結構 118 使用從多個矽前沿的共形磊晶生長形成，這可能會導致缺陷。

【0026】參考圖 2，執行定向蝕刻以從初始磊晶源極或汲極結構 118 的中間或中心去除磊晶，以形成其中形成有空腔 120 的蝕刻磊晶源極或汲極結構 118A。在一個實施例中，如所繪示，每個空腔 120 在相應的蝕刻磊晶源極或汲極結構 118A 的橫向部分內和底部部分上方。在一個實施例中，如所繪示，每個橫向部分的橫向寬度與底部部分的垂直寬度基本相同。在另一個實施例中，每個橫向部分的橫向寬度大於底部部分的垂直寬度。在又一實施例中，每個橫向部分的橫向寬度小於底部部分的垂直寬度。

【0027】參考圖 3，執行磊晶生長以填充空腔 120 的是磊晶材料 122。在一個實施例中，「第二」磊晶生長是在連續表面上，例如，第一磊晶生長的表面被空腔 120 暴露。第二磊晶生長形成源極或汲極結構 124。每個源極或汲極結構 124 包括在外部部分 118A 內的中心部分 122。

【0028】參考圖 4，替換閘極過程和奈米線釋放過程是用於去除犧牲材料 110 並形成永久閘極結構。永久閘極結構可以包括高 k 閘極介電質層 126 和金屬閘極電極 128。另外的處理可以包括形成導電接觸 130 和/或額外的間隔物或層間介電材料 132。在一個實施例中，如所繪示，導電

接觸 130 是僅在對應的源極或汲極結構 124 的中心部分 122 上。在替代實施例中，導電接觸 130 在相應源極或汲極結構 124 的中心部分 122 和外部部分 118A 上。

【0029】再次參考圖 4，根據本揭示內容的實施例，積體電路結構 400 包括奈米線 108 的垂直配置。閘極堆疊 126/128 在奈米線 108 的垂直配置之上。第一磊晶源極或汲極結構 (左 124) 在奈米線 108 的垂直配置的第一端部。第二磊晶源極或汲極結構 (右 124) 在奈米線 108 的垂直配置的第二端部。第一或第二磊晶源極或汲極結構 124 的一或二者具有在外部部分 118A 內的中心部分 122。

【0030】在一個實施例中，在中心部分 122 和外部部分 118A 之間存在介面，其可以在橫截面分析中顯示為接縫。在一個實施例中，在磊晶源極或汲極結構 124 內形成連續介面。

【0031】在一個實施例中，如所繪示，中心部分 122 的最上表面與外部部分 118A 的最上表面共面。在另一實施例中，中心部分 122 的最上表面在外部部分 118A 的最上表面上方。在又一實施例中，中心部分 122 的最上表面在外部部分 118A 的最上表面下方。

【0032】在一個實施例中，中心部分 122 和外部部分 118A 包括相同的半導體材料。在另一個實施例中，中心部分 122 由不同於外部部分 118A 的半導體材料組成。在另一個實施例中，中心部分 122 和外部部分 118A 具有不同的摻雜劑密度。

【0033】更一般地，在一個實施例中，奈米線108是矽奈米線、矽鍺奈米線、鍺奈米線或鍺錫奈米線。在一個實施例中，源極或汲極結構124是矽源極或汲極結構124、矽鍺源極或汲極結構124、鍺源極或汲極結構124、或鍺錫源極或汲極結構124。在特定實施例中，垂直配置的奈米線108包括矽，並且第一和第二磊晶源極或汲極結構124包括矽和鍺。在另一個特定實施例中，垂直配置的奈米線108包括矽和鍺，並且第一和第二磊晶源極或汲極結構124包括矽和鍺。

【0034】如貫穿全文所用，矽層可用於描述由非常大量的(如果不是全部)矽組成的矽材料。然而，應當理解，實際上，100%純矽(Si)可能難以形成，因此可能包括極小百分比的碳、鍺或錫。這些雜質可能在沉積Si時作為不可避免的雜質或成分包括在內，或者在沉積後處理過程中擴散時可能「污染」Si。因此，本文描述的針對矽層的實施例可包括含有相對少量的矽層(例如「雜質」層級、非Si原子或種類(例如Ge、C或Sn))。應當理解，本文所述的矽層可以是未摻雜的，或者可以摻雜有摻雜劑原子(例如硼、磷或砷)。

【0035】如貫穿全文所用，鍺層可用於描述由非常大量的(如果不是全部)鍺組成的鍺材料。然而，應當理解，實際上，100%純鍺(Ge)可能難以形成，因此可能包括極小百分比的矽、碳或錫。這些雜質可能在沉積Ge時作為不可避免的雜質或成分包括在內，或者在沉積後處理過程中擴

散時可能「污染」Ge。因此，本文描述的針對鍺層的實施例可包括含有相對少量的鍺層(例如「雜質」層級、非Ge原子或種類(例如矽、碳或錫))。應當理解，本文所述的鍺層可以是未摻雜的，或者可以摻雜有摻雜劑原子(例如硼、磷或砷)。

**【0036】**如貫穿全文所用，矽鍺層可用於描述由矽和鍺的大部分組成的矽鍺材料，例如兩者的至少5%。在一些實施例中，鍺的量大於矽的量。在特定實施例中，矽鍺層包括約60%的鍺和約40%的矽(Si<sub>40</sub>Ge<sub>60</sub>)。在其它實施例中，矽的量大於鍺的量。在特定實施例中，矽鍺層包括約30%的鍺和約70%的矽(Si<sub>70</sub>Ge<sub>30</sub>)。應當理解，實際上，100%純矽鍺(通常稱為SiGe)可能難以形成，因此可能包括極小百分比的碳或錫。這些雜質可能在沉積SiGe時作為不可避免的雜質或成分包括在內，或者在沉積後處理過程中擴散時可能「污染」SiGe。因此，本文描述的針對矽鍺層的實施例可包括含有相對少量的矽鍺層(例如「雜質」層級、非Ge和非Si原子或種類(例如碳或錫))。應當理解，本文所述的矽鍺層可以是未摻雜的，或者可以摻雜有摻雜劑原子(例如硼、磷或砷)。

**【0037】**如貫穿全文所用，鍺錫層可用於描述由鍺和錫的大部分組成的鍺錫材料，例如兩者的至少5%。在一些實施例中，鍺的量大於錫的量。在其它實施例中，錫的量大於鍺的量。應當理解，實際上，100%純鍺錫(通常稱為GeSn)可能難以形成，因此可能包括極小百分比的碳或

矽。這些雜質可能在沉積  $\text{GeSn}$  時作為不可避免的雜質或成分包括在內，或者在沉積後處理過程中擴散時可能「污染」 $\text{GeSn}$ 。因此，本文描述的針對鍺錫層的實施例可含有相對少量的(例如「雜質」層級、非  $\text{Ge}$  和非  $\text{Sn}$  原子或種類(例如碳或錫))。應當理解，本文所述的鍺錫層可以是未摻雜的，或者可以摻雜有摻雜劑原子(例如硼、磷或砷)。

**【0038】** 在另一態樣，奈米線釋放處理可以透過替換閘極溝槽進行。下面介紹了此類釋放處理的示例。此外，在另一個態樣，由於圖案化的複雜性，後端(BE)互連縮放可能會導致性能降低和製造成本增加。本文描述的實施例可以實現奈米線電晶體的正面和背面互連整合。本文描述的實施例可以提供實現相對更寬的互連間距的方法。其結果是可以提高產品性能並降低圖案化成本。實施例可以實現以低功率和高性能實現縮放奈米線或奈米帶電晶體的穩健功能。

**【0039】** 在另一態樣，為了能夠接入一對不對稱源極和汲極接觸結構的導電接觸結構，本文描述的積體電路結構可以使用背面暴露正面結構的製造方法來製造。在一些示例性實施例中，暴露電晶體或其它裝置結構的背面需要晶圓級的背面處理。與習知的 TSV 型技術相比，如本文所述電晶體的背面的暴露可以在裝置單元的密集下進行，甚至在裝置的子區內進行。此外，可以對電晶體的背面進行這種暴露，以實質上去除在正面裝置處理期間設置裝置層的幾乎所有施體基板。因此，由於電晶體背面的暴露可能

只有幾十或幾百奈米，裝置單元中半導體的厚度而使得微米深的TSV變得沒有必要。

【0040】本文描述的暴露技術可以實現從「自下而上」裝置製造到「中心向外」製造的範式轉變，其中「中心」是正面製造中使用的任何層，從背面暴露，並再次用於背面製造。當主要依賴正面處理時，處理裝置結構的正面和暴露的背面可以解決與製造3D IC相關的許多挑戰。

【0041】可以採用暴露電晶體背面的方法例如去除施體-主體基板組合的至少一部分載體層和居間層。過程流程從施體-主體基板組合的輸入開始。施體-主體基板中載體層被拋光一個厚度(例如，CMP)，和/或用濕式或乾式(例如，電漿體)蝕刻過程蝕刻。可以採用任何已知適合載體層組成的研磨、拋光和/或濕式/乾式蝕刻過程。例如，在載體層是IV族半導體(例如矽)的情況，可以採用已知適合於減薄半導體的CMP漿料。同樣，也可以採用任何已知適合於減薄IV族半導體的濕式蝕刻劑或電漿體蝕刻過程。

【0042】在一些實施例中，上述之前沿著實質上平行於居間層的斷裂平面切割載體層。切割或斷裂過程可用於去除大部分的載體層作為塊狀物質，從而減少去除載體層所需的拋光或蝕刻時間。例如，在載體層的厚度為400至900 $\mu\text{m}$ 的情況下，可以透過實施任何已知會促進晶圓級斷裂的全面性植入來切割100至700 $\mu\text{m}$ 。在一些示例性實施例中，將輕元素(例如，H、He或Li)植入到需要斷裂平面的載體層內的均勻目標深度。在這樣的切割過程之後，可

以拋光或蝕刻施體-主體基板組合中剩餘的載體層的厚度以完全去除。或者，在載體層未斷裂的情況下，可以採用研磨、拋光和/或蝕刻操作來去除更大厚度的載體層。

**【0043】** 接下來，檢測居間層的暴露。檢測用於識別施體基板的背面表面已接近裝置層時的點。可以實施任何已知適用於檢測用於載體層和居間層的材料之間的轉變的端點檢測技術。在一些實施例中，一或多個端點標準基於在進行拋光或蝕刻期間檢測施體基板背面表面的光吸收或發射的變化。在一些其它實施例中，端點標準與在施體基板背面的拋光或蝕刻期間副產物的光吸收或發射的變化相關聯。例如，與載體層蝕刻副產物相關的吸收或發射波長可隨載體層和居間層的不同組成而變化。在其它實施例中，端點標準與拋光或蝕刻施體基板的背面表面的副產物中物質質量的變化有關。例如，可以透過四極質量分析儀對加工的副產物進行取樣，並且物質質量的變化可能與載體層和居間層的不同組成相關。在另一個示例性實施方案中，端點標準與施體基板的背面表面和與施體基板的背面表面接觸的拋光表面之間的摩擦變化相關聯。

**【0044】** 當去除過程相對於居間層對載體層具有選擇性時，可以增強對居間層的檢測，因為載體去除過程中的不均勻性可以透過載體層和居間層之間的蝕刻速率增量來減輕。如果研磨、拋光和/或蝕刻操作以足以低於去除載體層的速度去除居間層，甚至可以跳過檢測。如果未採用端點標準，則如果居間層的厚度足以滿足蝕刻的選擇性，

則預定固定持續時間的研磨、拋光和/或蝕刻操作可以在居間層材料上停止。在一些示例中，載體蝕刻速率：居間層蝕刻速率為3:1至10:1或更高。

**【0045】** 在暴露居間層時，可以去除至少一部分居間層。例如，可以移除居間層的一或多個組件層。例如，可以透過拋光均勻地去除一厚度的居間層。或者，可以用光罩或全面性蝕刻過程去除一厚度的居間層。該過程可以採用與用於減薄載體的相同的拋光或蝕刻過程，也可以是具有不同過程參數的不同過程。例如，其中居間層為載體去除過程提供蝕刻停止，後一種操作可以採用不同的拋光或蝕刻過程，其有利於去除居間層而不是去除裝置層。如果要去除小於幾百奈米的居間層厚度，去除過程可能相對較慢，針對跨晶圓均勻性進行了優化，並且比用於去除載體層的過程更精確地控制。所採用的CMP過程可以例如採用漿料，其圍繞裝置層並嵌入居間層內，在半導體(例如矽)和介電材料(例如SiO)之間提供非常高的選擇性(例如，100:1至300:1或更高)，例如，作為相鄰裝置區之間的電隔離。

**【0046】** 對於透過完全去除居間層而暴露裝置層的實施例，背面處理可以在裝置層的暴露背面或其中的特定裝置區開始。在一些實施例中，背面裝置層的處理包括進一步拋光或濕式/乾式蝕刻穿透設置在居間層和先前在裝置層中製造的裝置區(例如源極或汲極區)之間的一厚度的裝置層。

【0047】在一些實施例中，載體層、居間層或裝置層背面用濕式和/或電漿蝕刻凹進去，這種蝕刻可以是圖案化的蝕刻或材料選擇性蝕刻，其賦予裝置層背面表面顯著的非平面性或形貌。如下文進一步描述的，圖案化可以是在裝置單元內(即，「單元內」圖案化)或可以跨裝置單元(即，「單元間」圖案化)。在一些圖案化的蝕刻實施例中，居間層的至少部分厚度被用作背面裝置層圖案化的硬光罩。因此，光罩蝕刻過程可以在預先形成相應的光罩裝置層蝕刻。

【0048】上述處理方案可能產生施體-主機基板組合，其包括具有居間層的背面、裝置層的背面和/或裝置層內一或多個半導體區的背面和/或暴露的正面金屬化的IC裝置。然後可以在下游處理期間對這些暴露區中的任何一個進行額外的背面處理。

【0049】應當理解，由上述示例性處理方案產生的結構可以以相同或類似的形式用於後續處理操作以完成裝置製造，例如PMOS和/或NMOS裝置製造。作為完整裝置的一個示例，圖5示出了，根據本揭示內容的實施例，非平面積體電路結構沿閘極線截取的橫截面圖。

【0050】參考圖5，半導體結構或裝置500包括溝槽隔離區506內的非平面主動區(例如，鰭片結構包括突出鰭片部分504和子鰭片區505)。在一個實施例中，非平面主動區不是實體鰭片，而是被分成子鰭片區505上方的奈米線(諸如奈米線504A和504B)，如虛線表示的那樣。在任一情

況下，為了便於描述非平面積體電路結構500，下面引用非平面主動區504作為突出鰭片部分。在實施例中，製造過程涉及使用過程方案以提供具有包括再生中心部分的源極或汲極結構的全環繞閘極積體電路結構。

**【0051】** 閘極線508設置在非平面主動區504的突出部分504(如果適用的話，包括周圍的奈米線504A和504B)以及溝槽隔離區506的一部分上。如所示，閘極線508包括閘極電極550和閘極介電層552。在一個實施例中，閘極線508還可以包括介電蓋層554。從這個角度也可以看到閘極接觸514和上覆閘極接觸通孔516，以及上覆金屬互連件560，所有這些都設置在層間介電質堆疊或層570中。還從圖5的角度看出，在一個實施例中，閘極接觸514設置在溝槽隔離區506上，而不是設置在非平面主動區上。在另一實施例中，閘極接觸514在非平面主動區上。

**【0052】** 在一個實施例中，半導體結構或裝置500是非平面裝置，例如但不限於鰭式FET裝置、三閘極裝置、奈米帶裝置或奈米線裝置。在這樣的實施例中，相應的半導體通道區由三維體組成或形成在三維體中。在一個這樣的實施例中，閘極線508的閘極電極堆疊至少圍繞三維體的一個頂面和一對側壁。

**【0053】** 如圖5中還繪示的，在一個實施例中，介面580存在於突出鰭片部分504和子鰭片區505之間。介面580可以是摻雜的子鰭區505和輕度或未摻雜的上鰭片部分504之間的轉變區。在一個這樣的實施例中，每個鰭片是大約

10奈米寬或更小，並且子鰭摻雜劑任選地從子鰭位置的相鄰固態摻雜層供應。在特定的此類實施例中，每個鰭片的寬度小於10奈米。

【0054】儘管在圖5中未繪示，但應當理解，突出鰭片部分504的源極或汲極區或鄰近源極或汲極區位於閘極線508的任一側，即進入和離開頁面。在一個實施例中，在源極或汲極位置的突出鰭片部分504的材料被去除並用另一種半導體材料代替，例如，透過磊晶沉積形成包括再生中心部分的源極或汲極結構。源極或汲極區可以延伸到溝槽隔離區506的介電層高度以下，即延伸到子鰭片區505。根據本揭示內容的實施例，摻雜程度較高的子鰭片區，即介面580下方的鰭片的摻雜部分，抑制透過該部分的塊狀半導體鰭片的源極到汲極洩漏。

【0055】再次參考圖5，在一個實施例中，鰭片504/505(以及可能的奈米線504A和504B)由結晶矽鍺層組成，其可以摻雜電荷載體，例如但不限於磷、砷、硼、銻或其組合。

【0056】在一個實施例中，溝槽隔離區506和通篇描述的溝槽隔離區(溝槽隔離結構或溝槽隔離層)，可以由適合於最終電隔離的材料組成，或有助於將永久閘極結構的一部分與底層塊狀基板隔離或隔離在底層塊狀基板內形成的主動區，如隔離鰭片主動區。例如，在一個實施例中，溝槽隔離區506由介電材料組成，例如但不限於二氧化矽、氮氧基矽、氮化矽或碳摻雜氮化矽。

【0057】閘極線 508 可以由閘極電極堆疊組成，其包括閘極介電層 552 和閘極電極層 550。在一個實施例中，閘極電極堆疊的閘極電極由金屬閘極組成，並且閘極介電層由高 k 材料組成。例如，在一個實施例中，閘極介電層由材料組成，例如但不限於氧化鉛、氮氧化鉛、矽酸鉛、氧化鏷、氧化銻、矽酸銻、氧化鉍、鈦酸鋇、鈦酸鋇、鈦酸鋇、氧化鈮、氧化鋁、氧化鉛銦鉍、鉍酸鉛鋅或其組合。此外，閘極介電層的一部分可以包括由基板鱗片 504 的頂部幾層形成的天然氧化物層。在一個實施例中，閘極介電層由頂部高 k 部分和下部分由半導體材料的氧化物組成。在一個實施例中，閘極介電層由頂部的氧化鉛和底部的二氧化矽或氮化矽組成。在一些實現中，閘極介電質的一部分是「U」形結構，其包括實質上平行於基板表面的底部和實質上垂直於基板頂表面的兩個側壁部分。

【0058】在一個實施例中，閘極電極由金屬層組成，例如但不限於金屬氮化物、金屬碳化物、金屬矽化物、金屬鋁化物、鉛、銻、鈦、鉍、鋁、鈮、鈹、鉑、鈷、鎳或導電金屬氧化物。在特定實施例中，閘極電極由在金屬功函數設置層上方形成的非功函數設置填充材料組成。閘極電極層可以由 P 型功函數金屬或 N 型功函數金屬組成，這取決於電晶體是 PMOS 還是 NMOS 電晶體。在一些實現中，閘極電極層可以由兩個或多個金屬層的堆疊組成，其中一或多個金屬層是功函數金屬層，並且至少一個金屬層是導電填充層。對於 PMOS 電晶體，可用於閘極電極的金

屬包括但不限於鈣、鈮、鉑、鈷、鎳和導電金屬氧化物，例如氧化鈣。P型金屬層將能夠形成功函數在約 $4.9\text{eV}$ 至約 $5.2\text{eV}$ 之間的PMOS閘極電極。對於NMOS電晶體，可用於閘極的金屬包括但不限於鉛、銻、鈦、鉭、鋁、這些金屬的合金，以及這些金屬的碳化物，例如碳化鉛、碳化銻、碳化鈦、碳化鉭和碳化鋁。N型金屬層將能夠形成功函數在約 $3.9\text{eV}$ 至約 $4.2\text{eV}$ 之間的NMOS閘極電極。在一些實現中，閘極電極可以由「U」形結構組成，該結構包括實質上平行於基板表面的底部和實質上垂直於基板頂表面的兩個側壁部分。在另一實現中，形成閘極電極的至少一個金屬層可以只是實質上平行於基板頂表面並且不包括實質上垂直於基板頂表面的側壁部分的平面層。在本揭示內容的進一步實現中，閘極電極可以由U形結構和平面非U形結構的組合組成。例如，閘極電極可以由一或多個U形金屬層組成，該U形金屬層形成在一或多個平面非U形層之上。

**【0059】** 與閘極電極堆疊相關の間隔物可以由適合最終電隔離或有助於將永久閘極結構與相鄰導電接觸(例如自對準接觸)隔離的材料組成。例如，在一個實施例中，間隔物由介電材料組成，例如但不限於二氧化矽、氮氧化矽、氮化矽或碳摻雜氮化矽。

**【0060】** 閘極接觸514和上覆閘極接觸通孔516可以由導電材料組成。在一個實施例中，一或多個接觸或通孔由金屬物種組成。金屬物種可以是純金屬，例如鎢、鎳或

鈷，或可以是合金，例如金屬-金屬合金或金屬-半導體合金(例如矽化物材料)。

**【0061】** 在一個實施例中(儘管未示出)，形成與現有閘極圖案508基本上完全對齊的接觸圖案，同時減除了具有極其緊張的配準開銷的光刻步驟的使用。在其它實施例中，所有接觸都是正面連接的並且不是不對稱的。在一個這樣的實施例中，自對準方法允許使用本質上高度選擇性的濕式蝕刻(例如，相對於習知實施的乾式或電漿蝕刻)來產生接觸開口。在一個實施例中，透過利用現有的閘極圖案與接觸插塞光刻操作相結合而形成接觸圖案。在一個這樣的實施例中，該方法能夠減除對其它關鍵的光刻操作以產生接觸圖案的需要，如習知方法中使用的那樣。在一個實施例中，溝槽接觸網格不是單獨圖案化的，而是在多(閘極)線之間形成的。例如，在一個這樣的實施例中，溝槽接觸網格是在閘極光柵圖案化之後但在閘極光柵切割之前形成的。

**【0062】** 在一個實施例中，提供結構500涉及透過更換閘極過程製造閘極堆疊結構508。在這樣的方案中，假性閘極材料如多晶矽或氮化矽支柱材料，可以被去除並用永久性閘極材料代替。在一個這樣的實施例中，在此過程中也形成永久性閘極介電層，而不是從早期處理中實施。在一個實施例中，假性閘極透過乾式蝕刻或濕式蝕刻過程去除。在一個實施例中，假性閘極由多晶矽或非晶矽組成，並透過包括使用 $\text{SF}_6$ 在內的乾式蝕刻過程除去。在另

一個實施例中，假性閘極由多晶矽或非晶矽組成，並用濕式蝕刻過程除去，包括使用水溶液 $\text{NH}_4\text{OH}$ 或四甲基氫氧化銨。在一個實施例中，假性閘極由氮化矽組成，並用包括磷酸水溶液在內的濕式蝕刻除去。

**【0063】** 再次參考圖5，半導體結構或裝置500的配置將閘極接觸置於隔離區之上。這種配置可能會被視為對佈局空間的低效利用。然而，在另一個實施例中，半導體裝置具有接觸結構，其接觸在主動區上形成的閘極電極部分，例如，在鰭片505上，並且與溝槽接觸通孔在同一層中。

**【0064】** 應當理解，並非上述過程的所有態樣都需要實踐以落入本揭示內容的實施例的精神和範圍。同樣，本文描述的方法可用於製造一或多個半導體裝置。半導體裝置可以是電晶體或類似裝置。例如，在一個實施例中，半導體裝置是用於邏輯或記憶體的金屬氧化物半導體(MOS)電晶體，或者是雙極電晶體。同樣，在一個實施例中，半導體裝置具有三維結構，例如三閘極裝置、獨立存取的雙閘極裝置或FIN-FET。一或多個實施例對於在次10奈米(10奈米)技術節點上製造半導體裝置可能特別有用。

**【0065】** 在一個實施例中，如貫穿全文說明書所用，層間介電質(ILD)材料由介電質或絕緣材料層組成或包括介電質或絕緣材料層。合適的介電材料的示例包括但不限於矽的氧化物(例如，二氧化矽( $\text{SiO}_2$ ))、矽的摻雜氧化物、矽的氟化氧化物、碳摻雜的矽氧化物、本領域已知的

各種低k介電材料，以及它們的組合。層間介質材料可以透過常規技術形成，例如化學氣相沉積(CVD)、物理氣相沉積(PVD)或其它沉積方法。

【0066】在一個實施例中，也如貫穿全文說明書所用，金屬線或互連線材料(和通孔材料)由一或多個金屬或其它導電結構組成。一個常見的示例是使用銅線和結構，這些銅線和結構可以包括也可以不包括在銅和周圍ILD材料之間的阻擋層。如本文所用，術語金屬包括合金、堆疊和多種金屬的其它組合。例如，金屬互連線可以包括阻擋層(例如，包括Ta、TaN、Ti或TiN中的一或多個層)、不同金屬或合金的堆疊等。因此，互連線可以是單一材料層，或者可以由若干層形成，包括導電襯層和填充層。任何合適的沉積過程，如電鍍、化學氣相沉積或物理氣相沉積，都可用於形成互連線。在一個實施例中，互連線由導電材料組成，例如但不限於Cu、Al、Ti、Zr、Hf、V、Ru、Co、Ni、Pd、Pt、W、Ag、Au或其合金。互連線有時在本領域也稱為跡線、導線、線路、金屬或簡稱互連。

【0067】在一個實施例中，也如貫穿全文說明書所用，硬光罩材料、封蓋層或插塞由不同於層間介電材料的介電材料組成。在一個實施例中，可以在不同的區使用不同的硬光罩、封蓋或插塞材料，以便彼此之間以及底層的介電和金屬層提供不同的生長或蝕刻選擇性。在一些實施例中，硬光罩層、封蓋層或插塞層包括矽的氮化物層(例如氮化矽)或矽的氧化物層，或兩者皆有，或其組合。其

它合適的材料可包括基於碳的材料。本領域已知的其它硬光罩層、封蓋層或插塞層可以根據特定的實現而使用。硬光罩層、封蓋層或插塞層可以透過CVD、PVD或其他沉積方法形成。

【0068】在一個實施例中，也如貫穿全文說明書所用，光刻操作是使用193nm浸沒式光刻(i193)、EUV和/或EBDW光刻等進行的。可以使用正性或負性光阻劑。在一個實施例中，光刻光罩是由形貌光罩部分、抗反射塗層(ARC)層和光阻劑層組成的三層光罩。在這樣的特定實施例中，形貌光罩部分是碳硬光罩(CHM)層，且抗反射塗層是矽ARC層。

【0069】在另一態樣，一或多個實施例是關於由自對準閘極端蓋(SAGE)結構隔開的相鄰半導體結構或裝置。特定實施例可針對在SAGE架構中整合多寬度(multi-Wsi)奈米線和奈米帶，並由SAGE壁隔開。在一個實施例中，奈米線/奈米帶與前端過程流程的SAGE架構部分中的多Wsi整合。這種過程流程可能涉及不同Wsi的奈米線和奈米帶的整合，以提供具有低功耗和高性能的下一代電晶體的穩建功能。相關的磊晶源極或汲極區可以被嵌入(例如，去除部分奈米線然後進行源極或汲極(S/D)生長)，並且可以是或包括再生中心部分。

【0070】為了提供進一步的背景，自對準閘極端蓋(SAGE)架構的優勢可以包括實現更高的佈局密度，特別是將擴散延展到擴散間距。為了提供說明性比較，圖6示

出了，根據本揭示內容的實施例，對於非端蓋架構(左側(a))與自對準閘極端蓋(SAGE)架構(右側(b))的奈米線和鱗片截取的橫截面圖。

【0071】參考圖6的左側(a)，積體電路結構600包括具有鱗片604的基板602，該鱗片604在橫向包圍鱗片604的下部的隔離結構608上方突出量606。鱗片的上部可以包括鬆弛緩衝層622和缺陷修改層620，如所繪示。相應的奈米線605在鱗片604上。可以在積體電路結構600上形成閘極結構來製造裝置。然而，這種閘極結構的斷裂可以透過增加鱗片604/奈米線605對之間間距來適應。

【0072】相反，參照圖6的右側(b)，積體電路結構650包括基板652，其具有鱗片654在隔離結構658上方突出量656，橫向包圍鱗片654的下部。鱗片的上部可以包括鬆弛緩衝層672和缺陷改性層670，如所繪示。相應的奈米線655在鱗片654上。隔離SAGE壁660(其上可包括硬光罩，如所繪示)被包括在隔離結構652內和相鄰的鱗片654/奈米線655對之間。隔離SAGE壁660和最近的鱗片654/奈米線655對之間的距離界定了閘極端蓋間距662。可以在積體電路結構600上，在隔離SAGE壁之間形成閘極結構以製造裝置。這種閘極結構的斷裂是由隔離SAGE壁施加的。由於隔離SAGE壁660是自對準的，因此可以最小化習知方法的限制，以實現更積極的擴散到擴散間距。此外，由於閘極結構包括所有位置的斷裂，因此各個閘極結構部分可以透過在隔離SAGE壁660上形成的局部互連進行層連接。在一

個實施例中，如所繪示，每個 SAGE 壁 660 包括下介電部分和下介電部分的介電蓋。根據本揭示內容的實施例，用於與圖 6 相關的結構的製造過程涉及使用過程方案，該方案提供具有磊晶源極或汲極結構的全環繞閘極積體電路結構，其可包括再生中心部分。

【0073】自對準閘極端蓋 (SAGE) 處理方案涉及形成與鱗片自對準的閘極/溝槽接觸端蓋，而無需額外的長度來解決光罩未對準問題。因此，可以實現實施例以縮小電晶體佈局面積。本文描述的實施例可涉及製造閘極端蓋隔離結構，其也可稱為閘極壁、隔離閘極壁或自對準閘極端蓋 (SAGE) 壁。

【0074】在具有 SAGE 壁分隔相鄰裝置的結構的示例性處理方案中，圖 7 示出了，根據本揭示內容的實施例，表示製造具有全環繞閘極裝置的自對準閘極端蓋 (SAGE) 架構的方法中的各種操作的橫截面圖。

【0075】參考圖 7 的 (a) 部分，起始結構包括基板 702 上方的奈米線圖案堆疊 704。在奈米線圖案堆疊 704 上方形成光刻圖案堆疊 706。奈米線圖案堆疊 704 包括交替犧牲層 710 和奈米線層 712，其可以在鬆弛緩衝層 782 和缺陷修改層 780 之上，如所繪示。保護光罩 714 位於奈米線圖案堆疊 704 和光刻圖案堆疊 706 之間。在一個實施例中，光刻圖案堆疊 706 是由形貌光罩部分 720、防反射塗層 (ARC) 層 722 和光阻劑層 724 組成的三層光罩。在這樣的特定實施例中，形貌光罩部分 720 是碳硬光罩 (CHM) 層，且防反射塗層 722

是矽 ARC 層。

【0076】參考圖 7 的 (b) 部分，將 (a) 部分的堆疊進行光刻圖案化，然後進行蝕刻以提供包括圖案化基板 702 和溝槽 730 的蝕刻結構。

【0077】參考圖 7 的 (c) 部分，(b) 部分的結構具有隔離層 740 和形成在溝槽 730 中的 SAGE 材料 742。然後將結構平面化，以留下圖案化的形貌光罩層 720' 作為暴露的上層。

【0078】參考圖 7 的 (d) 部分，隔離層 740 嵌入在圖案化基板 702 的上表面下方，例如，在 SAGE 壁 742 下方界定突出的鱗片部分並提供溝槽隔離結構 741。

【0079】參考圖 7 的 (e) 部分，犧牲層 710 至少在通道區被去除以釋放奈米線 712A 和 712B。在形成圖 7(e) 部分的結構之後，可以在奈米線 712B 或 712A 周圍、基板 702 的突出鱗片上方以及 SAGE 壁 742 之間形成閘極堆疊。在一個實施例中，在形成閘極堆疊之前，保護光罩 714 的剩餘部分被去除。在另一實施例中，保護光罩 714 的剩餘部分被保留為絕緣鱗片蓋以作為處理方案的產物。

【0080】再次參考圖 7(e) 部分，可以理解的是，描繪了一個通道視圖，源極或汲極區位於頁面內外。在一個實施例中，包括奈米線 712B 的通道區的寬度小於包括奈米線 712A 的通道區的寬度。因此，在一個實施例中，積體電路結構包括多個寬度 (multi-Wsi) 奈米線。儘管 712B 和 712A 的結構可以分別區分為奈米線和奈米帶，但這兩種結構在本文中通常稱為奈米線。還應當理解，全文提及或描述的鱗

片/奈米線對的可以指包括鱗片和一或多個上覆奈米線的結構(例如，圖7中示出兩個重疊的奈米線)。根據本揭示內容的實施例，用於與圖7相關的結構的製造過程涉及使用一種過程方案，其提供具有磊晶源極或汲極結構的全環繞閘極積體電路結構，其可包括再生中心部分。

**【0081】** 在一個實施例中，如貫穿全文所述，自對準閘極端蓋(SAGE)隔離結構可以由適合於最終電隔離或有助於將永久閘極結構的某些部分彼此隔離的材料組成。示例性材料或材料組合包括單一材料結構，例如二氧化矽、氮氧化矽、氮化矽或碳摻雜氮化矽。其它示例性材料或材料組合包括具有較低部分的二氧化矽、氮氧化矽、氮化矽或碳摻雜的氮化矽和較高部分介電常數的材料(例如氧化鉛)的多層堆疊。

**【0082】** 為了突出具有三個垂直配置的奈米線的示例性積體電路結構，圖8A示出了，根據本揭示內容的實施例，基於奈米線的積體電路結構的三維橫截面圖。圖8B示出了沿圖8A的a-a'軸截取的基於奈米線的積體電路結構的橫截面源極或汲極視圖。圖8C示出了沿圖8A的b-b'軸截取的基於奈米線的積體電路結構的橫截面通道視圖。

**【0083】** 參考圖8A，積體電路結構800包括基板802上方的一或多個垂直堆疊的奈米線(804組)。在一個實施例中，如所繪示，鬆弛緩衝層802C、缺陷修改層802B和下巴板部分802A被包括在基板802中。在最底部的奈米線下方由基板802形成的任選鱗片不被繪示，以示用於強調奈

米線部分以作說明性目的。本文的實施例針對單線裝置和多線裝置。作為示例，示出了具有奈米線 804A、804B 和 804C 的三個基於奈米線的裝置，以作說明之用。為了便於描述，使用奈米線 804A 作為示例，其中重點描述其中一個奈米線。應當理解，在描述一個奈米線的屬性時，基於複數個奈米線的實施例對於每個奈米線可以具有相同或基本相同的屬性。

**【0084】** 每個奈米線 804 包括在奈米線中一個通道區 806。通道區 806 具有長度 (L)。參考圖 8C，通道區也具有與長度 (L) 正交的周長 (Pc)。參考圖 8A 和圖 8C 兩者，閘極電極堆疊 808 包圍每個通道區 806 的整個周長 (Pc)。閘極電極堆疊 808 包括閘極電極以及通道區 806 和閘極電極 (未示出) 之間的閘極介電層。在一個實施例中，通道區是離散的，因為它完全被閘極電極堆疊 808 包圍，而沒有任何居間材料，例如底層基板材料或上覆通道製造材料。因此，在具有複數個奈米線 804 的實施例中，這些奈米線的通道區 806 也是相對於彼此離散的。

**【0085】** 參考圖 8A 和 8B，積體電路結構 800 包括一對非離散的源極或汲極區 810/812。一對非離散源極或汲極區 810/812 位於複數個垂直堆疊的奈米線 804 的通道區 806 的任一側。此外，一對非離散源極或汲極區 810/812 相鄰於多個垂直堆疊的奈米線 804 的通道區 806。在一個未繪示的此類實施例中，一對非離散源極或汲極區 810/812 直接垂直相鄰於通道區 806，因為磊晶生長在延伸至通道區 806

之外的奈米線部分之上和之間，其中奈米線端部示出在源極或汲極結構內。在另一個實施例中，如圖8A所繪示，一對非離散源極或汲極區810/812間接垂直地與通道區806垂直相鄰，因為它們形成在奈米線的端部而不是奈米線之間。在一個實施例中，非離散源極或汲極區810/812是包括再生中心部分的非離散源極或汲極區。

**【0086】** 在一個實施例中，如所繪示，源極或汲極區810/812是非離散的，因為對於奈米線804的每個通道區806沒有單獨和離散的源極或汲極區。因此，在具有複數個奈米線804的實施例中，奈米線的源極或汲極區810/812是全域或統一的源極或汲極區，而不是每個奈米線的離散區。也就是說，非離散源極或汲極區810/812是全域的，因為單個統一特徵被用作複數個(在本例中為3個)奈米線804的源極或汲極區，更特定地說，用於多個離散通道區806。在一個實施例中，從與離散通道區806的長度正交的橫截面透視來看，一對非離散源極或汲極區810/812中的每一個在形狀上近似矩形，具有底部錐形部分和頂部頂點部分，如圖8B所繪示。

**【0087】** 根據本揭示內容的實施例，並如圖8A和8B所示，積體電路結構800還包括一對接觸814，每個接觸814在一對非離散源極或汲極區810/812的一個之上。在一個這樣的實施例中，在垂直意義上，每個接觸814完全包圍相應的非離散源極或汲極區810/812。在另一態樣，非離散源極或汲極區810/812的整個周邊可能無法觸及接觸

814，且因此接觸814僅部分地包圍非離散源極或汲極區810/812，如圖8B所繪示。在未繪示的對比實施例中，非離散源極或汲極區810/812的整個周長，如沿a-a'軸截取的，是被接觸814包圍。

【0088】再次參考圖8A，在一個實施例中，積體電路結構800還包括一對間隔物816。如所繪示，一對間隔物816的外部部分可以與非離散源極或汲極區810/812的部分重疊，從而在一對間隔物816下方提供非離散源極或汲極區810/812的「嵌入式」部分。還如所繪示，非離散源極或汲極區810/812的嵌入部分不能延伸到整個間隔物816下方。

【0089】基板802可以由適合於積體電路結構製造的材料組成。在一個實施例中，基板802包括由單晶組成的下部塊狀基板的材料，其可包括但不限於矽、鍺、矽-鍺、鍺-錫、矽-鍺-錫、或III-V族化合物半導體材料。由上層絕緣體層組成的材料可包括但不限於二氧化矽、氮化矽或氮氧基矽位於下部塊狀基板上。因此，結構800可以由起始的絕緣體上半導體基板製造。或者，結構800直接由塊狀基板形成，並且使用局部氧化來形成電絕緣部分來代替上述上層絕緣層。在另一個替代實施例中，結構800直接由塊狀基板形成並且摻雜用於在其上形成電隔離的主動區，例如奈米線。在一個這樣的實施例中，第一奈米線(即，靠近基板)是omega-FET型結構的形式。

【0090】在一個實施例中，奈米線804的尺寸可以為

線或帶，如下所述，並且可以具有方形或圓角。在一個實施例中，奈米線 804 由例如但不限於矽、鍺或其組合的材料組成。在一個這樣的實施例中，所述奈米線是單晶的。例如，對於矽奈米線 804，單晶奈米線可以基於(100)全域取向，例如，在 z 方向上具有  $\langle 100 \rangle$  平面。如下所述，也可以考慮其他取向。在一個實施例中，奈米線 804 的尺寸，從橫截面的角度來看，是奈米尺度上的。例如，在特定實施例中，奈米線 804 的最小尺寸小於約 20 奈米。在一個實施例中，奈米線 804 由應變材料組成，特別是在通道區 806 中。

**【0091】** 參考圖 8C，在一個實施例中，每個通道區 806 具有寬度 (Wc) 和高度 (Hc)，寬度 (Wc) 與高度 (Hc) 大致相同。也就是說，在這兩種情況下，通道區 806 在橫截面輪廓中是方形的，或者，如果是角圓形的，則呈圓形。在另一態樣，通道區的寬度和高度不必相同，例如全文描述的奈米帶的情況。

**【0092】** 在一個實施例中，如貫穿全文所述，積體電路結構包括非平面裝置，例如但不限於具有相應的一或多個上覆奈米線結構的鰭式場效應電晶體或三閘極裝置。在這樣的實施例中，相應的半導體通道區由三維體組成或形成，其中一或多個離散的奈米線通道部分覆蓋在三維體上。在一個這樣的實施例中，閘極結構至少圍繞三維體的頂面和一對側壁，並且進一步圍繞一或多個離散奈米線通道部分中的每個部分。

**【0093】** 在一個實施例中，如貫穿全文所述，底層基板可以由能夠承受製造過程並且電荷可以遷移的半導體材料組成。在一個實施例中，基板是由晶體矽、矽/鍺或鍺層摻雜有電荷載體(例如但不限於磷、砷、硼、鎵或其組合)組成的塊狀基板，以形成主動區。在一個實施例中，塊狀基板中矽原子的濃度大於97%。在另一個實施例中，塊狀基板由生長在獨特的晶體基板上的磊晶層組成，例如生長在硼摻雜的塊狀矽單晶基板上的矽磊晶層。塊狀基板也可以由III-V族材料組成。在實施例中，塊狀基板由III-V族材料組成，例如但不限於氮化鎵、磷化鎵、砷化鎵、磷化銻、銻化銻、砷化銻鎵、砷化鋁鎵、磷化銻鎵或其組合。在一個實施例中，塊狀基板由III-V族材料組成，並且電荷載體摻雜劑雜質原子是但不限於碳、矽、鍺、氧、硫、硒或碲等原子。

**【0094】** 本文揭示的實施例可用於製造多種不同類型的積體電路和/或微電子裝置。這種積體電路的示例包括但不限於處理器、晶片組組件、圖形處理器、數位信號處理器、微控制器等。在其它實施例中，可以製造半導體記憶體。此外，所述積體電路或其它微電子裝置可用於本領域已知的各種電子裝置中。例如，在計算機系統(例如，桌上型電腦、筆記型電腦、伺服器)、蜂巢式電話、個人電子產品等中。積體電路可以與匯流排和系統中的其他組件耦接。例如，處理器可以透過一或多個匯流排耦接到記憶體、晶片組等。每個處理器、記憶體和晶片組都可以潛

在地使用此處揭示的方法製造。

【0095】圖9示出了根據本揭示內容的一個實施例的計算裝置900的實現。計算裝置900容納板902。板902可以包括許多組件，包括但不限於處理器904和至少一個通信晶片906。處理器904在物理上和電性上耦接到板902。在一些實現中，至少一個通信晶片906也物理上和電性上耦接到板902。在進一步的實現中，通信晶片906是處理器904的一部分。

【0096】根據其應用，計算裝置900可以包括可或不可物理上和電性上耦接到板902的其它組件。這些其它組件包括但不限於揮發性記憶體(例如DRAM)、非揮發性記憶體(例如ROM)、快閃記憶體、圖形處理器、數位信號處理器、加密處理器、晶片組、天線、顯示器、觸控螢幕顯示器、觸控螢幕控制器、電池、音訊編解碼器、視訊編解碼器、功率放大器、全球定位系統(GPS)裝置、指南針、加速度計、陀螺儀、揚聲器、相機和大容量儲存裝置(如硬碟驅動器、光碟(CD)、數位多功能磁碟(DVD)等)。

【0097】通信晶片906能夠進行無線通信，用於將資料傳入和傳出計算裝置900。術語「無線」及其衍生詞可用於描述電路、裝置、系統、方法、技術、通信通道等，其可以透過使用非固態媒體的調變電磁輻射來傳輸資料。該術語並不意味著相關裝置不包含任何導線，儘管在某些實施例中它們可能不包含。通信晶片906可以實現許多無線標準或協定中的任何一個，包括但不限於Wi-Fi(IEEE

802.11系列)、WiMAX(IEEE 802.16系列)、IEEE 802.20、長期演進(LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍牙、其衍生物，以及被指定為3G、4G、5G及更高版本的任何其他無線協定。計算裝置900可以包括複數個通信晶片906。例如，第一通信晶片906可以專用於短距離無線通信例如Wi-Fi和藍牙，而第二通信晶片906可以專用於長距離無線通信例如GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO等。

**【0098】** 計算裝置900的處理器904包括封裝在處理器904內的積體電路晶片。處理器904的積體電路晶片可以包括一或多個結構，例如具有有再生中心部分的源極或汲極結構的全環繞閘極積體電路結構，其依照本揭示內容的實施例的實現而構建。術語「處理器」可以指處理來自暫存器和/或記憶體中的電子資料以將該電子資料轉換為可以儲存在暫存器和/或記憶體中的其他電子資料的任何裝置或裝置的一部分。

**【0099】** 通訊晶片906還包括封裝在通訊晶片906內的積體電路晶片。通訊晶片906的積體電路晶片可以包括一或多個結構，例如具有有再生中心部分的源極或汲極結構的全環繞閘極積體電路結構，其依照本揭示內容的實施例的實現而構建。

**【0100】** 在進一步的實現中，安裝在計算裝置900內的另一組件可以包含積體電路晶片，其包括一或多個結

構，例如具有有再生中心部分的源極或汲極結構的全環繞閘極積體電路結構，其依照本揭示內容的實施例的實現而構建。

**【0101】** 在各種實現中，計算裝置900可以是膝上型電腦、小筆電、筆記型電腦、超極本、智慧手機、平板電腦、個人數位助理(PDA)、超移動PC、行動電話、桌上型電腦、伺服器、印表機、掃描器、監視器、機上盒、娛樂控制單元、數位相機、可攜式音樂播放器、或數位錄影機。在進一步的實現中，計算裝置900可以是處理資料的任何其它電子裝置。

**【0102】** 圖10示出了包括本揭示內容的一或多個實施例的中介層1000。中介層1000是用於將第一基板1002橋接到第二基板1004的居間基板。第一基板1002可以是例如積體電路晶片。第二基板1004可以是例如記憶體模組、電腦主機板、或者另一積體電路晶片。通常，中介層1000的目的是將連接擴展到更寬的間距或將連接重新路由到不同的連接。例如，中介層1000可以將積體電路晶片耦接到球柵陣列(BGA)1006，球柵陣列隨後可以耦接到第二基板1004。在一些實施例中，第一和第二基板1002/1004附接到中介層1000的相對側。在其他實施例中，第一和第二基板1002/1004附接到中介層1000的同一側。並且，在進一步的實施例中，三個或多個基板透過中介層1000而互連。

**【0103】** 中介層1000可以由環氧樹脂、玻璃纖維增強環氧樹脂、陶瓷材料或如聚醯亞胺的聚合物材料形成。在

進一步的實現中，中介層 1000 可以由替代的剛性或柔性材料形成，其可以包括上述用於半導體基板的相同材料，例如矽、鍺和其它 III-V 族和 IV 族材料。

【0104】中介層 1000 可以包括金屬互連 1008 和通孔 1010，包括但不限於矽通孔 (TSV) 1012。中介層 1000 還可以包括嵌入式裝置 1014，包括被動和主動裝置兩者。此類裝置包括但不限於電容器、去耦電容器、電阻器、電感器、保險絲、二極體、變壓器、感測器和靜電放電 (ESD) 裝置。諸如射頻 (RF) 裝置、功率放大器、電源管理裝置、天線、陣列、感測器和 MEMS 裝置的更複雜的裝置也可以形成在中介層 1000 上。根據本揭示內容的實施例，本文揭示的設備或方法可用於製造中介層 1000 或製造包含在中介層 1000 中的組件。

【0105】因此，本揭示內容的實施例包括具有有再生中心部分的源極或汲極結構的全環繞閘極積體電路結構，以及製造具有有再生中心部分的源極或汲極結構的全環繞閘極積體電路結構的方法。

【0106】上述對本揭示內容實施例的說明性實現的描述，包括摘要中描述的內容，並不旨在窮舉或將本揭示內容限制為所揭示的精確形式。儘管本文出於說明性目的描述了本揭示內容的具體實現和示例，但是在本揭示內容的範圍內可以進行各種等效修改，如相關領域的技術人員將認識到的那樣。

【0107】可以根據上述詳細說明對本揭示內容進行這

些修改。所附申請專利範圍中使用的術語不應被解釋為將本揭示內容限制在說明書和申請專利範圍中揭示的特定實現。相反，本揭示內容的範圍應完全由以下申請專利範圍確定，這些申請專利範圍應根據既定的申請專利範圍解釋原則進行解釋。

**【0108】** 示例實施例1：一種積體電路結構包括奈米線的垂直配置。閘極堆疊在該奈米線的垂直配置上。第一磊晶源極或汲極結構於該奈米線的垂直配置的第一端部。第二磊晶源極或汲極結構於該奈米線的垂直配置的第二端部。該第一磊晶源極或汲極結構或該第二磊晶源極或汲極結構之一或二者具有外部部分內的中心部分，和在該中心部分和該外部部分之間的介面。

**【0109】** 示例實施例2：如示例實施例1所述的積體電路結構，其中該中心部分的最上表面與該外部部分的最上表面共面。

**【0110】** 示例實施例3：如示例實施例1或2所述的積體電路結構，其中該中心部分與該外部部分包括相同半導體材料。

**【0111】** 示例實施例4：如示例實施例1、2或3所述的積體電路結構，其中該奈米線的垂直配置包括矽，且該第一磊晶源極或汲極結構和該第二磊晶源極或汲極結構包括矽和鍺。

**【0112】** 示例實施例5：如示例實施例1、2或3所述的積體電路結構，其中該奈米線的垂直配置包括矽和鍺，且

該第一磊晶源極或汲極結構和該第二磊晶源極或汲極結構包括矽和鍺。

【0113】 示例實施例6：一種積體電路結構包括鱗片。閘極堆疊在該鱗片上。第一磊晶源極或汲極結構於該鱗片的第一端部。第二磊晶源極或汲極結構於該鱗片的第二端部。該第一磊晶源極或汲極結構或該第二磊晶源極或汲極結構之一或二者具有外部部分內的中心部分，和在該中心部分和該外部部分之間的介面。

【0114】 示例實施例7：如示例實施例6所述的積體電路結構，其中該中心部分的最上表面與該外部部分的最上表面共面。

【0115】 示例實施例8：如示例實施例6或7所述的積體電路結構，其中該中心部分與該外部部分包括相同半導體材料。

【0116】 示例實施例9：如示例實施例6、7或8所述的積體電路結構，其中奈米線的垂直配置包括矽，且該第一磊晶源極或汲極結構和該第二磊晶源極或汲極結構包括矽和鍺。

【0117】 示例實施例10：如示例實施例6、7或8所述的積體電路結構，其中奈米線的垂直配置包括矽和鍺，且該第一磊晶源極或汲極結構和該第二磊晶源極或汲極結構包括矽和鍺。

【0118】 示例實施例11：一種計算裝置包括板，和耦接到該板的組件。該組件包括積體電路結構，其包括奈米

線的垂直配置。閘極堆疊在該奈米線的垂直配置上。第一磊晶源極或汲極結構於該奈米線的垂直配置的第一端部。第二磊晶源極或汲極結構於該奈米線的垂直配置的第二端部。該第一磊晶源極或汲極結構或該第二磊晶源極或汲極結構之一或二者具有外部部分內的中心部分，和在該中心部分和該外部部分之間的介面。

**【0119】** 示例實施例 12：如示例實施例 11 所述的計算裝置，還包括耦接到該板的記憶體。

**【0120】** 示例實施例 13：如示例實施例 11 或 12 所述的計算裝置，還包括耦接到該板的通訊晶片。

**【0121】** 示例實施例 14：如示例實施例 11、12 或 13 所述的計算裝置，還包括耦接到該板的電池。

**【0122】** 示例實施例 15：如示例實施例 11、12、13 或 14 所述的計算裝置，其中該組件是封裝的積體電路晶粒。

**【0123】** 示例實施例 16：一種計算裝置，包括板，和耦接到該板的組件。該組件包括積體電路結構，其包括鰭片。閘極堆疊在該鰭片上。第一磊晶源極或汲極結構於該鰭片的第一端部。第二磊晶源極或汲極結構於該鰭片的第二端部。該第一磊晶源極或汲極結構或該第二磊晶源極或汲極結構之一或二者具有外部部分內的中心部分，和在該中心部分和該外部部分之間的介面。

**【0124】** 示例實施例 17：如示例實施例 16 所述的計算裝置，還包括耦接到該板的記憶體。

**【0125】** 示例實施例 18：如示例實施例 16 或 17 所述的

計算裝置，還包括耦接到該板的通訊晶片。

【0126】 示例實施例 19：如示例實施例 16、17 或 18 所述的計算裝置，還包括耦接到該板的電池。

【0127】 示例實施例 20：如示例實施例 16、17、18 或 19 所述的計算裝置，其中該組件是封裝的積體電路晶粒。

### 【符號說明】

#### 【0128】

100: 起始結構

102: 基板

104: 子鰭

106: 隔離結構

108: 奈米線

110: 犧牲材料

112: 介電蓋

114: 假性閘極結構

116A: 介電閘極間隔物

116B: 內部間隔物

118: 初始磊晶源極或汲極結構

118A: 蝕刻磊晶源極或汲極結構/外部部分

120: 空腔

122: 磊晶材料/中心部分

124: 源極或汲極結構

126: 高 k 閘極介電質層/閘極堆疊

- 128:金屬閘極電極/閘極堆疊
- 130:導電接觸
- 132:間隔物/層間介電材料
- 400:積體電路結構
- 500:半導體結構或裝置/積體電路結構
- 504:突出鰭片部分/非平面主動區/基板鰭片
- 504A :奈米線
- 504B:奈米線
- 505:子鰭片區
- 506:溝槽隔離區
- 508:閘極線
- 514:閘極接觸
- 516:上覆閘極接觸通孔
- 550:閘極電極
- 552:閘極介電層
- 554:介電蓋層
- 560:上覆金屬互連件
- 570:層間介電質堆疊或層
- 580:介面
- 600:積體電路結構
- 602:基板
- 604:鰭片
- 605:奈米線
- 606:量

608:隔離結構  
620:缺陷修改層  
622:鬆弛緩衝層  
650:積體電路結構  
652:基板  
654:鱗片  
655:奈米線  
656:量  
658:隔離結構  
660:隔離 SAGE 壁  
662:閘極端蓋間距  
670:缺陷修改層  
672:鬆弛緩衝層  
702:基板  
704:奈米線圖案堆疊  
706:光刻圖案堆疊  
710:犧牲層  
712:奈米線層  
712A:奈米線  
712B:奈米線  
714:保護光罩  
720:形貌光罩部分  
720':圖案化的形貌光罩層  
722:防反射塗層 (ARC) 層

724:光阻劑層  
730:溝槽  
740:隔離層  
741:溝槽隔離結構  
742:SAGE材料  
780:缺陷修改層  
782:鬆弛緩衝層  
800:積體電路結構  
802:基板  
802A:下基板部分  
802B:缺陷修改層  
802C:鬆弛緩衝層  
804A,804B,804C:奈米線  
806:通道區  
808:閘極電極堆疊  
810/812:源極或汲極區  
814:接觸  
816:間隔物  
900:計算裝置  
902:板  
904:處理器  
906:通信晶片  
1000:中介層  
1002:第一基板

1004:第二基板

1006:球柵陣列(BGA)

1008:金屬互連

1010:通孔

1012:矽通孔(TSV)

1014:嵌入式裝置

## 【發明申請專利範圍】

【請求項1】一種積體電路結構，包含：

奈米線的垂直配置；

在該奈米線的垂直配置上的閘極堆疊；

於該奈米線的垂直配置的第一端部的第一磊晶源極或汲極結構；和

於該奈米線的垂直配置的第二端部的第二磊晶源極或汲極結構，其中該第一磊晶源極或汲極結構或該第二磊晶源極或汲極結構之一或二者具有外部部分內的中心部分，和在該中心部分和該外部部分之間的介面。

【請求項2】如請求項1所述的積體電路結構，其中該中心部分的最上表面與該外部部分的最上表面共面。

【請求項3】如請求項1或2所述的積體電路結構，其中該中心部分與該外部部分包含相同半導體材料。

【請求項4】如請求項1或2所述的積體電路結構，其中該奈米線的垂直配置包含矽，且該第一磊晶源極或汲極結構和該第二磊晶源極或汲極結構包含矽和鍺。

【請求項5】如請求項1或2所述的積體電路結構，其中該奈米線的垂直配置包含矽和鍺，且該第一磊晶源極或汲極結構和該第二磊晶源極或汲極結構包含矽和鍺。

【請求項6】一種積體電路結構，包含：

鱗片；

在該鱗片上的閘極堆疊；

於該鱗片的第一端部的第一磊晶源極或汲極結構；和

於該鱗片的第二端部的第二磊晶源極或汲極結構，其中該第一磊晶源極或汲極結構或該第二磊晶源極或汲極結構之一或二者具有外部部分內的中心部分，和在該中心部分和該外部部分之間的介面。

【請求項7】如請求項6所述的積體電路結構，其中該中心部分的最上表面與該外部部分的最上表面共面。

【請求項8】如請求項6或7所述的積體電路結構，其中該中心部分與該外部部分包含相同半導體材料。

【請求項9】如請求項6或7所述的積體電路結構，其中該鱗片包含矽，且該第一磊晶源極或汲極結構和該第二磊晶源極或汲極結構包含矽和鍺。

【請求項10】如請求項6或7所述的積體電路結構，其中該鱗片包含矽和鍺，且該第一磊晶源極或汲極結構和該第二磊晶源極或汲極結構包含矽和鍺。

【請求項11】一種計算裝置，包含：

板；和

耦接到該板的組件，該組件包含積體電路結構，包含：

奈米線的垂直配置；

在該奈米線的垂直配置上的閘極堆疊；

於該奈米線的垂直配置的第一端部的第一磊晶源極或汲極結構；和

於該奈米線的垂直配置的第二端部的第二磊晶源極或汲極結構，其中該第一磊晶源極或汲極結構或該第二

磊晶源極或汲極結構之一或二者具有外部部分內的中心部分，和在該中心部分和該外部部分之間的介面。

【請求項12】如請求項11所述的計算裝置，還包含：  
耦接到該板的記憶體。

【請求項13】如請求項11或12所述的計算裝置，還包含：  
耦接到該板的通訊晶片。

【請求項14】如請求項11或12所述的計算裝置，還包含：  
耦接到該板的電池。

【請求項15】如請求項11或12所述的計算裝置，其中該組件是封裝的積體電路晶粒。

【請求項16】一種計算裝置，包含：  
板；和  
耦接到該板的組件，該組件包含積體電路結構，包含：

鱗片；

在該鱗片上的閘極堆疊；

於該鱗片的第一端部的第一磊晶源極或汲極結構；和

於該鱗片的第二端部的第二磊晶源極或汲極結構，其中該第一磊晶源極或汲極結構或該第二磊晶源極或汲極結構之一或二者具有外部部分內的中心部分，和在該中心部分和該外部部分之間的介面。

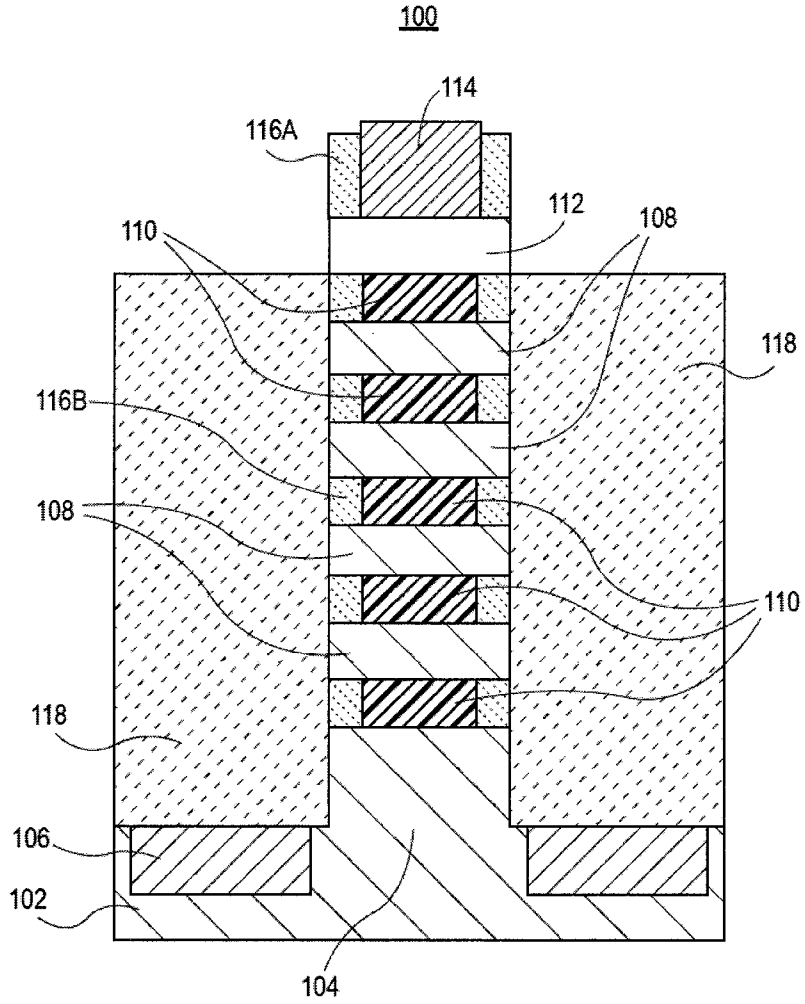
【請求項17】如請求項16所述的計算裝置，還包含：  
耦接到該板的記憶體。

【請求項18】如請求項16或17所述的計算裝置，還包含：  
耦接到該板的通訊晶片。

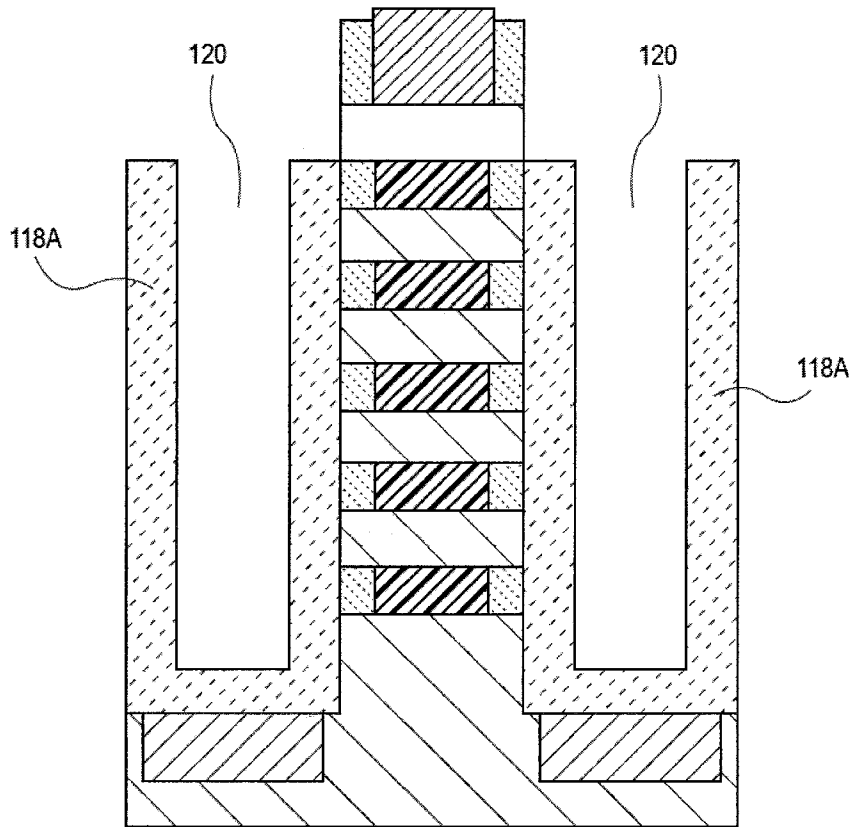
【請求項19】如請求項16或17所述的計算裝置，還包含：  
耦接到該板的電池。

【請求項20】如請求項16或17所述的計算裝置，其中  
該組件是封裝的積體電路晶粒。

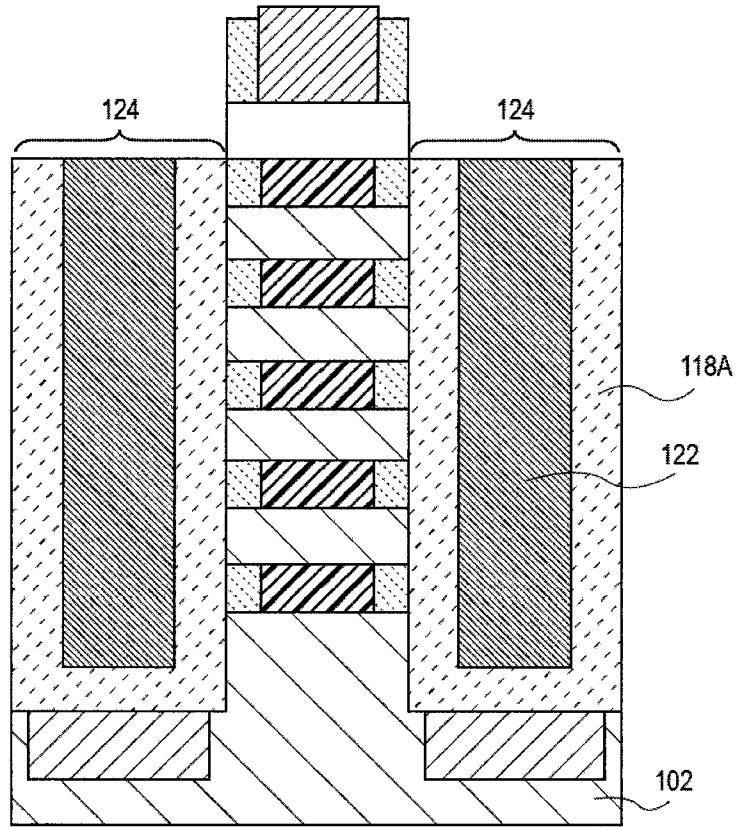
【發明圖式】



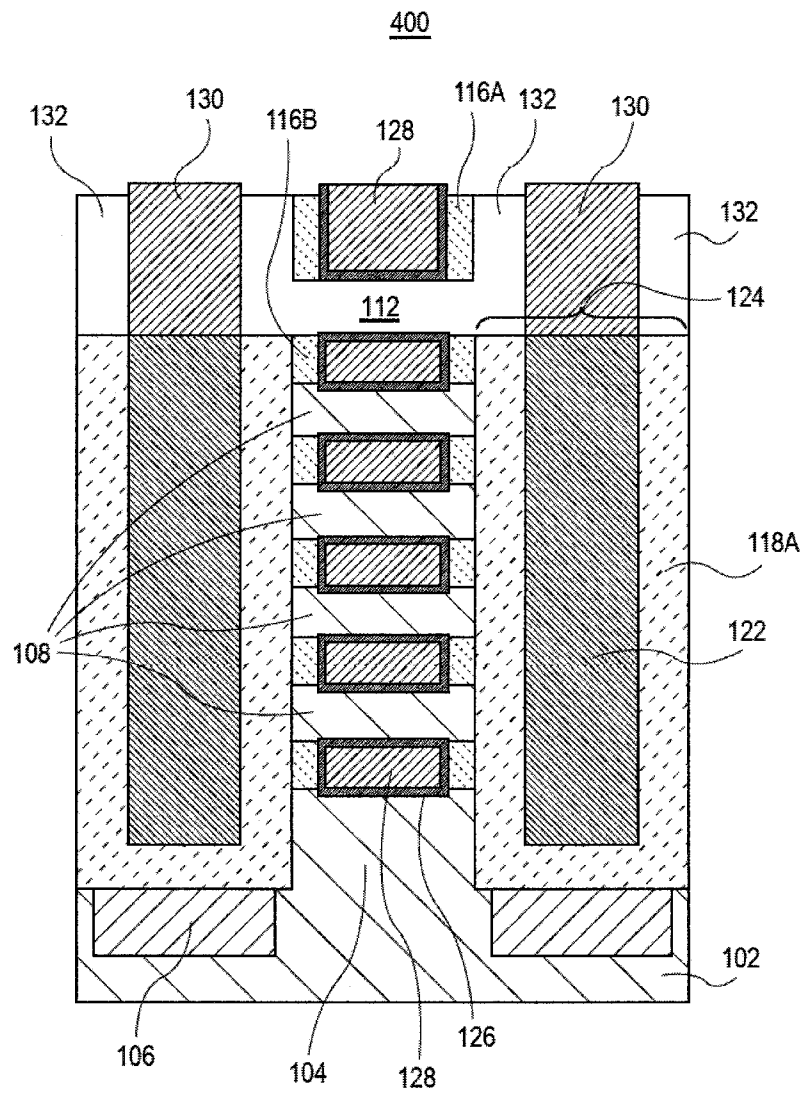
【圖 1】



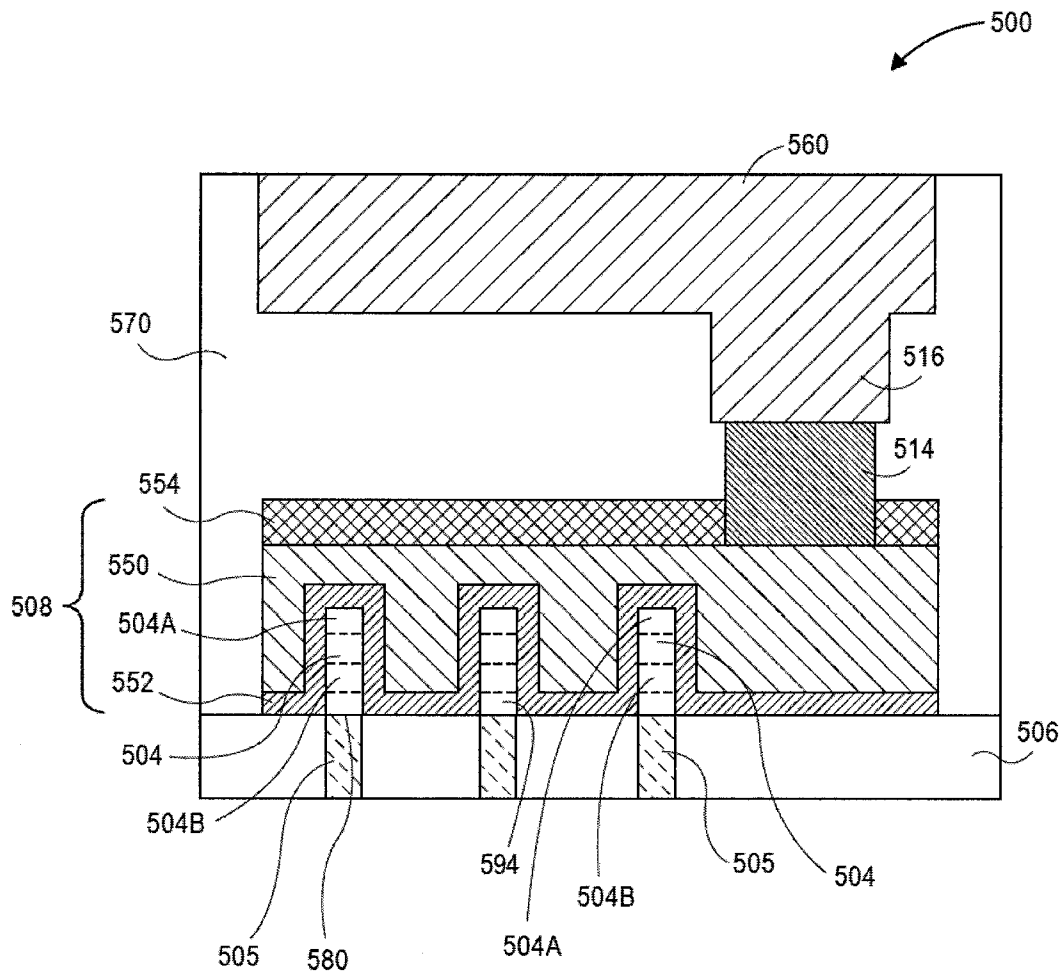
【圖 2】



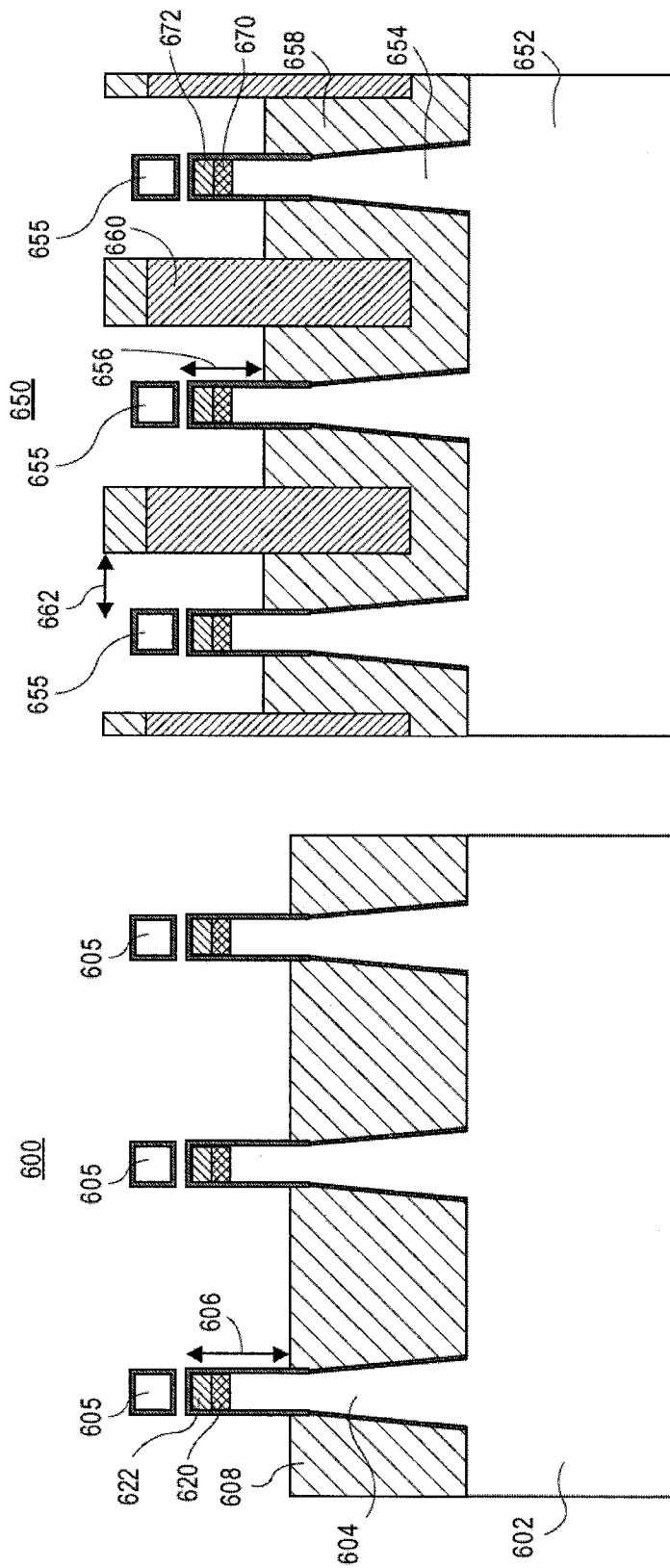
【圖 3】



【圖 4】



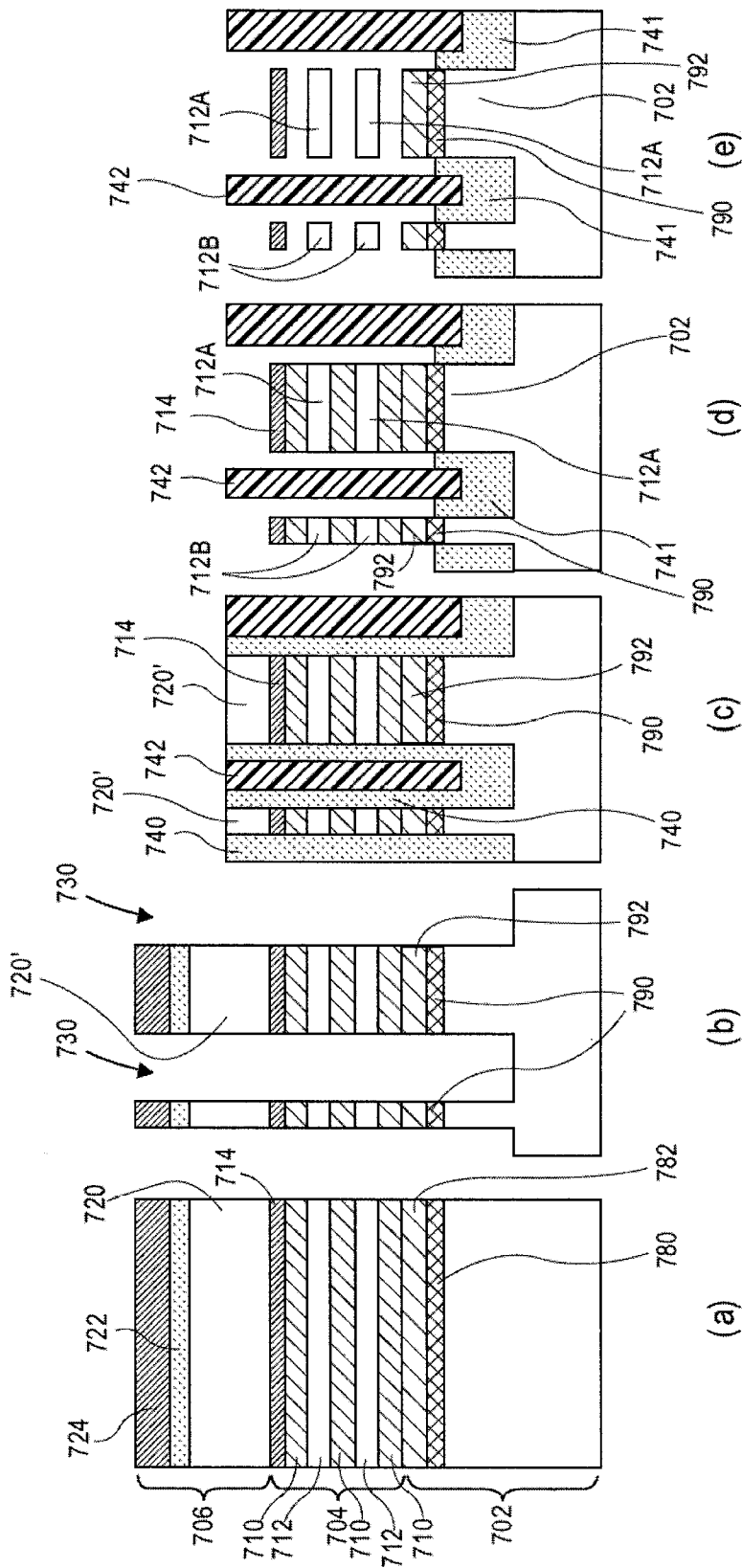
【圖 5】



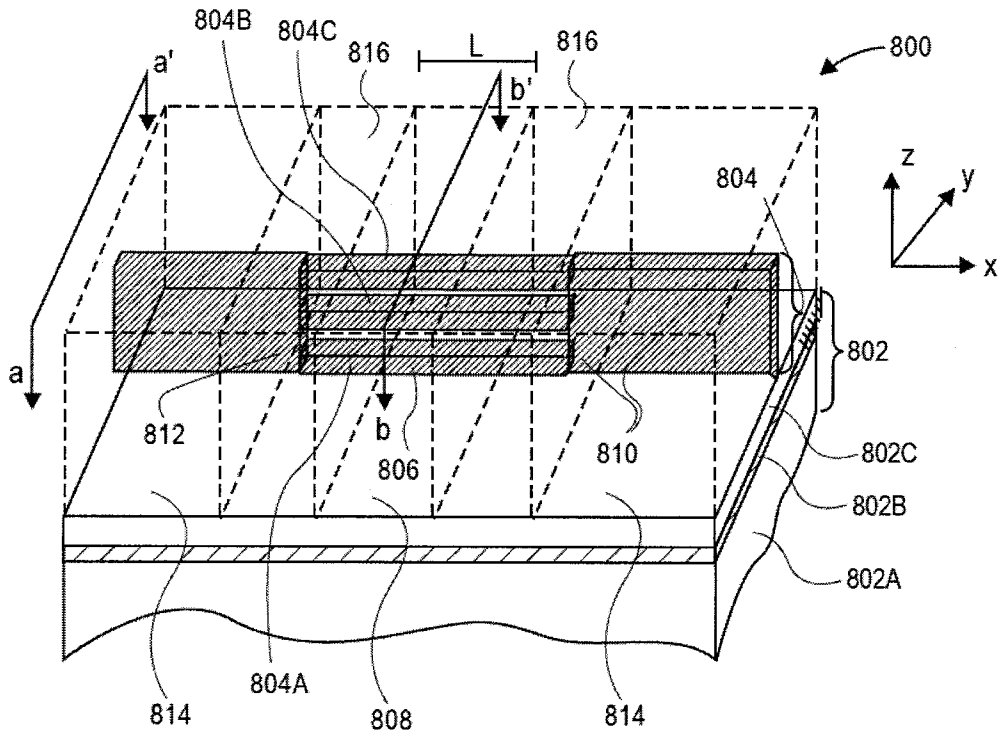
(b)

(a)

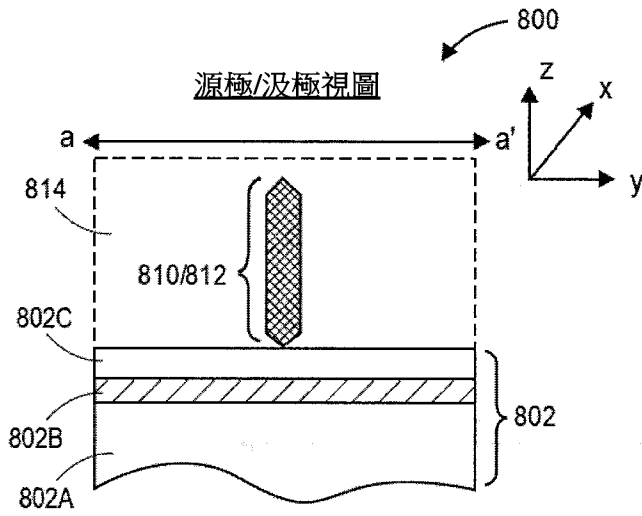
【圖6】



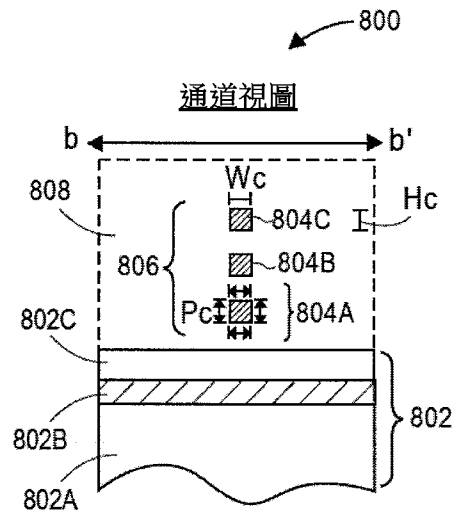
【圖 7】



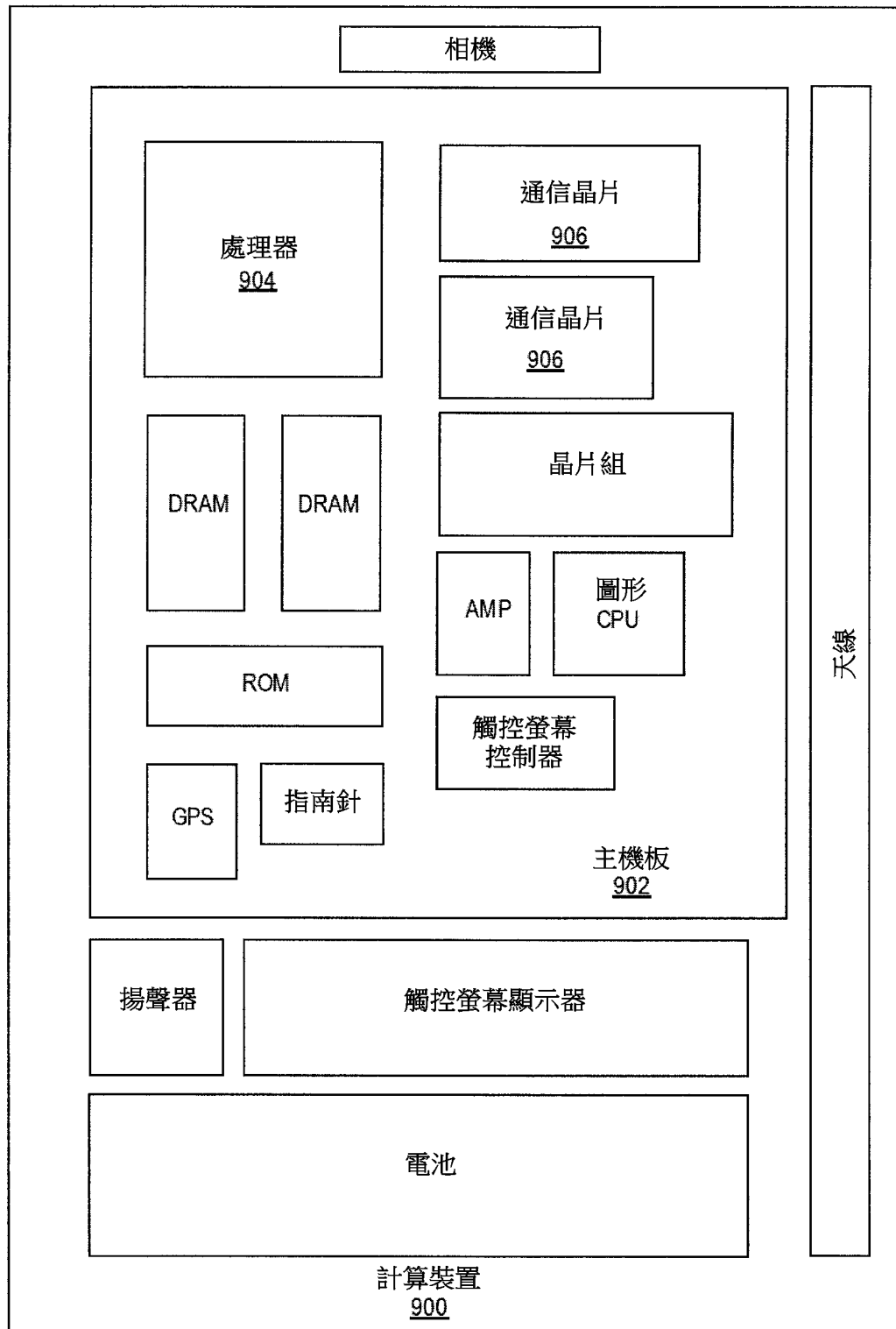
【圖 8A】



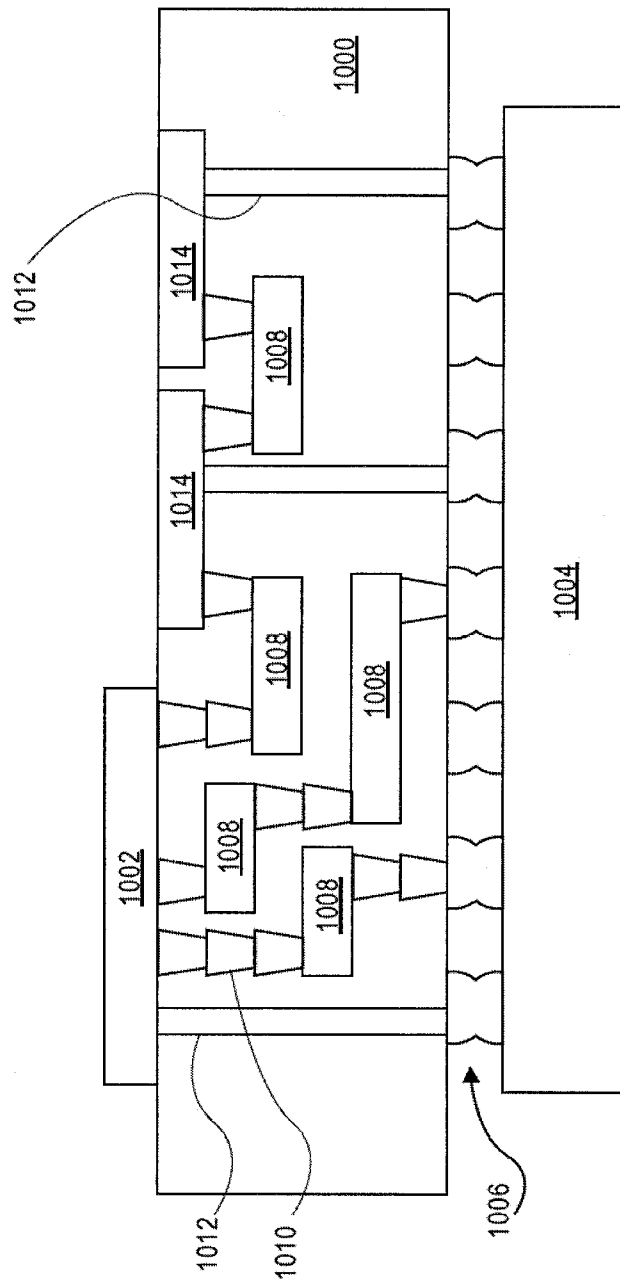
【圖 8B】



【圖 8C】



【圖 9】



【圖 10】