(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0048995
(43) 공개일자 2010년05월11일

(51) Int. Cl.
*H01L 21/363* (2006.01) *H01L 21/20* (2006.01)
(21) 출원번호 10-2010-7000664
(22) 출원일자(국제출원일자) 2008년07월11일
심사청구일자 없음
(85) 번역문제출일자 2010년01월12일
(86) 국제출원번호 PCT/FR2008/051316
(87) 국제공개번호 WO 2009/013425
국제공개일자 2009년01월29일
(30) 우선권주장
0756496 2007년07월13일 프랑스(FR)

(71) 출원인
**쌩-고벵 글래스 프랑스**
프랑스, 에프-92400 꾸르브브와 , 아비뉘 달자스 18
(72) 발명자
**마트만 에릭**
프랑스 에프-75013 파리 볼르바르 아라고 53
**로이터 파스칼**
프랑스 에프-75019 파리 알레 데 에데르 21
**린하르트 파비앙**
프랑스 에프-75015 파리 뤼 앙투안 부르델 10
(74) 대리인
**양영준, 백만기, 전경석**

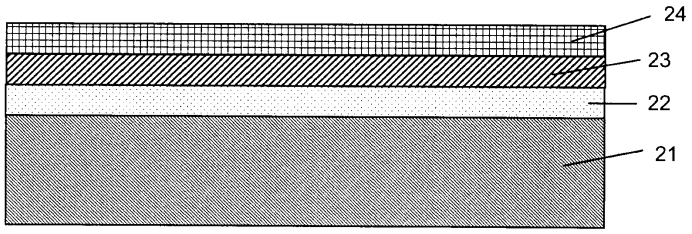
전체 청구항 수 : 총 21 항

# (54) 질화 갈륨의 에피택셜 성장용 기판

## (57) 요 약

본 발명은 한 면 이상이, 산화 아연 (13, 24)로 만들어진 하나 이상의 층을 갖는 하나 이상의 일련의 층으로 코팅된 지지 물질 (11, 21)을 포함하고, 질화 갈륨으로 만들어진 층의 에피택셜 성장을 위한 기판으로서 사용될 수 있는 기판에 관한 것이다. 상기 기판은 III-N 또는 II-IV형의 반도체 구조로 코팅되고, 주석 (Sn), 아연 (Zn), 인듐 (In), 갈륨 (Ga) 또는 안티몬 (Sb)로부터 선택된 둘 이상의 원소의 산화물을 포함하는 하나 이상의 중간층 (12, 23)이 지지 물질 (11, 21)과 산화 아연 (13, 24)로 만들어진 상기 하나 이상의 층 (13, 24) 사이에 제공되는 것을 특징으로 한다.

*대 표 도* - 도2



## *특허청구의 범위*

**청구항 1**

한 면 이상이 하나 이상의 아연-산화물-기재 층 (13, 24)을 포함하는 하나 이상의 다층 적층물로 코팅된 지지 물질 (11, 21)을 포함하고, 질화 갈륨을 기초로 하는 층의 에피택셜 성장을 위한 기판으로서 사용될 수 있는 기판으로서,

상기 기판이 III-N 또는 II-VI형의 반도체 구조로 코팅되며,

주석 (Sn), 아연 (Zn), 인듐 (In), 갈륨 (Ga) 및 안티몬 (Sb)로부터 선택된 둘 이상의 원소의 산화물을 포함하는 하나 이상의 중간층 (12, 23)이 지지 물질 (11, 21)과 상기 하나 이상의 아연-산화물-기재 층 (13, 24) 사이에 위치하는 것을 특징으로 하는 기판.

**청구항 2**

한 면 이상이 하나 이상의 아연-산화물-기재 층 (13, 24)을 포함하는 하나 이상의 다층 적층물로 코팅된 지지 물질 (11, 21)을 포함하고, 질화 갈륨을 기초로 하는 층의 에피택셜 성장을 위한 기판으로서 사용될 수 있는 기판으로서,

주석 (Sn), 아연 (Zn), 갈륨 (Ga) 및 안티몬 (Sb)로부터 선택된 둘 이상의 원소의 산화물을 포함하는 하나 이상의 중간층 (12, 23)이 지지 물질 (11, 21)과 상기 하나 이상의 아연-산화물-기재 층 (13, 24) 사이에 위치하는 것을 특징으로 하는 기판.

**청구항 3**

제1항 또는 제2항에 있어서, 지지 물질 (11, 21)은 그의 단지 한 면만이 코팅되고, 다층은 단지 단일의 아연-산화물-기재 층 (13, 24) 및/또는 단일의 중간층 (12, 23)만을 포함하는 기판.

**청구항 4**

제1항 내지 제3항 중 어느 한 항에 있어서, 지지 물질 (11, 21)이 사파이어(sapphire); 탄화 규소; 규소; 구리와 같은 금속; 석영; 산화 아연 (ZnO); $MgAl_2O_4$ 및 $LiGaO_2$와 같은 스피넬; 또는 실리카 유리 또는 실리카-기재 유리와 같은 유리질 또는 무정형 물질로부터 선택된 물질인 기판.

**청구항 5**

제1항 내지 제4항 중 어느 한 항에 있어서, 지지 물질 (11, 21)이 변형점(strain point)이 550℃, 또는 600℃ 또는 심지어 650℃ 또는 700℃ 이상인 실리카-기재 유리인 기판.

**청구항 6**

제1항 내지 제5항 중 어느 한 항에 있어서, 하나 이상의 서브층(sublayer) (22)가 지지 물질 (21)과 중간층 (23) 사이에 위치하는 기판.

**청구항 7**

제1항 내지 제6항 중 어느 한 항에 있어서, 서브층 (22)가 알칼리 금속 이온의 이동에 대한 장벽으로서 작용하고, 다음 물질로 이루어지거나 또는 다음 물질의 어느 하나 또는 그들의 혼합물의 어느 하나에 기초한 서브층인 기판: SiOC, $Si_3N_4$, $SiO_2$, TiN 및 $Al_2O_3$.

**청구항 8**

제1항 내지 제7항 중 어느 한 항에 있어서, 중간층 (12, 23)이 아연-산화물-기재 층 (13, 24) 아래에 그와 직접 접촉하게 위치하는 기판.

**청구항 9**

제1항 내지 제8항 중 어느 한 항에 있어서, 중간층 (12, 23)이 아연-산화물-기재 층 (13, 24)가 침착되기 전에 무정형인 기판.

**청구항 10**

제1항 내지 제9항 중 어느 한 항에 있어서, 중간층 (12, 23)이 아연 주석 산화물에 기초한 층인 기판.

**청구항 11**

제1항 내지 제10항 중 어느 한 항에 있어서, 아연 주석 산화물에 기초한 층 (12, 23)이 Al, Ga, In, B, Y, La, Ge, Si, P, As, Sb, Bi, Ce, Ti, Zr, Nb 및 Ta로부터 선택된 하나 이상의 원자로 도핑되는 기판.

**청구항 12**

제1항 내지 제11항 중 어느 한 항에 있어서, 아연-산화물-기재 층 (13, 24)가 산화 아연, 특히 우르차이트(wurtzite)형 구조에서 육각형 형태로 결정화된 다결정질 산화 아연으로 이루어진 층인 기판.

**청구항 13**

제2항 내지 제12항 중 어느 한 항에 있어서, 아연-산화물-기재 층 (13, 24)가 다층의 마지막 층인 기판.

**청구항 14**

제1항 내지 제13항 중 어느 한 항에 있어서, 아연-산화물-기재 층 (13, 24)의 두께가 10 내지 500 nm, 특히 100 내지 300 nm인 기판.

**청구항 15**

제1항 내지 제14항 중 어느 한 항에 있어서, 중간층 (12, 23)의 두께가 2 내지 100 nm, 특히 10 내지 50 nm 또는 심지어 20 내지 30 nm인 기판.

**청구항 16**

제2항 내지 제15항 중 어느 한 항에 있어서, III-N 또는 II-VI형의 반도체 구조로 코팅된 기판.

**청구항 17**

제1항 내지 제16항 중 어느 한 항에 있어서, III-N형 반도체 구조가 질화 갈륨 (GaN)을 기초로 하는 하나 이상의 층을 포함하는 기판.

**청구항 18**

제1항 또는 제16항에 있어서, II-IV형의 반도체 구조가 산화 아연 (ZnO)을 기초로 하는 하나 이상의 층을 포함하는 기판.

**청구항 19**

제1항 또는 제16항 내지 제18항 중 어느 한 항에 있어서, 반도체 구조가 나노 구조로 형성된 하나 이상의 불연속 층으로 이루어지거나, 또는 불연속층을 포함하는 기판.

**청구항 20**

하나 이상의 아연-산화물-기재 층 (13, 24) 및 하나 이상의 중간층 (12, 23)이 스퍼터링에 의해 침착되는, 제1항 내지 제19항 중 어느 한 항의 기판을 얻는 방법.

**청구항 21**

제20항에 있어서, 중간층 (12, 23)을 침착하는 단계가 무정형 층을 생성하는 방법.

## *명 세 서*

## 기 술 분 야

[0001] 본 발명은 특히 발광 다이오드 (LED) 또는 트랜지스터와 같은 전자 부품에 사용되는 III-N 또는 II-VI형 반도체 분야, 특히 질화 갈륨(GaN)에 기초한 것들에 관한 것이다. 보다 구체적으로는, 특히 그 위에 갈륨-질화물-기재 층을 성장시킬 수 있는 새로운 유형의 기판에 관한 것이다.

## 배 경 기 술

[0002] 질화 갈륨은 약 3.45 eV의 갭(gap)을 가지는 반도체이다. 이것은 파랑부터 보라까지 범위의 파장에서 발광하는 발광 다이오드를 생산하는데 널리 사용된다. 이 다이오드의 필수적인 요소는, 가장 간단하게 표현하면, 기판 위에 침착된 GaN 기재 층을 포함하는 p-n 접합(junction)으로 이루어진다. GaN-기재 층은 일반적으로 일반식 $In_xGa_yAl_{1-x-y}N$ (여기서 x와 y는 0부터 1까지 변함)인 물질을 포함하는 층을 포함한다. 그들은 보통 매우 고온에서 (1000℃ 내지 1200℃) 트리에틸갈륨 또는 트리메틸갈륨과 같은 유기금속 전구체와 암모니아의 도움으로 MOCVD (유기 금속 화학 기상 증착) 기술을 사용한 헤테로에피택시(heteroepitaxy)에 의해 얻는다. 이러한 고온 때문에, 사용될 수 있는 기판은 사파이어(sapphire) ( $\alpha$-$Al_2O_3$, 코런덤(corundum)이라고도 함) 또는 탄화 규소(SiC)이다. 그러나, GaN과 사파이어 사이의 큰 격자 불일치(lattice mismatch) (약 14%)와 그들 개개의 열 팽창 계수 사이의 큰 차이 때문에, 그로 인해 얻어진 GaN이 저품질의 결정성 및 ($10^{10}/cm^2$까지의 범위의 결함 밀도, 특히 전위 밀도(dislocation density)를 갖는) 많은 결정 결함을 갖게 되어, 발광 강도(emission intensity) (빛 및 에너지 효율)와 다이오드의 수명 모두를 제한한다.

[0003] 더욱 최근에는, 더 낮은 증착 온도 때문에 결정학적 견지에서 더 잘 들어맞고 덜 비싼 기판의 사용을 허용하는 대체 증착 방법이 제안되었다. 예로서, PLD (펄스 레이저 증착), PAMBE (플라즈마 보조 분자선 에피택시), RPCVD (리모트 플라즈마 화학 기상 증착) 및 ENABLE (에너제틱 중성 원자 빔 리소그래피/에피택시) 공정을 들 수 있다. 이러한 공정은 GaN을 800℃ 미만, 또는 심지어 100℃ 미만의 임의의 온도에서 침착할 수 있게 한다. 그러므로, 다른 유형의 기판, 특히 격자 변수의 견지에서 더욱 적합한 것을 사용할 수 있게 된다.

[0004] 미국 특허 제6 362 496 B1호에는 낮은 온도에서 GaN을 성장시키기 위한, 산화 아연 (ZnO) 층으로 코팅된 보로실리케이트(borosilicate) 유리 기판을 포함하는 기판이 공지되어 있다.

[0005] 산화 아연은 우르자이트(wurtzite)형 육각 구조를 가지는 이점을 가지고, 그의 a축은 약 0.32 nm, 즉 GaN의 a축 길이와 거의 동일한 길이를 갖는다. 결정학적 구조와 격자 변수의 견지에서의 이러한 유사성 (상대적인 면에서 2% 정도(order)) 때문에, GaN의 에피택셜 성장은 꽤 유리하다.

## 발명의 내용

[0006] 본 발명의 한 목적은 GaN, 또는, 더욱 일반적으로 말하면, III-N형 (GaN 등) 또는 II-IV형 (ZnO 등)의 반도체의 결정성을 추가적으로 향상시키는 것으로, 특히, 이러한 물질을 포함하는 발광 다이오드의 발광 강도 및 수명을 향상시키기 위함이다.

[0007] 본 발명의 또 다른 목적은 그러므로, 반도체 구조가 그 위에 침착될 경우, 이러한 성질을 향상시킬 수 있는 기판을 제공하는 것이다.

[0008] 본 발명의 또 다른 목적은 경제적으로 및 큰 규모로 생산될 수 있는 기판을 제공하는 것이다.

[0009] 이러한 목적을 위하여, 본 발명의 한 주제는 한 면 이상이 하나 이상의 아연-산화물-기재 층을 포함하는 하나 이상의 다층 적층물로 코팅된 지지 물질을 포함하고, 질화 갈륨을 기초로 하는 층의 에피택셜 성장을 위한 기판으로서 사용될 수 있는 기판으로, 상기 기판은 III-N 또는 II-VI형의 반도체 구조로 코팅된 기판이다. 상기 기판은 주석 (Sn), 아연 (Zn), 인듐 (In), 갈륨 (Ga) 및 안티몬 (Sb)로부터 선택된 둘 이상의 원소의 산화물을 포함하는 하나 이상의 중간층이 지지 물질과 상기 하나 이상의 아연-산화물-기재 층 사이에 위치하는 것을 특징으로 한다.

[0010] 본 발명의 또 다른 주제는 한 면 이상이 하나 이상의 아연-산화물-기재 층을 포함하는 하나 이상의 다층 적층물로 코팅된 지지 물질을 포함하고, 질화 갈륨을 기초로 하는 층의 에피택셜 성장을 위한 기판으로서 사용될 수 있는 기판이다. 본 발명에 따른 기판은 주석 (Sn), 아연 (Zn), 갈륨 (Ga) 및 안티몬 (Sb)로부터 선택된 둘 이상의 원소의 산화물을 포함하는 하나 이상의 중간층이 지지 물질과 상기 하나 이상의 아연-산화물-기재 층 사이

에 위치하는 것을 특징으로 한다.

[0011] 본 발명의 제1 목적은, 그러므로, 반도체 구조로 코팅된 기판이다. 이는 이하 "코팅된 기판"이라 할 것이다. 본 발명의 제2 목적은 제1 목적물의 생산 즉, III-N 또는 II-VI형의 반도체 구조의 에피택셜 성장에 특별히 알맞은 특정 기판이다.

[0012] 발명자들은 사실 GaN 층의 결정성, 또는, 더욱 일반적으로는, III-N 또는 II-IV형 반도체 층의 결정성 또한, 지지 물질과 ZnO층 사이에 그러한 중간층을 놓음으로써 향상될 수 있다고 설명한다.

[0013] 이 중간층은 특히 결정화된 물질의 양을 증가시킴으로써 및/또는 그 c축 (이 축은 게다가 지지 물질의 표면에 완벽하게 수직이다)을 따라 산화 아연 또는 질화 갈륨의 성장을 촉진시킴으로써 반도체 층의 결정화 성질을 향상시킬 수 있다.

[0014] 이 서브층의 존재가 ZnO/GaN 또는 ZnO/ZnO 적층물의 전자 전도성을 향상시키는 것을 도울 것이라는 것 또한 발명자에게 명백했다. 그 결과, 이러한 층 내에 더 균일한 전류 분배가 존재하고, 양자 수율이 증가하여 그로 인해 발광 강도가 더 높아지고, 부품의 가열(heat-up) 감소로 인해 그 수명이 증가한다.

[0015] 바람직하게는, 지지 물질은 그의 단 한 면만 코팅된다. 이 지지 물질에 침착된 적층물은 바람직하게는 단일의 ZnO-기재 층 및/또는 단일의 중간층을 포함한다.

[0016] 지지 물질은 전자장에서 지지체로 사용되는 임의의 유형의 물질, 예를 들어, 사파이어(sapphire), 탄화 규소, 규소, 구리와 같은 금속, 석영, 산화 아연 (ZnO) 및 $MgAl_2O_4$ 및 $LiGaO_2$와 같은 스피넬일 수 있다. 본 발명의 효과는 유리질 또는 무정형 물질에서 더욱 중요하게 나타난다. 지지 물질은 바람직하게는 실리카 유리 또는 실리카-기재 유리와 같은 유리질 또는 무정형 물질이다. 그것은 또한 유리-세라믹 물질, 즉, 하나 이상의 유리질 상태와 하나 이상의 결정질 상태로 이루어진 물질일 수 있다. 용어 "실리카-기재 유리"는 40% 이상, 일반적으로 50%의 중량 함량(weight content)을 가지는 실리카를 포함하는 유리를 의미하는 것으로 이해된다. 보로실리케이트 유리와 같이 고온 및 열 충격에 강한 유리는 비용 문제 때문에 더 선호된다. 바람직한 유리 중에는, 특히 평면 스크린, 액정 표시 장치 (LCD) 또는 플라즈마 디스플레이 패널 (PDP)의 제조용 기판으로서 사용되는 유리가 있다. 전자 분야에서 사용되는 이러한 유리 기판은 적당한 비용을 위해 대규모로 이용가능하다는 장점이 있다. 그들의 열 팽창 계수 또한 사파이어의 열팽창 계수보다는 GaN의 열 팽창 계수에 더욱 가깝다. 액정 표시 장치를 제조하는 데에 사용되는 유리는 일반적으로 알칼리 금속 산화물을 포함하지 않는 알루미노보로실리케이트(aluminoborosilicate) 유리이다. 플라즈마 디스플레이 패널을 제조하는 데에 사용되는 유리는 일반적으로 알칼리토 및 알칼리 금속 실리케이트로 이루어진 유리이다. 지지 물질이 실리카-기재 유리인 경우, 모든 "저온" GaN 증착 공정과 상용될 수 있도록, 상기 유리의 변형점은 바람직하게는 550℃, 또는 600℃, 심지어 650℃나 700℃ 이상이다. 유리의 변형점은 유리의 점도가 $10^{14.5}$ 푸아즈 ($10^{13.5}$ Pa.s)와 같아지는 온도에 대응한다.

[0017] 중간층은 지지 물질에 이와 직접 접촉하게 침착될 수 있다.

[0018] 다르게는, 하나 이상의 서브층이 바람직하게는 지지 물질과 중간층 사이에 위치한다. 이 서브층은 적층물의 부분을 형성하고, 특히 지지 물질이 알칼리 금속 이온을 포함하는 경우 알칼리 금속 이온의 이동에 대한 장벽으로 작용하는 서브층일 수 있다. 용어 "장벽으로 작용"은 층이 중대한 양의 알칼리 금속 이온이 지지 물질로부터 기판의 표면으로 이동하는 것을 막는 것을 의미하는 것으로 이해된다. 지지 물질이 알칼리 금속 (리튬, 나트륨, 칼륨) 이온을 포함하는 경우, 이 경우에, 예를 들어 플라즈마 디스플레이 패널의 제조에 사용되는 유리 기판의 경우, 이러한 이온은 GaN-기재 층으로 이동하기 쉽고, 그의 반도체 성질을 방해한다. 이러한 이동은, 특히 기판이 고온에 가해지는 경우, 따라서 특히 GaN-기재 층이 침착되는 동안 일어날 수 있다. 이는 또한 전자 부품 (다이오드 또는 트랜지스터)이 작동하는 동안 일어날 수 있고, 온도는 더 낮아지지만, 시간은 훨씬 길어진다. 알칼리 금속 이온의 이동에 대해 장벽으로 작용하는 서브층은 다음 물질로 이루어지거나 다음 물질의 어느 하나 또는 그들의 혼합물의 어느 하나에 기초할 수 있다: SiOC, $Si_3N_4$, $SiO_2$, TiN 및 $Al_2O_3$.

[0019] 바람직하게, 중간층은 산화 아연의 결정화 및 그 후 질화 갈륨의 결정화에 직접적으로 영향을 미치도록, 아연-산화물-기재 층 아래에 그와 직접 접촉하게 위치한다.

[0020] 바람직한 기판은 그의 단 한 면이 중간층 및 이 중간층에 직접 침착된 아연-산화물-기재 층으로 이루어지는 적층물로 코팅된 지지 물질로 이루어진다.

[0021] 중간층은 바람직하게는 아연-산화물 기재 층이 침착되기 전에 무정형이다. 용어 "무정형"은 X선 회절법으로 중

대한 양의 결정 상태를 검출할 수 없음을 의미하는 것으로 이해된다. 바람직하게는, 무정형 상태의 비율은 물질의 총 중량에 대해 90 중량% 이상, 특히 95% 및 심지어 99%일 수 있다. 단일의 산화물 (아마 다른 원소로 도핑된, $SnO_2$, ZnO, $In_2O_3$, $Ga_2O_3$, $Sb_2O_3$)은 그들이 침착 동안에, 질화 갈륨의 결정화를 향상시키는 효과를 방해하는, 적어도 우세하게 결정화된 형태로 일반적으로 얻어지기 때문에 제외된다.

[0022] 그러나, 중간층은 아연-산화물-기재 층이 침착된 후, 예를 들어, 열 처리 또는 이온 충격법의 효과 하에, 적어도 부분적으로 결정화될 수 있다. 이는 이어지는 GaN-기재 층의 결정화에 미치는 그의 효과에 영향을 미치지 않는다. 이는 중간층의 최종 기술 효과는 아연-산화물-기재 층의 침착 동안, 아연-산화물-기재 층에 대한 그 영향에 기인하는 듯하기 때문이다. 그 결과, 일단 ZnO-기재 층이 침착되면, 중간층 구조의 임의의 변형이 그 이후의 층의 침착에 영향을 미치지 않는 듯하다.

[0023] 바람직하게는, 중간층은 Sn/Zn, Sn/In, Sn/Ga, Sn/Sb, Zn/In, Zn/Ga, Zn/Sb, In/Ga, In/Sb 및 Ga/Sb 쌍으로부터 선택된 금속 산화물을 함유한다. 또한 중간층은 3 금속 산화물(three metal oxide), 예를 들어, Sn/Zn/In, Sn/Zn/Sb, Sn/Zn/Ga, Zn/In/Sb, Zn/In/Ga, Sn/In/Sb, Sn/In/Ga 산화물 등을 포함할 수 있다.

[0024] 중간층이 Sn, Zn, In, Ga 및 Sb로부터 선택된 두 원소의 산화물을 함유하는 경우, 이러한 원소 중 하나의 그 밖의 것에 대한 질량비는 바람직하게는 10/90과 50/50 사이, 특히 20/80과 45/55 사이에서 변한다. 다른 원소에 대한 한 원소의 지나치게 낮은 함량은 (예를 들어, 도핑의 경우) 그들이, 우리가 살펴본 대로 일반적으로 요망되지 않는, 결정화를 더욱 쉽게 하기 때문에, 바람직하지 않다.

[0025] 바람직하게는, 중간층은 아연 주석 산화물에 기초한 층, 특히 SnZnO 유형의 층이다. 표현 "SnZnO 유형의 층"이란 한편으로는 ZnO 그리고 다른 한 편으로는 SnO 또는 $SnO_2$ 사이 임의의 고체 용액으로부터 형성되는 임의의 층을 의미하는 것으로 이해된다. 이러한 층은 화학양론적이거나 그렇지 않을 수 있고, 특히 그것은 아화학양론적(substoicheometric)일 수 있다. 그러나, 정의된 화합물, 예를 들어 $Zn_2SnO_4$의 조성물을 갖는 고체 용액은, 그들이 그들의 침착 동안에 자발적으로 결정화되는 경향을 가지고 있기 때문에 바람직하지 않다. 지금은, 상기 기술한 바와 같이, 중간층이 ZnO-기재 층의 침착 동안에 무정형인 것이 바람직하다.

[0026] 아연 주석 산화물에 기초한 층은 좋은 열 및 화학적 안정성을 나타낸다. 그러나, 이 안정성은 Al, Ga, In, B, Y, La, Ge, Si, P, As, Sb, Bi, Ce, Ti, Zr, Nb 및 Ta로부터 선택된 적어도 한 원자에 의해 도핑됨으로써 향상된다. 또한, 이러한 도핑은 중간층이 스퍼터링, 특히 자기적으로 향상된 스퍼터링 (보통 마그네트론 스퍼터링(magnetron sputtering)이라고 하는 공정)에 의해 생산될 때, 그것을 침착시키는 것을 더 쉽게 할 수 있다. Al 및 Sb 원자, 특히 Sb 원자는, 관련된 이온의 이온 반경이 Sn 및 Zn 원자에 관련된 이온의 이온 반경에 가깝기 때문에 바람직하다. 도펀트 원자의 함량은 층의 금속 이온의 총 량에 대해 바람직하게는 0.5 내지 5 중량%, 특히 0.5 내지 2 중량%이다.

[0027] 바람직하게는, ZnO-기재 층은 ZnO, 특히 그의 육각 형태 (우르자이트형 구조)로 결정화된 다결정질 ZnO로 이루어진 층이다. 이는 밑에 있는 갈륨-질화물-기재 층의 결정화를 향상시키기 위해, 이러한 형태의 ZnO의 결정화를 가능한한 많이 촉진시키는 것이 필수적이기 때문이다.

[0028] 본 발명의 본문 내에서 만약 물질이 다수의 결정으로 구성되고, 그 때문에 그것이 단일의 결정이 아니라면, 상기 결정의 배향 (그들 각각에 대해 동일할 수 있는)에 독립적으로 "다결정질"이라고 한다. 바람직하게는, 이러한 ZnO 결정은 특히 기판의 주 표면에 수직인 c-축을 따라 단일의 배향을 가진다.

[0029] ZnO-기재 층은 그의 전자 전도도가 충분히 높은 경우, 다층 적층물 내에서 투명한 전극으로 사용될 수 있다. 이러한 목적을 위하여, ZnO-기재 층은 바람직하게는 ZnO 층 또는 그의 전자 전도도를 향상시키도록, 특히 알루미늄 (Al), 인듐 (In) 또는 갈륨 (Ga) 원자로 도핑한 도핑된 ZnO 층이다. 갈륨으로 도핑하는 것은 알루미늄 또는 인듐으로 도핑하는 것에 비해 더욱 선호되는데, 후자는 GaN-기재의 반도체 구조로 이동하기 쉬워, 회로 단락(short circuit)의 위험을 만들기 때문이다. 그러므로, 상기 정의된 (특히, 실리카-기재 유리로 만들어진) 지지 물질 위에 침착된 적층물을 생성하는 것이 가능하고, 상기 적층물은 갈륨-질화물-기재 층에 대해 헤테로에피택셜 성장 층으로서 작용하는 ZnO에 기초한 층 (특히 ZnO 또는 예를 들어, Al, Ga 또는 In으로 도핑한 도핑된 ZnO)을 포함한다. ZnO-기재 층은 지지 물질 또는 하나 이상의 서브층, 예를 들어, 본 발명에 따른 중간층 위에 직접적으로 증착될 수 있다. ZnO-기재 층의 투명도 때문에, 이 기판은 빛이 기판의 측면에서 발광되는 플립칩 다이오드 구조에 사용될 수 있다. ZnO-기재 층은 그 후 세 가지 별개의 기능 즉, 헤테로에피택시를 촉진시키는 기능, (오믹 접촉(ohmic contact)을 통한) 전류를 제공하는 기능 및 빛의 추출을 허용하는 기능을 갖는다.

[0030] 이롭게는, ZnO-기재 층은, 질화 갈륨이 이 후 이 층 위에 직접적으로 침착되는 것이 바람직한 한, 적층물의 마지막 층이고 그런 이유로 대기와 접촉하고 있는 층이다. 본 발명에 따른 기판은 바람직하게는 은 층 또는 니켈 및/또는 크롬을 함유하는 층과 같은 금속 층을 포함하지 않는다.

[0031] 바람직한 기판은 단지 한 면이 아연 주석 산화물에 기초한 층 및 이 층 위에 직접 침착된 아연-산화물-기재 층(특히 ZnO 층)을 포함하는 적층물로 코팅된 유리 지지 물질로 이루어지고, 알칼리 금속 이온의 이동에 대한 장벽으로 작용하는 서브층이 임의로 지지 물질과 아연 주석 산화물 기재 층 사이에 그들과 직접 접촉하게 위치한다.

[0032] ZnO-기재 층 (특히 ZnO 층)의 두께는 바람직하게는 10 내지 500 nm이다. 비교적 두꺼운 두께가 특히 미세결정의 크기를 증가시킴으로써 이후의 GaN의 더 나은 성장을 촉진시킨다는 것이 발견되었다. 그러므로, ZnO-기재 층의 두께는 바람직하게는 100 내지 300 nm이다.

[0033] 중간층의 두께는 바람직하게는 2 내지 100 nm, 특히 10 내지 50 nm 또는 심지어 20 내지 30 nm이다. 그러한 두께는 산화 아연의 결정 성장을 촉진시킨다.

[0034] 상기 기술된 바와 같이, 본 발명의 주제는 부분적으로는 "코팅된 기판"이다. 이 코팅된 기판은 III-N 또는 II-VI형의 반도체 구조로 코팅된 본 발명에 따른 기판이다.

[0035] III-N 유형의 반도체 구조는 바람직하게는 $In_xGa_yAl_{1-x-y}N$ (x 및 y는 0부터 1까지 변한다)에 기초한 층 및 특히 질화 갈륨 (GaN)에 기초한 층을 하나 이상 포함한다. 용어 "GaN-기재 층"은 일반적으로 도핑되지 않은 질화 갈륨 또는 도핑된 (n- 또는 p-도핑된) 질화 갈륨을 포함하는 임의의 층, 따라서 상기 기술된 일반식 $In_xGa_yAl_{1-x-y}N$ (여기서 y는 0이 아니고 더욱 일반적으로는 0.5보다 큼)을 갖는 층을 의미하는 것으로 이해된다. GaN-기재 층은 도핑되지 않거나, n-도핑 (예를 들어, Si, Ge, Se, Te 등의 원자로 도핑)되거나 또는 p-도핑 (예를 들어 Mg, Zn, Ca, Sr, Ba 등의 원자로 도핑)될 수 있다.

[0036] III-N형의 반도체 구조는 바람직하게는 하나 이상의 n-도핑된 GaN 층(예를 들어, Si, Ge, Se, Te 등의 원자로 도핑됨) 및 하나 이상의 p-도핑된 GaN 층 (예를 들어 Mg, Zn, Ca, Sr, Ba 등의 원자로 도핑됨)을 포함한다. ZnO-기재 층은 그 후 바람직하게는 하나 이상의 n-도핑된 GaN 층과 직접 접촉한다. 다르게는, 무정형의 알루미늄 및/또는 질화 갈륨에 기초한 버퍼층이 ZnO-기재 층과 반도체 구조 사이에 위치할 수 있다. 그러한 버퍼층은 GaN-기재 층의 결정화를 추가로 촉진시키려는 의도이다.

[0037] II-VI형 반도체 구조는 바람직하게는 하나 이상의 ZnO-기재 층을 포함한다. 용어 "ZnO-기재 층"은 산화 아연, 예를 들어, n-도핑된 (Al, In 등 사용) 또는 p-도핑된 산화 아연을 함유하는 임의의 층을 의미하는 것으로 이해된다. 이는 본 발명에 따른 기판의 ZnO-기재 층이 ZnO에 기초한 그들의 반도체 구조를 위한 이상적인 에피택셜 층을 구성할 수 있기 때문이다.

[0038] 반도체 구조는 나노 와이어 또는 나노 막대(nanorod), 미소 기둥(nanopillar) 또는 나노 와이어라고 일컬어지는 구조와 같은 나노 구조로부터 형성된 하나 이상의 불연속 층을 포함하거나 그것으로 이루어질 수 있다. 이 구조는 일반적으로 기판의 표면에 대략 수직인 축을 따라 향하는 와이어 또는 칼럼(column)의 형태를 취한다. 이 와이어 또는 칼럼은 바람직하게는 50 내지 500 nm의 지름 및 500 nm 내지 5 미크론의 높이를 갖는다. 이 구조는 다이오드 측면에서의 빛 손실을 최소화함으로써 도광(light guiding)을 향상시키는 것을 돕는다. 또한, 이 구조는 빛 증폭을 허용하는 캐비티 효과(cavity effect)를 생성한다.

[0039] 기판의 ZnO-기재 층은 바람직하게는 하나 이상의 이 반도체 구조의 ZnO-기재 층 또는 GaN-기재 층과 직접 접촉하고 있다.

[0040] 본 발명에 따른 기판, 특히 코팅된 본 발명에 따른 기판은 발광 다이오드의 제조에 사용될 수 있다. 이 발광 다이오드는 예를 들어, 레이저 시스템에 통합될 수 있고/있거나 조명 (거리 사인, 거리 조명, 도시 조명, 내부 조명 또는 자동차 조명), 디스플레이 스크린, 데이타 저장 등의 영역에 사용될 수 있다.

[0041] 코팅된 기판이 발광 다이오드의 제작에 사용되는 경우, 반도체 구조는 바람직하게는 이종 접합(heterojunction) 즉, 서로 다른 에너지 갭을 가지고, 바람직하게는 $In_xGa_yAl_{1-x-y}N$ (x 및 y는 0부터 1까지 변한다)형의 순수한 화합물 또는 합금으로부터 선택된 다양한 화학적 조성의 반도체 조립체를 포함하는 이종 구조(heterostructure)이다. 변수 x 및 y의 변동은 반도체의 갭이 직접적으로 영향받도록 한다. 얻어진 구조는 일반적으로는 단층 양자 우물(Single quantum well, SQW) 또는 다층 양자 우물(multiple quantum well)형이다.

그러므로 생산된 다이오드는 자외선 및 가시광선 영역, 특히 파랑 또는 녹색 영역을 커버하는 넓은 범위의 전자기 스펙트럼 내에서 발광할 수 있다. 또한, 인광 물질과 결합되는 경우, 다이오드는 흰색 빛을 발광할 수 있다.

[0042] 또한, 본 발명에 따른 기판은 다이오드 외의 반도체 구조 유형, 예를 들어, 바이폴라 트랜지스터, FET (전계 효과 트랜지스터) 특히 MESFET (금속 반도체 전계 효과 트랜지스터) 또는 HFET (이종 구조 전계 효과 트랜지스터)형과 같은 트랜지스터 구조를 위한 기판으로서 사용될 수 있다. GaN-기재 반도체 구조를 사용하는 트랜지스터는 특히 마이크로웨이브 (전형적으로 5-50 GHz) 응용 및/또는 전력 (전형적으로 50W) 응용에 유리하다. 또한, 이 반도체 구조의 투명 특성은 투명한 전자 장치라고 볼 수 있는 것을 의미한다.

[0043] 또한, 본 발명의 주제는 상기 하나 이상의 아연-산화물-기재 층 및 상기 하나 이상의 중간층이 스퍼터링에 의해 침착되는, 본 발명에 따른 기판을 얻는 방법이다. 유리하게는, 마그네트론 스퍼터링 공정이 사용된다. 바람직하게는, 지지 물질과 중간층 사이에 위치한 임의적인 서브 층을 결론적으로 포함하는, 적층물의 모든 층이 이 기술로 침착된다. 스퍼터링 공정, 특히 마그네트론 스퍼터링은 아연-산화물-기재 층이 c-축을 따라 성장하고, 따라서 이 동일한 축을 따라 이어지는 GaN의 에피택셜 성장을 허용하는 이점을 갖는다. 마그네트론 공정은 반응성 또는 비반응성 유형일 수 있다.

[0044] 스퍼터링에 의해 중간층을 침착하는 단계는 바람직하게는 상기 기술된 이유 때문에 무정형 층을 생성한다.

[0045] 바람직한 공정은 마그네트론 공정에 의해, 유리 지지 물질 상에 상기 기술한 아연 주석 산화물에 기초한 중간층, 그 후 아연-산화물 층을 침착하는 것으로 이루어진다. 사용된 유리가 알칼리 금속 이온을 함유하는 경우, 또한 마그네트론 공정에 의해 상기 기술된 알칼리 금속 이온의 이동에 대해 장벽으로 작용하는 서브층, 특히 $Si_3N_4$층을 침착하는 것이 바람직하다.

[0046] 이 침착 후 바람직하게는 아연-산화물-기재 층의 결정화를 촉진시키도록 의도된 열 처리가 뒤따르고, 이는 아연-산화물-기재 층의 더 나은 결정화가 위에 높인 층의 결정화를 향상시키는 것으로 나타나기 때문이다. 이 열처리는 일반적으로 200 내지 1100℃, 특히 200 내지 700℃의 온도에서 수행된다.

[0047] 다르게는, 또는 추가로, 향상된 ZnO 결정화는 150 내지 400℃, 특히 200 내지 300℃ 온도의 뜨거운 기판 위에 층을 침착하는 것에 의해 얻어질 수 있다.

[0048] 또한, 적층물의 하나 이상의 층, 특히 ZnO-기재 층에 이온 빔, 특히 아르곤 이온 빔을 작용시키는 것이 가능하다. 이온 빔은 바람직하게는 동일한 스퍼터링 침착 챔버 내에 유리하게 위치할 수 있는 이온 건 또는 이온 공급원으로부터 생성된다. 전력, 입사각 및 발산각에 따라, 측방향 에피택시를 촉진시키고 그러므로 변위(dislocation)를 줄이거나 심지어 없애기 위해 ZnO 표면에 특정한 결을 내는 것과 대조적으로, (그의 내화학약품성, 특히 GaN 성장 동안 사용될 수 있는 암모니아에 대한 저항성을 향상시키기 위해) ZnO 층을 매끈하게 하는 것이 가능하다.

## *도면의 간단한 설명*

[0049] 본 발명은 도 1 내지 4로 도시된 다음의 비제한적 예시적인 실시 태양의 도움으로 더 잘 이해될 것이다.

도 1 및 2는 본 발명에 따른 기판의 도식적 묘사이다.

도 3 및 4는 하기에 기술된 시편의 가장자리에서 찍은 주사 전자 현미경 사진이다.

도 1은 본 발명에 따른 바람직한 기판의 도식적 단면을 보여준다. 기판은 ZnO-기재 층 (13)으로 코팅된 중간층 (12)로 이루어진 적층물로 코팅된 지지 물질 (11)로 구성된다.

도 2는 본 발명에 따른 다른 바람직한 기판의 도식적 단면을 보여준다. 기판은 ZnO-기재 층 (23)으로 코팅된 중간층 (23)으로 코팅되고 지지 물질 (21)위에 직접 침착된, 알칼리 금속 이온의 이동에 대한 장벽으로 작용하는 층 (22)를 포함하는 적층물로 코팅된 지지 물질 (21)로 구성된다.

도 1 및 2에 나타난 기판에 대하여, 지지 물질 및 적층물의 다양한 층은 명세서의 일반적 부분에서 기술된 것과 같다. 바람직하게는, 지지 물질은, 특히 플라즈마 디스플레이 패널의 제조용으로 의도된 유형의 유리로 만들어진다. 중간층은 유리하게는 특히 Al 또는 Sb로 도핑된 아연 주석 산화물에 기초한다. ZnO-기재 층은 바람직하게는 ZnO 층이다. 알칼리 금속 이온의 이동에 대해 장벽으로 작용하는 임의적 층은 유리하게는 $Si_3N_4$ 층이다.

## *발명을 실시하기 위한 구체적인 내용*

[0050] 비교예

[0051] 비교예에 따른 기판은 알칼리 금속 이온의 이동에 대해 장벽으로 작용하는 $Si_3N_4$ 서브층 및 아연 산화물 층으로 코팅된 유리 지지 물질로 이루어진다.

[0052] 적층물은 유리/$Si_3N_4$ (20 nm)/ZnO (200 nm)이고, 기하학적인 두께가 괄호 안에 나타나 있다.

[0053] 사용된 유리는 특허 출원 WO 98/40320에 기술된 것과 같이, 플라즈마 디스플레이 패널의 제조용으로 의도된 유리이다.

[0054] 이 적층물을 마그네트론 스퍼터링으로 침착하였다. $Si_3N_4$ 층은 5 kW/100 kHz 전력으로 공급되는 규소 타겟을 사용하여 침착하였다. 압력은 2.5 마이크로바이고 플라즈마 기체는 아르곤 (40 sccm (분 당 표준 세제곱 센티미터) 흐름 속도) 및 질소 (58 sccm 흐름 속도)의 혼합물이었다. ZnO 층은 2 밀리바의 압력 및 아르곤 (40 sccm)/산소 (18 sccm) 혼합물 하에서 290 V/50 kHz 전압이 인가된 아연 타겟을 사용하여 침착하였다.

[0055] 이러한 각 층의 마그네트론 스퍼터링에 의한 침착은 게다가 당업자에게 잘 알려져 있고, 침착의 세부 사항 (사용된 타겟, 압력, 기체 등)은 결과에 중요한 영향을 미치지 않는다.

[0056] 이러한 기판은 그 후 잘 알려진 방식으로 RPCVD (리모트 플라즈마 화학 기상 증착)을 사용하여 80 nm 두께 (C1로 표시됨) 또는 200 nm 두께 (C2로 표시됨)의 GaN 층으로 코팅하였다. 사용된 기판의 본질과 침착 온도의 측면에서 양립될 수 있는 임의의 다른 유형의 침착 공정도 물론 결과에 중대한 영향을 미치지 않고 사용가능하다.

[0057] 실시예

[0058] 본 발명에 따른 실시예는 안티몬(Sb)-도핑된 혼합 아연 주석 산화물 층이 $Si_3N_4$ 서브층과 아연 산화물 층 사이에서, 역시 마그네트론 스퍼터링으로 침착된다는 점에서 비교예와 다르다.

[0059] SnZnO 층은 안티몬-도핑된 주석/아연 합금, 2 kW 전력 및 50 kHz 주파수, 2 마이크로바 압력 및 아르곤 (12 sccm)/산소 (45 sccm) 혼합물로부터 형성된 타겟을 사용하여 침착하였다.

[0060] 혼합된 산화물 층은 금속 중량으로, 약 65% Sn, 34% Zn 및 1% Sb을 포함하였다.

[0061] 본 발명에 따른 다양한 실시예는 ZnO 층 및 아연 주석 산화물 층의 두께에서 달랐다.

[0062] 표 1은 본 발명에 따른 실시예 1 내지 4 각각에 대해 이러한 층 두께를 나타낸다.

*표 1*

[0063]

| 실시예 | $SnZnO_x$ : Sb 두께 (nm) | ZnO 두께 (nm) |
|---|---|---|
| 1 | 10 | 200 |
| 2 | 25 | 200 |
| 3 | 10 | 80 |
| 4 | 25 | 80 |

[0064] 결정화에의 효과

[0065] GaN-기재 층의 결정화에 대한 본 발명의 효과는 다양한 방법에 의해 연구되었다.

[0066] 제1 방법에 따르면, GaN 결정의 배향은 X선 회절 다이어그램에서 GaN과 관련된 회절 피크 영역을 측정하는 것에 의해 비교된다.

[0067] X선 회절은 θ/2θ 배위에서 수행하였다. ZnO와 GaN 사이의 격자 변수의 적은 차이 때문에, 그들의 피크는 부분적으로 겹치고, 그들을 분리하기 위해 수학적 처리가 요구된다. 이 수학적 처리는 특히 ZnO 층 단독의 회절 특성에 기초하였고, 이는 GaN 침착 전에 측정되었다.

[0068] 표 2는 c-축을 따른 결정의 배향에 대응되는 (0002) 결정학적 평면과 관련된 회절 피크의 임의적 단위의 영역을

나타낸다.

표 2

[0069]

| 실시예 | 영역 (임의의 단위) |
|---|---|
| C2 | 350 |
| 1 | 570 |
| 2 | 680 |

[0070] 이 결과는 중간층을 추가한 덕분에 c-축을 따른 GaN의 배향에서의 매우 큰 향상을 반영한다.

[0071] 제2 방법에 따르면, GaN 결정의 배향은 주사 전자 현미경을 사용하여 직접 관찰함에 의해 비교된다.

[0072] 도 3 및 4는 각각 실시예 C2 및 1의, 100000 배율의 주사 전자 현미경으로 찍은 현미경 사진이다. 현미경 사진은 가장자리에서 찍었고, 따라서 ZnO/GaN 적층물이 보여지도록 하였다.

[0073] 도 3에서, 육각형의 GaN 결정은 그의 c-축을 따라 성장하는 경향이 있지만, 축의 방향은 기판에 완벽하게 수직이지는 않는다.

[0074] 그러나, 도 4에서 GaN 결정의 성장 방향은 기판에 완벽하게 수직이고, 따라서 더욱 결점이 없다.

[0075] 제3 방법에 따르면, 적층물의 총 전기 저항성은 4-점 방법 또는 반 데르 포우법을 사용하여 공지된 방법으로 결정되었다.

[0076] 표 3은 실시예 C1, 3 및 4에서 얻어진 값을 나타낸다.

표 3

[0077]

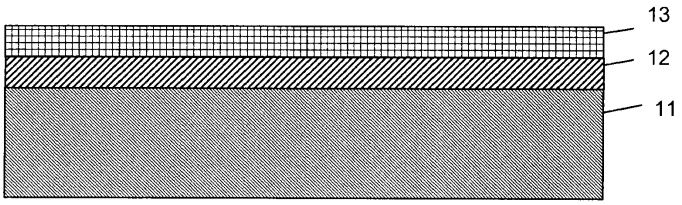
| 실시예 | 저항성 (Ω.cm) |
|---|---|
| C1 | 0.055 |
| 3 | 0.019 |
| 4 | 0.015 |

[0078] 중간층의 추가로 인한 저항성의 저하는 더 적은 양의 구조 결점을 반영하는 전자 전도도의 매우 실질적인 증가에 대응한다.

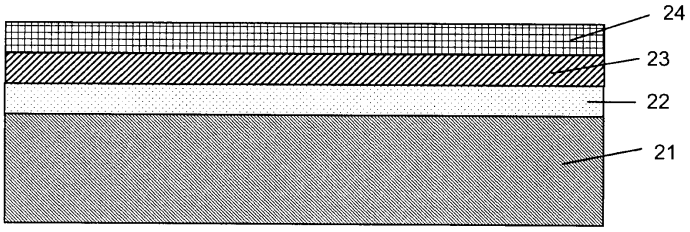
[0079] 본 발명에 따른 기판에서 지지 물질과 아연 산화물 층 사이에 중간층의 개입은 결론적으로 질화 갈륨 층의 결정질 특성을 향상시키고 그의 전자 전도도를 향상시키는 것을 가능하게 한다. 이 결과 이러한 기판을 사용하는 발광 다이오드의 발광 강도 및 수명이 증가한다.

## 도면

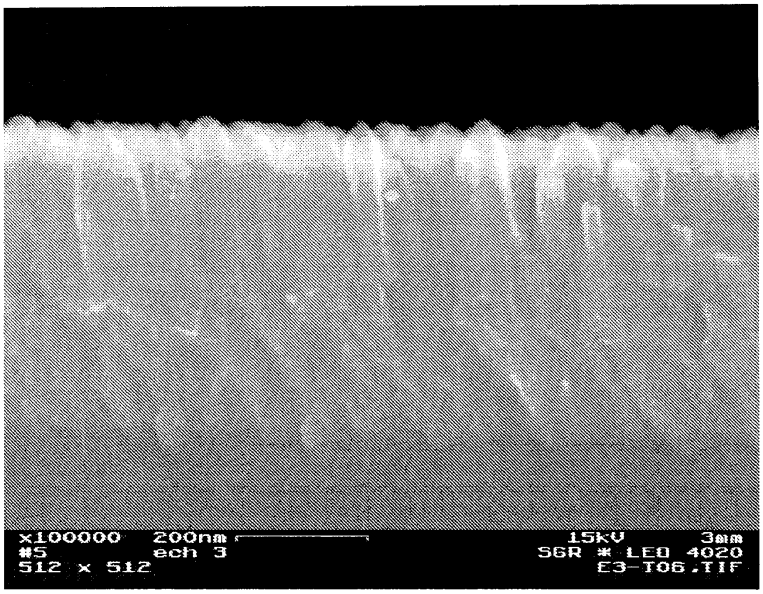
### 도면1



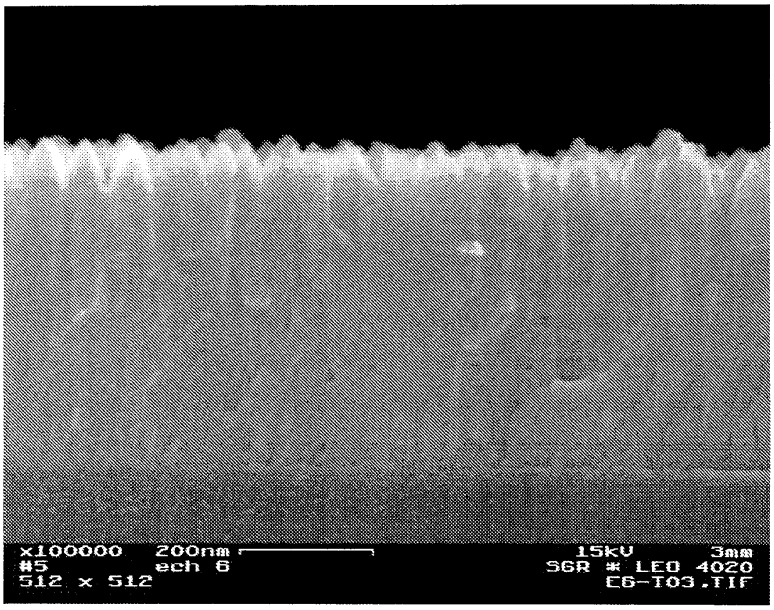
도면2


24
23
22
21

도면3


x100000 200nm 15kV 3mm
#5 ech 3 S6R * LEO 4020
512 x 512 E3-T06.TIF

도면4


x100000 200nm 15kV 3mm
#5 ech 6 S6R * LEO 4020
512 x 512 E6-T03.TIF