



(12) 发明专利

(10) 授权公告号 CN 102844474 B

(45) 授权公告日 2015. 11. 25

(21) 申请号 201180018417. 5

C30B 25/20(2006. 01)

(22) 申请日 2011. 05. 10

H01L 21/205(2006. 01)

(30) 优先权数据

2010-109105 2010. 05. 11 JP

(56) 对比文件

CN 101599428 A , 2009. 12. 09, 全文 .

CN 1237272A A , 1999. 12. 01, 全文 .

(85) PCT国际申请进入国家阶段日

2012. 10. 10

CN 1260776 C , 2006. 06. 21, 参见对比文件 2 说明书第 4 段 .

(86) PCT国际申请的申请数据

PCT/JP2011/061124 2011. 05. 10

CN 1324168 C , 2007. 07. 04, 全文 .

CN 1643188 A , 2005. 07. 20, 全文 .

(87) PCT国际申请的公布数据

W02011/142470 JA 2011. 11. 17

JP 2002-329670 A , 2002. 11. 15, 参见对比文件 1 权利要求 1-3, 说明书第 30-33 段, 第 36-41 段, 附图 1-2, 图 9.

(73) 专利权人 新日铁住金株式会社

地址 日本东京

JP 特开 2003-264154 A , 2003. 09. 19, 全文 .

(72) 发明人 蓝乡崇 栢植弘志 星野泰三

藤本辰雄 胜野正和 中林正史

矢代弘克

JP 特开 2009-256138 A , 2009. 11. 05, 全文 .

审查员 程愉悫

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 吴倩 张楠

(51) Int. Cl.

C30B 29/36(2006. 01)

C23C 16/42(2006. 01)

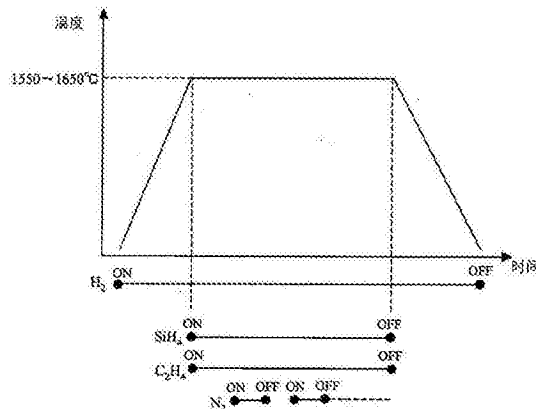
权利要求书1页 说明书9页 附图5页

(54) 发明名称

外延碳化硅单晶基板及其制造方法

(57) 摘要

本发明提供一种在偏离角度为 1° ~6° 的碳化硅单晶基板上具有掺杂密度的面内均匀性优良的碳化硅外延膜的外延碳化硅单晶基板。外延膜通过使 0.5 μm 以下的掺杂层和 0.1 μm 以下的无掺杂层重复而生长。通过将材料气体中的碳原子数相对于硅原子数的比(C/Si 比)规定为 1.5~2.0 而形成掺杂层,通过将 C/Si 比规定为 0.5 以上且低于 1.5 而形成无掺杂层。由此提供一种在偏离角度小的碳化硅单晶基板上具有高品质且掺杂密度的面内均匀性优良的碳化硅外延膜的外延碳化硅单晶基板。



CN 102844474 B

1. 一种外延碳化硅单晶基板,其特征在于,其是在偏离角度为 $1^{\circ} \sim 6^{\circ}$ 的碳化硅单晶基板上具有通过化学气相沉积法形成的碳化硅外延膜的外延碳化硅单晶基板,

其中,该外延膜通过将一边添加杂质元素一边形成的厚度为 $0.5 \mu\text{m}$ 以下的掺杂层和不添加杂质元素而形成的厚度为 $0.1 \mu\text{m}$ 以下的无掺杂层交替层叠,分别具有2层以上的掺杂层及无掺杂层,

所述掺杂层通过将外延膜的材料气体中所含的碳和硅的原子数比C/Si规定为 $1.5 \sim 2.0$ 而形成,而且,所述无掺杂层通过将外延膜的材料气体中所含的碳和硅的原子数比C/Si规定为 0.5 以上且低于 1.5 而形成,

所述掺杂层的掺杂原子数密度为 $1 \times 10^{15} \text{cm}^{-3} \sim 1 \times 10^{17} \text{cm}^{-3}$ 。

2. 根据权利要求1所述的外延碳化硅单晶基板,其特征在于,将所述掺杂层与所述无掺杂层分别层叠20次以上。

3. 根据权利要求1或2所述的外延碳化硅单晶基板,其特征在于,所述掺杂层的厚度大于所述无掺杂层的厚度。

4. 一种外延碳化硅单晶基板的制造方法,其特征在于,其是通过在偏离角度为 $1^{\circ} \sim 6^{\circ}$ 的碳化硅单晶基板上通过化学气相沉积法形成碳化硅外延膜,从而制造外延碳化硅单晶基板的方法,

其中,通过使一边添加杂质元素一边形成的厚度为 $0.5 \mu\text{m}$ 以下的掺杂层和不添加杂质元素而形成的厚度为 $0.1 \mu\text{m}$ 以下的无掺杂层交替生长,且按照分别具有2层以上的掺杂层及无掺杂层的方式形成碳化硅外延膜,

所述掺杂层通过将外延膜的材料气体中所含的碳和硅的原子数比C/Si规定为 $1.5 \sim 2.0$ 而形成,所述掺杂层的掺杂原子数密度为 $1 \times 10^{15} \text{cm}^{-3} \sim 1 \times 10^{17} \text{cm}^{-3}$,

所述无掺杂层通过将外延膜的材料气体中所含的碳和硅的原子数比C/Si规定为 0.5 以上且低于 1.5 而形成。

外延碳化硅单晶基板及其制造方法

技术领域

[0001] 本发明涉及外延碳化硅(SiC)单晶基板及其制造方法。

背景技术

[0002] 碳化硅(SiC)由于耐热性及机械强度优良,在物理化学方面稳定而作为耐环境性半导体材料引人注目。此外,近年来,作为高频高耐压电子器件等的基板对 SiC 单晶基板的需求高涨。

[0003] 在采用 SiC 单晶基板制作电力器件、高频器件等时,通常,一般采用称为热 CVD 法(热化学蒸镀法)的方法在基板上外延生长 SiC 薄膜,或通过离子注入法直接打入掺杂剂。为后者即离子注入法的情况时,需要在注入后进行高温下的退火,因此多通过外延生长形成薄膜。

[0004] 在外延膜上形成器件时,为了稳定地制造如设计的器件,外延膜的膜厚及掺杂密度、特别是掺杂密度的晶片面内均匀性是重要的。近年来,随着晶片的大口径化的发展,器件的面积也增大。从如此的观点出发,为了提高器件成品率,掺杂密度的均匀性更重要。在目前主流的 3 及 4 英寸晶片上的 SiC 外延膜中,掺杂密度面内均匀性如果用标准偏差 / 平均值(σ / mean)表示为 5 ~ 10%,但在上述的大口径晶片的情况下,需要使此值在 5% 以下。

[0005] 另一方面,在基板的口径为 3 英寸以上时,从降低基底面位错等缺陷密度,以及提高由 SiC 锭制得的基板的收率等观点出发,作为基板的偏离角度,采用以往的从 8° 到大约 4° 乃至其以下。在具有如此小的偏离角度的基板上的外延生长时,生长时流动的材料气体中的碳原子数相对于硅原子数的比(C/Si 比)一般比以往低。这是因为随着偏离角度减小,表面的台阶(step)数减少,难以产生台阶流动(step-flow)生长,有台阶积累(stepbunching)或外延缺陷容易增加的倾向,因而要抑制上述倾向。但是,如果降低上述 C/Si 比,则所谓位点竞争(site-competition)变得显著,外延生长时,氮原子这样的杂质从大气的进入增大。进入的氮原子在 SiC 中成为给体,因供给电子,载流子密度上升。另一方面,在生长气氛中,因残留氮存在,即使是不添加杂质元素而形成的无掺杂层也产生位点竞争(site-competition),因此通过降低 C/Si 比而生长的无掺杂层的残留载流子密度比以往的 C/Si 比时更高。关于此点,以下采用图 1 进行说明。

[0006] 在以往那样的偏离角度(8°)的基板的情况下,使 C/Si 比在 X 附近进行生长,如果将此时的无掺杂层的残留载流子密度设定为 N_x ,则以在大约 4° 乃至其以下的偏离角度的基板上生长时所需的低 C/Si 比 Y (通常 1.0 左右)生长时的无掺杂层的残留载流子密度为 N_y (通常为 $0.8 \sim 1 \times 10^{15} \text{cm}^{-3}$ 左右)。另一方面,器件工作所需的载流子水平 N_c 例如为 $1 \sim 5 \times 10^{15} \text{cm}^{-3}$,这大致为 N_y 的范围,因此在 C/Si 比为 Y 时,能在不进行掺杂的状态下,得到已经具有接近器件工作所需的掺杂值的层。所以,为了通过有意导入掺杂气体即氮,且将该层的载流子水平控制在器件工作所需的值,应控制的掺杂量小,而与 8° 偏离基板时相比,难以得到掺杂密度的均匀性。另外,严格地讲,在晶片上的所有部分上 C/Si 比不固定,因此 C/Si 比比 Y 小的情况局部发生,在此种情况下,由图 1 得知,残留载流子密度变得大于 N_c 。

[0007] 图 2a 中示出在 C/Si 比为 Y 的部分进行掺杂时的掺杂密度分布图,图 2b 中示出在相同晶片内在 C/Si 比小于 Y 的部分(0.8 ~ 0.9 左右)进行掺杂时的掺杂密度分布图。如果将 N_{B1} 和 N_{B2} 作为在各自的部分的残留载流子密度,则通常 N_{B1} 为 $0.8 \sim 1 \times 10^{15} \text{cm}^{-3}$ 左右, N_{B2} 为 $1 \sim 3 \times 10^{15} \text{cm}^{-3}$ 左右,因此为 $N_{B1} < N_{B2} \approx N_c$ 。在晶片内的图 2a 的部分中,在为了得到 N_c 进行了掺杂时, $N_c - N_{B1}$ 为掺杂量,因此在图 2b 的部分,必然 $N_c - N_{B1} + N_{B2}$ 为掺杂值。所以, $N_{B2} - N_{B1}$ 为在图 2a 和图 2b 的部分的掺杂偏差,这可成为比 N_c 的 10% 左右更大的值。之所以产生如此的现象,是因为在 4° 乃至其以下的偏离角度的基板上的生长所需的 C/Si 比 Y 附近,图 1 中的曲线的斜率增大,也就是说在 Y 附近即使是 C/Si 比的微小的偏差, $N_{B2} - N_{B1}$ 的值也增大,使掺杂密度的面内分布均匀性大大降低。

[0008] 所以,虽是今后可期待在器件中应用的 SiC 外延生长基板,但是如果将基板的偏离角度规定为以往的从 8° 到大约 4° 乃至其以下,则因必须降低 C/Si 比而进行生长,使掺杂密度的晶片面内均匀性劣化,在器件应用上存在问题。

[0009] 可是,作为在偏离角度为 4° 以下的 SiC 单晶基板上形成高品质的外延膜的方法,本发明人等提出了通过将外延膜的材料气体中所含的碳和硅的原子数比(C/Si) 规定为 0.5 以上且低于 1.0 而生长的层(缺陷降低层)和通过将 C/Si 规定为 1.0~1.5 而生长的层(活性层)的形成方法(参照专利文献 1)。可是,该方法的目的是得到三角形的外延缺陷或表面粗糙少的外延膜,关于晶片面内的外延膜的掺杂密度,没有对确保均匀性的直接的手段进行教示的记载。

[0010] 现有技术文献

[0011] 专利文献

[0012] 专利文献 1 :日本特开 2009-256138 号公报

发明内容

[0013] 发明所要解决的问题

[0014] 本发明的目的在于,提供一种在采用偏离角度为 $1^\circ \sim 6^\circ$ 的基板的外延生长中,即使在降低碳和硅的原子数比(C/Si)时,通过抑制偏差,也具有掺杂密度的晶片面内均匀性优良的高品质外延膜的外延 SiC 单晶基板及其制造方法。

[0015] 用于解决问题的手段

[0016] 本发明人等发现:在外延生长时,将不添加杂质元素而形成的无掺杂层和一边添加杂质元素一边形成的掺杂层分别层叠多层,而且使该无掺杂层及掺杂层生长时的 C/Si 比和它们的厚度变化,对于解决上述问题是非常有效的。

[0017] 本发明是基于上述见识而完成的。更详细地讲,本发明的外延碳化硅单晶基板是在偏离角度(off angle)为 $1^\circ \sim 6^\circ$ 的碳化硅单晶基板上具有通过化学气相沉积法形成的碳化硅外延膜的外延碳化硅单晶基板,其特征在于,该外延膜通过将一边添加杂质元素一边形成的厚度为 $0.5 \mu\text{m}$ 以下的掺杂层和不添加杂质元素而形成的厚度为 $0.1 \mu\text{m}$ 以下的无掺杂层交替层叠,分别具有 2 层以上的掺杂层及无掺杂层。

[0018] 本发明例如包含以下方式。

[0019] (1) 一种外延碳化硅单晶基板,其特征在于,其是在偏离角度为 $1^\circ \sim 6^\circ$ 的碳化硅单晶基板上具有通过化学气相沉积法形成的碳化硅外延膜的外延碳化硅单晶基板,

[0020] 其中,该外延膜通过将一边添加杂质元素一边形成的厚度为 $0.5\ \mu\text{m}$ 以下的掺杂层和不添加杂质元素而形成的厚度为 $0.1\ \mu\text{m}$ 以下的无掺杂层交替层叠,分别具有 2 层以上的掺杂层及无掺杂层。

[0021] (2) 根据上述(1)所述的外延碳化硅单晶基板,其特征在于,所述掺杂层通过将外延膜的材料气体中所含的碳和硅的原子数比 C/Si 规定为 $1.5\sim 2.0$ 而形成,而且,所述无掺杂层通过将外延膜的材料气体中所含的碳和硅的原子数比 C/Si 规定为 0.5 以上且低于 1.5 而形成。

[0022] (3) 根据上述(1)或(2)所述的外延碳化硅单晶基板,其特征在于,所述掺杂层的厚度大于所述无掺杂层的厚度。

[0023] (4) 根据上述(1)~(3)中任一项所述的外延碳化硅单晶基板,其特征在于,所述掺杂层的掺杂原子数密度为 $1\times 10^{15}\text{cm}^{-3}$ 以上。

[0024] (5) 一种外延碳化硅单晶基板的制造方法,其特征在于,其是通过在偏离角度为 $1^\circ\sim 6^\circ$ 的碳化硅单晶基板上通过化学气相沉积法形成碳化硅外延膜,从而制造外延碳化硅单晶基板的方法,

[0025] 其中,通过使一边添加杂质元素一边形成的厚度为 $0.5\ \mu\text{m}$ 以下的掺杂层和不添加杂质元素而形成的厚度为 $0.1\ \mu\text{m}$ 以下的无掺杂层交替生长,且按照分别具有 2 层以上的掺杂层及无掺杂层的方式形成碳化硅外延膜,

[0026] 所述掺杂层通过将外延膜的材料气体中所含的碳和硅的原子数比 C/Si 规定为 $1.5\sim 2.0$ 而形成,

[0027] 所述无掺杂层通过将外延膜的材料气体中所含的碳和硅的原子数比 C/Si 规定为 0.5 以上且低于 1.5 而形成。

[0028] 发明效果

[0029] 根据本发明,可提供在偏离角度为 $1^\circ\sim 6^\circ$ 的基板上形成的外延膜中,掺杂密度的晶片面内均匀性优良的、高品质的外延 SiC 单晶基板。

[0030] 此外,本发明的制造方法因采用 CVD 法(Chemical Vapor Deposition:化学气相沉积法),装置构成容易且控制性也优良,可得到均匀性、再现性高的外延膜。

[0031] 另外,采用本发明的外延 SiC 单晶基板的器件由于形成在掺杂密度的晶片面内均匀性优良的高品质外延膜上,因此其特性及成品率提高。

附图说明

[0032] 图 1 是表示 C/Si 比与残留载流子密度的关系的图。

[0033] 图 2a 是表示在残留载流子密度低于器件工作所需的载流子水平的部分进行掺杂时的掺杂密度分布图的一个例子的图。

[0034] 图 2b 是表示在残留载流子密度与器件工作所需的载流子水平大致同等的部分进行掺杂时的掺杂密度分布图的一个例子的图。

[0035] 图 3 是表示进行以往的外延生长时的典型的生长顺序的一个例子的图。

[0036] 图 4 是表示进行以往的外延生长时的 C/Si 比和 N_2 气体流量的变化的图。

[0037] 图 5 是表示通过本发明的一种方法进行外延生长时的生长顺序的一个例子的图。

[0038] 图 6 是表示通过本发明的一种方法进行外延生长时的 C/Si 比和 N_2 气体流量的变

化的一个例子的图。

[0039] 图 7a 是表示在与图 2a 同样的位置通过本发明的一种方法进行掺杂时的掺杂密度分布图的一个例子的图。

[0040] 图 7b 是表示在与图 2b 同样的位置通过本发明的一种方法进行掺杂时的掺杂密度分布图的一个例子的图。

[0041] 图 8 是表示通过本发明的一种方法进行外延生长的膜的表面状态的一个例子的光学显微镜照片。

[0042] 图 9 是表示通过本发明的一种方法进行外延生长的膜的表面-背面间的电流值分布的一个例子的图。

具体实施方式

[0043] 以下,对本发明的具体的内容进行描述。

[0044] 首先,对在 SiC 单晶基板上的外延生长进行描述。

[0045] 本发明中适合在外延生长中使用的装置为横式的 CVD 装置。CVD 法装置结构简单,能够通过气体的开/闭(on/off)控制生长,因而是外延膜的控制性、再现性优良的生长方法。

[0046] 图 3 将以往进行外延膜生长时的典型的生长顺序的 1 方式与气体的导入时机一并示出。首先,将基板放置在生长炉中,在将生长炉内真空排气后,导入氢气,将压力优选调整到 $1 \times 10^4 \sim 3 \times 10^4 \text{ Pa}$ 。然后,在将压力保持为恒定的同时提高生长炉的温度,在达到优选生长温度即 $1550 \sim 1650^\circ\text{C}$ 后,导入材料气体(例如 SiH_4 和 C_2H_4 及掺杂气体即 N_2) 开始生长。 SiH_4 流量优选为每分钟 $40 \sim 50 \text{ cm}^3$, C_2H_4 流量优选为每分钟 $20 \sim 40 \text{ cm}^3$, 生长速度优选为每小时 $6 \sim 7 \mu\text{m}$ 。

[0047] 关于上述优选的生长速度,由于通常利用的外延层的膜厚为 $10 \mu\text{m}$ 左右,因此是考虑到生产率而决定的。

[0048] 在生长一定时间、得到所希望的膜厚的时刻,停止导入材料气体(即上述的 SiH_4 、 C_2H_4 及 N_2),在只有氢气流动的状态下降低温度。

[0049] 在温度下降到常温后,停止氢气的导入,将生长室内进行真空排气,将不活泼气体导入生长室,在将生长室返回到大气压后,取出基板。

[0050] 图 4 中示出按该以往方式进行生长时的 C/Si 比和 N_2 气体流量的变化的优选的一个例子。在该图 4 所示的方式中,从生长开始到结束,C/Si 比和 N_2 气体流量没有变化,为恒定。

[0051] 接着,按图 5 的生长顺序对本发明其它方式进行说明。直到放置 SiC 单晶基板、开始生长,均与图 3 的方式相同。生长开始后立即通过使 SiH_4 和 C_2H_4 的流量比按 C/Si 比计优选低于 1.5 的方式,使无掺杂层生长 $0.1 \mu\text{m}$ 左右。然后通过使 SiH_4 和 C_2H_4 的流量比按 C/Si 比计优选达到 1.5 以上的方式,优选生长 $0.2 \mu\text{m}$ 左右,但此时通过导入掺杂气体即氮形成掺杂层。

[0052] 然后,在通过使无掺杂层和掺杂层重复生长,得到了所希望的膜厚的时刻,停止 SiH_4 、 C_2H_4 及 N_2 的导入。其后的步骤与图 3 时相同。

[0053] 图 6 中示出该图 5 的方式中的 C/Si 比和 N_2 气体流量的变化的一个例子。如此,

通过以低的 C/Si 比使无掺杂层生长,以高的 C/Si 比使掺杂层生长,能在难以产生位点竞争 (site-competition) 的状态下进行掺杂,因此可进行控制性优良的掺杂。另外,在本发明中,由于整体地减薄无掺杂层的厚度,因此还可抑制上述的掺杂密度的面内不均匀性。关于此点,采用图 7,通过下述中列举一个例子进行说明。

[0054] 图 7a 是在与图 2a 同样的位置应用本发明进行掺杂时的掺杂分布图的一个例子,在得到了理想的掺杂分布图时,掺杂密度如虚线所示。也就是说,在一边导入掺杂气体即氮一边形成的掺杂层中,使 C/Si 比高于图 1 中的值 Y,在 1.5 以上,因此能以在不受残留载流子密度的影响的情况下得到 N_c 的方式进行掺杂。

[0055] 另一方面,在不导入掺杂气体即氮而形成的无掺杂层中, C/Si 比为图 1 中的值 Y (优选为 1.0 左右),因此可显示图 2a 的 N_{B1} 的残留载流子密度。可是,实际上,掺杂层与无掺杂层之间的掺杂密度变化是连续的,因此能形成实线所示的分布图。而且,认为有效的掺杂密度为 N_{C1} 左右。

[0056] 另一方面,图 7b 为与图 2b 同样的位置,与图 7a 同样地用虚线表示理想的掺杂分布图。在此种情况下, C/Si 比高于图 1 中的值 Y 的 (例如 C/Si 比为 1.5 以上的) 掺杂层的 N_c 的值不受残留杂质的影响,因此与图 7a 的 N_c 相同。在此种情况下, C/Si 比为小于图 1 中的值 Y 的值 (例如 0.8 ~ 0.9) 的无掺杂层的残留载流子密度因残留杂质密度高,而与图 2b 的 N_{B2} 相同。而且,认为有效的掺杂密度为 N_{C2} 左右。所以, N_{C1} 和 N_{C2} 的差减小,可改善掺杂密度的面内均匀性。

[0057] 根据本发明,在具有 $1^\circ \sim 6^\circ$ 的偏离角度的基板上的外延膜中,可得到掺杂的面内均匀性高的良好的外延膜,但以低的 C/Si 比生长的无掺杂层在具有小的偏离角度的基板上的生长中是必须的,因此如果过薄则有产生外延缺陷等、膜质劣化的可能性。此外,如果过厚则有对整体的掺杂密度的面内均匀性产生不良影响,而且在与基板垂直地使电流流动的目前的器件中发生电阻增高的问题的可能性。另一方面,对于以高的 C/Si 比生长的掺杂层,如果比无掺杂层薄,则有掺杂密度对面内均匀性的提高的贡献小的可能性,如果过厚,则有导致膜质的劣化的可能性。

[0058] 考虑到以上状况,发明人等进行了研究,结果判明:无掺杂层的厚度优选为 $0.1 \mu\text{m}$ 以下,更优选为 $0.05 \sim 0.1 \mu\text{m}$ 。掺杂层的厚度优选为 $0.5 \mu\text{m}$ 以下,更优选为 $0.2 \sim 0.5 \mu\text{m}$ 。此外,掺杂层相对于无掺杂层的厚度的比优选为 $2 \sim 10$ 左右。另外,掺杂层及无掺杂层分别具有 2 层以上,但无掺杂层和掺杂层的层叠次数多的一方,外延膜整体的掺杂密度的平均化进展,对于提高面内均匀性是有效果的。如果再考虑到实际所需的外延膜整体的厚度,无掺杂层和掺杂层的层叠次数优选分别多于 20 次左右,更优选分别为 $20 \sim 40$ 次左右。

[0059] 关于无掺杂层和掺杂层的层叠顺序,在 SiC 基板上开始生长时,由于是在具有小的偏离角度的基板上生长,因此低的 C/Si 比、即无掺杂层是必要的。另一方面,由于最表面是与器件的电极接触的部分,因此掺杂层是必要的。

[0060] 此外,关于生长无掺杂层时的 C/Si 比,考虑到低偏离角度基板上的生长,优选为 0.5 以上且低于 1.5。在 C/Si 比低于 0.5 时,有容易形成过剩的 Si 原子在基板表面凝结的称为 Si 小滴的缺陷的倾向。另一方面,如果 C/Si 比达到 1.5 以上,则有表面粗糙或外延缺陷增加的倾向。此时的 C/Si 比更优选为 $0.8 \sim 1.2$ 。

[0061] 一方面,如果生长掺杂层时的 C/Si 比过低,则有容易出现位点竞争(site-competition)的影响的倾向。另一方面,如果 C/Si 比过高,则有三角形缺陷等外延缺陷增加的倾向。因此,此时的 C/Si 比优选为 1.5~2.0,更优选为 1.5~1.8。另外,关于掺杂层的掺杂原子数密度,由图 7a、图 7b 得知,优选大于 N_{B1} 及 N_{B2} ,因此优选 $1 \times 10^{15} \text{cm}^{-3}$ 以上。如果掺杂原子数密度过高,则有产生表面粗糙的可能性,因此更优选为 $1 \times 10^{15} \text{cm}^{-3} \sim 1 \times 10^{17} \text{cm}^{-3}$ 。

[0062] 关于外延膜整体的厚度,在考虑到通常形成的器件的耐压、外延膜的生产率等时,优选为 $5 \mu\text{m} \sim 50 \mu\text{m}$ 。更优选为 $10 \sim 20 \mu\text{m}$ 。此外,之所以基板的偏离角度为 $1^\circ \sim 6^\circ$,是因为如果低于 1° 则有因偏离角度过小而不能充分发挥本发明的效果的可能性。另一方面,如果基板的偏离角度超过 6° ,则能够以 C/Si 比高的状态生长,即使不采用本发明也有提高面内均匀性的可能性。

[0063] 而且,根据本发明,当在 SiC 单晶基板上生长外延膜时,通过将无掺杂层和掺杂层分别层叠多层,并使生长该无掺杂层和掺杂层时的 C/Si 比及厚度变化,能够使掺杂密度的面内均匀性按 σ/mean 计在 5% 以下。但是在此种情况下,从图 7 得知,通过从通常的容量—电压测定得到的掺杂分布图不能够求出无掺杂层和掺杂层的层叠部分的掺杂密度的平均值,因此在外延膜的表面和基板背面形成欧姆电极,将电极间的电流值看作与掺杂密度等价,通过其面内均匀性进行评价。具体地讲,在背面整面上用 Ni 制作欧姆电极,在表面也制作 $200 \mu\text{m}$ 见方左右的 Ni 欧姆电极。对表面和背面的欧姆电极施加电压,测定例如施加 10V 时的电流值。

[0064] 关于在本发明中形成外延膜时添加的杂质元素,在上述方式中,主要以氮为例进行了说明,但除氮以外,也可以采用例如铝等作为杂质形成掺杂层。此外,关于外延膜的材料气体,在上述方式中,以 SiH_4 和 C_2H_4 为例进行了说明,当然也可以采用它们以外的硅源或碳源。

[0065] 作为适合形成在具有如此生长的外延膜的本发明的基板上的器件的例子,可列举出肖特基势垒二极管、PIN 二极管、MOS 二极管、MOS 晶体管等,特别是从有效利用 SiC 的低损失性的方面出发,电力控制用中采用的器件为适合本发明的基板的例子。此外,在如此的具有高掺杂层和低掺杂层的外延膜中,因各个层的晶格常数不同而在晶界发生应变,将来自基板的基底面位错变换成刃状位错的概率增加。因此,作为存在于如此生长的外延膜的表面的基底面位错密度,能够期待 20 个 $/\text{cm}^2$ 以下。另外,由于通过降低位错密度可提高膜的品质,因此可预想形成肖特基势垒二极管时的表示二极管性能的 n 值也可得到 1.01~1.03 左右。

[0066] 实施例

[0067] (实施例 1)

[0068] 从 3 英寸(76mm)晶片用的 SiC 单晶锭,以大约 $400 \mu\text{m}$ 的厚度进行切片,实施利用粗切削和金刚石磨粒的通常研磨,准备具有 4H 型的多晶型的 SiC 单晶基板。该基板为 n 型,电阻率大约为 $0.02 \Omega \cdot \text{cm}$ 。

[0069] 在该基板的 Si 面实施外延生长。基板的偏离角度为 4° 。生长的步骤如下所述。

[0070] 将基板放置在生长炉中,在将生长炉内进行真空排气后,一边以每分钟 150 L 导入氢气一边将压力调整到 $1.0 \times 10^4 \text{Pa}$ 。然后,一边将压力保持为恒定一边将生长炉的温度

升高到 1600°C, 将 SiH_4 流量调整到每分钟 40cm^3 , 将 C_2H_4 流量调整到每分钟 22cm^3 (C/Si 比 1.1), 开始无掺杂层的生长。

[0071] 在使无掺杂层生长 $0.1\ \mu\text{m}$ 后, 将 SiH_4 流量调整到每分钟 40cm^3 , 将 C_2H_4 流量调整到每分钟 30cm^3 (C/Si 比 1.5), 进而将掺杂气体即 N_2 流量调整到每分钟 30cm^3 (掺杂原子数密度 $1 \times 10^{16}\text{cm}^{-3}$), 使掺杂层生长 $0.2\ \mu\text{m}$ 。

[0072] 然后, 停止导入 N_2 , 再次使无掺杂层生长 $0.1\ \mu\text{m}$, 进而将 N_2 流量调整到每分钟 30cm^3 , 使掺杂层生长 $0.2\ \mu\text{m}$, 以后如此操作, 使无掺杂层和掺杂层分别合计生长 30 次, 最上层为掺杂层。

[0073] 图 8 中示出如此进行了外延生长的膜的光学显微镜照片。由图 8 得知: 得到了表面粗糙或缺陷少的良好的膜。如上所述, 在该外延膜上形成 Ni 的欧姆电极, 通过电流值评价了掺杂密度, 结果示于图 9。均匀性良好, 用 σ/mean 表示的面内均匀性为 4.5%。

[0074] (实施例 2)

[0075] 在与实施例 1 同样地进行了切片、粗切削、通常研磨的具有 4H 型的多晶型的 3 英寸 (76mm) 的 SiC 单晶基板的 Si 面上, 实施外延生长。基板的偏离角度为 4° 。该基板为 n 型, 电阻率为大约 $0.02\ \Omega \cdot \text{cm}$ 。

[0076] 直到生长开始之前的步骤、温度等与实施例 1 相同。本实施例中的生长的步骤如下所述。

[0077] 将 SiH_4 流量调整到每分钟 40cm^3 , 将 C_2H_4 流量调整到每分钟 22cm^3 (C/Si 比 1.1), 开始无掺杂层的生长。在使无掺杂层生长 $0.05\ \mu\text{m}$ 后, 将 SiH_4 流量调整到每分钟 40cm^3 , 将 C_2H_4 流量调整到每分钟 30cm^3 (C/Si 比 1.5), 进而将掺杂气体即 N_2 流量调整到每分钟 3cm^3 (掺杂原子数密度 $1 \times 10^{15}\text{cm}^{-3}$), 使掺杂层生长 $0.5\ \mu\text{m}$ 。

[0078] 然后, 停止导入 N_2 , 再次使无掺杂层生长 $0.05\ \mu\text{m}$, 进而将 N_2 流量调整到每分钟 3cm^3 , 使掺杂层生长 $0.5\ \mu\text{m}$, 以后如此操作, 使无掺杂层和掺杂层分别合计生长 20 次。如此进行了外延生长的膜为表面粗糙或缺陷少的良好的膜, 以电流值评价的面内均匀性的 σ/mean 为 3.5%。

[0079] (实施例 3)

[0080] 在与实施例 1 同样地进行了切片、粗切削、通常研磨的具有 4H 型的多晶型的 3 英寸 (76mm) 的 SiC 单晶基板的 Si 面上, 实施外延生长。基板的偏离角度为 4° 。该基板为 n 型, 电阻率为大约 $0.02\ \Omega \cdot \text{cm}$ 。

[0081] 直到生长开始之前的步骤、温度等与实施例 1 相同。本实施例中的生长的步骤如下所述。

[0082] 将 SiH_4 流量调整到每分钟 40cm^3 , 将 C_2H_4 流量调整到每分钟 10cm^3 (C/Si 比 0.5), 开始无掺杂层的生长。在使无掺杂层生长 $0.1\ \mu\text{m}$ 后, 将 SiH_4 流量调整到每分钟 40cm^3 , 将 C_2H_4 流量调整到每分钟 40cm^3 (C/Si 比 2.0), 进而将掺杂气体即 N_2 流量调整到每分钟 30cm^3 (掺杂原子数密度 $1 \times 10^{16}\text{cm}^{-3}$), 使掺杂层生长 $0.2\ \mu\text{m}$ 。

[0083] 然后, 停止导入 N_2 , 再次使无掺杂层生长 $0.1\ \mu\text{m}$, 进而将 N_2 流量调整到每分钟 30cm^3 , 使掺杂层生长 $0.2\ \mu\text{m}$ 。以后如此操作, 使无掺杂层和掺杂层分别合计生长 30 次。

[0084] 如此进行了外延生长的膜是表面粗糙或缺陷少的良好的膜, 以电流值评价的面内均匀性的 σ/mean 为 4.7%。

[0085] (实施例 4)

[0086] 在与实施例 1 同样地进行了切片、粗切削、通常研磨的具有 4H 型的多晶型的 3 英寸(76mm)的 SiC 单晶基板的 Si 面上,实施外延生长。基板的偏离角度为 4° 。该基板为 n 型,电阻率为大约 $0.02 \Omega \cdot \text{cm}$ 。

[0087] 直到生长开始之前的步骤、温度等与实施例 1 相同。本实施例中的生长的步骤如下所述。

[0088] 将 SiH_4 流量调整到每分钟 40cm^3 , 将 C_2H_4 流量调整到每分钟 10cm^3 (C/Si 比 0.5), 开始无掺杂层的生长。在使无掺杂层生长 $0.05 \mu\text{m}$ 后, 将 SiH_4 流量调整到每分钟 40cm^3 , 将 C_2H_4 流量调整到每分钟 40cm^3 (C/Si 比 2.0), 进而将掺杂气体即 N_2 流量调整到每分钟 300cm^3 (掺杂原子数密度 $1 \times 10^{17} \text{cm}^{-3}$), 使掺杂层生长 $0.5 \mu\text{m}$ 。

[0089] 然后, 停止导入 N_2 , 再次使无掺杂层生长 $0.05 \mu\text{m}$, 进而将 N_2 流量调整到每分钟 300cm^3 , 使掺杂层生长 $0.5 \mu\text{m}$ 。以下通过如此操作, 使无掺杂层和掺杂层分别合计生长 20 次。

[0090] 如此进行了外延生长的膜是表面粗糙或缺陷少的良好的膜, 以电流值评价的面内均匀性的 σ/mean 为 4.0%。

[0091] (实施例 5)

[0092] 在与实施例 1 同样地进行了切片、粗切削、通常研磨的具有 4H 型的多晶型的 3 英寸(76mm)的 SiC 单晶基板的 Si 面上, 实施外延生长。基板的偏离角度为 1° 。该基板为 n 型, 电阻率为大约 $0.02 \Omega \cdot \text{cm}$ 。

[0093] 直到生长开始之前的步骤、温度等与实施例 1 相同。本实施例中的生长的步骤如下所述。

[0094] 将 SiH_4 流量调整到每分钟 40cm^3 , 将 C_2H_4 流量调整到每分钟 10cm^3 (C/Si 比 0.5), 开始无掺杂层的生长。在使无掺杂层生长 $0.1 \mu\text{m}$ 后, 将 SiH_4 流量调整到每分钟 40cm^3 , 将 C_2H_4 流量调整到每分钟 30cm^3 (C/Si 比 1.5), 进而将掺杂气体即 N_2 流量调整到每分钟 30cm^3 (掺杂原子数密度 $1 \times 10^{16} \text{cm}^{-3}$), 使掺杂层生长 $0.2 \mu\text{m}$ 。

[0095] 然后, 停止导入 N_2 , 再次使无掺杂层生长 $0.1 \mu\text{m}$, 进而将 N_2 流量调整到每分钟 30cm^3 , 使掺杂层生长 $0.2 \mu\text{m}$ 。以后如此操作, 将无掺杂层和掺杂层分别合计生长 30 次。

[0096] 如此进行了外延生长的膜是表面粗糙或缺陷少的良好的膜, 以电流值评价的面内均匀性的 σ/mean 为 4.8%。

[0097] (实施例 6)

[0098] 在与实施例 1 同样地进行了切片、粗切削、通常研磨的具有 4H 型的多晶型的 3 英寸(76mm)的 SiC 单晶基板的 Si 面上, 实施外延生长。基板的偏离角度为 6° 。该基板为 n 型, 电阻率为大约 $0.02 \Omega \cdot \text{cm}$ 。

[0099] 直到生长开始之前的步骤、温度等与实施例 1 相同。本实施例中的生长的步骤如下所述。

[0100] 将 SiH_4 流量调整到每分钟 40cm^3 , 将 C_2H_4 流量调整到每分钟 22cm^3 (C/Si 比 1.1), 开始无掺杂层的生长。在使无掺杂层生长 $0.1 \mu\text{m}$ 后, 将 SiH_4 流量调整到每分钟 40cm^3 , 将 C_2H_4 流量调整到每分钟 30cm^3 (C/Si 比 1.5), 进而将掺杂气体即 N_2 流量调整到每分钟 30cm^3 (掺杂原子数密度 $1 \times 10^{16} \text{cm}^{-3}$), 使掺杂层生长 $0.2 \mu\text{m}$ 。

[0101] 然后,停止导入 N_2 ,再次使无掺杂层生长 $0.1 \mu m$,进而将 N_2 流量调整到每分钟 $30cm^3$,使掺杂层生长 $0.2 \mu m$ 。以后如此操作,将无掺杂层和掺杂层分别合计生长 30 次。

[0102] 如此进行了外延生长的膜是表面粗糙或缺陷少的良好的膜,以电流值评价的面内均匀性的 σ / mean 为 4.2%。

[0103] (比较例 1)

[0104] 作为比较例,在与实施例 1 同样地进行了切片、粗切削、通常研磨的具有 4H 型的多晶型的 3 英寸(76mm)的 SiC 单晶基板的 Si 面,实施外延生长。基板的偏离角度为 4° 。

[0105] 直到生长开始之前的步骤、温度等与实施例 1 相同,但关于生长,将 SiH_4 流量调整到每分钟 $40cm^3$,将 C_2H_4 流量调整到每分钟 $22cm^3$ (C/Si 比 1.1),进而将掺杂气体即 N_2 流量调整到 $1cm^3$ (掺杂原子数密度 $1 \times 10^{16}cm^{-3}$),使掺杂层生长 $10 \mu m$ 。

[0106] 如此进行了外延生长的膜为表面粗糙或缺陷少的良好的膜,但用电流值评价的面内均匀性的 σ / mean 为 15%。

[0107] 产业上的可利用性

[0108] 根据本发明,在 SiC 单晶基板上的外延生长中,可制作具有掺杂密度的面内均匀性优良的高品质外延膜的外延 SiC 单晶基板。因此,如果在如此的基板上形成电子器件,则能够期待器件的特性及成品率的提高。在本实施例中,采用 SiH_4 及 C_2H_4 作为材料气体,但在采用三氯硅烷作为 Si 源、采用 C_3H_8 等作为 C 源时也同样。

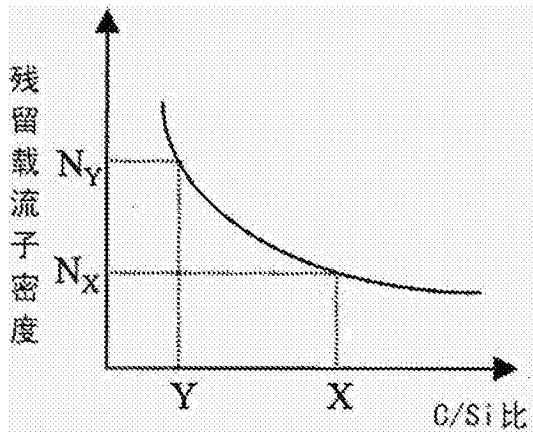


图 1

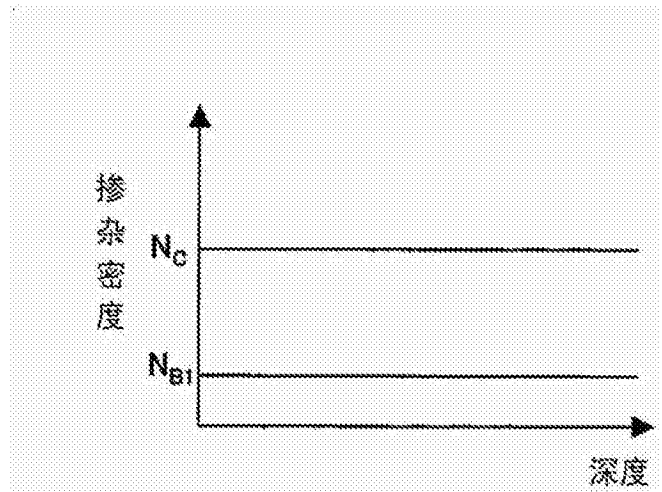


图 2a

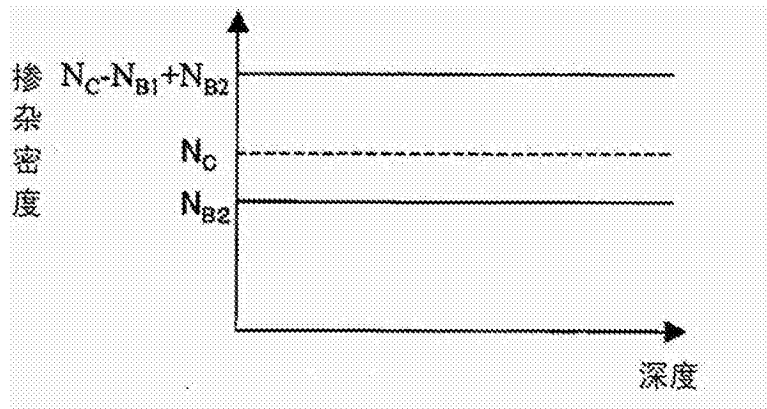


图 2b

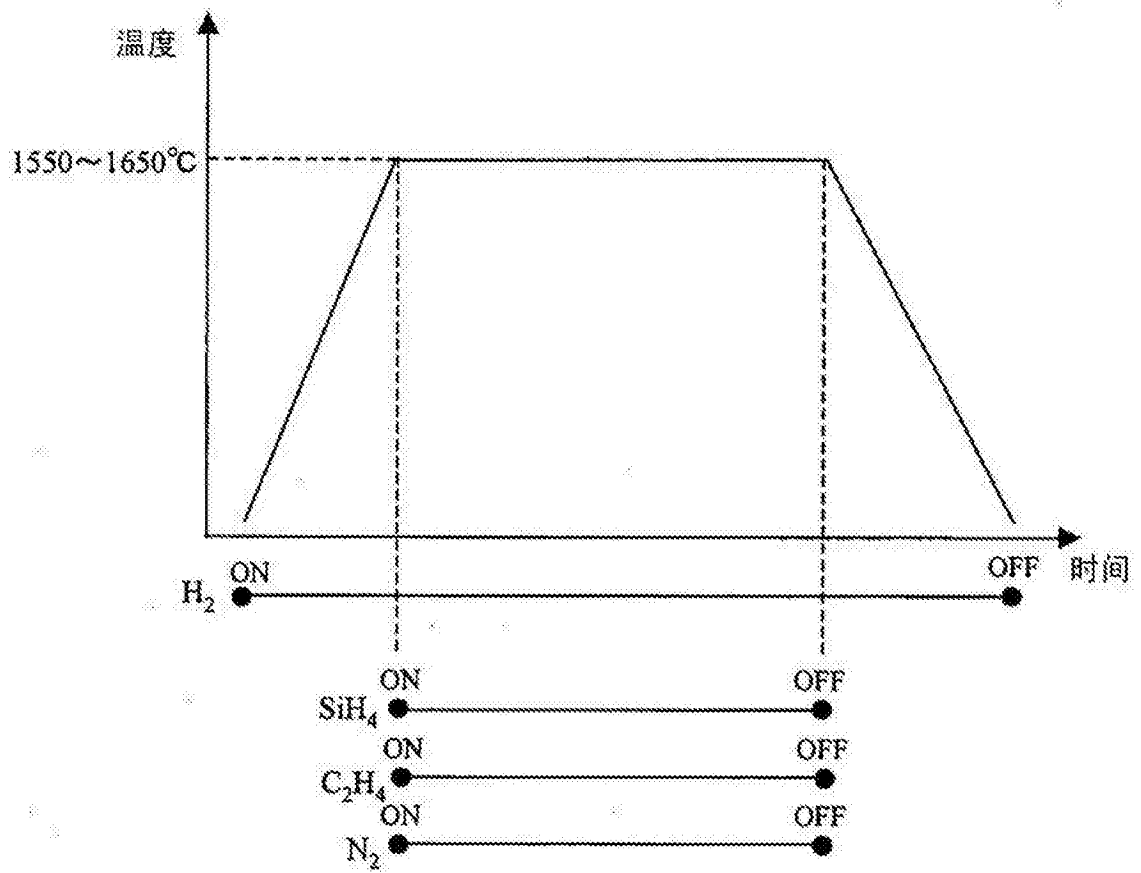


图 3

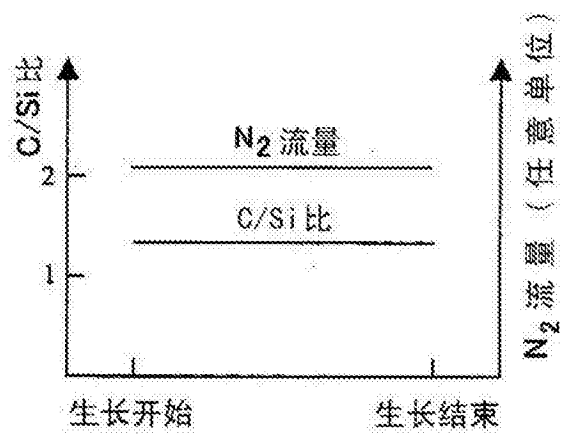


图 4

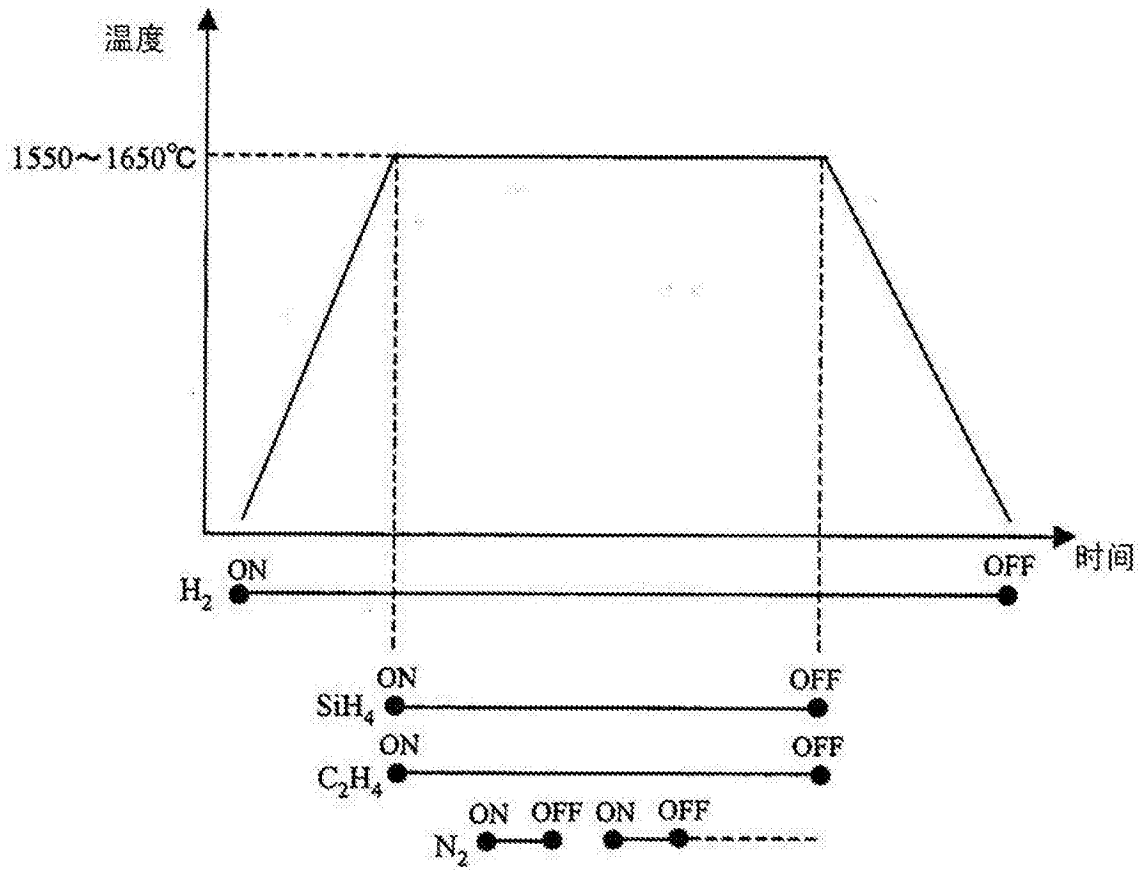


图 5

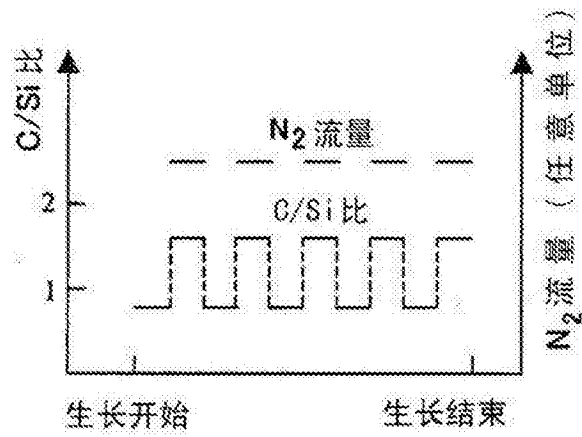


图 6

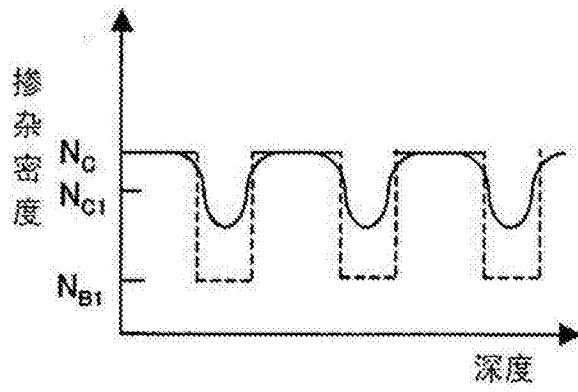


图 7a

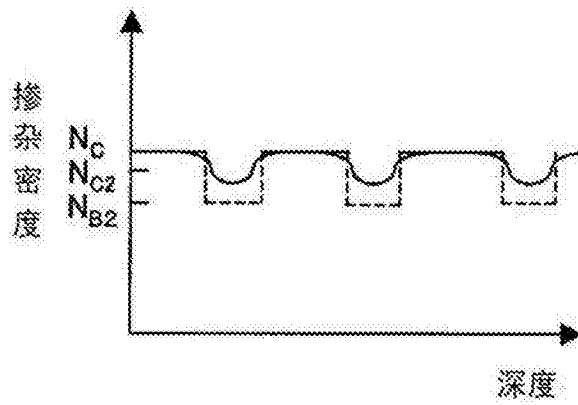


图 7b

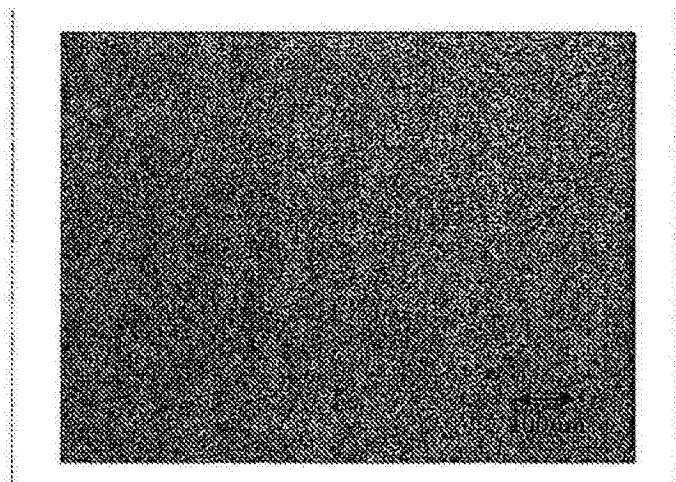


图 8

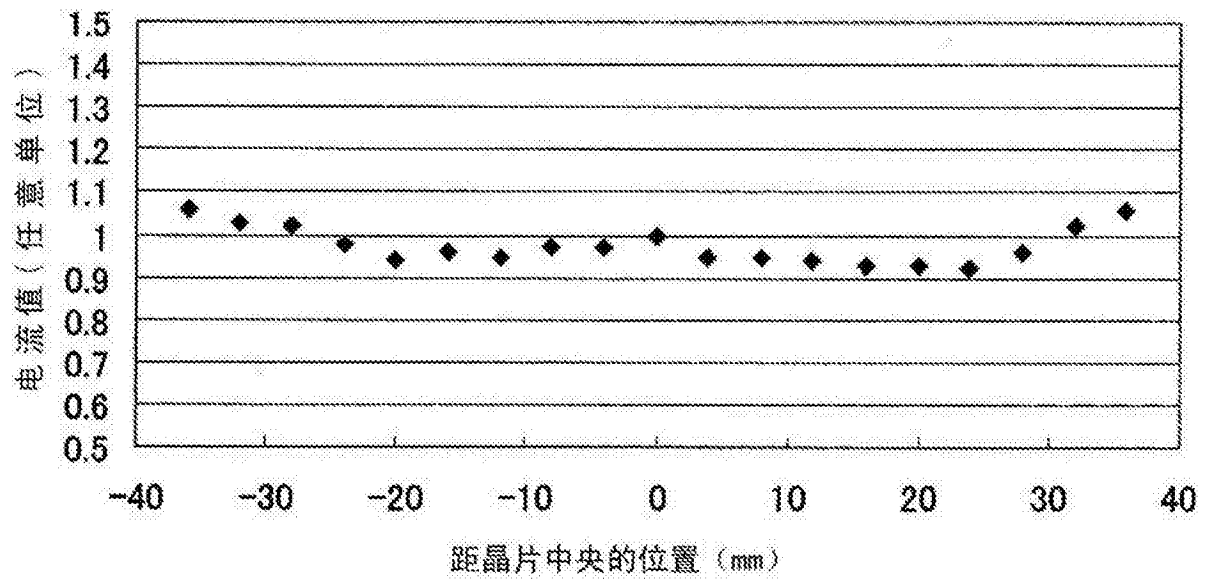


图 9