



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년02월24일
(11) 등록번호 10-0885221
(24) 등록일자 2009년02월17일

(51) Int. Cl.

H04N 5/46 (2006.01)

(21) 출원번호 10-2004-7006262

(22) 출원일자 2004년04월27일

심사청구일자 2007년10월01일

번역문제출일자 2004년04월27일

(65) 공개번호 10-2005-0037490

(43) 공개일자 2005년04월22일

(86) 국제출원번호 PCT/FR2002/003560

국제출원일자 2002년10월17일

(87) 국제공개번호 WO 2003/039139

국제공개일자 2003년05월08일

(30) 우선권주장

01/14252 2001년10월30일 프랑스(FR)

(56) 선행기술조사문헌

JP11027102 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

툼슨 라이센싱

프랑스 세데 볼로뉴 께아 르 갈로 46

(72) 발명자

가랑-도우, 필립

프랑스, 에프-78970트췌에르, 슈망드수르스, 35

(74) 대리인

김학수, 문경진

전체 청구항 수 : 총 8 항

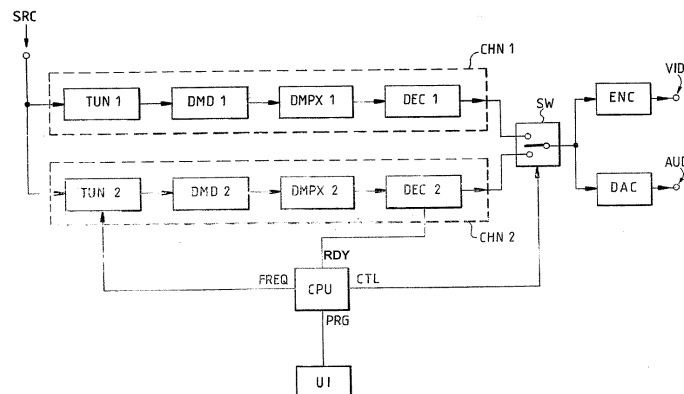
심사관 : 윤여민

(54) 비디오 신호를 수신하기 위한 디바이스 및 하나의 그러한디바이스를 제어하는 방법

(57) 요약

본 발명은, 제 1 디코딩 체인(CHN1)과, 제 2 디코딩 체인(CHN2)과, 비디오 인코더(ENC) 및 상기 제 1 디코딩 체인(CHN1) 또는 제 2 디코딩 체인(CHN2)을 상기 비디오 인코더(ENC)에 선택적으로 연결하는데 사용되는 선택 수단(SW)을 포함하는, 비디오 신호를 수신하기 위한 디바이스에 관한 것이다. 본 발명은 또한 하나의 이러한 디바이스를 제어하는 방법에 관한 것이다.

대표도



특허청구의 범위

청구항 1

비디오 신호를 수신하기 위한 디바이스로서,

- 제 1 디코딩 체인(CHN1)과;
- 제 2 디코딩 체인(CHN2)과;
- 비디오 인코더(ENC)와;
- 상기 제 1 디코딩 체인(CHN1) 또는 상기 제 2 디코딩 체인(CHN2)을 상기 비디오 인코더(ENC)로 선택적으로 연결하기 위한 선택 수단(SW)과,
- 상태 큐(state cue)(RDY)를 생성하는, 상기 제 1 및 제 2 디코딩 체인 (CHN1, CHN2) 중 적어도 하나의 상태를 검출하는 검출 수단(CPU)과,
- 상기 상태 큐(RDY)의 함수로서 상기 선택 수단(SW)을 제어하는 제어 수단 (CPU, CTL)으로서, 상기 제어 수단 (CPU, CTL)은, 제 2 디코딩 체인(CHN2)이 비디오 스트림을 생성한다는 것을 검출 수단(CPU)의 상태 큐(RDY)가 나타낼 때, 제 2 디코딩 체인(CHN2)을 비디오 인코더(ENC)에 연결시키기 위해 선택 수단(SW)을 제어하는, 제어 수단(CPU, CTL)을

을 포함하는, 비디오 신호 수신 디바이스.

청구항 2

제 1항에 있어서, 상기 제어 수단(CPU)에 프로그램 큐(PRG)를 전송할 수 있는 유저 인터페이스(UI)를 포함하는, 비디오 신호 수신 디바이스.

청구항 3

제 1항 또는 제 2항에 있어서, 상기 제 1 및 제 2 디코딩 체인(CHN1, CHN2)은 디지털 비디오 스트림(digital video stream)을 각각 생성할 수 있는, 비디오 신호 수신 디바이스.

청구항 4

제 1항 또는 제 2항에 있어서, 상기 제 1 및 제 2 디코딩 체인(CHN1, CHN2)은 각각 비디오 디코더(DEC1, DEC 2)를 포함하는, 비디오 신호 수신 디바이스.

청구항 5

제 1항 또는 제 2항에 있어서, 상기 제 1 및 제 2 디코딩 체인(CHN1, CHN2) 중 적어도 하나는 디스크램블러(descrambler)를 포함하는, 비디오 신호 수신 디바이스.

청구항 6

- 제 1 디코딩 체인(CHN1)과;
- 제 2 디코딩 체인(CHN2)과;
- 비디오 인코더(ENC)와;
- 상기 제 1 디코딩 체인(CHN1) 또는 상기 제 2 디코딩 체인(CHN2)을 상기 비디오 인코더(ENC)로 선택적으로 연결하기 위한 선택 수단(SW)

을 포함하는, 비디오 신호를 수신하기 위한 디바이스를 제어하는 방법에 있어서,

- 상기 제 1 디코딩 체인(CHN1)을 상기 비디오 인코더(ENC)에 연결하기 위해 상기 선택 수단(SW)에 명령하는 단계와,
- 프로그램 큐(program cue)(PRG)를 포함하는 신호를 수신하는 단계와,

- 상기 프로그램 큐(PRG)에 의해 지정된 프로그램을 수신하기 위해 상기 제 2 디코딩 체인(CHN2)에 명령하는 단계와,
- 상기 제 2 디코딩 체인(CHN2)이 비디오 스트림을 생성하지 않는 한, 상기 제 1 디코딩 체인(CHN1)을 상기 비디오 인코더(ENC)에 연결하기 위해 상기 선택 수단 (SW)에 대한 명령을 유지하는 단계와,
- 상기 제 2 디코딩 체인(CHN2)이 비디오 스트림을 생성할 때 상기 제 2 디코딩 체인(CHN2)을 상기 비디오 인코더(ENC)로 연결하기 위해 상기 선택 수단(SW)에 명령하는 단계를 포함하는, 비디오 신호 수신 디바이스를 제어하는 방법.

청구항 7

제 1항에 기재된 비디오 신호를 수신하기 위한 디바이스를 제어하는 방법에 있어서,

- 상기 제 1 디코딩 체인(CHN1)을 상기 비디오 인코더(ENC)에 연결하기 위해 상기 선택 수단(SW)에 명령하는 단계와,
- 프로그램 큐(PRG)를 포함하는 신호를 수신하는 단계와,
- 상기 프로그램 큐(PRG)에 의해 지정된 프로그램을 수신하기 위해 상기 제 2 디코딩 체인(CHN2)에 명령하는 단계와,
- 상기 제 2 디코딩 체인(CHN2)이 비디오 스트림을 생성하지 않는다는 것을 상기 검출 수단(CPU)의 상태 큐(RDY)가 지시하는 한, 상기 제 1 디코딩 체인(CHN1)을 상기 비디오 인코더(ENC)에 연결하기 위해 상기 선택 수단(SW)에 대한 명령을 유지하는 단계와,
- 상기 제 2 디코딩 체인(CHN2)이 비디오 스트림을 생성하는 것을 상기 검출 수단(CPU)의 상태 큐(RDY)가 지시할 때, 상기 제 2 디코딩 체인(CHN2)을 상기 비디오 인코더(ENC)로 연결하기 위해 상기 선택 수단(SW)을 제어하는 단계를 포함하는, 비디오 신호 수신 디바이스를 제어하는 방법.

청구항 8

제 2항에 기재된 비디오 신호를 수신하기 위한 디바이스를 제어하는 방법에 있어서,

- 상기 제 1 디코딩 체인(CHN1)을 상기 비디오 인코더(ENC)에 연결하기 위해 상기 선택 수단(SW)에 명령하는 단계와,
- 유저 인터페이스(UI)로부터 상기 프로그램 큐(PRG)를 수신하는 단계와,
- 상기 프로그램 큐(PRG)에 의해 지정된 프로그램을 수신하기 위해 상기 제 2 디코딩 체인(CHN2)에 명령하는 단계와,
- 상기 제 2 디코딩 체인(CHN2)이 비디오 스트림을 생성하지 않는다는 것을 상기 검출 수단(CPU)의 상태 큐(RDY)가 지시하는 한, 상기 제 1 디코딩 체인(CHN1)을 상기 비디오 인코더(ENC)에 연결하기 위해 상기 선택 수단(SW)에 대한 명령을 유지하는 단계와,
- 상기 제 2 디코딩 체인(CHN2)이 비디오 스트림을 생성한다는 것을 상기 검출 수단(CPU)의 상태 큐(RDY)가 지시할 때, 상기 제 2 디코딩 체인(CHN2)을 상기 비디오 인코더(ENC)로 연결하기 위해 상기 선택 수단(SW)을 제어하는 단계를 포함하는, 비디오 신호 수신 디바이스를 제어하는 방법.

청구항 9

삭제

명세서

기술분야

<1> 본 발명은 비디오 신호를 수신하기 위한 디바이스 및 이러한 디바이스를 제어하는 방법에 관한 것이다.

배경 기술

- <2> 무선을 통해 또는 케이블을 통하는 것에 관계없이 그 전송을 보장하기 위해, 비디오 신호는 관련된 프로그램에 의존하는 주어진 주파수의 반송파(carrier)로 일반적으로 변조된다. 그후 이 비디오 신호는, 프론터 엔드(front end)라고도 불리우는 튜너/복조기 조립체에 의해 기저 대역(baseband)으로 되돌아간다. 그후 사용되는 신호의 타입의 함수로서 추가 회로에 의해 수신된 신호에 대해 여러 처리 동작이 수행될 수 있다.
- <3> 유저의 요청시에 하나의 프로그램으로부터 다른 프로그램으로 빨리 변경될 때{호핑(hopping)할 때}, 튜너는 새로운 반송파 주파수로 스스로 정렬하며, 이에 의해 새로운 신호의 수신을 수행하며, 추가 회로에 의해 가능한 처리를 수행한다. 실제로, 이들 동작은 순간적이지 않으며 유저의 명령과 새 프로그램의 디스플레이 사이에는 눈에 띄만한 시간 기간이 경과할 수 있다.
- <4> 특정 조치가 취해지지 않는 경우, 디스플레이 스크린은 이 시간 기간 동안 아무것도 보여주지 못하며{"블랙 스크린(black screen)"}, 이것은 물론 유저에게 시각적으로 불편함을 준다.
- <5> 이 단점을 제거하고자 시도하기 위한 솔루션이 이미 제안되어 있다.
- <6> 특허 출원 EP 0 306 704 및 JP 2000 032 338에는, 프로그램의 변경 동안 새 프로그램이 디스플레이될 때까지 처음 프로그램으로부터 나오는 정지 화상(still image)이 디스플레이되게 하는 것이 제안되어 있다. 특허 출원 EP 0 712 242에는, 미리 결정된 정지 화상이 디스플레이 되는 것이 제안되어 있다.
- <7> 특허 출원 WO 99/16 247에서, 수 개의 프로그램에 대응하는 MPEG 타입 스트림에 포함된 타입 I 화상(인트라 코딩 화상)이 저장되며; 프로그램의 변경 동안, 새 프로그램이 타입 I 화상이 저장되어 있는 프로그램이라면, 이 (정지) 화상이 디스플레이된다.
- <8> 이들 솔루션(solution)은 유저에게 시각적 편의를 약간만 개선시켜 준다: 확실히, 이들 솔루션은 블랙 스크린을 정지 화상으로 대체하여 주지만, 이 솔루션은 어떤 방식으로든 디스플레이의 유동성(fluidity)을 개선시키지는 못한다.

발명의 상세한 설명

- <9> 본 발명은, 프로그램의 변경시에 유저의 시각적 편의를 개선하기 위한 새로운 솔루션 : 즉 제 1 디코딩 체인(decoding chain)과, 제 2 디코딩 체인과, 비디오 인코더(video encoder)와, 상기 제 1 디코딩 체인 또는 제 2 디코딩 체인을 상기 비디오 인코더로 선택적으로 연결하기 위한 선택 수단을 포함하는, 비디오 신호를 수신하기 위한 디바이스를 제안한다.
- <10> 다른 유리한 특성에 따라,
- <11> - 본 디바이스는, 상태 큐(state cue)를 생성하는 상기 제 1 및 제 2 디코딩 체인 중 적어도 하나의 상태를 검출하는 검출 수단과, 상기 상태 큐의 함수로서 상기 선택 수단을 제어하는 제어 수단을 포함하며;
- <12> - 본 디바이스는 상기 제어 수단에 프로그램 큐(program cue)를 전송할 수 있는 유저 인터페이스(user interface)를 포함하며;
- <13> - 상기 제 1 및 제 2 디코딩 체인은 디지털 비디오 스트림(digital video stream)을 각각 생성할 수 있으며;
- <14> - 상기 제 1 및 제 2 디코딩 체인은 각각 비디오 디코더를 포함하며;
- <15> - 상기 제 1 및 제 2 디코딩 체인 중 적어도 하나는 디스크램블러(descrambler)를 포함한다.
- <16> 또한 본 발명은 다음의 단계, 즉
- <17> - 제 1 디코딩 체인을 비디오 인코더에 연결하기 위한 선택 수단에 명령하는 단계와,
- <18> - 프로그램 큐를 포함하는 신호를 수신하는 단계와,
- <19> - 상기 프로그램 큐에 의해 지정된 프로그램을 수신하기 위한 상기 제 2 디코딩 체인에 명령하는 단계와,
- <20> - 상기 제 2 디코딩 체인이 비디오 스트림을 생성하지 않는 한, 상기 제 1 디코딩 체인을 상기 비디오 인코더에 연결하기 위해 상기 선택 수단에 명령을 유지하는 단계와,

- <21> - 상기 제 2 디코딩 체인이 비디오 스트림을 생성할 때, 상기 제 2 디코딩 체인을 비디오 인코더에 연결하기 위해 선택 수단을 제어하는 단계
- <22> 를 포함하는, 그러한 디바이스를 제어하는 방법을 제안한다.
- <23> 본 발명의 예시적인 실시예의 상세한 설명은 디지털 디코더의 핵심 요소를 나타내는 도 1을 참조하여 주어진다.
- <24> 디지털 디코더는, 케이블에 의해 또는 무선(위성이나 RF 통신)을 통해 전송하기 위해 (일반적으로 MPEG 표준에 따라) 코딩되고, 멀티플렉싱되며, 반송파로 변조된 비디오 신호를 수신하기 위한 디바이스이다.

실시예

- <26> 주된 요소가 도 1에 도시되어 있는 디지털 디코더는 2개의 디코딩 체인 (CHN1, CHN2)을 포함한다.
- <27> 각 디코딩 체인(CHN1, CHN2)은, 입력에서 비디오 신호의 공통 소스(SRC), 예를 들어, 안테나(antenna) 또는 로컬 네트워크(local network)의 케이블에 연결된다.
- <28> 각 디코딩 체인(CHN1, CHN2)은 직렬로 배치된 튜너(TUN1, TUN2)와, 복조기(DMD1, DMD2), 디멀티플렉서(DMPX1, DMPX2)와 오디오/비디오 디코더(DEC1, DEC2)를 포함한다.
- <29> 그리하여 각 디코딩 체인(CHN1, CHN2)은, 공통 소스(SRC)에 의해 전송된 비디오 신호로부터, 튜너(TUN1, TUN2)의 튜닝 주파수와 연관된 프로그램에 해당하는 디지털 오디오/비디오 스트림을 생성한다. 이 디지털 스트림은, 예를 들어, CCIR 601 표준에 따라 4:2:2 타입으로 되어 있다.
- <30> 각 디코딩 체인(CHN1, CHN2)의 출력은 스위치(SW)의 입력에 연결되며, 이 스위치(SW)의 출력은 비디오 인코더(ENC) 및 오디오 디지털/아날로그 컨버터(DAC)의 각 입력에 연결된다.
- <31> 스위치(SW)는 제 1 디코딩 체인(CHN1)의 출력이나 제 2 디코딩 체인(CHN2)의 출력을 오디오 컨버터(DAC)와 비디오 인코더(ENC)에 선택적으로 연결할 수 있다. 이 스위치(SW)는 후술되는 바와 같이 마이크로프로세서(CPU)에 의해 제어된다.
- <32> 비디오 인코더(ENC)는 제 1 디코딩 체인(CHN1)으로부터 또는 제 2 디코딩 체인(CHN2)으로부터 수신하는 디지털 스트림을 아날로그 비디오 신호로 변환한다. 아날로그 비디오 신호는 예를 들어, 복합(composite) 비디오 신호(보통 머릿글자에 따라 CVBS) 또는 3개의 컬러 성분(RGB)을 갖는 신호이다. 이 아날로그 비디오 신호는 종래의 시청 디바이스(viewing device), 예를 들어, 텔레비전 세트 위에 디스플레이 되도록 하기 위해 커넥터(VID){예를 들어, 스카르트 소켓(Scart socket)의 하나 이상의 핀}에서 유저에 이용가능하게 이루어진다.
- <33> 유사한 방식으로, 오디오 컨버터(DAC)는 오디오 디지털 스트림을 출력 커넥터(AUD), 예를 들어 스카르트 소켓(Scart socket)의 핀 1 및 핀 3으로 나가는 아날로그 오디오 신호로 변환된다.
- <34> 마이크로프로세서(여기서 중앙 처리 장치)(CPU)는 디지털 디코더의 여러 요소에 연결되며 이들과 정보 및 명령을 교환한다. 그러나, 명료하게 하기 위해, 본 발명을 설명하는데 필요한 연결부만이 도 1에 도시되어 있다.
- <35> 특히, 마이크로프로세서(CPU)와 제 2 디코딩 체인(CHN2)의 요소 사이의 임의의 연결을 위해, 마이크로프로세서(CPU)와 제 1 디코딩 체인(CHN1) 내의 균등 요소 사이에 대응하는 연결부(도시되어 있지 않음)가 또한 존재한다.
- <36> 마이크로프로세서(CPU)는 제어 라인(CTL)을 통해 스위치(SW)를 제어한다. 마이크로프로세서(CPU)는 또한 제 2 디코딩 체인(CHN2)의 튜너(TUN2)에 주파수 큐(FREQ)를 송신한다. 이 주파수 큐(FREQ)는 일반적으로 튜너(TUN2)에 의해 수신될 주파수로 변환된 정수(integer)이다.
- <37> 마이크로프로세서(CPU)는 또한 유저 인터페이스(UI)와 대화하며 유저 인터페이스(UI)로부터 특히 프로그램 큐(PRG)를 수신한다. 유저 인터페이스(UI)는 일반적으로 리모트 컨트롤로부터 적외선 신호를 수신하며 이 적외선 신호를, 마이크로프로세서(CPU)가 이해할 수 있는 프로그램 큐(PROG)로 변환하는 적외선 수신기를 포함한다. 프로그램 큐(PROG)는 유저가 수신하고자 원하는 프로그램{다시 말해, 방송국(station)이나 채널(channel)}을 나타낸다.
- <38> 마이크로프로세서(CPU)는 또한 제 2 디코딩 체인(CHN2)의 오디오/비디오 디코더(DEC2)에 연결되며, 이 오디오/비디오 디코더(DEC2)는, 특히 이 디코더(DEC2)가 준비되어 있는지 아닌지, 다시 말해, 에러 없이 압축될 수 있는지 아닌지, 그리고 유효(valid) 디지털 스트림을 전송하는지 또는 무효(invalid) 디지털 스트림을 전송하는지

를 나타내는 상태 큐(RDY)를 이 마이크로프로세서(CPU)에 송신한다. 이 상태 큐(DRY)는, 예를 들어, 오디오/비디오 디코더(DEC2)를 관리하는 드라이버(또는 파일럿)의 소프트웨어 상태이다.

- <39> 본 발명에 의해 제안되는 프로그램 변경 단계(phase)가 이제 기술된다.
- <40> 설명을 위해, 스위치(SW)가 제 1 디코딩 체인(CHN1){보다 정확하게는 그 오디오/비디오 디코더(DEC1)}을 오디오 컨버터(DAC)와 비디오 인코더(ENC)에 링크하는 것으로 가정된다. 이 디지털 디코더는 그리하여 비디오(VID) 및 오디오(AUD) 출력에서 튜너(TUN1)에 의하여 수신되는 주파수에 대응하는 프로그램의 아날로그 신호를 생성한다.
- <41> 프로그램 변경 단계(호핑)는 마이크로프로세서에 의해 프로그램 큐(PRG)를 수신하는 것에 의해 개시된다. 여기에 개시된 예에서, 프로그램 큐(PRG)는 유저 인터페이스(UI)로부터 (예를 들어, 처음에, 유저에 의해 동작되는 리모트 컨트롤로부터) 유래한다. 그러나, 본 발명은 이 예로 제한되지 않으며: 프로그램 큐(PRG)는 디지털 디코더에 의해 수신될 프로그램이 리코더에서 기록되도록 하기 위하여 디지털 디코더에 지시하는 미리프로그래밍된 비디오 레코더와 같은 다른 비디오 장치로부터 유래할 수도 있다.
- <42> 마이크로프로세서(CPU)는 그 후 마이크로프로세서(CPU)와 연관된 메모리(미도시)에 저장된 룩업 테이블(lookup table)에 의하여 프로그램 큐(PRG)를 주파수 큐(FREQ)로 변환한다.
- <43> 주파수 큐(FREQ)는 제 2 디코딩 체인(CHN2)의 튜너(TUN2)로 송신된다. 튜너 (TUN2)는 주파수 큐(FREQ)에 의해 지시된 주파수의 신호를 검색하며, 이것은 반드시 즉시 하는 것은 아니다.
- <44> 일단, 튜너(TUN2)가 원하는 신호를 올바르게 수신하였다면{즉, 튜너(TUN2)가 동기(locked on)되었다면}, 수신된 비디오 신호는 제 2 디코딩 체인(CHN2), 즉 복조기(DMD2)와 디멀티플렉서(DMPX2)와 오디오/비디오 디코더(DEC2)의 다른 요소를 통해 송신된다. 각 요소와, 특히 오디오/비디오 디코더(DEC2)는 입력에서 그 신호의 수신에 관한 특정 시간 기간 후에만 출력에 유효 신호(valid signal)를 생성한다.
- <45> 가능한 변형예에 따라, 디스크램블러(descrambler)는 디멀티플렉서와 오디오/비디오 디코더 사이의 각 디코딩 체인 내에 도입된다. 디스크램블러의 구현은 또한 특정 시간 기간을 요구하는데, 그 이유는 스트림에서 암호화된 키를 복구할 필요가 있으며 이후 오디오 스트림과 비디오 스트림을 디스크램블링할 수 있는 디지털 연산을 수행할 필요가 있기 때문이다.
- <46> 오디오/비디오 디코더(DEC2)가 출력에서 유효 디지털 스트림을 생성하지 않으며 그리하여 상태 큐(RDY)가 오디오/비디오 디코더(DEC2)가 준비되어 있지 않다는 것을 나타내는 한, 스위치(SW)에 대한 마이크로프로세서(CPU)의 명령은 (프로그램 변경 단계 전이었던 것과 같이) 유지되며: 그 스위치(SW)는 제 1 디코딩 체인 (CHN1)을 오디오 컨버터(DAC)와 비디오 인코더(ENC)로 연결한다.
- <47> 프로그램 변경 단계의 시작 동안, 제 2 체인(CHN2)의 오디오/비디오 디코더(DEC2)가 준비되어 있지 않는 한, 디지털 디코더는 그리하여 비디오 VID 및 오디오 AUD 출력에서 제 1 디코딩 체인(CHN1)에 의해 수신되는 프로그램에 대응하는 아날로그 신호를 계속 생성한다.
- <48> 제 2 디코딩 체인(CHN2)의 오디오/비디오 디코더(DEC2)가 출력에서 유효 디지털 스트림을 생성할 때, 상태 큐(RDY)는, 오디오/비디오 디코더(DEC2)가 준비되어 있는 것을 지시한다. 마이크로프로세서(CPU)가 이 상태 큐(RDY) "준비(ready)"를 수신하면, 마이크로프로세서는 그 스위치(SW)에 대한 명령(CTL)을 변경하여, 그 스위치가 제 2 디코딩 체인(CHN2){그리고 그 오디오/비디오 디코더(DEC2)의 출력}을 오디오 컨버터(DAC)와 비디오 인코더(ENC)에 연결하게 한다.
- <49> 이 순간 이후부터, 디지털 디코더는 그리하여 오디오(AUD)와 비디오(VID) 출력에서 제 2 디코딩 체인(CHN2)에 의해 수신되는 프로그램에 대응하는 아날로그 신호를 생성한다.
- <50> 이렇게 프로그램의 변경이 수행된다.
- <51> 그 다음 프로그램의 변경은 제 1 및 제 2 디코딩 체인의 역할을 바꾸는 것에 의해 전술된 프로그램의 변경과 유사한 방식으로 물론 수행될 수 있다.
- <52> 본 발명은 물론 전술된 예로 제한되지 않는다.
- <53> 더구나, 도면을 간단하게 하기 위해, 여러 요소들 사이의 연결은 실제 수 개의 병렬 연결(버스)이 수반되는 경우에도 단일 라인으로 도시되어 있다.

산업상 이용 가능성

<54> 전술된 바와 같이, 본 발명은 비디오 신호를 수신하기 위한 디바이스 및 이러한 디바이스를 제어하는 방법에 이용가능하다.

도면의 간단한 설명

<25> 도 1 은 본 발명의 디지털 디코더의 핵심 요소를 도시하는 도면.

도면

도면1

