(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3551813号

(P3551813)

(45)発行日　平成16年8月11日(2004.8.11)　(24)登録日　平成16年5月14日(2004.5.14)

(51)Int.Cl.[7]	F I		
H03M 3/02	H03M	3/02	
G01F 1/00	G01F	1/00	F
H03M 1/08	H03M	1/08	A

請求項の数 9　(全 11 頁)

(21)出願番号　特願平11-55186
(22)出願日　平成11年3月3日(1999.3.3)
(65)公開番号　特開2000-252829(P2000-252829A)
(43)公開日　平成12年9月14日(2000.9.14)
審査請求日　平成14年5月15日(2002.5.15)

(73)特許権者　000006507
横河電機株式会社
東京都武蔵野市中町２丁目９番３２号
(72)発明者　和田　正巳
東京都武蔵野市中町２丁目９番３２号　横河電機株式会社内

審査官　北村　智彦

最終頁に続く

(54)【発明の名称】ΣΔＡＤ変換器及びこれを用いた流量流速測定装置

(57)【特許請求の範囲】

【請求項１】

入力端子と加算器と積分器とコンパレータと第１のフリップフロップを直列に接続し、前記第１のフリップフロップの出力信号を出力端子に接続すると共に、その出力信号をＤ／Ａ変換器を介して前記加算器に帰還して、入力信号に対応するパルス密度信号を出力するΣΔＡＤ変換器において、

トリガ入力端子に入力された信号のオンオフタイミングに従って前記コンパレータの出力を保持する第２のフリップフロップと

前記第１のフリップフロップの出力信号の状態変化を検知して前記第２のフリップフロップのトリガ信号を発生するトリガ発生回路と、

電源投入時またはリセット端子に入力された前記トリガ信号がハイ状態となった時にカウント値をリセットし前記トリガ信号がロー状態に戻った時タイムカウントを開始しその出力を前記第２のフリップフロップの前記トリガ入力端子に入力するタイマー回路と、

前記トリガ発生回路の出力及び前記タイマー回路の出力を入力し出力を前記第２のフリップフロップのトリガ信号入力端子に接続されたオア回路と、

前記コンパレータの出力端子と前記第１のフリップフロップの入力端子の接続点及び、前記オア回路の出力端子と前記第２のフリップフロップのトリガ信号入力端子の接続点をそれぞれ絶縁する絶縁手段を備えたことを特徴とするΣΔＡＤ変換器。

【請求項２】

前記絶縁手段として、トランスまたはフォトカプラを使用したことを特徴とする請求項１

に記載のΣΔＡＤ変換器。
【請求項３】
前記トリガ発生回路は、前記第１のフリップフロップの出力信号が変化するタイミングと同期して前記トリガ信号を発生するように構成されたことを特徴とする請求項１に記載のΣΔＡＤ変換器。
【請求項４】
前記トリガ発生回路は、ホールド回路を経由した前記第１のフリップフロップの出力を受けるように構成されたことを特徴とする請求項１に記載のΣΔＡＤ変換器。
【請求項５】
前記トリガ発生回路は、電源回路等の付帯回路と共に一つのゲートアレイとして構成されたことを特徴とする請求項１に記載のΣΔＡＤ変換器。
【請求項６】
請求項１から５に記載のΣΔＡＤ変換器を用いたことを特徴とする流量流速測定装置。
【請求項７】
前記流量流速測定装置は渦流量計であることを特徴とする請求項６に記載の流量流速測定装置。
【請求項８】
前記渦流量計は、２線式渦流量計であることを特徴とする請求項７に記載の流量流速測定装置。
【請求項９】
前記渦流量計は、４線式渦流量計であることを特徴とする請求項８に記載の流量流速測定装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、測定流体の流量に対応して発生する渦周波数をセンサによって検出しこの検出信号をＡ／Ｄ変換し流量換算した後、外部機器に流量測定値を動作電源と共有の４～２０ｍＡ電流信号として出力する２線式渦流量計に用いるΣΔＡＤ変換器に関し、特に入力信号の絶縁手段を改良して消費電流の低減を図ったΣΔＡＤ変換器に関する。
【０００２】
【従来の技術】
従来の渦流量計の構成を図３を用いて説明する。同図において、渦発生体により発生する渦を検出するセンサ１の入力信号は、増幅器２によって増幅されアンチエリアジングフィルタ（ＡＡＦ）３に入力される。
【０００３】
アンチエリアジングフィルタ３に入力された信号は、ここで高周波成分を除去されΣΔＡ／Ｄ変換器４に出力される。
【０００４】
ΣΔＡ／Ｄ変換器４に入力された信号は、ここでデジタル変換されデジタルフィルタ５に出力される。
【０００５】
デジタルフィルタ５に入力された信号は、ここで適切なフィルタリングを施されＣＰＵ６に入力される。ＣＰＵ６は、入力された信号に対して流量変換等の信号処理を行った後、流量信号を出力回路７に出力する。
【０００６】
出力回路７は、外部機器に対して４～２０ｍＡの流量信号を出力する。尚、ここで出力される４～２０ｍＡの信号は２線式渦流量計の場合、図３の回路の動作電源も兼用している。
【０００７】
このような構成の渦流量計では、センサ１をアースから絶縁しない構造の場合正常な流量

信号を得るために、回路内のいずれかの点で入力信号と内部回路を絶縁する必要がある。
【０００８】
一般的な渦流量計では、このような絶縁を行うためにΣΔＡ／Ｄ変換器４に絶縁回路を挿入することにより、図３中に破線Ａで示した箇所で絶縁を行っている。
【０００９】
図４は従来のΣΔＡＤ変換器の基本構成図であり、図５は各部の信号波形を示す波形図である。
【００１０】
図４においてアンチエリアジングフィルタ３から入力端子６１に入力される信号Ａｉｎは、加算器１５を介して積分器１１に入力され、その出力はコンパレータ１２に入力される。
【００１１】
コンパレータ１２の出力は、フリップフロップ（ＦＦ）１３に入力され、その出力は出力端子６２を介して接続された後段のデジタルフィルタ５に入力される。また、前記フリップフロップ１３には、ΣΔＡＤ変換器のサンプリング信号となる内部クロック信号ＣＬＫが接続され、その出力はＤ／Ａ変換器１４を介して加算器１５の－端子に入力される。
【００１２】
このような構成のΣΔＡＤ変換器において、前記信号Ａｉｎは積分器１１によって積分され、その積分信号Ａ１１はコンパレータ１２の既定値と比較される。この比較出力Ｄ１２はフリップフロップ１３に入力されクロック信号ＣＬＫのタイミングによってオンオフを繰り返し出力信号Ｄ１３を出力する。
【００１３】
前記フリップフロップ１３の出力信号Ｄ１３は、Ｄ／Ａ変換器１４によってアナログ信号Ａ１４に変換された後、加算器１５によって前記信号Ａｉｎと加算される。
【００１４】
このような動作を繰り返すことによって、ΣΔＡＤ変換器４は、図５のＤ１３に示したような前記信号Ａｉｎに対応したパルス密度信号Ｄ１３を出力することが可能である。
【００１５】
上記に説明したΣΔＡＤ変換器の特徴として、出力が１ビット（多ビット出力型のものもある。）であること、ハードウェアが小規模であること、省電力化しやすいこと、サンプリングレートを上げることによって無調整で高い分解能を得られることなどがあげられるため渦流量計等に多く用いられてきた。
【００１６】
このような構造のΣΔＡＤ変換器によって図３中に破線Ａで示した箇所で入力信号を絶縁するために前記絶縁回路を回路内に挿入した一例を図６に示す。同図は図３のΣΔＡＤ変換器の、クロック信号ＣＬＫとフリップフロップ１３の出力に絶縁回路２５を設けることにより、図３の破線Ａからセンサ１側の回路と、破線ＡからＣＰＵ６側の回路との絶縁を行うものである。このような構成の回路が、ＵＳＰ５３７２０４６公報に示されている。
【００１７】
しかしながら、図６に説明した従来のΣΔＡＤ変換器の絶縁構造では、高い周波数の信号であるクロック信号を絶縁する必要がある。高周波の信号を絶縁し転送するためには大きな電流が必要である。
【００１８】
一般的にＡＤ変換器は、高いサンプリング信号を用いてサンプリングを行えば行う程、量子化ノイズが減少し、高分解能が得られ、信号帯域より数百倍程度の高い周波数でサンプリングを行う必要がある。
【００１９】
渦流量計の場合、信号帯域は数ｋＨｚであるためサンプリング周波数は数百ｋＨｚ以上が必要である。このような高周波の信号を絶縁し転送するためには大きな電流が必要である。

【００２０】
ところが、２線式の渦流量計では、動作電源と共用の流量信号を測定レンジに対する４－２０ｍＡの電流信号で外部機器に送信するため、ＡＤ変換器の全消費電流は４ｍＡ以下で動作させる必要がある。従って、図６のΣΔＡＤ変換器では絶縁回路の電流消費量の制限により、４ｍＡ以下で絶縁が可能な範囲内でしかサンプリング周波数を上げる（分解能を上げる）ことができないという問題点があった。
【００２１】
この問題点を解決するために、図７に示すΣΔＡＤ変換器が考案された。同図において、前記図６と異なる点は、コンパレータ１２の出力Ｄ１２を保持する第２のフリップフロップ１０２と、第１のフリップフロップ１３の出力信号Ｄ１３から第２のフリップフロップ１０２のトリガ信号ＴＧ２を発生するトリガ発生回路１０１を備えた点と、コンパレータ１２の出力端子と第１のフリップフロップ１３の入力端子の接続点及び、トリガ発生回路１０１の出力端子と第２のフリップフロップ１０２のトリガ入力端子Ｃｉｎの接続点をそれぞれ絶縁する絶縁回路１００を備えた点である。
【００２２】
このような構成のΣΔＡＤ変換器の動作を図８に示す動作波形図を参照しながら説明する。同図は、図７に示したΣΔＡＤ変換器における、コンパレータ１２の入力信号Ａ１１と、その出力信号Ｄ１２と、第１のフリップフロップ１３の出力信号Ｄ１３と、トリガ発生回路１０１の出力ＴＧ２と、第２のフリップフロップ１０２の出力信号Ｄ１０２と、クロック信号ＣＬＫの波形を図示したものである。
【００２３】
ここでは、トリガ発生回路１０１の出力ＴＧ２と、第２のフリップフロップ１０２の出力信号Ｄ１０２について説明する。その他の信号については図６の従来例と同様の動作を行うため、ここでの説明を省略する。
【００２４】
トリガ発生回路１０１は、入力された第１のフリップフロップ１３の出力信号Ｄ１３がオンからオフ、または、オフからオンに状態変化した時、クロック信号ＣＬＫ１周期分のパルス出力を発生する回路である。この回路によって図８に示す出力信号ＴＧ２を発生する。
【００２５】
トリガ発生回路１０１の出力信号ＴＧ２は、絶縁回路１００を通過し、第２のフリップフロップ１０２のクロック入力端子Ｃｉｎに入力される。第２のフリップフロップ１０２は、入力端子に入力されたコンパレータ１２の出力信号Ｄ１２を前記トリガ発生回路１０１の出力信号ＴＧ２のオンオフタイミングに従ってラッチし、出力信号Ｄ１０２をＤ／Ａ変換器１４に出力する。この出力信号Ｄ１０２は、図８に示すように第１のフリップフロップ１３の出力信号Ｄ１３と同じ波形である。
【００２６】
ここで、図７に示した絶縁回路１００を通過する信号はコンパレータ１２の出力信号Ｄ１２と、トリガ発生回路１０１の出力ＴＧ２である。
【００２７】
コンパレータ１２の出力信号Ｄ１２とトリガ発生回路１０１の出力ＴＧ２は、図８に示したとおりオンオフの２値信号であるため容易に絶縁することが可能である。
【００２８】
また、図７の回路では図６の回路と異なり、高周波のクロック信号ＣＬＫは絶縁回路１００を通過していない。そして、前記トリガ発生回路１０１の出力ＴＧ２は、第１のフリップフロップ１３の出力信号が変化するときのみオンオフするため原理的にクロック信号ＣＬＫの周波数よりはるかに周波数が低い。
【００２９】
前述したとおり、一般的に絶縁回路は絶縁しようとする信号の周波数が高い程消費電流が大きくなり、その価格も高くなる。逆に、絶縁しようとする信号の周波数が低い程消費電

流が小さくなり、その価格も安くなる。
【００３０】
上述のとおり、絶縁回路１００によって絶縁する信号は、低い周波数の２値信号であるためその絶縁に大電流を必要としない。従って、絶縁回路１００は小さな電流消費の簡単な回路で容易に実現できる。また、ΣΔＡＤ変換器の分解能を決定するクロック信号ＣＬＫも絶縁回路１００を通過しないため、この制限を受けず容易に高周波数化することが可能である。
【００３１】
【発明が解決しようとする課題】
しかしながら、図７に示した従来のΣΔＡＤ変換器では、コンパレータ１２の出力を検知して第２のフリップフロップ１０２にトリガ信号ＴＧ２を送信する構成であるため、ΣΔＡＤ変換器の電源投入時のコンパレータ１２及び第２のフリップフロップ１０２の出力の状態によっては、時としてΣΔＡＤ変換器が動作を開始することができない場合があるという問題点があった。
【００３２】
一般的に、コンパレータ及びフリップフロップは、電源を投入した瞬間に出力の状態がハイとなるかローとなるかは確定できない。つまり、電源を投入した瞬間におけるコンパレータ及びフリップフロップの出力状態は不定である。
【００３３】
図７に示した従来のΣΔＡＤ変換器では、正常な動作を行っているコンパレータ１２の出力Ｄ１２と第２のフリップフロップ１０２の出力Ｄ１０２は同じ極性となるように動作する。
【００３４】
ところが、ΣΔＡＤ変換器に電源を投入した瞬間、コンパレータ１２の出力Ｄ１２がハイとなり、第２のフリップフロップ１０２の出力Ｄ１０２がローとなった場合、加算器１５によって前記第２のフリップフロップ１０２の出力Ｄ１０２を反転した信号と入力信号Ａｉｎが加算された信号が積分器１１に入力されるため、積分器１１の出力Ａ１１はプラス側に飽和する。従ってコンパレータ１２の出力Ｄ１２はハイのまま変化しないため、トリガ発生回路１０１はトリガ信号を発生せず、ΣΔＡＤ変換器は動作を開始することができない。
【００３５】
また、ΣΔＡＤ変換器に電源を投入した瞬間、コンパレータ１２の出力Ｄ１２がローとなり、第２のフリップフロップ１０２の出力Ｄ１０２がハイとなった場合も、加算器１５によって前記第２のフリップフロップ１０２の出力Ｄ１０２を反転した信号と入力信号Ａｉｎが加算された信号が積分器１１に入力されるため、積分器１１の出力Ａ１１はマイナス側に飽和する。従ってコンパレータ１２の出力Ｄ１２はローのまま変化しないため、トリガ発生回路１０１はトリガ信号を発生せず、ΣΔＡＤ変換器は動作を開始することができない。
【００３６】
本発明は、上記問題を解決するもので、電源投入時にも確実に作動する省電力化が可能であると同時に高速サンプリングが可能な絶縁手段を備えたΣΔＡＤ変換器及びこれを用いた流量流速測定装置を提供することを目的とする。
【００３７】
【課題を解決するための手段】
このような目的を達成するために請求項１に記載の発明では、入力端子と加算器と積分器とコンパレータと第１のフリップフロップを直列に接続し、前記第１のフリップフロップの出力信号を出力端子に接続すると共に、その出力信号をＤ／Ａ変換器を介して前記加算器に帰還して、入力信号に対応するパルス密度信号を出力するΣΔＡＤ変換器において、トリガ入力端子に入力された信号のオンオフタイミングに従って前記コンパレータの出力を保持する第２のフリップフロップと

前記第１のフリップフロップの出力信号の状態変化を検知して前記第２のフリップフロップのトリガ信号を発生するトリガ発生回路と、
電源投入時またはリセット端子に入力された前記トリガ信号がハイ状態となった時にカウント値をリセットし前記トリガ信号がロー状態に戻った時タイムカウントを開始しその出力を前記第２のフリップフロップの前記トリガ入力端子に入力するタイマー回路と、
前記トリガ発生回路の出力及び前記タイマー回路の出力を入力し出力を前記第２のフリップフロップのトリガ信号入力端子に接続されたオア回路と、
前記コンパレータの出力端子と前記第１のフリップフロップの入力端子の接続点及び、前記オア回路の出力端子と前記第２のフリップフロップのトリガ信号入力端子の接続点をそれぞれ絶縁する絶縁手段を備えたことを特徴とするものである。

【００３８】
このことにより、高周波のクロック信号を絶縁することなく前記センサ側の回路とＣＰＵ側の回路とを絶縁することが可能なΣΔＡＤ変換器の前記題２のフリップフロップにタイマー回路からトリガをかけることが可能となり、更に、前記タイマー回路は電源投入時及び前記トリガ発生回路からトリガ信号が発生してから一定時間後に、前記第２のフリップフロップに対するトリガ信号を発生することが可能となる。

【００３９】
請求項２に記載の発明では、請求項１に記載の発明において、前記絶縁手段として、トランスまたはフォトカプラを使用したことを特徴とするものである。

【００４０】
このことによって、前記絶縁手段は特殊な高周波部品でなく一般的な汎用部品を用いて構成することが可能となる。

【００４１】
請求項３に記載の発明では、請求項１に記載の発明において、前記トリガ発生回路は、前記第１のフリップフロップの出力信号が変化するタイミングと同期して前記トリガ信号を発生するように構成されたことを特徴とするものである。

【００４２】
このことによって、前記トリガ発生回路は、前記第２のフリップフロップへ前記第１のフリップフロップの出力の変化に対応するトリガ信号を送ることが可能となる。

【００４３】
請求項４に記載の発明では、請求項１に記載の発明において、前記トリガ発生回路は、ホールド回路を経由した前記第１のフリップフロップの出力を受けるように構成されたことを特徴とするものである。

【００４４】
このことによって、前記絶縁手段は様々な構成のΣΔＡＤ変換器に対応することが可能となる。

【００４５】
請求項５に記載の発明では、請求項１に記載の発明において、前記トリガ発生回路は、電源回路等の付帯回路と共に一つのゲートアレイとして構成されたことを特徴とするものである。

【００４６】
このことによって、前記トリガ発生回路及び電源回路等の付帯回路は小規模なハードウェアで低コストで製作することが可能となる。

【００４９】
請求項６に記載の発明では、請求項１から５に記載の発明において、前記ΣΔＡＤ変換器は、流量流速測定器に用いたことを特徴とするものである。また、請求項８から９に記載の発明では、前記流量流速測定器は、２線式及び４線式渦流量計であることを特徴とするものである。

【００５０】
このことによって、前記渦流量計は、省電力化と高精度化及び低コスト化を実現すること

が可能となる。

【００５１】

【発明の実施の形態】

以下図面を用いて本発明を詳しく説明する。図１は本発明に係るΣΔＡＤ変換器の構成図である。尚、同図において従来例の問題点を説明した図７と同様の動作を行うものは、同一の符号を付しその説明を省略する。

【００５２】

図１において、前記図７と異なる点は、トリガ発生回路１０１の出力をオア回路２０１の一端とタイマー回路２０２のリセット端子ＣＬＲに接続し、タイマー回路２０２の出力をオア回路２０１の他の一端に接続し、オア回路２０１の出力を絶縁回路１００を介して第２のフリップフロップ１０２のトリガ入力端子Ｃｉｎに接続した点である。

【００５３】

また、上記のタイマー回路２０２は、電源投入時または前記リセット端子ＣＬＲに入力された信号がハイ状態となった時にカウント値をリセットし、この信号がロー状態に戻った時タイムカウントを開始するように構成されている。

【００５４】

従って、例えば、ΣΔＡＤ変換器に電源を投入した瞬間、コンパレータ１２の出力Ｄ１２がハイとなり、第２のフリップフロップ１０２の出力Ｄ１０２がローとなった場合、従来のΣΔＡＤ変換器であれば、加算器１５によって前記第２のフリップフロップ１０２の出力Ｄ１０２を反転した信号と入力信号Ａｉｎが加算された信号が積分器１１に入力されるため、積分器１１の出力Ａ１１はプラス側に飽和する。従ってコンパレータ１２の出力Ｄ１２はハイのまま変化しないため、トリガ発生回路１０１はトリガ信号を発生せず、ΣΔＡＤ変換器は動作を開始することができない。

【００５５】

ところが、本発明のΣΔＡＤ変換器では、電源を投入した瞬間、タイマー回路２０２がタイムカウントを開始し、タイマー回路２０２がタイムアップすると、その出力ＴＭがハイとなり、この出力ＴＭがオア回路２０１及び絶縁回路１００を介して第２のフリップフロップのトリガ入力端子Ｃｉｎに入力される。

【００５６】

第２のフリップフロップは、入力端子Ｃｉｎに入力された出力ＴＭによってトリガがかかり、その出力Ｄ１０２をコンパレータ１２の出力Ｄ１２とそろえる。

【００５７】

このような動作によって、本発明のΣΔＡＤ変換器では、電源を投入した瞬間、コンパレータ１２の出力Ｄ１２と第２のフリップフロップ１０２の出力Ｄ１０２が不一致となった場合であっても、確実に動作を開始することが可能となる。

【００５８】

また、タイマー回路２０２のリセット端子ＣＬＲは、トリガ発生回路１０１の出力が接続されているため、ノイズ等の影響によって電源投入時以外でコンパレータ１２の出力Ｄ１２と第２のフリップフロップ１０２の出力Ｄ１０２が不一致となった場合であっても、前回のトリガ信号ＴＧ２の発生からタイマー回路２０２のタイムアップ時間後に第２のフリップフロップ１０２に対してトリガがかけられるため、確実に再起動することが可能である。

【００５９】

なお、以上の説明は、本発明の説明および例示を目的として特定の好適な実施例を示したに過ぎない。したがって本発明は、上記実施例に限定されることなく、その本質から逸脱しない範囲で更に多くの変更、変形をも含むものである。

【００６０】

例えば、図２に示した回路のように第１のフリップフロップ１３の出力端子とＤ／Ａ変換器１４の間にホールド回路５６を挿入したΣΔＡＤ変換器においても、図１で説明した絶縁手段は有効である。同図のようにフリップフロップ１３の出力をホールド回路５６によ

って一定時間、ホールドすることによりＤ／Ａ変換器１４に入力する出力信号Ｄ１０２の周波数を落とすことが可能となるため、クロック信号ＣＬＫの周波数に比べ積分器１１やコンパレータ１３の動作速度を低く抑えることが可能となる。従って、より小電流で動作するΣΔＡＤ変換器を低コストで製作することが可能となる。

【００６１】

【発明の効果】

以上説明したことから明らかなように、本発明によれば次のような効果がある。請求項１に記載の発明では、電源投入時に動作停止の原因となるコンパレータと題２のフリップフロップの不一致を、タイマー回路から発生する信号によって回避することが可能となるため、電源投入時にも確実に作動する省電力化が可能であると同時に高速サンプリングが可能な絶縁手段を備えたΣΔＡＤ変換器を提供することが可能となる

【００６２】

請求項２に記載の発明では、請求項１に記載された発明において、前記絶縁手段は、トランスやフォトカプラを用いて構成されたことにより、一般的な汎用部品を用いて低コストで製作することが可能となる。また、汎用部品を用いたことにより部品調達が容易である。

【００６３】

請求項３に記載の発明では、前記ΣΔＡＤ変換器において、絶縁回路を通過する第２のフリップフロップのトリガ信号を低速化することが可能となる。

【００６４】

請求項４に記載の発明では、請求項１に記載された発明において、前記絶縁手段は、前記２次ΣΔＡＤ変換器やホールド回路を備えたΣΔＡＤ変換器においても対応が可能であるため様々な構成のΣΔＡＤ変換器に対応することが可能となる。

【００６５】

請求項５に記載の発明では、請求項１に記載された発明において、前記トリガ発生回路は、電源回路等の付帯回路と共に一つのゲートアレイとして構成することができるため小規模なハードウェアで低コストで製作することが可能となる。

【００６６】

請求項６から９に記載の発明では、請求項１から５に記載の発明において、前記ΣΔＡＤ変換器は、２線式及び４線式の渦流量計に用いることによって、省電力化と高精度化及び低コスト化を実現することが可能となる。

【図面の簡単な説明】

【図１】本発明に係るΣΔＡＤ変換器の一実施例を示す構成図である。

【図２】本発明に係るΣΔＡＤ変換器の他の実施例を示す構成図である。

【図３】従来の渦流量計の一例を示す構成図である。

【図４】従来のΣΔＡＤ変換器の一例を示す構成図である。

【図５】従来のΣΔＡＤ変換器の各信号波形を示す波形図である。

【図６】従来のΣΔＡＤ変換器の他の一例を示す構成図である。

【図７】従来のΣΔＡＤ変換器の他の一例を示す構成図である。

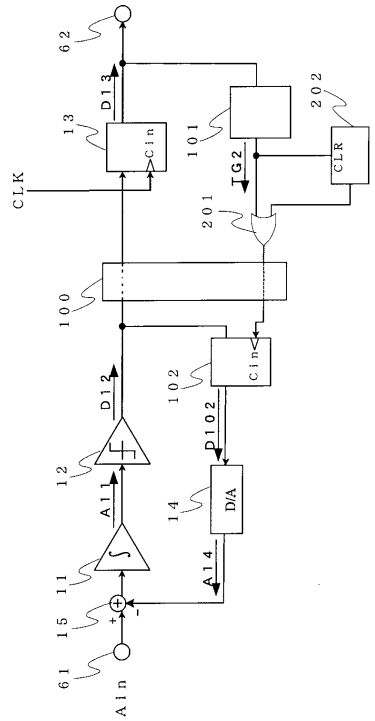
【図８】従来のΣΔＡＤ変換器の各信号波形を示す波形図である。

【符号の説明】

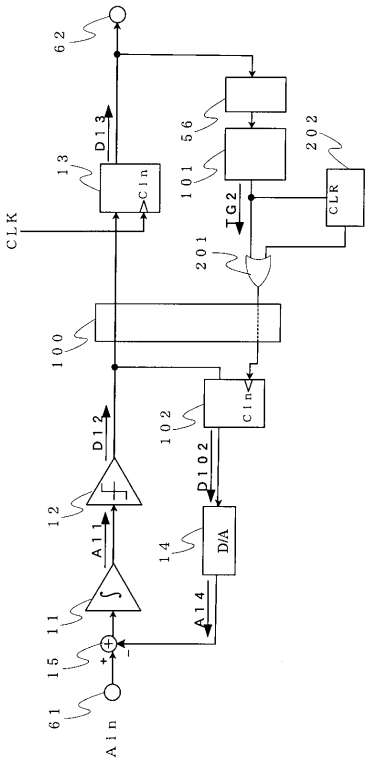
１　センサ
２　増幅器
３　アンチエリアジングフィルタ
４　Ａ／Ｄ変換器
５　デジタルフィルタ
６　ＣＰＵ
７　出力回路
１１　積分器
１２　コンパレータ

１３　第１のフリップフロップ
１４　Ｄ／Ａ変換器
１５　加算器
２５，３５、１００　　絶縁回路
５６　ホールド回路
１０１　トリガ発生回路
１０２　第２のフリップフロップ
２０１　オア回路
２０２　タイマー回路

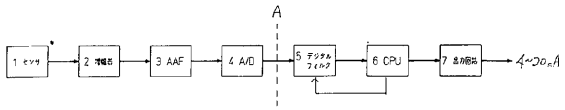
【図１】



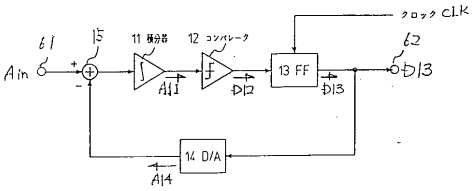
【図２】



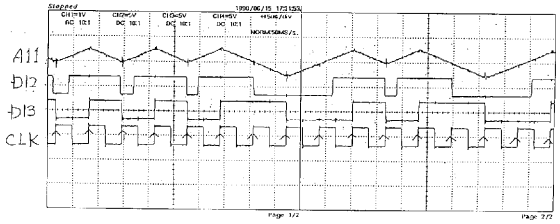
【図３】



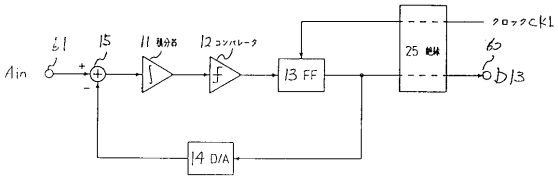
【図４】



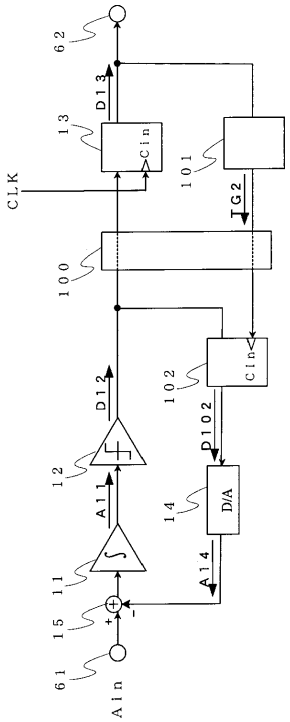
【図５】



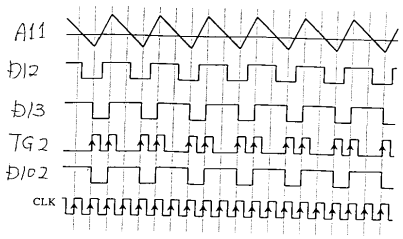
【図６】



【図７】



【図８】



フロントページの続き

(56)参考文献 特開平０４－０７９４２０（ＪＰ，Ａ）
特開平０２－１９２２２７（ＪＰ，Ａ）
特開２０００－２４４３２４（ＪＰ，Ａ）
特開２０００－１０１４３５（ＪＰ，Ａ）
特開２０００－１１１３７３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H03M3/00-11/00
G01F 1/00
H03M 1/08