

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/8238 (2006.01)

H01L 21/8247 (2006.01)



[12] 发明专利说明书

专利号 ZL 200610148731.6

[45] 授权公告日 2009 年 12 月 30 日

[11] 授权公告号 CN 100576514C

[22] 申请日 2006. 12. 30

[21] 申请号 200610148731.6

[73] 专利权人 上海先进半导体制造股份有限公司

地址 200233 上海市虹漕路 385 号

[72] 发明人 孙家雄

[56] 参考文献

US5747369A 1998. 5. 5

CN1734748A 2006. 2. 15

US6472716B2 2002. 10. 29

CN1549330A 2004. 11. 24

CN1713370A 2005. 12. 28

审查员 杨万里

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 陆 嘉

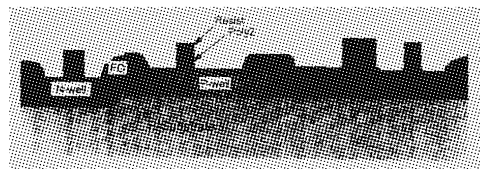
权利要求书 2 页 说明书 5 页 附图 4 页

[54] 发明名称

0.8 微米 CMOS 工艺

[57] 摘要

本发明揭示了一种 0.8 微米 CMOS 工艺，该工艺流程制作双层多晶硅层、双重硅栅层、以及双层金属层。本发明的 CMOS 制作工艺采用双层多晶之间界质作电容的工艺，同时以第一层多晶作为浮栅，节省了 EPROM 所需占用的面积，节省了成本，尤其是这种结构的存储器耐久性大幅度提高。双阱注入工艺使得 ESD 静态电压测试达到 8000 伏。



1. 一种 0.8 微米 CMOS 工艺，其特征在于，所述工艺流程制作双层多晶硅层、双重硅栅层、以及双层金属层，所述工艺包括如下步骤：

双阱注入；有源区制作；P 区注入、场氧化及多晶硅沉积步骤；N 埋层注入及器件栅氧化；本征管阈值调节光刻及注入；耗尽层扩散注入；高压管阈值调节光刻及注入；隧道氧化窗口刻蚀及薄氧隧道氧化层制作；氧化层/氮化硅/氧化层和浮栅多晶硅刻蚀及浮栅边墙氧化；低压管阈值调节光刻及注入；第二层多晶刻蚀；高压 N+离子注入及形成双扩散漏极结构；N 延伸区扩散及退火步骤；P 延伸区扩散、TEOS 及支撑件蚀刻；N+离子 S/D 注入；P+离子 S/D 注入及 BPSG 沉积；触点蚀刻；第一金属层沉积、蚀刻及平坦化；通孔蚀刻；第二金属层沉积、蚀刻及平坦化；衬垫蚀刻。

2. 权利要求 1 所述的 0.8 微米 CMOS 工艺，其特征在于：

所述 CMOS 器件的栅氧化步骤包括预栅氧制作及剥离步骤，其中所述 CMOS 器件的栅氧化层的厚度为 400Å。

3. 权利要求 1 所述的 0.8 微米 CMOS 工艺，其特征在于：

所述隧道氧化窗口刻蚀及薄氧隧道氧化层制作包括浮栅多晶掺杂以及 ONO 制作，其中薄氧隧道氧化层的厚度为 80Å。

4. 如权利要求 1 所述的 0.8 微米 CMOS 工艺，其特征在于：

所述低压管阈值调节光刻及注入包括低压管栅氧化层制作，其中低压管栅氧化层的厚度为 150Å、多晶硅淀积、低压管阈值调节注入、以及低温淀积多晶硅层，其中该多晶硅层为 4000Å。

5. 如权利要求 1 所述的 0.8 微米 CMOS 工艺，其特征在于：

所述工艺用于制作具备高低压 CMOS 的器件，以及多晶间电容。

6. 如权利要求 1 所述的 0.8 微米 CMOS 工艺，其特征在于：
所述工艺用于制作具有非挥发性可擦写封闭电路特征的器件。

7. 如权利要求 1 所述的 0.8 微米 CMOS 工艺，其特征在于：
所述工艺的 ESD 静态电压测试为 8000 伏。

0.8 微米 CMOS 工艺

技术领域

本发明涉及 CMOS 工艺，更具体地说，涉及一种 0.8 微米 CMOS 制作工艺。

背景技术

在半导体制作领域中，0.8 微米的半导体制作工艺一般使用 P 型单阱单层多晶硅工艺技术，该种工艺流程会带来 N 型衬底无法弥补的缺陷：ESD 静态电压仅有 1500 伏，另外单层多晶硅 EEPROM 结构的芯片面积大，成本高，可靠性差，储存耐久性差。

于是就需要一种可以克服上述问题的 0.8 微米 CMOS 工艺。

发明内容

本发明旨在提供一种成本低，可靠性高，储存耐久性好的 0.8 微米 CMOS 工艺。

根据本发明，提供一种 0.8 微米 CMOS 工艺，所述工艺流程制作双层多晶硅层、双重硅栅层、以及双层金属层。

根据一实施例，该 0.8 微米 CMOS 工艺，包括一般 0.8 微米 CMOS 工艺流程，其特征在于，在一般 0.8 微米 CMOS 工艺流程的 P 区注入、场氧化及多晶硅沉积步骤 NWI 和 N 延伸区 (LDD) 扩散及退火步骤 SN 之间包括如下的步骤：N 埋层注入；器件栅氧化；本征管阈值调节光刻及注入；耗尽层扩散注入；高压管阈值调节光刻及注入；隧道氧化窗口刻蚀及薄氧隧道氧化层制作；氧化层/氮化硅/氧化层 ONO 和浮栅多晶硅制作及刻蚀；浮栅边墙氧化；低压管阈值调节光刻及注入；第二层多晶刻蚀；高压 N⁺离子注入及形成双扩散漏极 (DDD) 结构。

根据一实施例，所述器件栅氧化步骤包括预栅氧制作及剥离步骤，其中所述器件栅氧化层的厚度为 400Å。

根据一实施例，所述隧道氧化窗口刻蚀及薄氧隧道氧化层制作包括浮栅多晶掺杂以及 ONO 制作，其中薄氧隧道氧化层的厚度为 80Å。

根据一实施例，所述低压管阈值调节光刻及注入包括低压管栅氧化层制作，其中低压管栅氧化层的厚度为 150Å、多晶硅淀积、低压管阈值调节注入、以及低温淀积多晶硅层，其中该多晶硅层为 4000Å。

根据一实施例，所述工艺用于制作具备高低压 CMOS 的器件，以及多晶间电容。

根据一实施例，所述工艺用于制作具有非挥发性可擦写封闭电路特征的器件。

根据一实施例，所述工艺的 ESD 静态电压测试为 8000 伏。

采用本发明的技术方案，该种 0.8 微米 CMOS 工艺解决了现有工艺技术中存在的芯片面积大、生产成本低、存储器耐久性差、ESD 静态电压低的缺陷，满足了生产需求。

附图说明

本发明的上述的以及其他的特征、性质和优势将通过下面结合附图和实施例的描述而变得更加明显，在附图中，相同的附图标记始终表示相同的特征，其中，

图 1 是根据本发明一实施例的 N 埋层注入的示意图；

图 2 是根据本发明一实施例的器件栅氧化的示意图；

图 3 是根据本发明一实施例的高压管阈值调节光刻及注入的示意图；

图 4 是根据本发明一实施例的隧道氧化窗口刻蚀及薄氧隧道氧化层制作的示意图；

图 5 是根据本发明一实施例的氧化层/氮化硅/氧化层 ONO 和浮栅多晶硅制作的示意图。

图 6 是根据本发明一实施例的氧化层/氮化硅/氧化层 ONO 和浮栅多晶硅刻蚀的示意图。

图 7 是根据本发明一实施例的低压管阈值调节光刻及注入的示意图；

图 8 是根据本发明一实施例的第二层多晶刻蚀的示意图。

具体实施方式

本发明揭示了一种 0.8 微米 CMOS 工艺，该工艺流程制作双层多晶硅层、双重硅栅层、以及双层金属层。

该工艺流程的完整流程包括如下的步骤：

双阱注入 (NW)；有源区制作 (OD)；P 区注入、场氧化及多晶硅沉积步骤 (NWI)；N 埋层注入及器件栅氧化 (BN)；本征管阈值调节光刻及注入 (GATE)；耗尽层扩散注入 (DI)；高压管阈值调节光刻及注入 (SI)；隧道氧化窗口刻蚀及薄氧隧道氧化层制作 (IO)；氧化层/氮化硅/氧化层 ONO 和浮栅多晶硅刻蚀及浮栅边墙氧化 (PS)；低压管阈值调节光刻及注入 (QI)；第二层多晶刻蚀 (PS2)；高压 N+ 离子注入及形成双扩散漏极 (DDD) 结构 (SNH)；N 延伸区 (NLDD) 扩散及退火步骤 (SN)；P 延伸区 (PLDD) 扩散、TEOS 及支撑件蚀刻 (SP)；N+ 离子 S/D 注入 (SN2)；P+ 离子 S/D 注入及 BPSG 沉积 (SP2)；触点蚀刻 (CO)；第一金属层沉积、蚀刻及平坦化 (IN)；通孔蚀刻 (CO2)；第二金属层沉积、蚀刻及平坦化 (IN2)；衬垫蚀刻 (CB)。

与传统的技术相比较，本发明的工艺流程的主要改进点在于：在 P 区注入、场氧化及多晶硅沉积步骤 (NWI) 和 N 延伸区 (LDD) 扩散及退火步骤 (SN) 之间的步骤。参考图 1-8，具体说明如下：

N 埋层注入。参考图 1，图 1 是根据本发明一实施例的 N 埋层注入的示意图。其中在 P 型衬底 P-substrate 上制作了 P 阱 P-well 和 N 阱 N-well，它们之间使用场氧化层 FO 隔开，在需要的区域还形成了氮化层 N2，通过铺设光阻 Resist 定义 N 埋层 BN 区域并进行 N 埋层注入形成 N 埋层 BN。

器件栅氧化。参考图 2，图 2 是根据本发明一实施例的器件栅氧化的示意图。该步骤包括预栅氧制作及剥离步骤，其中器件栅氧化层的厚度为 400Å，参考图 2 所示，400Å 的栅氧化层 GO 形成在 BN 的上方。

本征管阈值调节光刻及注入。

耗尽层扩散注入。

高压管阈值调节光刻及注入。参考图 3，图 3 是根据本发明一实施例的高压管阈值调节光刻及注入的示意图。通过光阻 Resist 定义需要进行注入的区域并进行高压管阈值调节光刻及注入。

隧道氧化窗口刻蚀及薄氧隧道氧化层制作。参考图 4，图 4 是根据本发明一实施例的隧道氧化窗口刻蚀及薄氧隧道氧化层制作的示意图。该隧道氧化窗口刻蚀及薄氧隧道氧化层制作包括浮栅多晶掺杂以及 ONO 制作，其中薄氧隧道氧化层的厚度为 80\AA 。同样，通过光阻 Resist 定义需要进行注入的区域，并在该区域形成 80\AA 厚度的薄氧隧道氧化层 TO，其中，该薄氧隧道氧化层 TO 是形成在 BN 的上方，并且蚀刻掉 BN 此处的栅氧化层 GO。

氧化层/氮化硅/氧化层 ONO 和浮栅多晶硅制作及刻蚀。参考图 5 及图 6，图 5 是根据本发明一实施例的氧化层/氮化硅/氧化层 ONO 和浮栅多晶硅制作的示意图，而图 6 是根据本发明一实施例的氧化层/氮化硅/氧化层 ONO 和浮栅多晶硅刻蚀的示意图。首先制作第一层多晶硅作 Poly1 为浮栅多晶硅，并在第一层多晶硅作 Poly1 上制作氧化层/氮化硅/氧化层 ONO。之后，通过光阻层 Resist 蚀刻第一层多晶硅 Poly1 和氧化层/氮化硅/氧化层 ONO，形成如图 6 所示的结构。

浮栅边墙氧化，之后进行浮栅边墙的氧化。

低压管阈值调节光刻及注入。参考图 7，图 7 是根据本发明一实施例的低压管阈值调节光刻及注入的示意图。该低压管阈值调节光刻及注入包括低压管栅氧化层 LVGO 制作，其中低压管栅氧化层 LVGO 的厚度为 150\AA 、第二层多晶硅 Poly2 淀积、低压管阈值调节注入、以及低温淀积第二多晶硅层 Poly2 用于制作其他期间，其中该低温淀积的多晶硅层厚度为 4000\AA 。

第二层多晶刻蚀。参考图 8，图 8 是根据本发明一实施例的第二层多晶刻蚀的示意图。蚀刻第二多晶硅层 Poly2 用于各种器件，该步骤同样通过光阻层 Resist 实现。

高压 N+ 离子注入及形成双扩散漏极 (DDD) 结构。

根据本发明，该工艺用于制作具备高底压 CMOS 的器件，以及多晶间

电容。该工艺还可用于制作具有非挥发性可擦写封闭电路特征的器件。根据本发明的工艺的 ESD 静态电压测试为 8000 伏。

本发明的 CMOS 制作工艺采用双层多晶之间界质作电容的工艺,同时以第一层多晶作为浮栅,节省了 EPROM 所须占用的面积,节省了成本,尤其是这种结构的储存器耐久性大幅度提高。双阱注入工艺使得 ESD 静态电压测试达到 8000 伏。

虽然本发明的技术方案已经结合较佳的实施例说明于上,但是本领域的技术人员应该理解,对于上述的实施例的各种修改或改变是可以预见的,这不应当被视为超出了本发明的保护范围,因此,本发明的保护范围不限于上述具体描述的实施例,而应该是符合此处所揭示的创新性特征的最宽泛的范围。

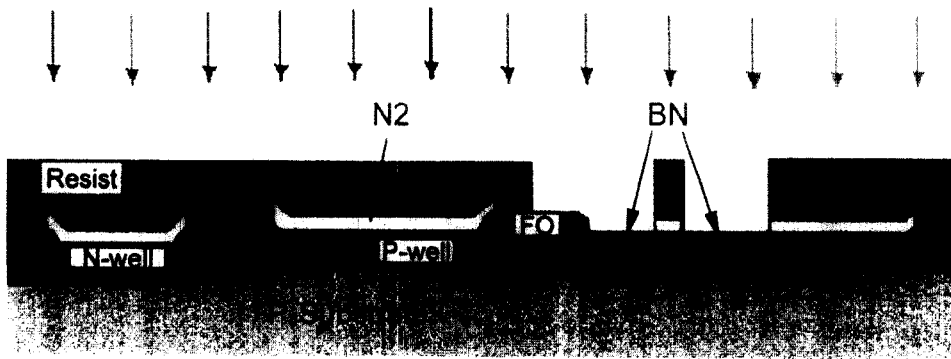


图 1

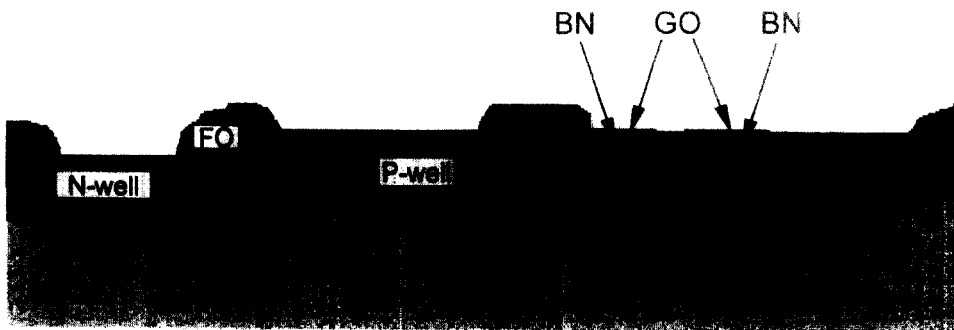


图 2

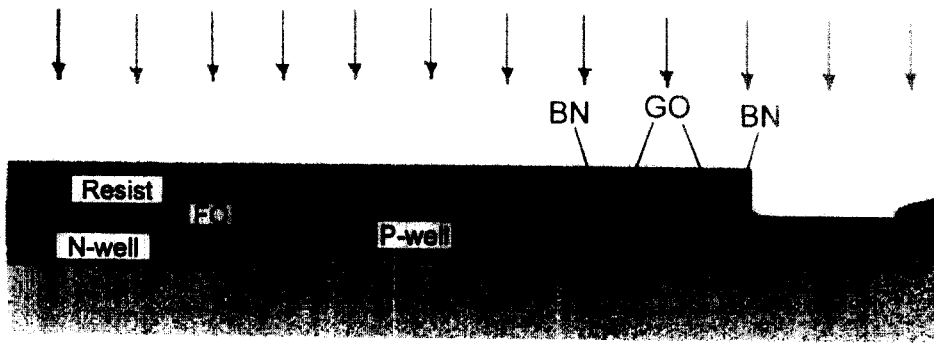


图 3

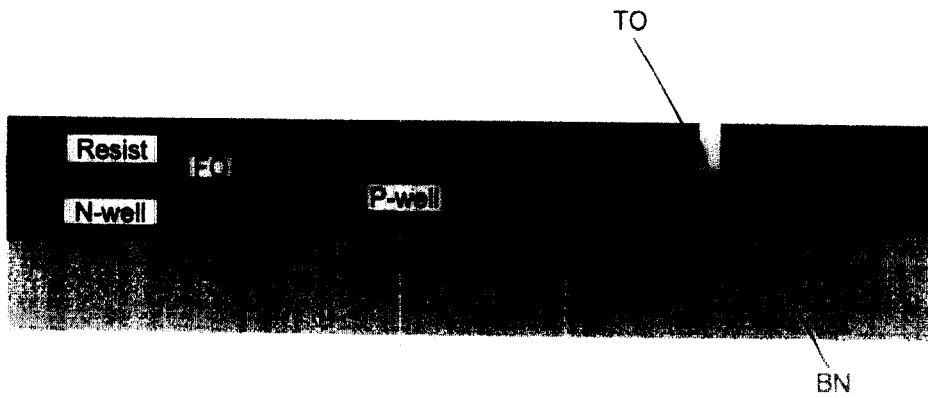


图 4

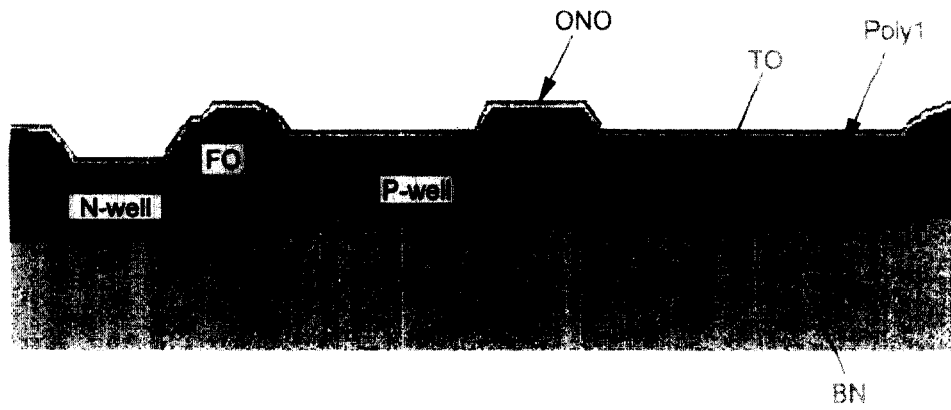


图 5

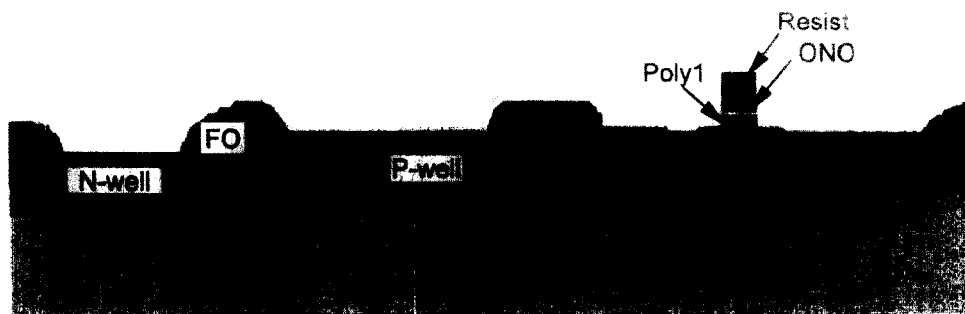


图 6

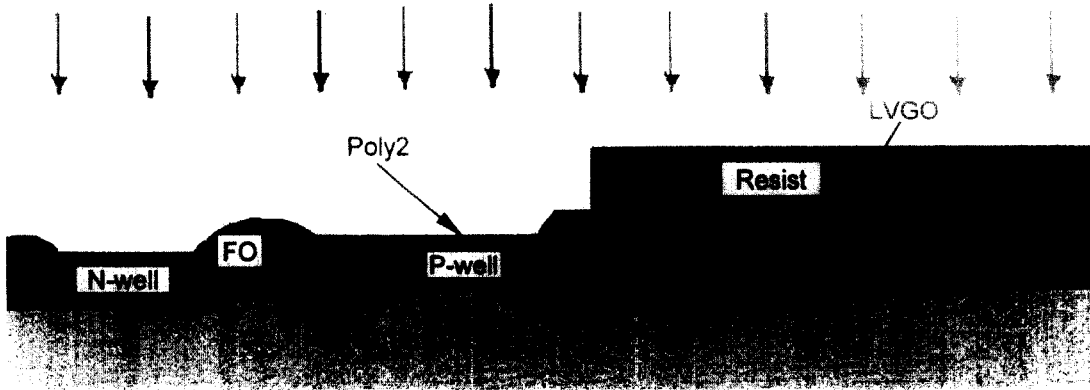


图 7

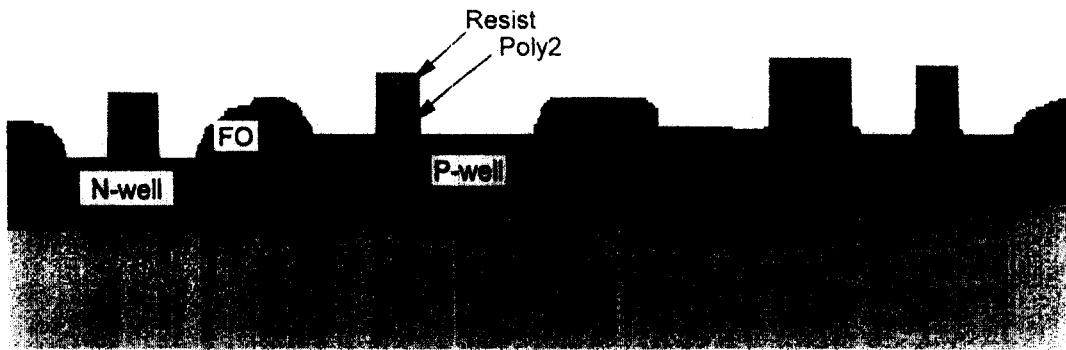


图 8