(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 118511660 A
(43)申请公布日 2024.08.16

(21)申请号 202280087606.6
(22)申请日 2022.12.21
(30)优先权数据
2022-000261 2022.01.04 JP
(85)PCT国际申请进入国家阶段日
2024.07.03
(86)PCT国际申请的申请数据
PCT/JP2022/047157 2022.12.21
(87)PCT国际申请的公布数据
WO2023/132246 JA 2023.07.13
(71)申请人 住友电气工业株式会社
地址 日本大阪
申请人 住友电工印刷电路株式会社
(72)发明人 高桥贤治 酒井将一郎 木谷聪志
(74)专利代理机构 北京康信知识产权代理有限责任公司 11240
专利代理师 李丹
(51)Int.Cl.
H05K 3/42(2006.01)
H05K 3/46(2006.01)

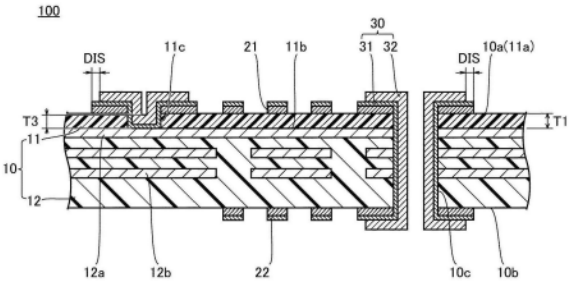
权利要求书1页 说明书8页 附图6页

(54)发明名称

印刷布线板

(57)摘要

印刷布线板具备:第一导电图案;电介质层,以覆盖第一导电图案的方式而配置;第二导电图案,配置于电介质层上;以及镀敷层。电介质层的厚度为50μm以上且500μm以下。在电介质层中形成有使第一导电图案露出的孔。孔的纵横比为0.5以上且2.0以下。镀敷层至少配置于孔的内壁面上及从孔露出的第一导电图案上、且与第二导电图案电连接。配置于从孔露出的第一导电图案上的镀敷层的厚度比第二导电图案的厚度大。



CN 118511660 A

1.一种印刷布线板,具备:

第一导电图案;

电介质层,以覆盖所述第一导电图案的方式而配置;

第二导电图案,配置于所述电介质层上;以及

镀敷层,

所述电介质层的厚度为50μm以上且500μm以下,

在所述电介质层中形成有使所述第一导电图案露出的孔,

所述孔的纵横比为0.5以上且2.0以下,

所述镀敷层至少配置于所述孔的内壁面上及从所述孔露出的所述第一导电图案上、且与所述第二导电图案电连接,

配置于从所述孔露出的所述第一导电图案上的所述镀敷层的厚度比所述第二导电图案的厚度大。

2.根据权利要求1所述的印刷布线板,其中,

所述电介质层包含氟树脂以及混合在所述氟树脂中的填料,

所述填料由二氧化硅形成。

3.根据权利要求2所述的印刷布线板,其中,

所述孔的内壁面处的硅的组成比为20%以上且80%以下。

4.根据权利要求1至3中任一项所述的印刷布线板,其中,

所述镀敷层具有基底导电层以及配置于所述基底导电层上的电解镀敷层,

在所述孔的周围,在所述基底导电层与所述电解镀敷层之间形成有阶梯。

5.根据权利要求4所述的印刷布线板,其中,

通过所述阶梯而露出的所述基底导电层的表面处的所述基底导电层的端与所述电解镀敷层之间的距离为10μm以上。

印刷布线板

技术领域

[0001] 本公开涉及印刷布线板。本申请要求以2022年1月4日申请的日本专利申请特愿2022-000261号为基础的优先权。该日本专利申请中记载的全部记载内容通过参照援引至本说明书中。

背景技术

[0002] 例如日本特开2004-087550号公报(专利文献1)中记载了一种印刷布线板。在专利文献1所记载的印刷布线板的制造方法中,第一,制备基材。基材具有第一主面及第二主面,在第一主面及第二主面配置有铜箔。第二,在基材中形成孔。配置于基材中的第一导电图案从孔露出。

[0003] 第三,在铜箔上、孔的内壁面及第一导电图案上形成镀敷层。第四,通过以抗蚀剂图案为掩模的蚀刻对铜箔及铜箔上的镀敷层进行图案化,从而形成第二导电图案。

[0004] 现有技术文献

[0005] 专利文献

[0006] 专利文献1:日本特开2004-087550号公报

发明内容

[0007] 本公开的印刷布线板具备:第一导电图案;电介质层,以覆盖第一导电图案的方式而配置;第二导电图案,配置于电介质层上;以及镀敷层。电介质层的厚度为50μm以上且500μm以下。在电介质层中形成有使第一导电图案露出的孔。孔的纵横比为0.5以上且2.0以下。镀敷层至少配置于孔的内壁面上及从孔露出的第一导电图案上、且与第二导电图案电连接。配置于从孔露出的第一导电图案上的镀敷层的厚度比第二导电图案的厚度大。

附图说明

[0008] 图1A是印刷布线板100的截面图。

[0009] 图1B是图1A的局部放大图。

[0010] 图2是印刷布线板100的制造工序图。

[0011] 图3是说明制备工序S1的截面图。

[0012] 图4是说明开孔工序S2的截面图。

[0013] 图5是说明第一镀敷工序S3的截面图。

[0014] 图6是说明第一抗蚀剂图案形成工序S4的截面图。

[0015] 图7是说明第二镀敷工序S5的截面图。

[0016] 图8是说明第一抗蚀剂图案去除工序S6的截面图。

[0017] 图9是说明第二抗蚀剂图案形成工序S7的截面图。

[0018] 图10是说明蚀刻工序S8的截面图。

[0019] 图11是变形例所涉及的印刷布线板100的截面图。

[0020] 图12是用于说明镀敷层30对孔11c的填充率的截面图。

具体实施方式

[0021] [本公开要解决的技术问题]

[0022] 在专利文献1所记载的印刷布线板中,在形成第二导电图案时,必须对铜箔及铜箔上的镀敷层进行蚀刻,因此蚀刻时间延长。随着蚀刻时间延长,第二导电图案的截面的矩形度降低,并且第二导电图案的宽度(截面积)根据部位的不同而产生偏差。第二导电图案的截面的矩形度降低及第二导电图案的宽度(截面积)的偏差增加会使高频信号流过第二导电图案时的传输特性降低。

[0023] 本公开是鉴于上述那样的现有技术的问题点而完成的。更具体而言,本公开提供能够改善高频信号流过导电图案时的传输特性的印刷布线板。

[0024] [本公开的效果]

[0025] 根据本公开的印刷布线板,能够改善高频信号流过导电图案时的传输特性。

[0026] [本公开的实施方式的说明]

[0027] 首先,列出本公开的实施方式进行说明。

[0028] (1)实施方式所涉及的印刷布线板具备:第一导电图案;电介质层,以覆盖第一导电图案的方式而配置;第二导电图案,配置于电介质层上;以及镀敷层。电介质层的厚度为50μm以上且500μm以下。在电介质层中形成有使第一导电图案露出的孔。孔的纵横比为0.5以上且2.0以下。镀敷层至少配置于孔的内壁面上及从孔露出的第一导电图案上、且与第二导电图案电连接。配置于从孔露出的第一导电图案上的镀敷层的厚度比第二导电图案的厚度大。

[0029] 根据上述(1)的印刷布线板,能够改善高频信号流过导电图案时的传输特性。

[0030] (2)在上述(1)的印刷布线板中,电介质层也可以包含氟树脂以及混合在氟树脂中的填料。填料也可以由二氧化硅形成。

[0031] (3)在上述(2)的印刷布线板中,孔的内壁面处的硅的组成比也可以为20%以上且80%以下。

[0032] 根据上述(3)的印刷布线板,即使在不得不在贯通孔的内壁面上将镀敷层形成得较厚的情况下,也能够改善高频信号流过导电图案时的传输特性。

[0033] (4)在上述(1)至(3)的印刷布线板中,镀敷层也可以具有基底导电层以及配置于基底导电层上的电解镀敷层。在孔的周围,也可以在基底导电层与电解镀敷层之间形成有阶梯。

[0034] (5)在上述(4)的印刷布线板中,通过阶梯而露出的基底导电层的表面处的基底导电层的端与电解镀敷层之间的距离也可以为10μm以上。

[0035] [本公开的实施方式的详情]

[0036] 参照附图,对本公开的实施方式的详情进行说明。在以下的附图中,对相同或相当的部分标注相同的附图标记,并省略重复的说明。将实施方式所涉及的印刷布线板设为印刷布线板100。

[0037] (印刷布线板100的构成)

[0038] 以下,对印刷布线板100的构成进行说明。

[0039] 图1A是印刷布线板100的截面图。图1B是图1A的局部放大图。如图1A及图1B所示，印刷布线板100具有基材10、导电图案21和导电图案22、以及镀敷层30。

[0040] 基材10具有主面10a和主面10b。主面10a及主面10b是基材10的厚度方向上的端面。主面10b是与主面10a相对的面。在基材10中形成有贯通孔10c。贯通孔10c沿厚度方向贯通基材10。

[0041] 基材10具有电介质层11和基板12。电介质层11以覆盖将在下文叙述的导电图案12a的方式而配置于基板12上。电介质层11及基板12分别位于基材10的主面10a侧及主面10b侧。基板12例如是刚性基板。不过，基板12也可以是柔性基板。

[0042] 电介质层11具有主面11a和主面11b。主面11a及主面11b是电介质层11的厚度方向上的端面。主面11a构成主面10a。主面11b是与主面11a相对的面，朝向基板12侧。在电介质层11中形成有孔11c。孔11c沿厚度方向贯通电介质层11。将在下文叙述的导电图案12a从孔11c露出。

[0043] 将电介质层11的厚度设为厚度T1。厚度T1为50μm以上且500μm以下。孔11c的纵横比为0.5以上且2.0以下。孔11c的纵横比通过将厚度T1除以孔11c的开口宽度的最大值来进行计算。

[0044] 厚度T1及孔11c的纵横比通过以下方法来进行测量。第一，在电介质层11的与厚度方向平行且孔11c的开口宽度为最大的截面中，使用电子显微镜(SEM:Scanning Electron Microscope:扫描电子显微镜)获取截面图像。第二，在上述截面图像上的任意10处，测量电介质层11的厚度。通过计算这10处的测量值的平均值，得到厚度T1。

[0045] 第三，在上述截面图像中，测量孔11c的开口宽度。通过将像上述那样得到的厚度T1除以该测量值，得到孔11c的纵横比。

[0046] 电介质层11是由电介质形成的层。电介质层11例如具有氟树脂和混合在氟树脂中的填料。氟树脂例如是聚四氟乙烯。填料例如由二氧化硅形成。

[0047] 二氧化硅可以是天然品，也可以是合成品。二氧化硅可以是结晶性的，也可以是非晶性的。在为合成品的情况下，二氧化硅可以是通过干式制法形成的，也可以是通过湿式制法形成的。从获得的容易性及品质的角度出发，优选二氧化硅是通过干式制法形成的合成品。

[0048] 填料相对于氟树脂的质量比通过将单位体积的电介质层11中包含的填料的质量除以单位体积的电介质层11中包含的氟树脂的质量而得到。

[0049] 填料相对于氟树脂的质量比例如为1.3以上。通过使填料相对于氟树脂的质量比为1.3以上，电介质层11的热膨胀系数降低，电介质层11的尺寸稳定性得到改善。填料相对于氟树脂的质量比优选为1.5以上，进一步优选为1.6以上。

[0050] 填料相对于氟树脂的质量比例如为2.2以下。通过使填料相对于氟树脂的质量比为2.2以下，能够抑制随着电介质层11的脆化而产生的操作性及剥离强度的降低。填料相对于氟树脂的质量比优选为2.0以下。

[0051] 填料相对于氟树脂的质量比通过以下方法来进行测量。第一，使用SEM获取电介质层11的截面图像。第二，通过在所获取的截面图像上的任意30处进行EDX(Energy Dispersive X-ray Spectroscopy:能量色散X射线光谱)分析，得到各处的填料组成原子与氟原子的质量比。第三，通过在各处基于填料组成原子与氟原子的质量比计算填料与氟树

脂的质量比,并且针对30处对所计算出的填料与氟树脂的质量比取平均,得到填料相对于氟树脂的质量比。

[0052] 填料的平均粒径例如为0.3μm以上。填料的平均粒径优选为0.5μm以上,进一步优选为1.0μm以上。填料的平均粒径例如为4.0μm以下。通过使填料的平均粒径为4.0μm以下,能够确保电介质层11的厚度的均匀性。填料的平均粒径优选为3.0μm以下,进一步优选为2.0μm以下。填料的平均粒径为一次粒子的粒径,由粒度分布的中位径D50表示。填料的平均粒径使用粒径分布测量装置(例如MicrotracBEL株式会社的MT3300II)进行测量。如果平均粒径在上述范围内,则也可以组合使用平均粒径相互不同的多种填料。为了容易形成贯通孔10c,填料的形状优选为球状。

[0053] 电介质层11也可以进一步包含聚四氟乙烯以外的氟树脂。电介质层11中的聚四氟乙烯以外的氟树脂的含量例如为10质量%以下,优选为5质量%以下。

[0054] 孔11c的内壁面上的硅的组成比(原子比)优选为20%以上且80%以下。需要说明的是,孔11c的内壁面上的硅的组成比(原子比)是硅原子相对于构成孔11c的内壁面的全部原子的比率。11c的内壁面上的硅的质量比通过在去除镀敷层30之后在孔11c的内壁面上进行EDX(Energy Dispersive X-ray:能量色散X射线光谱)分析来进行测量。

[0055] 在填料中,除了由二氧化硅形成的填料以外,也可以还包含由二氧化硅以外的材料形成的填料。作为二氧化硅以外的材料的具体例,可列举氧化铝、氧化镁、氧化钙、滑石、硫酸钡、氮化硼、氧化锌、钛酸钾、玻璃、氧化钛、云母等。

[0056] 由二氧化硅形成的填料的含有比例(将由二氧化硅形成的填料的质量除以由二氧化硅形成的填料的质量与由二氧化硅以外的材料形成的填料的质量的合计再乘以100而得到的值)例如为60质量%以上。由二氧化硅形成的填料的含有比例优选为70质量%以上,进一步优选为80质量%以上。

[0057] 由二氧化硅形成的填料的含有比例通过以下方法来进行测量。第一,使用SEM获取电介质层11的截面图像。第二,通过对所获取的截面图像中包含的50个填料进行EDX分析,确定各个填料的组成,并基于该组成求出由二氧化硅形成的填料的含有比例。

[0058] 电介质层11也可以使用液晶聚合物或聚苯醚来取代氟树脂。电介质层11也可以使用聚苯乙烯、聚丙烯等烯烃系材料来取代氟树脂。

[0059] 电介质层11的相对介电常数例如为2.0以上且4.0以下。电介质层11的相对介电常数优选为2.2以上且3.3以下。电介质层11的介质损耗角正切例如为0.003以下。电介质层11的介质损耗角正切优选为0.002以下,进一步优选为0.0014以下。电介质层11的相对介电常数及介质损耗角正切使用分体式圆柱谐振器法而基于IPC TM-650 2.5.5.13在25℃、80GHz的条件下进行测量。

[0060] 基板12具有导电图案12a和导电图案12b。导电图案12a配置于基板12的电介质层11侧的主面。导电图案12b配置于基板12的内部。导电图案12a及导电图案12b从贯通孔10c的内壁面局部露出。

[0061] 导电图案21及导电图案22分别配置于主面10a上及主面10b上。导电图案21及导电图案22例如由铜形成。高频信号流过导电图案21。将导电图案21的厚度设为厚度T2。厚度T2例如为5μm以上且20μm以下。

[0062] 厚度T2通过以下方法来进行测量。第一,在导电图案21的与延伸方向正交的任意

截面中,使用电子显微镜获取导电图案21的截面图像。第二,在上述截面图像上的任意10处,测量导电图案21的厚度。通过计算这10处的测量值的平均值,得到厚度T2。不过,厚度T2在贯通孔10c及孔11c的周围以外的部位进行测量。

[0063] 在导电图案21的与延伸方向正交的截面观察时,将导电图案21的底面处的宽度及导电图案21的上表面处的宽度分别设为宽度W1及宽度W2。将宽度W2除以宽度W1而得到的值优选为0.7以上且1.0以下。需要说明的是,将宽度W2除以宽度W1而得到的值越接近1.0,则在导电图案21的与延伸方向正交的截面观察时,导电图案21的形状越接近矩形(截面形状的矩形度越高)。

[0064] 宽度W1及宽度W2通过以下方法来进行测量。第一,在导电图案21的与延伸方向正交的任意10个截面中,使用SEM获取导电图案21的截面图像。第二,在上述截面图像的每一个中,测量导电图案21的底面处的宽度及导电图案21的上表面处的宽度。通过针对10个截面图像对这些测量值取平均,得到宽度W1及宽度W2。

[0065] 镀敷层30配置于贯通孔10c的内壁面上。需要说明的是,镀敷层30也可以还配置于与贯通孔10c的内壁面相连的导电图案21的侧面上、位于贯通孔10c周围的导电图案21的上表面上、与贯通孔10c的内壁面相连的导电图案22的侧面上、以及位于贯通孔10c周围的导电图案22的上表面上。导电图案21及导电图案22通过镀敷层30而相互电连接。

[0066] 镀敷层30还配置于孔11c的内壁面上以及从孔11c露出的导电图案12a上。需要说明的是,镀敷层30也可以还配置于与孔11c的内壁面相连的导电图案21的侧面上以及位于孔11c周围的导电图案21的上表面上。导电图案21通过镀敷层30而与导电图案12a电连接。

[0067] 镀敷层30例如具有非电解镀敷层31以及配置于非电解镀敷层31上的电解镀敷层32。非电解镀敷层31是通过非电解镀敷形成的层,电解镀敷层32是通过电解镀敷形成的层。非电解镀敷层31是用于形成电解镀敷层32的基底导电层。镀敷层30(非电解镀敷层31、电解镀敷层32)例如由铜形成。需要说明的是,也可以取代非电解镀敷层31而形成溅射层(通过溅射形成的层)或导电性粒子层(包含导电性粒子的层)作为基底导电层。

[0068] 将配置于从孔11c露出的导电图案12a上的镀敷层30的厚度设为厚度T3。厚度T3的测量通过以下方法来进行。第一,在电介质层11的与厚度方向平行的任意截面中,使用SEM获取配置于从孔11c露出的导电图案12a上的镀敷层30的截面图像。第二,使用上述截面图像测量镀敷层30的厚度的最小值。

[0069] 厚度T3比厚度T2大。也就是说,将厚度T3除以厚度T2而得到的值比1.0大。换个角度来说,除了贯通孔10c的周围及孔11c的周围以外,在导电图案21及导电图案22上未配置有电解镀敷层32。厚度T3例如为10μm以上。在贯通孔10c的周围及孔11c的周围,在非电解镀敷层31与电解镀敷层32之间形成有阶梯。通过该阶梯而露出的非电解镀敷层31的表面上的非电解镀敷层31与电解镀敷层32之间的距离DIS可以为10μm以上,也可以为10μm以上且20μm以下。

[0070] (印刷布线板100的制造方法)

[0071] 以下,对印刷布线板100的制造方法进行说明。

[0072] 图2是印刷布线板100的制造工序图。如图2所示,印刷布线板100的制造方法具有制备工序S1、开孔工序S2、第一镀敷工序S3、第一抗蚀剂图案形成工序S4、第二镀敷工序S5、第一抗蚀剂图案去除工序S6、第二抗蚀剂图案形成工序S7、蚀刻工序S8、以及第二抗蚀剂图

案去除工序S9。

[0073] 开孔工序S2在制备工序S1后进行。第一镀敷工序S3在开孔工序S2后进行。第一抗蚀剂图案形成工序S4在第一镀敷工序S3后进行。第二镀敷工序S5在第一抗蚀剂图案形成工序S4后进行。第一抗蚀剂图案去除工序S6在第二镀敷工序S5后进行。第二抗蚀剂图案形成工序S7在第一抗蚀剂图案去除工序S6后进行。蚀刻工序S8在第二抗蚀剂图案形成工序S7后进行。第二抗蚀剂图案去除工序S9在蚀刻工序S8后进行。

[0074] 图3是说明制备工序S1的截面图。如图3所示,在制备工序S1中,制备基材10。需要说明的是,在制备工序S1中制备的基材10中,在主面10a上及主面10b上分别配置有铜箔23及铜箔24。

[0075] 图4是说明开孔工序S2的截面图。如图4所示,在开孔工序S2中,在基材10中形成贯通孔10c,并且在电介质层11中形成孔11c。例如通过钻孔加工来进行贯通孔10c及孔11c的形成。

[0076] 图5是说明第一镀敷工序S3的截面图。在第一镀敷工序S3中,如图5所示,在铜箔23上及铜箔24上形成非电解镀敷层31。非电解镀敷层31还形成于贯通孔10c的内壁面上、与贯通孔10c的内壁面相连的铜箔23的侧面上、与贯通孔10c的内壁面相连的铜箔24的侧面上、孔11c的内壁面上、与孔11c的内壁面相连的铜箔23的侧面上、与孔11c的内壁面相连的铜箔24的侧面上、以及从孔11c露出的导电图案12a上。

[0077] 图6是说明第一抗蚀剂图案形成工序S4的截面图。如图6所示,在第一抗蚀剂图案形成工序S4中,在铜箔23上及铜箔24上隔着非电解镀敷层31分别形成抗蚀剂图案41及抗蚀剂图案42。抗蚀剂图案41具有开口部41a及开口部41b。开口部41a位于贯通孔10c的周围。开口部41b位于孔11c的周围。抗蚀剂图案42具有开口部42a。开口部42a位于贯通孔10c的周围。

[0078] 在第一抗蚀剂图案形成工序S4中,第一,将干膜抗蚀剂粘贴于铜箔23上及铜箔24上。第二,通过曝光及显影,干膜抗蚀剂被局部去除而形成开口部41a、开口部41b及开口部42a。另外,未形成有开口部41a及开口部41b的干膜抗蚀剂的部分成为抗蚀剂图案41,未形成有开口部42a的干膜抗蚀剂的部分成为抗蚀剂图案42。

[0079] 图7是说明第二镀敷工序S5的截面图。在第二镀敷工序S5中,如图7所示,在非电解镀敷层31上形成电解镀敷层32。在第二镀敷工序S5中,通过对非电解镀敷层31通电而进行电解镀敷,从而在非电解镀敷层31上形成电解镀敷层32。即,在第二镀敷工序S5中,进行凸点镀敷。

[0080] 图8是说明第一抗蚀剂图案去除工序S6的截面图。如图8所示,在第一抗蚀剂图案去除工序S6中,从铜箔23上去除抗蚀剂图案41,并且从铜箔24上去除抗蚀剂图案42。

[0081] 图9是说明第二抗蚀剂图案形成工序S7的截面图。如图9所示,在第二抗蚀剂图案形成工序S7中,在铜箔23上及铜箔24上隔着非电解镀敷层31分别形成抗蚀剂图案51及抗蚀剂图案52。抗蚀剂图案51具有开口部51a,抗蚀剂图案52具有开口部52a。铜箔23及位于其上的非电解镀敷层31从开口部51a露出,铜箔24及位于其上的非电解镀敷层31从开口部52a露出。需要说明的是,抗蚀剂图案51及抗蚀剂图案52是通过将干膜抗蚀剂粘贴于铜箔23上及铜箔24上、并且对该干膜进行曝光及显影而形成的。

[0082] 图10是说明蚀刻工序S8的截面图。在蚀刻工序S8中,以抗蚀剂图案51及抗蚀剂图

案52为掩模对铜箔23及铜箔24进行蚀刻。由此,从开口部51a露出的铜箔23和非电解镀敷层31的部分以及从开口部52a露出的铜箔24和非电解镀敷层31的部分被去除,形成导电图案21及导电图案22。

[0083] 在第二抗蚀剂图案去除工序S9中,从导电图案21上去除抗蚀剂图案51,并且从导电图案22上去除抗蚀剂图案52。通过以上工序来制造图1A及图1B所示的结构的印刷布线板100。

[0084] (印刷布线板100的效果)

[0085] 以下,对印刷布线板100的效果进行说明。

[0086] 在不进行第一抗蚀剂图案形成工序S4的情况下,在第二镀敷工序S5中,在非电解镀敷层31上的整面形成电解镀敷层32。在这种情况下,为了形成导电图案21及导电图案22,在蚀刻工序S8中,不仅是铜箔23、铜箔24及非电解镀敷层31,而且电解镀敷层32也必须进行蚀刻。其结果,蚀刻工序S8所需的时间延长,导电图案21的宽度(截面积)的偏差增加,并且导电图案21的矩形度降低,高频信号流过时的导电图案21的传输特性降低。

[0087] 特别是,在为了确保高频信号流过时的导电图案21的传输特性而使厚度T1为50μm以上、且孔11c的纵横比为0.5以上的情况下,难以在从孔11c露出的导电图案12a上形成镀敷层30。为此,从确保可靠性的角度出发,优选将镀敷层30形成得较厚。然而,若将镀敷层30形成得较厚,则蚀刻工序S8所需的时间进一步延长,高频信号流过时的导电图案21的传输特性进一步降低。

[0088] 在印刷布线板100中,由于进行了第一抗蚀剂图案形成工序S4,因此在蚀刻工序S8中,仅对铜箔23、铜箔24及非电解镀敷层31进行蚀刻就足矣。其结果,蚀刻工序S8所需的时间缩短,导电图案21的宽度(截面积)的偏差减少,并且导电图案21的矩形度提高。这样,根据印刷布线板100,高频信号流过时的导电图案21的传输特性得到改善。

[0089] 例如在位于电介质层11的孔11c的内壁面处、由二氧化硅形成的填料露出很多(更具体而言,位于电介质层11的孔11c的内壁面处的硅的组成比为20%以上且80%以下)的情况下,由于镀敷层30与孔11c的内壁面的密合性降低,因此通过将镀敷层30形成得较厚,可靠性得到改善。

[0090] 在印刷布线板100中,由于在蚀刻工序S8中仅对铜箔23、铜箔24及非电解镀敷层31进行蚀刻即可,因此即使将镀敷层30形成得较厚,蚀刻工序S8所需的时间也不易延长。为此,根据印刷布线板100,即使在镀敷层30形成得较厚的情况下,高频信号流过时的导电图案21的传输特性也得到改善。

[0091] (变形例)

[0092] 图11是变形例所涉及的印刷布线板100的截面图。如图11所示,镀敷层30对孔11c的填充率优选为100%。图12是用于说明镀敷层30对孔11c的填充率的截面图。如图12所示,将位于孔11c周围的镀敷层30的上表面与导电图案12a的上表面之间的距离设为距离DIS1。将配置于从孔11c露出的导电图案12a上的镀敷层30的上表面与导电图案12a的上表面之间的距离的最小值设为距离DIS2。通过将距离DIS2除以距离DIS1后再乘以100,来计算镀敷层30对孔11c的填充率。

[0093] 如图11所示,也可以在电介质层11上以覆盖镀敷层30及导电图案21的方式配置有电介质层60。也可以在电介质层60上配置有导电图案61。在电介质层60中形成有使埋入孔

11c的镀敷层30露出的孔60a。导电图案61通过配置于孔60a的内壁面上、从孔60a露出的镀敷层30上、与孔60a的内壁面相连的导电图案61的侧面上、以及位于孔60a周围的导电图案61的上表面上的镀敷层62而与镀敷层30电连接。需要说明的是,镀敷层62与镀敷层30同样地具有非电解镀敷层62a以及配置于非电解镀敷层62a上的电解镀敷层62b。

[0094] 这样,在填充率为100%的情况下、即在配置于从孔11c露出的导电图案12a上的镀敷层30的上表面没有凹陷的情况下,能够在电介质层11上进一步层叠其他电介质层,并进一步层积导电图案。虽然未图示,但在填充率为100%的情况下,能够将部件搭载于埋入孔11c的镀敷层30。

[0095] 应该被认为的是,本次公开的实施方式在所有方面都是例示性的,而非限制性的。本发明的范围并非由上述实施方式而是由权利要求示出,旨在包括与权利要求等同的含义和范围内的所有变更。

[0096] 附图标记说明

[0097] 10:基材;10a:主面;10b:主面;10c:贯通孔;11:电介质层;11a:主面;11b:主面;11c:孔;12:基板;12a:导电图案;12b:导电图案;21:导电图案;22:导电图案;23:铜箔;24:铜箔;30:镀敷层;31:非电解镀敷层;32:电解镀敷层;41:抗蚀剂图案;41a、41b:开口部;42:抗蚀剂图案;42a:开口部;51:抗蚀剂图案;51a:开口部;52:抗蚀剂图案;52a:开口部;60:电介质层;61:导电图案;62:镀敷层;62a:非电解镀敷层;62b:电解镀敷层;100:印刷布线板;P:测量位置;S1:制备工序;S2:开孔工序;S3:第一镀敷工序;S4:第一抗蚀剂图案形成工序;S5:第二镀敷工序;S6:第一抗蚀剂图案去除工序;S7:第二抗蚀剂图案形成工序;S8:蚀刻工序;S9:第二抗蚀剂图案去除工序;DIS:距离;DIS1:距离;DIS2:距离;T1、T2、T3:厚度;W1:宽度;W2:宽度。

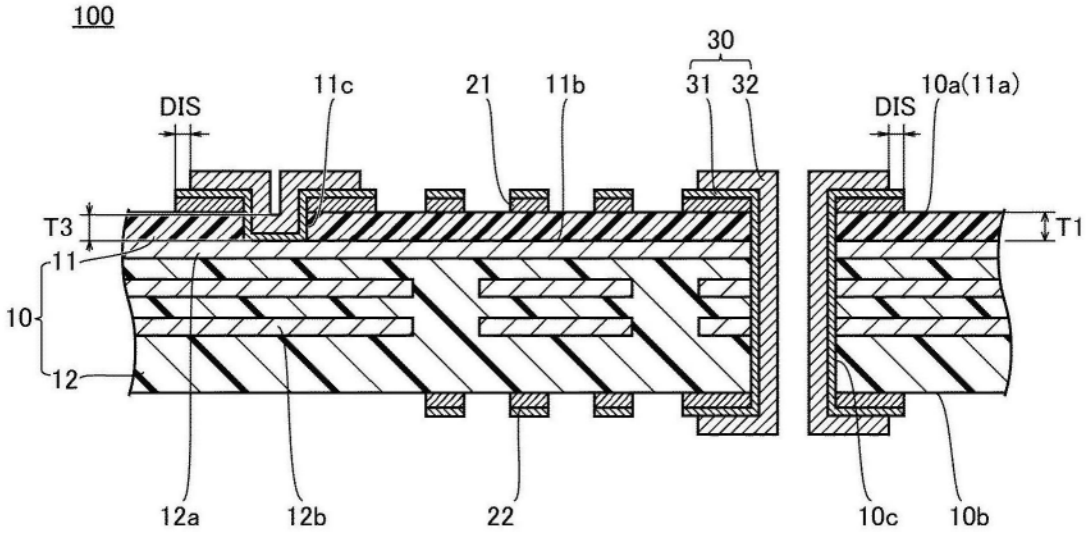

100
30
11c
21
11b
31
32
10a(11a)
DIS
DIS
T3
T1
11
10
12
12a
12b
22
10c
10b

图1A

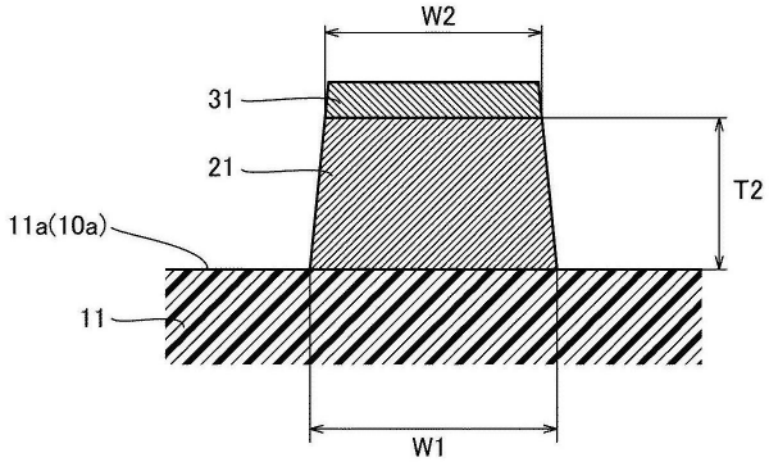

W2
31
21
T2
11a(10a)
11
W1

图1B

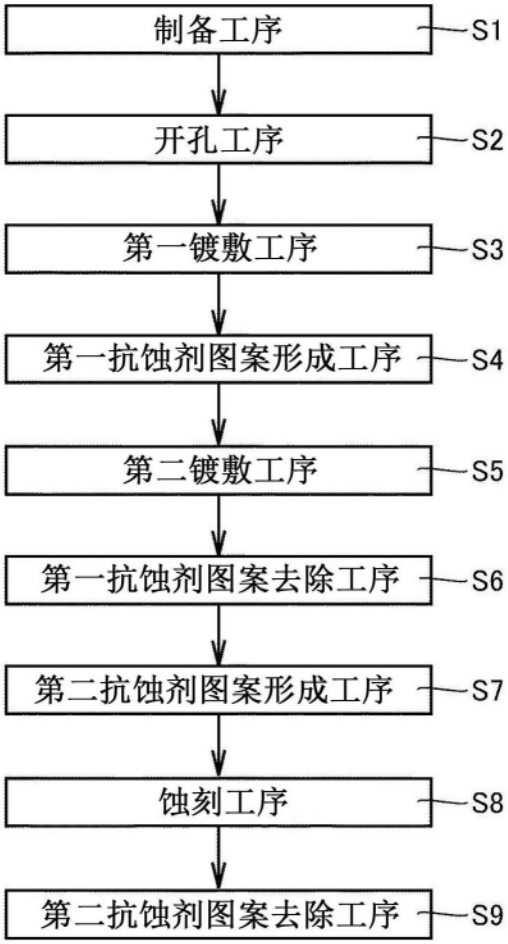

制备工序
S1
开孔工序
S2
第一镀敷工序
S3
第一抗蚀剂图案形成工序
S4
第二镀敷工序
S5
第一抗蚀剂图案去除工序
S6
第二抗蚀剂图案形成工序
S7
蚀刻工序
S8
第二抗蚀剂图案去除工序
S9

图2

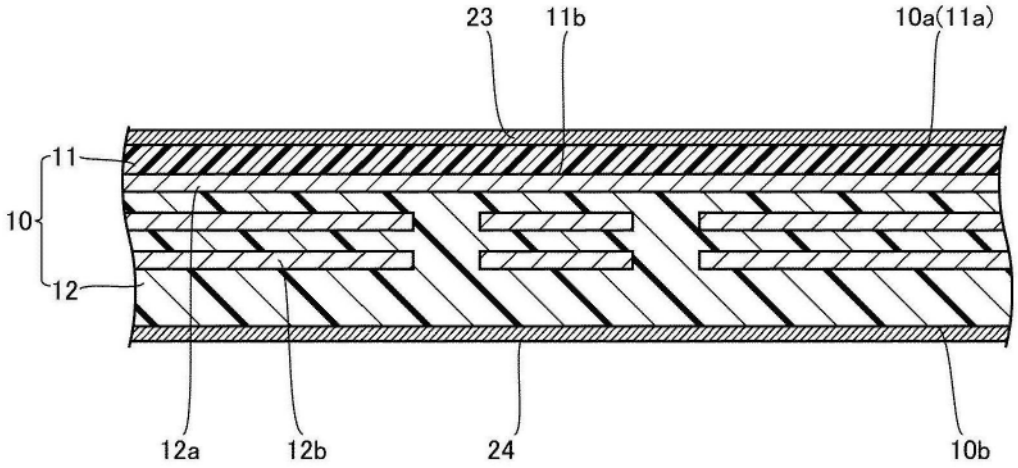

23
11b
10a(11a)
11
10
12
12a
12b
24
10b

图3

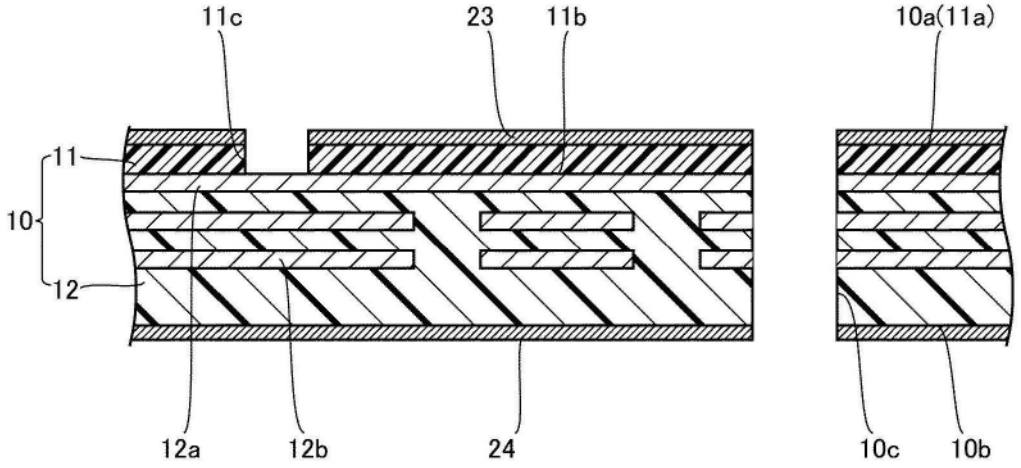

11c
23
11b
10a(11a)
11
10
12
12a
12b
24
10c
10b

图4

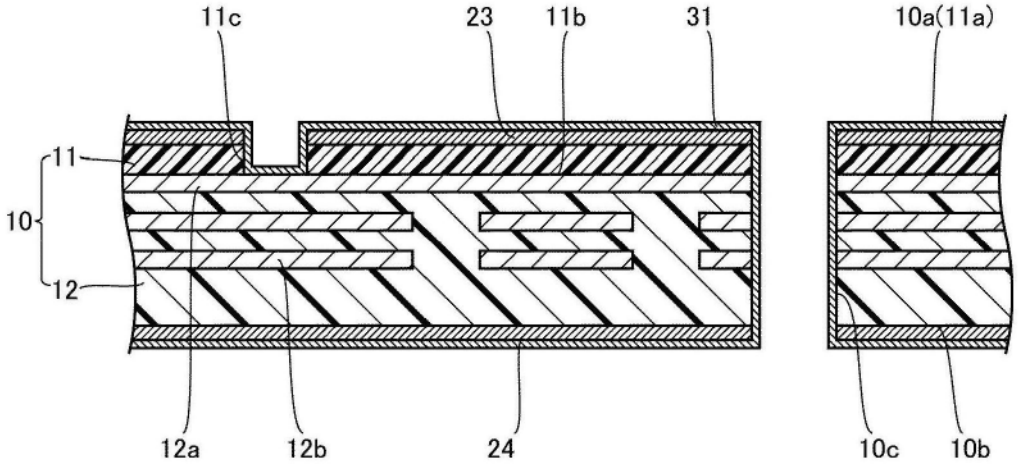

11c
23
11b
31
10a(11a)
11
10
12
12a
12b
24
10c
10b

图5

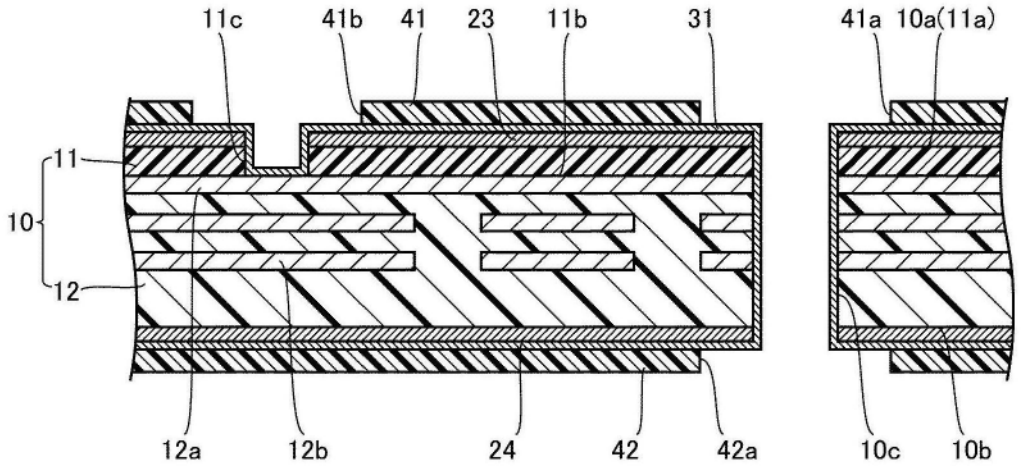

11c
41b
41
23
11b
31
41a
10a(11a)
11
10
12
12a
12b
24
42
42a
10c
10b

图6

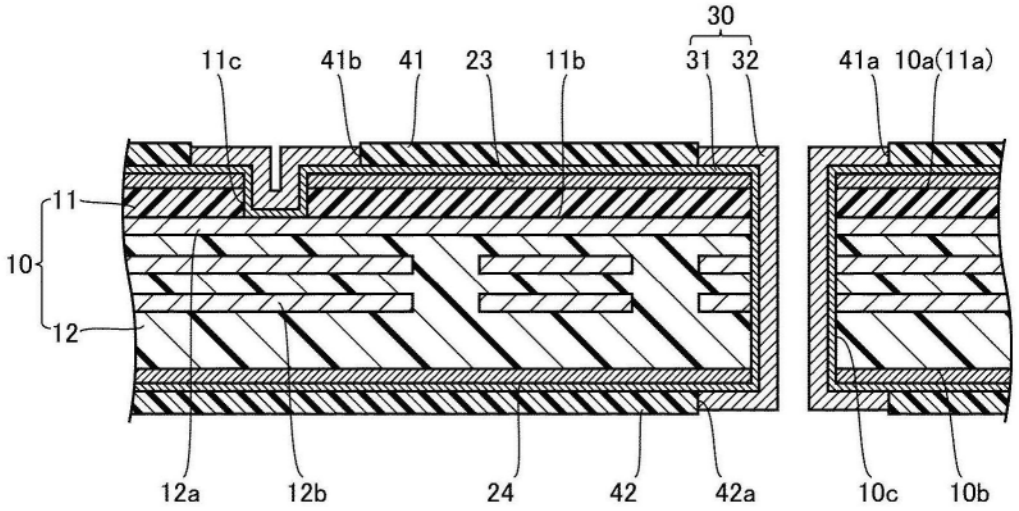

30
11c
41b
41
23
11b
31
32
41a
10a(11a)
11
10
12
12a
12b
24
42
42a
10c
10b

图7

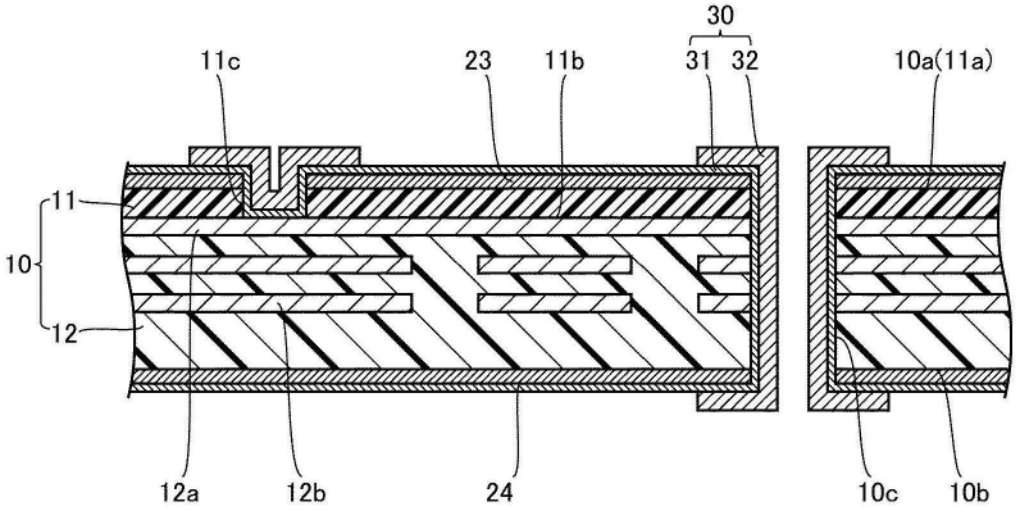

30
11c
23
11b
31
32
10a(11a)
11
10
12
12a
12b
24
10c
10b

图8

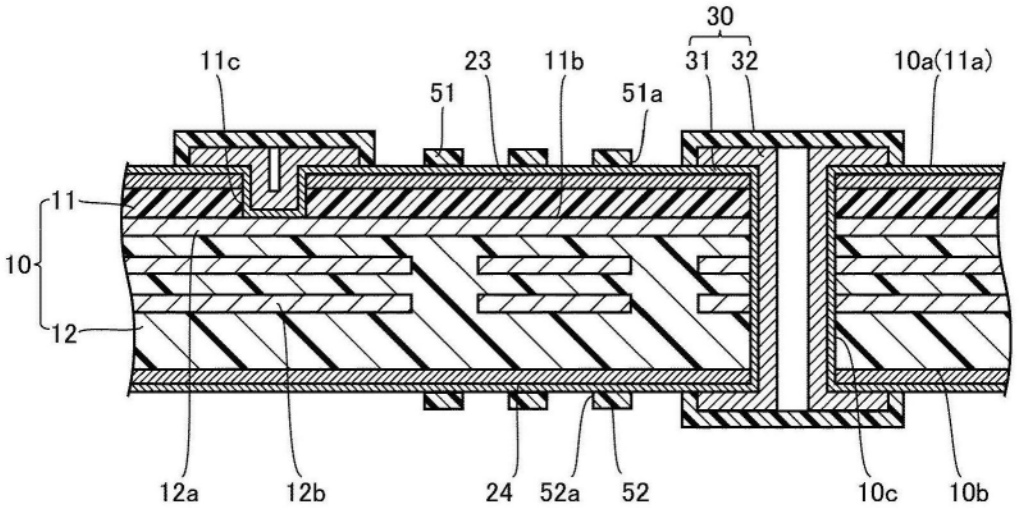

30
11c
23
11b
31
32
10a(11a)
51
51a
11
10
12
12a
12b
24
52a
52
10c
10b

图9

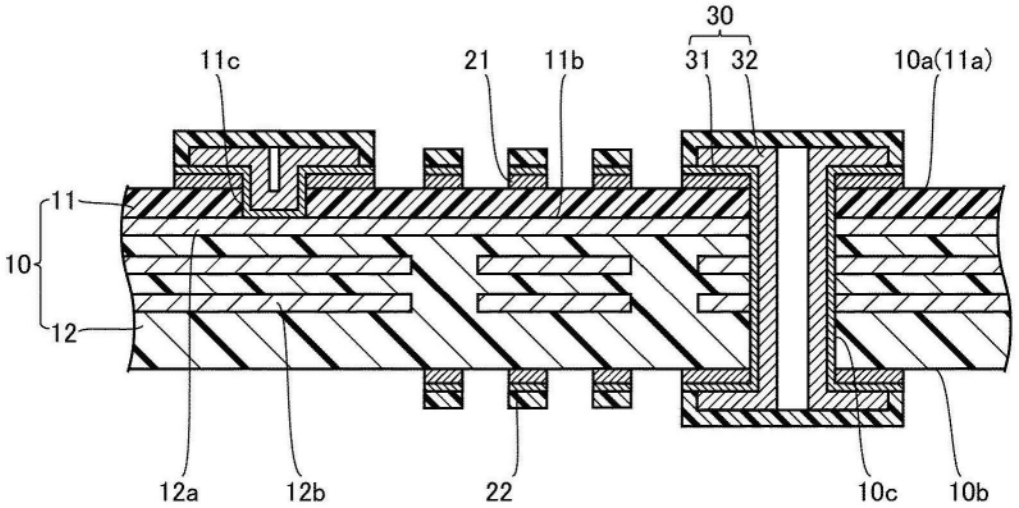

30
11c
21
11b
31
32
10a(11a)
11
10
12
12a
12b
22
10c
10b

图10

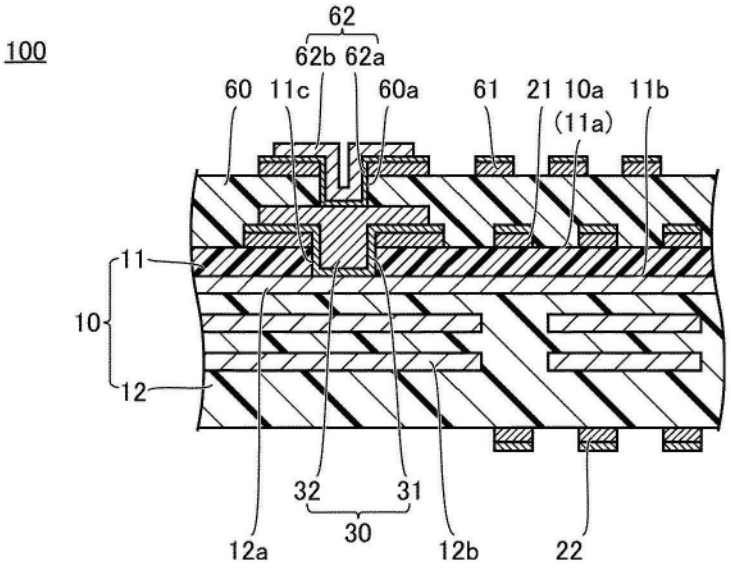

100
62
62b 62a
60 11c 60a 61 21 10a 11b
(11a)
11
10
12
32 31
30
12a 12b 22

图11

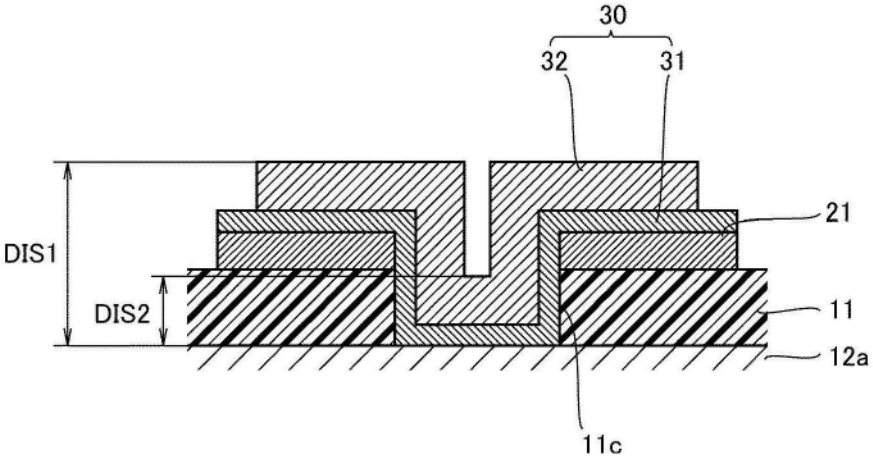

30
32 31
21
DIS1
DIS2
11
12a
11c

图12