(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 16/00

(45) 공고일자 2000년03월02일
(11) 등록번호 10-0243825
(24) 등록일자 1999년11월18일

(21) 출원번호 10-1997-0018710
(22) 출원일자 1997년05월15일
(65) 공개번호 특1997-0076859
(43) 공개일자 1997년12월12일
(30) 우선권주장 96-145089 1996년05월15일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바 니시무로 타이죠
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼 72반지
(72) 발명자 이와따 요시히사
일본 가나가와껭 가와사끼시 사이와이꾸 고무까이도시바쪼 1 가 부시끼가이샤 도시바 리서치 앤드 디벨롭먼트 센터 내
(74) 대리인 구영창, 이상희

심사관 : 이철희

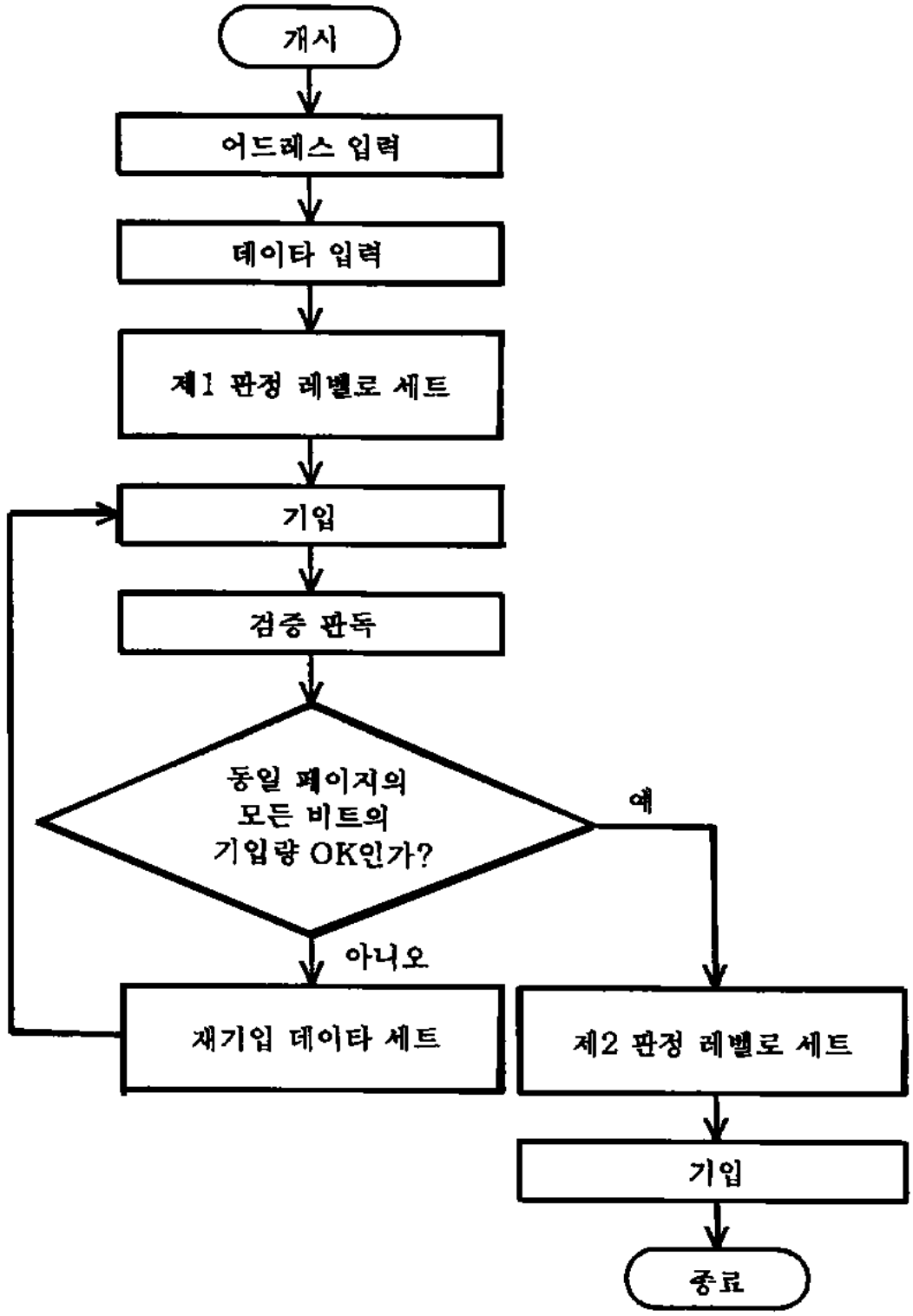
(54) 불휘발성 반도체 기억 장치 및 그 기입 방법

요약

검증 동작을 행함으로써 기입 후 또는 소거 후의 메모리 셀의 임계치를 과기입 없이 소정의 범위로 억제하는 것이 가능한 반도체 기억 장치 및 그 기입 방법을 제공한다.

기입은, 최초에 판독할 설정 레벨과 같은가 그보다는 높거나 본래 필요로 하는 판정 레벨보다 낮은 완만한 제1 판정 레벨을 설정하고, 이 제1 판정 레벨에 기초하여 제1 기입 동작을 행하고, 다음에 제2 판정 레벨에 기초하여 제2 기입 동작을 행하여 완만하게 제1 판정 레벨과 본래 필요로 하는 판정 레벨(목적으로 하는 판정 레벨)인 제2 판정 레벨 사이의 임계치를 갖는 메모리 셀의 임계치를 상기 제2 판정 레벨보다 위로 올리는 것, 즉 기입 동작을 2회로 나눠 행한다. 임계치 분포 폭을 좁게 하면 소거 동작에서의 일괄 소거시에 모든 메모리 셀을 확실하게 소거할 수 있다.

대표도



명세서

도면의 간단한 설명

제1도는 본 발명의 플래시 메모리의 회로 블록도.

제2도는 제1도에 도시하는 센스/래치 회로의 회로도.

제3도는 본 발명의 플래시 메모리의 기입 동작의 플로우차트.

제4도는 제2도의 센스/래치 회로의 동작 설명도.

제5도는 본 발명의 효과를 설명하는 메모리 셀의 임계치 분포도.

제6도는 본 발명의 판정 레벨 설정 회로도.

제7도는 제6도의 판정 레벨 설정 회로의 동작 설명도.

제8도는 본 발명 및 종래의 플래시 메모리의 셀 어레이의 회로도.

제9도는 본 발명 및 종래의 메모리 셀의 임계치의 갯수 분포도.

제10도는 플래시 메모리에서의 판독, 기입 및 소거 동작에 메모리 셀로 인가하는 전압의 설명도.

제11도는 종래의 플래시의 기입 동작의 플로우차트.

〈도면의 주요부분에 대한 부호의 설명〉

10 : 플래시 메모리	11 : 메모리 셀 어레이
12 : 로우 디코더	13 : 센스/래치 회로
14 : 컬럼 디코더	15 : 컬럼 게이트
16 : 승압 회로	17 : 제어 회로
18 : I/O 버퍼	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은, 불휘발성 반도체 기억 장치에 관한 것으로, 특히 검증 동작을 행함으로써 기입 후 또는 소거 후의 메모리 셀의 임계치를 소정의 범위로 억제된 반도체 기억 장치에 관한 것이다.

불휘발성 반도체 기억 장치에는, PROM(Programmable Read Only Memory), EPROM(Erasable and Programmable ROM), EEPROM(Electrically Erasable and Programmable ROM) 등이 있다. 특히, EEPROM은 전기적으로 기입/소거가 가능하다.

불휘발성 반도체 기억 장치는, 전원을 끊어도 데이타가 없어지지 않는 잇점이 있는 등의 이유에 의해 최근 대폭으로 수요가 증대하고 있다. 전기적으로, 일괄 소거 가능한 불휘발성 반도체 기억 장치인 플래시 메모리(플래시형 EEPROM)는, 2 트랜지스터형의 바이트형 불휘발성 반도체 기억 장치와는 달리 1트랜지스터로 메모리 셀을 구성할 수 있기 때문에 메모리 셀을 적게 할 수 있고, 또한 대용량 자기 디스크의 대체 용도 등으로 기대되고 있다.

불휘발성 반도체 기억 장치는, 부유 게이트를 갖는 MOS 트랜지스터로 이루어지는 메모리 셀을 매트릭상으로 배열하여 메모리 셀 어레이를 구성하고, 이 부유 게이트에 전하를 축적시킴으로써 MOS 트랜지스터의 임계치를 변화시키며, 이 임계치의 값에 의해 데이타를 기억한다. 데이타의 기입 및 소거는, 절연막에 전류가 흐름으로써 행하기 때문에 프로세스나 사용 조건 등의 변동에 의해 기입 시간이 크게 변화한다.

이는, DRAM이나 SRAM과 크게 다른 점이다. 이 결과 동일 칩중에도 기입이 빠른 셀과 기입이 늦은 셀이 공존하고 있다.

도 8의 NAND형 플래시 메모리의 셀 구조를 도시하는 회로도를 참조하여 종래의 불휘발성 반도체 기억 장치를 설명한다. 이 플래시 메모리는 본 발명에도 적용된다.

도면에 도시하는 바와 같이 이 NAND형 플래시 메모리는, 부유 게이트를 갖는 MOS트랜지스터(M1~M16)를 구비하고 있다. 이들의 메모리 셀은 직렬로 접속되어 한단이 선택 트랜지스터(ST1)를 통해 비트선(BL)에 접속되고, 다른 단이 선택 트랜지스터(ST2)를 통해 공통 소스선(S)에 접속되어 있다. 각각의 MOS 트랜지스터는, 반도체 기판의 동일 웰에 형성되어 있다. 각 메모리 셀(M1~M16)의 제어 전극은, 워드선(WL1~WL16)에 접속되어 있고, 선택 트랜지스터(ST1)의 제어 전극은 선택선(SL1)에 접속되며, 선택 트랜지스터(ST2)의 제어 전극은 선택선(SL2)에 접속되어 있다.

각 메모리 셀(M1~M16)은 그것이 유지하는 데이타에 따른 임계치를 갖고 있다. 이 임계치는 "0" 데이타를 유지하고 있을 때에는 0V를 넘어 5V 미만으로 설정되고, "1" 데이타를 유지하고 있을 때에는 0V 미만으로 설정되어 있다(보다 적절하게는, 어느 정도의 마진을 갖기 위해 이보다 작은 범위로 설정되어 있다).

도 9는, 상기 메모리 셀의 임계치의 갯수 분포를 도시하는 임계치 분포도이다. 종축은, 메모리 셀의 임계치(Vth(V))를 나타내고, 횡축은 메모리 셀의 갯수(N)를 나타내고 있다. NAND형 플래시 메모리는, 통상 "1" 데이타가 유지되어 있는 상태를 소거 상태라 말하고, "0" 데이타가 유지되어 있는 상태를 기입 상태라 말한다. 또한, "1" 데이타가 유지되어 있는 메모리 셀의 임계치를 정방향으로 시프트시켜 "0" 데이타를 유지하도록 하는 것을 「기입 동작」이라 말하고, "0" 데이타가 유지되어 있는 메모리 셀의 임계치(Vth)를 부방향으로 시프트시켜 "1" 데이타를 유지하도록 하는 것을 소거 동작이라 말한다. 그러나, 이 정의는 NOR형 플래시 메모리에서는 다를 경우가 있다.

도 10은 판독, 소거 및 기입 동작시에 메모리 셀로 인가하는 전압을 표로서 도시한 동작도이다. 판독 동

작시에는, 비트선(BL)을 처음에 5V로 프리차지하여 부유 상태로 하고 있고, 이어서 선택선(SL1, SL2)에 5V, 선택 메모리 셀의 워드선 (WL)에 0V, 비선택 메모리 셀의 워드선(WL)에 5V, 셀 웰(W)에 0V, 공통 소스선(S)에 0V를 인가한다. 그러면, 선택 메모리 셀 이외의 모든 트랜지스터가 온한다.

선택 트랜지스터에 대해서는, 선택 트랜지스터에 "0" 데이타가 유지되고 있을 때에는 이 메모리 셀은 비도통으로 되어 비트선(BL)의 전위는 5V까지 변화되고, "1" 데이타가 유지되어 있을 때에는 도통으로 되기 위해 비트선(BL)은 방전되어 전위가 저하한다. 데이타의 센스는, 판독시의 비트선 전위를 검출하여 행한다.

소거 동작시에는, 비트선(BL)은 개방(OPEN)으로 하고, 선택선(SL1)에 18V, 메모리 셀의 워드선(WL)에 0V, 선택선(SL2)에 18V, 셀웰(W)에 18V, 그리고 공통 소스선(S)에 18V를 인가한다. 그러면, 부유 게이트와 웰 사이에 게이트 절연막을 통해 터널 전류가 흐르고, 임계치는 0V 이하로 된다.

기입 동작시에는, 기입 데이타에 의해 다른 전압을 인가한다. 즉, "0" 데이타 기입(임계치를 시프트시키지 않을 경우)에서는 비트선(BL)에 0V를 인가하고, "1" 데이타 기입(임계치를 시프트시킬 경우)에서는 비트선(BL)에 9V를 인가한다. 선택선(SL1)에는 11V, 선택 메모리 셀의 워드선(WL)에는 18V, 비선택 메모리 셀의 워드선(WL)에는 9V, 선택선(SL2)에는 0V, 셀웰(W)에는 0V, 공통 소스선(S)에는 0V를 각각 인가한다.

이 결과, 선택 트랜지스터(Q1)로부터 메모리 셀(M16)까지의 모든 트랜지스터는 도통하고, 비트선과 동전위로 된다. 따라서, 비트선(BL)에 0V가 인가된 메모리 셀은, 채널과 제어 전극 사이에 18V의 고전압이 걸려 터널 전류가 흐르고, 임계치는 정방향으로 시프트한다. 또한, 비트선(BL)에 9V가 인가된 메모리 셀은, 채널과 제어 전극 사이에 9V가 걸리게 되기 때문에 임계치의 정방향의 시프트는 억압된다.

불휘발성 반도체 기억 장치는, 이와 같이 터널 전류라는 순 물리적인 수단을 이용해 기입을 행하기 때문에, 기입 속도는 각 메모리 셀에 의해 오차가 있다. 따라서 예를 들어 같은 기입 시간에도 어느 메모리 셀의 임계치는 0V 이상 5V 이하로 들어가 있지만, 다른 메모리 셀은 5V를 넘어버리는 것도 있다. 즉, 기입이 늦는 메모리 셀은 어느 시각에서 "0" 데이타에 기입되었지만, 기입이 빠른 메모리 셀은 거의 이 시각에서 "0" 데이타 셀의 임계치의 상한인 5V를 넘어버리고 있다. NAND형 플래시 메모리는 판독시에 비선택 메모리 셀의 워드선에 5V를 인가하여 온하고 있지만, 어느 메모리 셀의 임계치가 5V를 넘어버리면 그 메모리 셀과 직렬로 접속되고 남은 모든 메모리 셀의 데이타가 읽혀지지 않게 되어버린다.

이는 직렬의 전류 경로가 차단되어 버렸기 때문이다. 그래서 임계치의 분포를 어느 일정한 값으로 수렴시킬 필요가 있다. 판독 마진을 충분히 확보하기 위해서는 임계치 분포는 작은 범위로 수렴시키는 것이 바람직하다.

그래서 알려진 수법이 비트마다 검증이다. 이는 기입 시간을 모든 메모리 셀을 일정하게 하는 것은 아니고, 메모리 셀마다 다른 시간으로 한다. 즉, 기입 시간을 짧은 시간으로 구분하고, 기입→검증→재기입 데이타 설정→기입→검증→재기입 데이타 설정...으로 반복한다. 여기서, 검증 동작에 의해 임계치의 상승이 충분히 된 것은, 다음 회의 사이클에서는 기입을 행하도록 재기입 데이타를 설정한다. 이와 같이 하면, 기입이 빠른 메모리 셀은 기입 동작이 종료하고, 그 후의 임계치의 상승은 없게 된다.

이런 모양으로 불휘발성 반도체 기억 장치는, 기입 혹은 소거 후의 메모리 의 임계치(Vth)의 분포 폭을 일정 이내로 억제할 필요가 있다. 그 때문에 비트마다 검증하면서 기입 혹은 소거를 행한다. 플래시 메모리는, 기입, 소거, 판독 3개의 기본적인 기능을 갖고 있다.

플래시 메모리의 기입 기능(프로그램이라 함)은, 메모리 셀의 임계치(Vth)를 0V를 넘도록 하는 동작을 가리킨다. 기본적으로는, 내부적으로 설정된 기입 펄스 시간 사이 메모리 셀로 기입 전압을 준다. 그 후, 센스 앰프를 통해 메모리 셀이 소정의 임계치까지 올라가 있는가를 검증(체크)한다(이하, 이 동작은 기입 검증이라함). 검증을 포함한 기입은 도 11에 도시하는 동작 시퀀스에 따라 행하여진다.

임계치의 체크를 행한 결과, 소정의 임계치까지 올라가 있으면 OK로 되어 이 검정 동작은 종료한다. 소정의 임계치까지 올라가 있지 않으면 NG 신호를 내보내 다시 기입을 실행한다.

발명이 이루고자 하는 기술적 과제

도 8의 NAND형 EEPROM의 등가 회로에 도시하는 바와 같이, 셀은 비선택일 때 전송 게이트의 역할을 이루지 않으면 안되기 때문에, 전자가 부유 게이트로 주입되어 기입된 셀의 임계치는 도 9와 같이 분포되어 있지 않으면 안된다. 임계치의 최대치는 제어 게이트의 전압으로 정한다. 이 전압을 높게 하면 제약이 따르게 되기 때문이지만, 꽤 높게 할 수 있으면 오기입을 일으킬 가능성이 나타나 버린다. 또한, 최소값은 소거 상태가 기입 상태를 판정하는 전위이고, 통상의 NAND형 EEPROM에서는 0V이다.

그를 위해 상술한 바와 같이 기입 동작을 행한 후 검증 동작을 행하고, 기입이 불충분하면 재기입, 충분하면 기입을 종료로 한다는 시퀀스를 행한다(도 11 참조). NAND형 EEPROM은, 이 동작을 동일 행(行) 선에 접속하고 있는 복수의 메모리 셀을 동시에 게다가 각 셀마다 행한다. 기입 판정을 위해 0V보다 높고, 예를 들어 0.5V를 0V의 바뀜으로 선택 메모리 셀의 제어 게이트에 더한다. 이 0.5V는 동작 마진으로서 되어 있는 것이다.

또한, 기입을 거쳐 셀의 임계치가 최대값을 넘지 않도록 기입 전압을 낮은 전압으로 하여 개시하고, 기입 전압을 차례로 높게 올림으로써 기입이 늦는 셀에도 대응하는 것도 알려져 있다.

이와 같이, 임계치를 어느 범위로 두고자 할 때에 최초로부터 확실하지 않게 (검증에 이용하는 판정 전압의 절대값이 높은 것) 판정 레벨을 결정하고 있던 것에서는 기입하지 않을 우려가 생긴다는 문제가 있었다.

본 발명은 이와 같은 사정에 의해 이루어진 것으로, 검증 동작을 행함으로써 기입 후 또는 소거 후의 메모리 셀의 임계치를 과기입 없게 어느 소정의 범위로 억제하는 것이 가능한 반도체 기억 장치 및 그 기입 방법을 제공하는 데 그 목적이 있다.

발명의 구성 및 작용

본 발명은, 소정의 메모리 셀을 기입 검증할 경우에 있어서, 최초에 완만하게 판정 레벨을 설정하고(다만, 판독의 설정 레벨과 같아도 좋고 높아도 좋다), 그와 함께 완만한 판정 레벨과 목적의 판정 레벨 사이의 메모리 셀의 임계치를 목적의 판정 레벨보다 위로 올리는 것을 특징으로 하고 있다.

즉, 청구항 1의 발명은, 불휘발성 반도체 기억 장치에 있어서 동일 행 선에 접속되는 복수개의 메모리 셀을 1블록으로 하고, 이 블록을 복수개 갖는 메모리 셀과, 상기 메모리 셀에 데이타를 기입하는 기입 수단 및, 상기 기입 수단에 의해 기입 처리가 행하여진 데이타에 대해서 검증을 행하는 검증 수단을 구비하고, 상기 검증 수단에 의한 검증은, 복수개의 판정 전압에 의해 행하여지는 것을 특징으로 한다. 청구항 2의 발명은, 청구항 1에 기재의 불휘발성 반도체 기억 장치에 있어서 상기 검증 수단은 먼저 제1 레벨의 판정 전압으로 행함에 따라 제2 레벨의 판정 전압으로 행하는 수단을 갖고, 상기 제1 레벨의 판정 전압의 절대값은 상기 제2 레벨의 판정 전압의 절대값보다 작은 것을 특징으로 한다.

청구항 3의 발명은, 청구항 1 또는 청구항 2에 기재의 불휘발성 반도체 기억 장치에 있어서 판독 수단을 더 구비하고, 상기 제1 레벨의 판정 전압의 절대값은 상기 판독 수단의 판독 전압의 절대값보다 큰 것을 특징으로 한다. 청구항 4의 발명은, 불휘발성 반도체 기억 장치의 기입 방법에 있어서 동일 행 선에 접속되는 복수개의 메모리 셀을 1블록으로 하고, 이 블록을 복수개 갖는 메모리 셀 어레이의 각 메모리 셀에 제1 레벨의 설정 전압을 기초로 데이타를 기입하는 수단과, 상기 제1 레벨의 설정 전압을 기초로 기입한 데이타에 대해서 검증하는 단계와, 상기 제1 레벨의 설정 전압을 기초로 기입한 데이타에 대해서 기입 및 검증을 모든 메모리 셀에 대해 행한 후 상기 제1 레벨의 판정 전압의 절대값이 그 절대값보다 높은 제2 레벨의 판정 전압으로 기입을 행하는 단계를 구비하고 있는 것을 특징으로 한다.

이상, 본 발명에서는 종래의 방법보다 좁은 임계치 분포 폭을 실시할 수 있다.

이하, 도 1 내지 도 7을 참조하여 발명의 실시 형태를 설명한다.

도 1은 불휘발성 반도체 기억 장치(NAND형 플래시 메모리)의 전체 회로 구성을 도시하는 회로 블록도이다. NAND형 플래시 메모리(10)는, 메모리 셀 어레이(11)와, 로우 디코더(12)와, 센스/래치 회로(13)와, 컬럼 디코더(14)와, 컬럼 게이트 (15)와, 승압 회로(16)와, 제어 회로(17) 및, I/O 버퍼 회로(8)를 구비하고 있다. 메모리 셀 어레이(11)는, 복수의 NAND형 메모리 셀이 매트릭스상으로 배치되어 있고, 종방향으로 비트선(BL)이 수천개, 행방향으로 워드선(WL)이 수천개 배열되어 있다. 로우 디코더(12)는, 이 워드선(WL)을 외부로부터 입력된 어드레스에 기초하여 선택한다. 센스 앰프와 데이타 래치 회로(13)로 구성된 센스/래치 회로(13)는, 일단이 비트선(BL)에 접속되고, 다른단이 컬럼 게이트(15)를 통해 I/O 버퍼 회로(18)에 접속되어 있다. 컬럼 디코더(14)는, 외부로부터 입력된 어드레스에 기초하여 컬럼 게이트(15)를 제어하고, 비트선(BL) 및 대응하는 센스 앰프/래치 회로(13)를 선택한다. 승압 회로(16)는, 기입 동작이나 소거 동작에 필요한 고전압을 공급한다.

제어 회로(17)는, 기입 동작과, 소거 동작 및 독출 동작을 제어한다. 또한, I/O 버퍼 회로(18)는, 반도체 칩 외부와의 인터퓨즈를 갖는다. 메모리 셀 어레이 (11)내의 메모리 셀의 상세는 도 8에 도시한 바와 같은 회로 구성을 갖고 있다.

도 2는, 도 1에 도시하는 플래시 메모리의 센스/래치 회로(13)의 상세한 도면이다. 데이타 선(D, /D)에는, N채널 MOS 트랜지스터(Q7, Q8)의 전류 통로의 일단이 각각 접속되어 있다. 이들 트랜지스터(Q7, Q8)의 전류 통로의 다른단에는, 래치회로(LT)를 구성하는 인버터 회로(IV1, IV2)가 접속되어 있다. 인버터 회로(IV1)의 입력단 및 인버터 회로(IV2)의 출력단은 트랜지스터(Q7)의 전류 통로의 다른단(노드(F))에 접속되고, 인버터 회로(IV1)의 출력단 및 인버터 회로(IV2)의 입력단은, 트랜지스터(Q8)의 전류 통로의 다른단(노드(/F)에 접속되어 있다. /F의 「/」는 반전을 나타낸다.

도 2의 센스/래치 회로를 참조하면서 이 플래시 메모리의 기입 동작을 설명한다. 먼저, 래치 회로(LT)에 기입 데이타를 래치시킨다. 메모리 셀에 데이타를 기입할 경우 래치 회로(LT)의 노드(F)는, "L"으로 설정되고, 노드(/F)는 "H"으로 설정된다. 즉, 컬럼 선택 신호(CS)에 의해 트랜지스터(Q7, Q8)를 온으로 하고, 데이타선(D, /D)을 통해 래치 회로(LT)의 노드(F)를 "L", 노드(/F)를 "H"으로 설정한다. 그 후, 타이밍 신호(PRO)에 의해 N채널 MOS 트랜지스터(Q4)를 온으로 하고, 비트선(BL)을 통해 선택된 메모리 셀에 데이타를 기입한다. 메모리 셀에 대한 데이타의 기입 동작은 종래의 기술에서 설명한 바와 같다. 메모리 셀에 데이타가 충분히 기입된 경우, 그 메모리 셀의 임계치는 상승하고, 메모리 셀은 오프로 된다.

다음에, 데이타의 기입 상태를 검증하는 기입 검증 동작은 먼저, 비트선(BL)이 프리차지되고, 그 후 선택하는 메모리 셀의 워드선(WLn)의 전위가 검증의 설정 전위로 상승된다. 선택된 메모리 셀에 데이타가 기입되고, 임계치가 충분히 높게 되어 있을 경우, 그 메모리 셀은 오프로 되어 있기 때문에 비트선(BL)은 충전 전위를 유지한다.

그러나, 데이타가 충분히 기입되어 있지 않을 경우, 메모리 셀은 온으로 되어 있기 때문에 비트선(BL)의 전하는 방전되고, 전위가 저하한다. 이와 같이 메모리 셀을 선택한 후, 타이밍 신호(SA)에 의해 N채널 MOS 트랜지스터(Q2)를 온으로 한다. 그러면, 데이타가 충분 기입되어 있지 않아 비트선(BL)의 전위가 낮을 경우, N채널 MOS 트랜지스터(Q3)는 오프하고 있기 때문에 래치 회로(LT)의 노드(/F)는 "H", 노드(F)는 "L"으로 된다. 즉, 메모리 셀에 데이타가 충분 기입되어 있지 않을 경우, 래치 회로(LT)의 상태는 기입 개시시 그대로 있어 변화하지 않는다. 데이타가 충분 기입 되어 있지 않을 경우, 래치 회로(LT)에 유지된 기입 데이타를 이용해 다시 상술한 기입 동작이 행하여진다. 메모리 셀에 데이타가 충분히 기입되어 비트선(BL)의 전위가 높을 경우 트랜지스터(Q3)는 온으로 되고, 래치 회로(LT)의 상태가 변화하다. 즉, 래치 회로(LT)의 노드(/F)는 "L", 노드(F)는 "H"으로 된다.

다음에, 도 3에 도시하는 기입 동작의 플로우차트를 참조하여 본 발명에서의 이 동작의 전체 흐름을 설명한다. 기입 동작은, 1페이지분의 데이타를 데이타 입력 단자(I/O)로부터 직렬로 래치 회로로 보내는 데이타 로드 사이클과 그 데이타를 메모리 셀에 실제로 기입하는 모드로 이루어진다.

기입 후의 메모리 셀의 임계치 분포 폭은, 어떤 소정의 범위로 받지 않으면 않된다. 따라서, 비트마다 기입이 종료했는지의 여부를 판단하고, 비트마다 기입 시간을 제어하여 임계치의 상한을 넘지 않도록 한다.

데이타 로드 사이클에서 취입된 기입 데이타는 1회의 메모리 셀로의 기입 종료 후, 검증 판독이 행하여진다. "1" 데이타 기입은 실제로는 부유 게이트로의 전자의 주입을 행하는 것은 아니기 때문에 검증을 행할 필요는 없다. "0" 데이타 기입이 성공했을 경우는, 검증 판독에 의해 래치 회로는 "1" 데이타로 개서되고, 기입 불충분했던 경우는 래치 회로의 내용은 "0" 데이타인 체로 있다. 이 새롭게 설정된 데이타에 의해 다시 기입을 행한다. 기입이 성공한 메모리 셀에는 래치 회로가 "1" 데이타로 바뀌어 있기 때문에, 부유 게이트로의 전자의 주입이 행하여지지 않아 임계치의 상승은 일어나지 않는다.

기입이 불충분한 메모리 셀에는 래치 회로가 "0" 데이타인 체로 있기 때문에 부유 게이트로의 전자의 주입이 행하여진다. 래치 회로가 모두 "1" 데이타로 된 시점에서 기입이 종료한다.

본 발명에 의하면, 도 3에 도시하는 바와 같이 기입은 최초에 판독할 설정 레벨과 같은가 그보다는 높지만 본래 필요로 하는 판정 레벨보다 낮은 완만한 제1 판정 레벨을 설정하고, 이 제1 판정 레벨에 기초하여 제1 기입 동작을 행하고, 다음에 제2 판정 레벨에 기초하여 제2 기입동작을 행하여 완만한 제1 판정 레벨와 본래 필요로 하는 판정 레벨(목적으로 하는 판정 레벨)인 제2 판정 레벨 사이의 임계치를 갖는 메모리 셀의 임계치를 상기 제2 판정 레벨보다 위로 올라가면, 즉 기입 동작을 2회로 나누어 행하는 것에 특징이 있다.

먼저, 제1 판정 레벨을 0V로 하여(요컨대, 판독할 설정 레벨과 같게 하여) 제1 기입 동작을 행한다. 이 제1 기입 동작에 있어서, 기입 검증을 반복한다. 이 제1 기입 동작이 종료하면서 제2 판정 레벨(0.5V)로 세트하고, 이에 기초하여 0V와 마진을 포함하게 한 제2 판정 레벨인 0.5V 사이의 메모리 셀을 선출하여 제2 기입 동작을 행하여 이 플래시 메모리에 대한 기입을 종료한다.

기입은, 먼저 센스/래치 회로를 도 4에 도시하는 모양으로 동작시킨다. 제1 판정 레벨인 0V로 통상의 기입과 검증의 시퀀스를 행하고, 이것이 종료하면, 상술한 바와 같이 "1" 데이타의 경우도 "0" 데이타의 경우도 도 4의 ①의 상태로 된다. 즉, 도 2의 센스/래치 회로의 노드(F)는 "H", 노드(/F)는 "L"으로 되어 데이타는 기입된다.

그 후, 래치 상태를 유지하면서 비트선(BL)을 "H"으로 프리차지하고, 0V의 판정 레벨로 판독한다. 이 때 "1" 데이타가 기입된 메모리 셀("1" 데이타 셀이라 함)은 BL="L"이고, "0" 데이타가 기입된 메모리 셀("0" 데이타 셀이라 함)은 BL="H"으로 된다. 이 후 SB="H", SA="L"으로 센스한다. 이 센스에 의해 도 4의 ②의 상태로 된다. 여기서, "0" 데이타 셀은, 재기입할 수 있는 상태로 있다.

다음에, 래치 상태를 유지하면서 BL을 "H"으로 프리차지하여 제2 판정 레벨인 0.5V로 판독한다. 메모리 셀의 임계치(Vth)를 VT로 하면 VT〉0.5에서 BL="H", VT〈0.5에서 BL="L"으로 된다. 이번은 SB="L", SA="H"으로 센스한다. 그러면, 도 4의 ③의 상태로 되고, 0〈VT〈0.5의 경우만 노드(F)가 "L"으로 되고, 노드(/F)는 "H"으로 된다. 이 래치 데이타를 BL로 전송하여 기입을 행하면 0〈VT〈0.5의 경우만 BL이 0V에서, 그 외 BL의 전위는 "H"으로 되고, 0〈VT〈0.5의 셀만 추가 기입할 수 있다.

도 5에 도시하는 메모리 셀의 임계치 분포도를 참조하여 본 발명에 의한 분포 폭을 설명한다. 종축은, 셀수(N)를 나타내고, 횡축은 메모리 셀의 임계치 (Vth(V))를 나타내고 있다. 최초에 완만하게 판정 레벨(제1 판정 레벨)을 설정한다. 이 제1 판정 레벨(예를 들어, 0V)로 기입 및 기입 검증을 반복하면, 도 5a에 도시하는 바와 같이 메모리 셀의 임계치 분포는 0〈VT〈4의 범위로 형성된다. 이 임계치 분포는 A 영역과 B 영역으로 구성되어 있다. 다음에, 제1 판정 레벨보다 엄하고 목적으로 하는 판정 레벨인 제2 판정 레벨(0.5V)을 설정한다. 그리고, 제2 설정 레벨에 기초하여 분포도의 A 영역의 메모리 셀에 대해 다시 기입을 행하면, 도 5b의 C 영역으로 이루어지는 임계치 분포가 형성된다. 이 임계치 분포는 0.5〈VT〈4의 범위에 있고, 최초의 임계치 분포보다 좁게 되어 있다. 이 분포의 최소값은 0.5V이고, 허용 최대값은 4V이다.

본 발명과 같이, 임계치 분포 폭을 좁게 하면, 소거 동작에서의 일괄 소거 시에 모든 메모리 셀을 확실하게 소거할 수 있다.

이상, 지나친 기입을 용이하게 막을 수 있는 기입 검증 방법을 제공할 수 있다.

임의의 판정 전압(VT)을 생성하는 판정 레벨 설정 회로를 도 6의 회로도에 도시한다. 신호(N1, N2, N3)을 적당 선택함("H"으로 함)으로써 여러가지의 전위를 발생시킬 수 있다. 저항(R)의 한단은 전원(Vcc)에 접속되고, 다른 단은 각각 저항 (R1, R2, R3)의 한단에 접속되어 있다. 저항(R1, R2, R3)의 다른단에는 한쪽이 접지된 N채널 MOS 트랜지스터(Q11, Q12, Q13)에 각각 접속되어 있다. 트랜지스터 (Q11, Q12, Q13)의 게이트에는 신호(N1, N2, N3)가 인가되도록 되어 있다. 저항(R)과 저항(R1, R2, R3)의 중점은, 차동증폭기(DAMP)의 부입력 단자에 접속되어 있다. 차동증폭기(DAMP)의 출력은 차동 증폭기(DAMP)의 정입력 단자에 접속되어 있다. 차동 증폭기(DAMP)의 출력은 판정 전압(VT)으로 된다. 도 7에 도시하는 바와 같이, 저항(R1, R2, R3)의 조합에 기초하여 저항(R)과의 저항 분할에 의해 판정 전압(VT)이 생성된다. 저항의 선택은 신호(N1, N2, N3)의 "H", "L"에 의해 행하여진다. 또한, 최초의 스타트, 즉 제1 판정 레벨을 반드시 0V로 할 필요는 없다. 예를 들어, 부전압을 제1 판정 레벨로 할 수 있다. 이 경우에는, 부의 VT를 판정하는 것으로, 정의 전압을 메모리 셀의 소스와 메모리 셀이 형성되어 있는 웰에 바이어스하여 행한다.

또한, 이상의 방법은 다치 셀을 실현하기 위해, 좁은 분포 폭을 필요로 할 때에도 응용할 수 있다. 요컨대, 최초의 판정 레벨을 0V로 하여 기입하고, 다음에 판정 레벨을 1V로 하여 0〈VT〈1의 셀을 추가 기입하여 분포를 1V에서 4V로 억제한다. 또한, 판정 레벨을 2V로 하여 1〈VT〈2의 셀을 추가 기입하고, 분포를 2V에서 4V로 한다. 또 마찬가지 방법으로 판정 레벨을 3V로 하여 2〈VT〈3의 셀을 추가 기입함으로써 분포를 3V에서 4V로 하는 것이 가능하게 된다.

발명의 효과

먼저, 처음의 제1 레벨의 판정 전압으로 기입 검증을 행하고, 이어서 제1 레벨의 판정 전압보다 큰 제2 레벨의 판정 전압으로 검증을 행함으로써, 기입된 메모리 셀의 임계치의 분포 폭을 충분히 좁게 할 수 있다.

(57) 청구의 범위

청구항 1

동일 행(行) 선에 접속되는 복수개의 메모리 셀을 1블록으로 하고, 이 블록을 복수개 갖는 메모리 셀 어레이와; 상기 메모리 셀에 데이타를 기입하는 기입 수단; 및 상기 기입 수단에 의해 기입 처리가 행하여진 데이타에 대해 검증을 행하는 검증 수단을 구비하고, 상기 검증 수단에 의한 검증은 복수개의 판정 전압에 의해 행하여지는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 2

제1항에 있어서, 상기 검증 수단은 먼저 제1 레벨의 판정 전압으로 행하고, 이어서 제2 레벨의 판정 전압으로 행하는 수단을 구비하며, 상기 제1 레벨의 판정 전압의 절대값은 상기 제2 레벨의 판정 전압의 절대값보다 작은 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 3

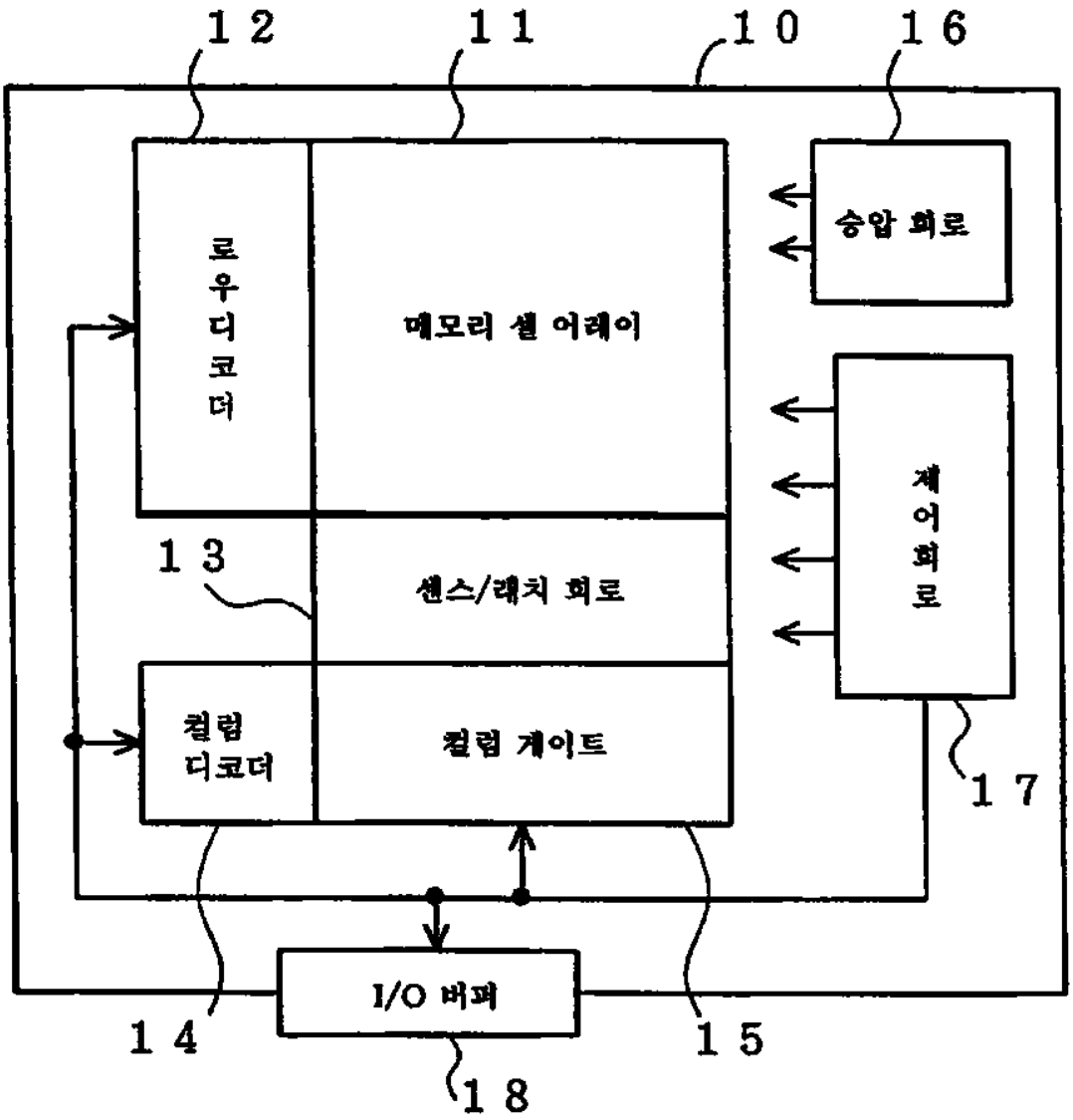
제1항 또는 제2항에 있어서, 판독 수단을 더 구비하고, 상기 제1 레벨의 판정 전압의 절대값은 상기 판독 수단의 판독 전압의 절대값보다 큰 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 4

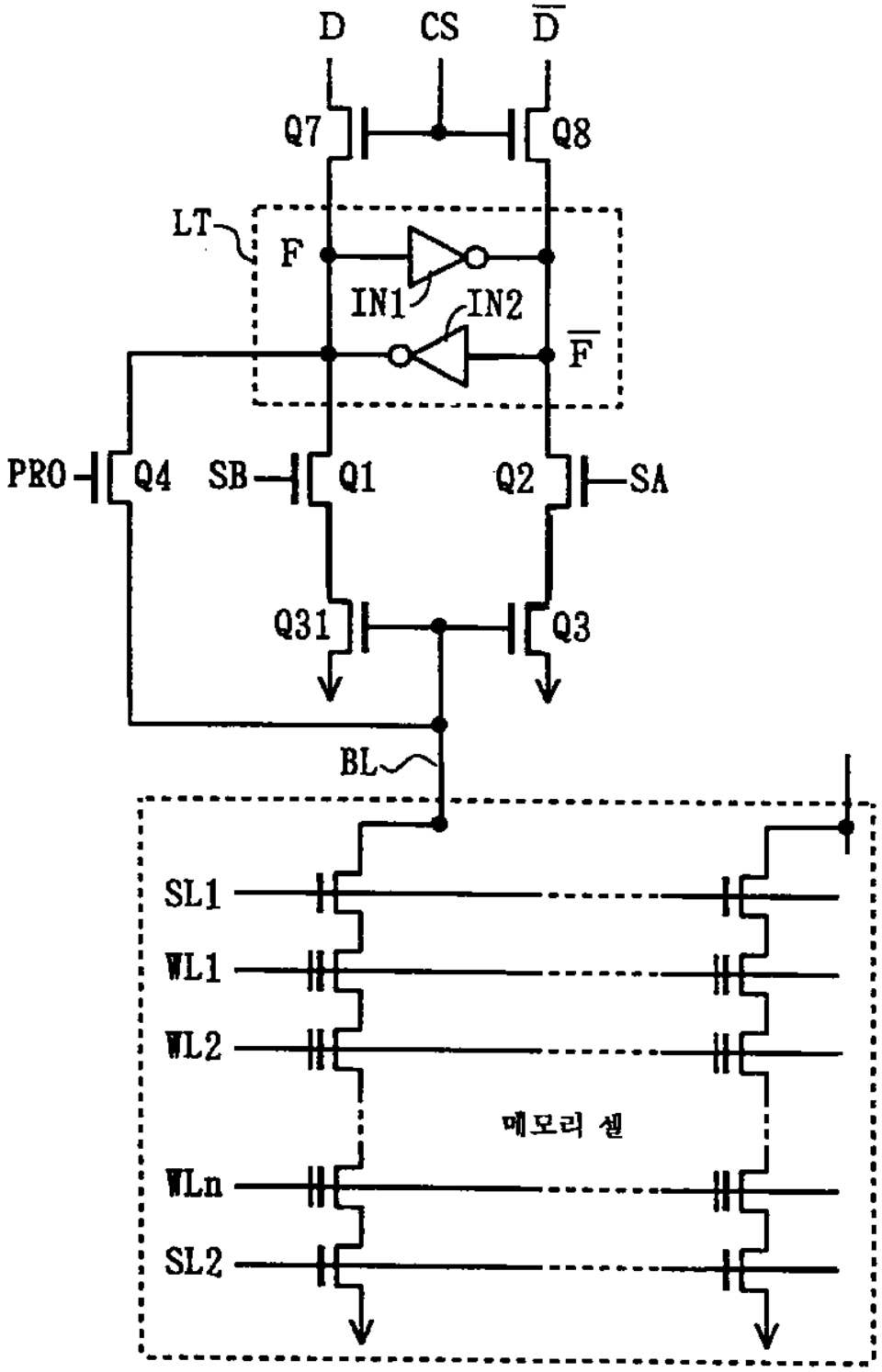
동일 행 선에 접속되는 복수개의 메모리 셀을 1블록으로 하고, 이 블록을 복수개 갖는 메모리 셀 어레이의 각 메모리 셀에 제1 레벨의 설정 전압을 기초로 데이타를 기입하는 단계와; 상기 제1 레벨의 설정 전압을 기초로 기입한 데이타에 대해 검증하는 단계; 및 상기 제1 레벨의 설정 전압을 기초로 기입한 데이타에 대해 기입 및 검증을 모든 메모리 셀에 대해 행한 후, 상기 제1 레벨의 판정 전압의 절대값이 그 절대값보다 높은 제2 레벨의 판정 전압으로 기입을 행하는 단계를 구비하고 있는 것을 특징으로 하는 불휘발성 반도체 기억 장치의 기입 방법.

도면

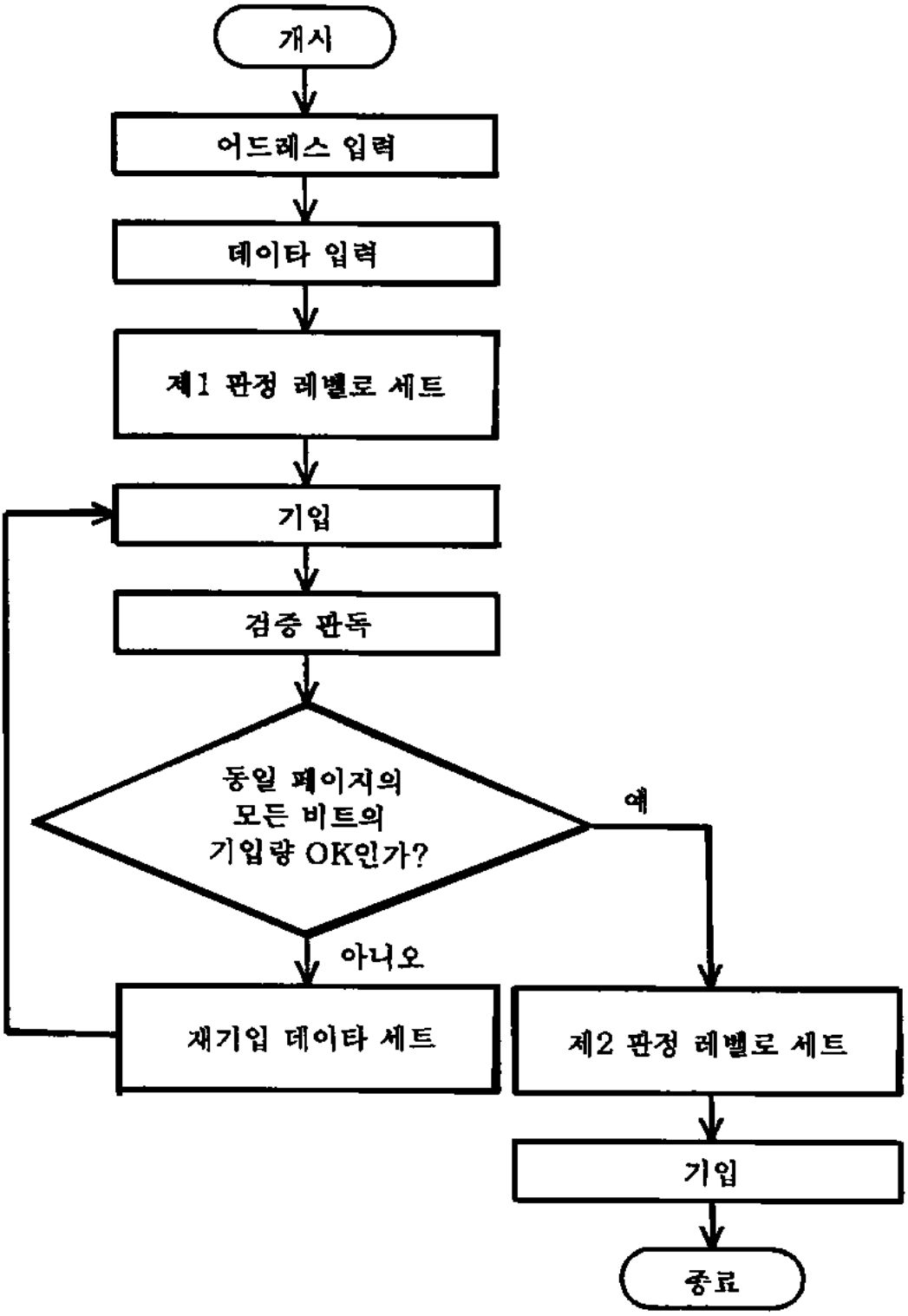
도면1


12
11
10
16
로우 디코더
메모리 셀 어레이
승압 회로
13
센스/래치 회로
제어 회로
컬럼 디코더
컬럼 게이트
17
I/O 버퍼
14
15
18

도면2


D
CS
$\overline{D}$
Q7
Q8
LT
F
IN1
IN2
$\overline{F}$
PRO
Q4
SB
Q1
Q2
SA
Q31
Q3
BL
SL1
WL1
WL2
메모리 셀
WLn
SL2

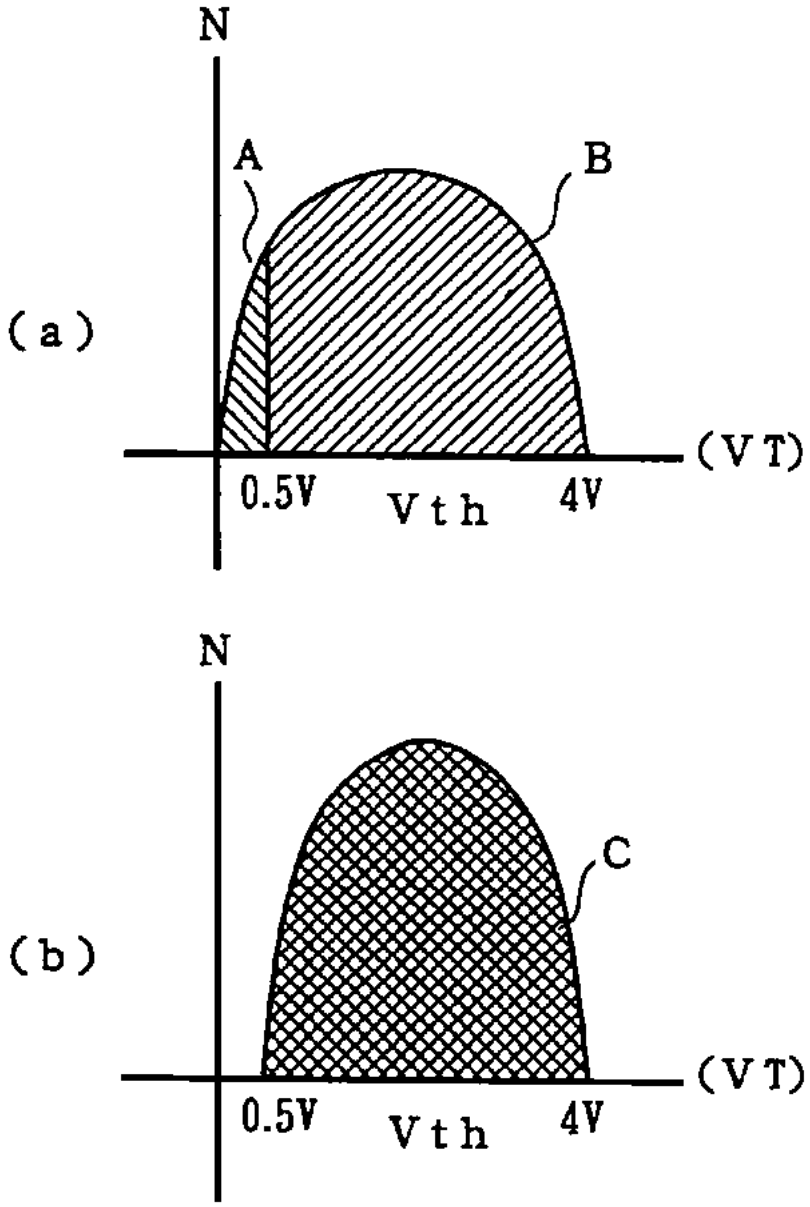
도면3


개시
어드레스 입력
데이타 입력
제1 판정 레벨로 세트
기입
검증 판독
동일 페이지의
모든 비트의
기입량 OK인가?
예
아니오
재기입 데이타 세트
제2 판정 레벨로 세트
기입
종료

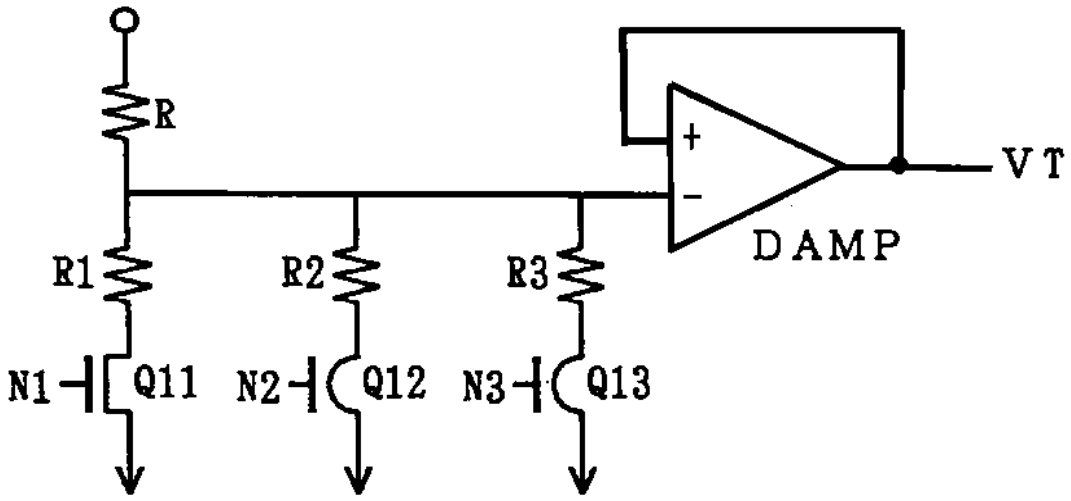
도면4

		(데이타)		(F)	($\overline{F}$)
①	판정 레벨 0V에서 검증 종료 후	"1"		H	L
		"0"		H	L
②	판정 레벨 0V에서 SB= "H" 에 의한 검증 판독 종료 후	"1"		H	L
		"0"		L	H
③	판정 레벨 0.5V에서 SA= "H" 에 의한 검증 판독 종료 후	"1"		H	L
		"0"	0.5<VT	H	L
			0<VT<0.5	L	H

도면5


N
A
B
(a)
(VT)
0.5V
Vth
4V
N
C
(b)
(VT)
0.5V
Vth
4V

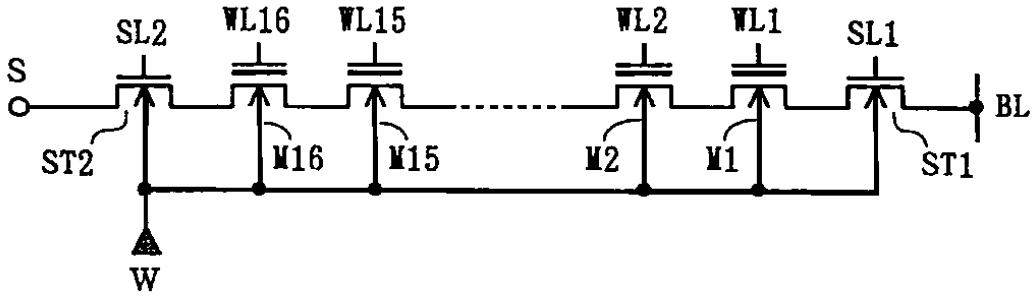
도면6


R
+
−
VT
DAMP
R1
R2
R3
N1
Q11
N2
Q12
N3
Q13

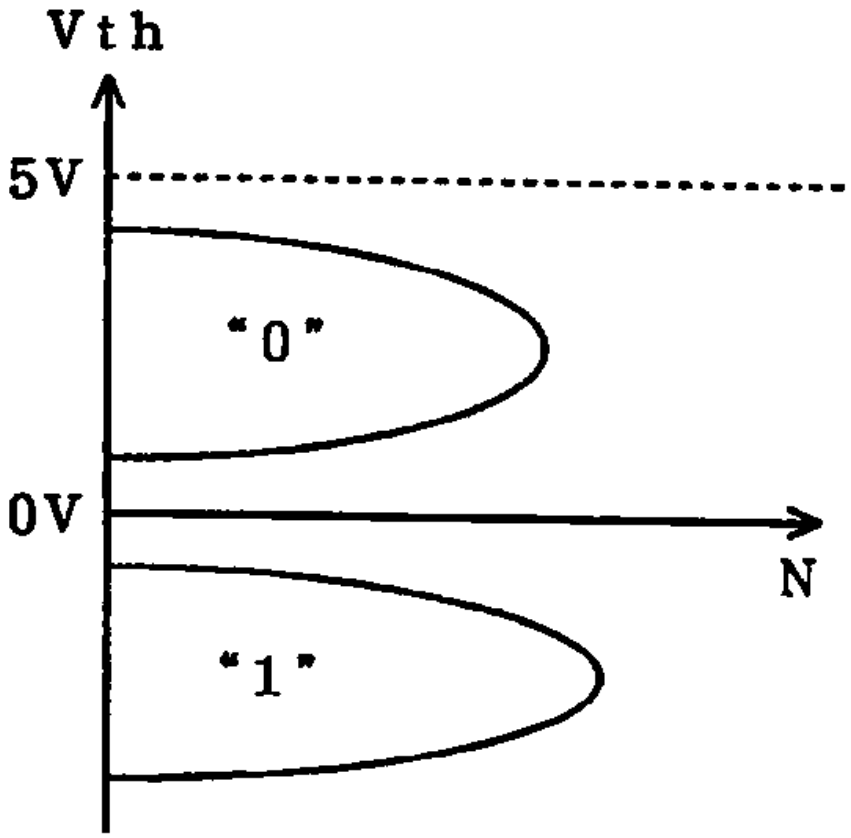
도면7

N1	N2	N3	VT
H	L	L	$\frac{R1}{R+R1} \times VCC$
L	H	L	$\frac{R2}{R+R2} \times VCC$
L	L	H	$\frac{R3}{R+R3} \times VCC$
H	H	L	$\frac{1}{1+R\left(\frac{1}{R1}+\frac{1}{R2}\right)} \times VCC$
L	H	H	$\frac{1}{1+R\left(\frac{1}{R2}+\frac{1}{R3}\right)} \times VCC$
H	L	H	$\frac{1}{1+R\left(\frac{1}{R1}+\frac{1}{R3}\right)} \times VCC$
H	H	H	$\frac{1}{1+R\left(\frac{1}{R1}+\frac{1}{R2}+\frac{1}{R3}\right)} \times VCC$

도면8



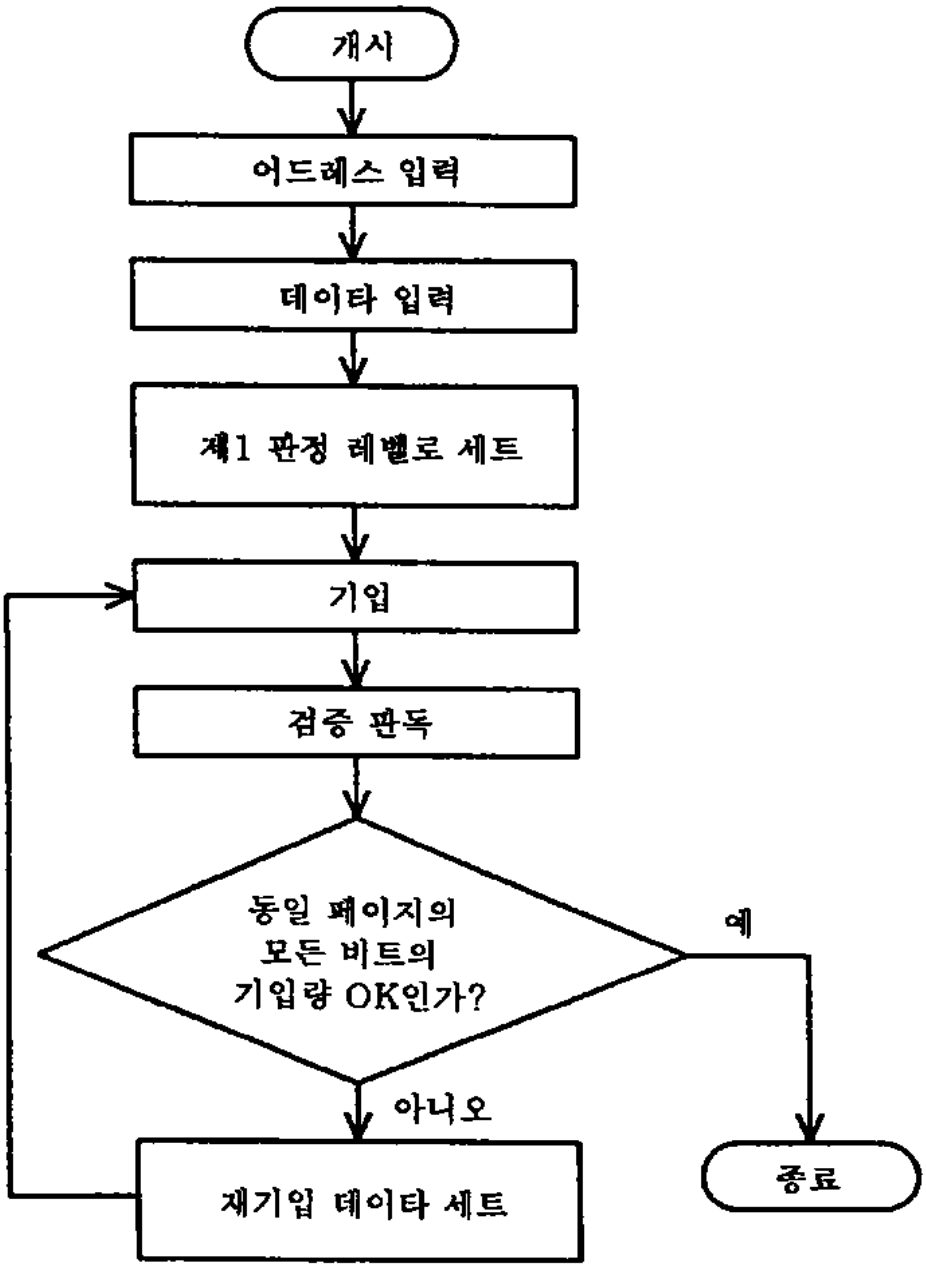
도면9



도면10

	판독	소거	기입
BL	5V 프리차지	개방	"0" 기입 0V "1" 기입 9V
SL1	5 V	1 8 V	1 1 V
WLn	선택 0V 비선택 5V	0 V	선택 18V 비선택 9V
SL2	5 V	1 8 V	0 V
W	0 V	1 8 V	0 V
S	0 V	1 8 V	0 V

도면11


개시
어드레스 입력
데이타 입력
제1 판정 레벨로 세트
기입
검증 판독
동일 페이지의
모든 비트의
기입량 OK인가?
예
아니오
재기입 데이타 세트
종료